

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-546903
(P2024-546903A)

(43)公表日 令和6年12月26日(2024.12.26)

(51)国際特許分類

F I

H O 1 L 25/04 (2023.01) H O 1 L 25/04 Z

H O 1 L 25/07 (2006.01) H O 1 L 25/08 C

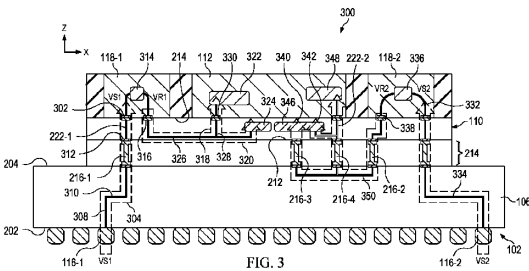
審査請求 未請求 予備審査請求 未請求 (全25頁)			
(21)出願番号	特願2024-535699(P2024-535699)	(71)出願人	591016172
(86)(22)出願日	令和4年12月7日(2022.12.7)		アドバンスト・マイクロ・デバイス
(85)翻訳文提出日	令和6年7月11日(2024.7.11)		・インコーポレイテッド
(86)国際出願番号	PCT/US2022/052129		ADVANCED MICRO DEVI
(87)国際公開番号	WO2023/121876		CES INCORPORATED
(87)国際公開日	令和5年6月29日(2023.6.29)		アメリカ合衆国 9 5 0 5 4 カリフォル
(31)優先権主張番号	17/556,346		ニア州、 サンタ クララ、 オーガスティ
(32)優先日	令和3年12月20日(2021.12.20)		ン ドライブ 2 4 8 5
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100108833
			弁理士 早川 裕司
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA	(74)代理人	100111615
	,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(		弁理士 佐野 良太
	AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A	(74)代理人	100162156
	T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR		弁理士 村雨 圭介
	,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	(72)発明者	ガブリエル エイチ. ロー
	最終頁に続く		最終頁に続く

(54)【発明の名称】 ダイ装着電圧調整器を有する 3 D 半導体パッケージ

(57)【要約】

半導体パッケージは、第 1 の表面及び対向する第 2 の表面を有するパッケージ基板を含み、第 2 の表面に配置され、第 2 の表面に面する第 3 の表面及び対向する第 4 の表面を有する集積回路（IC）ダイを更に含む。IC ダイは、1 つ以上の金属層及び IC ダイの 1 つ以上の機能のための回路構成要素を備える第 1 の領域と、第 3 の表面及び第 4 の表面と平行な方向に第 1 の領域からオフセットされた第 2 の領域と、を有する。半導体パッケージは、第 2 の領域の第 4 の表面に配置され、供給電圧を受け取るように構成された入力と、調整された電圧を提供するように構成された出力と、を有する電圧調整器を含み、また、電圧調整器の出力を IC ダイの回路の電圧入力に結合する導電性経路も含む。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

半導体パッケージであって、

第 1 の表面及び対向する第 2 の表面を有するパッケージ基板と、

前記第 2 の表面に配置され、前記第 2 の表面に面する第 3 の表面と対向する第 4 の表面とを有する第 1 の集積回路（IC）ダイであって、前記第 1 の IC ダイは、1 つ以上の金属層及び前記第 1 の IC ダイの 1 つ以上の機能のための回路構成要素を備える第 1 の領域と、前記第 3 の表面及び前記第 4 の表面と平行な方向に前記第 1 の領域からオフセットされた第 2 の領域と、を有する第 1 の IC ダイと、

前記第 2 の領域の前記第 4 の表面に配設され、供給電圧を受け取るように構成された入力と、調整された電圧を提供するように構成された第 1 の出力と、を有する電圧調整器と、

10

前記電圧調整器の前記第 1 の出力を前記第 1 の IC ダイの回路の電圧入力に結合する第 1 の導電性経路と、を備える、

半導体パッケージ。

【請求項 2】

前記第 1 の導電性経路は、

前記第 3 の表面から、前記第 2 の領域の前記第 3 の表面に近接する前記第 1 の IC ダイの金属層まで延在するビアと、

前記第 1 の IC ダイの前記金属層の金属トレースであって、前記ビアに結合され、前記ビアから前記第 1 の領域に延在する金属トレースと、を含む、

20

請求項 1 の半導体パッケージ。

【請求項 3】

前記第 1 の導電性経路は、

前記第 4 の表面に近接し、前記第 2 の領域から前記第 1 の領域に延在する前記第 1 の IC ダイの第 1 の金属層の金属トレースと、

前記第 3 の表面に近接する前記第 1 の IC ダイの第 2 の金属層と、

前記第 1 の領域に配置されたビアであって、前記金属トレースに結合され、前記第 1 の金属層と前記第 2 の金属層との間に延在するビアと、を含む、

請求項 1 の半導体パッケージ。

30

【請求項 4】

前記第 1 の導電性経路は、

前記第 2 の領域に配置されたビアであって、前記第 4 の表面に近接する前記第 1 の IC ダイの第 1 の金属層と、前記第 3 の表面に近接する前記第 1 の IC ダイの第 2 の金属層と、の間に延在するビアと、

前記第 3 の表面に配置され、前記パッケージ基板の第 3 の金属層に導電的に結合された前記第 1 の IC ダイの第 1 の相互接続及び第 2 の相互接続であって、前記第 1 の相互接続は、前記第 2 の領域の下にあり、前記第 2 の相互接続は、前記第 1 の領域の下にあり、前記電圧入力に結合されている、第 1 の相互接続及び第 2 の相互接続と、

前記第 1 の相互接続と前記第 2 の相互接続との間に延在する前記第 3 の金属層の第 1 の金属トレースと、を含む、

40

請求項 1 の半導体パッケージ。

【請求項 5】

前記電圧調整器の前記入力に供給電圧を提供するための第 2 の導電性経路を備え、

前記第 2 の導電性経路は、前記第 2 の領域内に設けられ、前記第 1 の IC ダイを通して延在し、前記電圧調整器の前記入力に導電的に結合されたシリコン貫通ビア（TSV）を備える、

請求項 1 ～ 4 の何れかの半導体パッケージ。

【請求項 6】

前記半導体パッケージは、スタックされたダイパッケージであり、

50

前記第 1 の I C ダイの前記第 4 の表面に面する第 5 の表面と、対向する第 6 の表面と、を有する第 2 の I C ダイであって、前記第 2 の I C ダイは、金属層及び前記第 1 の I C ダイの 1 つ以上の機能のための回路構成要素を備える第 3 の領域を有する、第 2 の I C ダイと、

前記電圧調整器の第 2 の出力を前記第 3 の領域内の前記第 2 の I C ダイの電圧入力に結合する第 2 の導電性経路と、を備える、

請求項 1 ～ 4 の何れかの半導体パッケージ。

【請求項 7】

前記第 1 の入力及び前記第 2 の入力は、同じ入力である、

請求項 6 の半導体パッケージ。

10

【請求項 8】

前記第 2 の導電性経路は、

前記第 3 の表面に近接し、前記第 2 の領域から前記第 1 の領域に延在する前記第 1 の I C ダイの金属層の金属トレースを含む、

請求項 6 の半導体パッケージ。

【請求項 9】

前記第 2 の導電性経路は、

前記第 4 の表面に近接し、前記第 2 の領域から前記第 1 の領域に延在する前記第 1 の I C ダイの第 1 の金属層の金属トレースを含む、

請求項 6 の半導体パッケージ。

20

【請求項 10】

前記第 2 の導電性経路は、

前記第 2 の領域に配置されたビアであって、前記第 4 の表面に近接する前記第 1 の I C ダイの第 1 の金属層と、前記第 3 の表面に近接する前記第 1 の I C ダイの第 2 の金属層と、の間に延在するビアと、

前記第 3 の表面に配置され、前記パッケージ基板の第 3 の金属層に導電的に結合された前記第 1 の I C ダイの第 1 の相互接続及び第 2 の相互接続であって、前記第 1 の相互接続は、前記第 2 の領域の下にあり、前記第 2 の相互接続は、前記第 1 の領域の下にあり、前記第 2 の I C ダイの回路の前記電圧入力に結合されている、第 1 の相互接続及び第 2 の相互接続と、

30

前記第 1 の相互接続と第 2 の相互接続との間に延在する前記第 3 の金属層の第 1 の金属トレースと、を含む、

請求項 6 の半導体パッケージ。

【請求項 11】

前記第 2 の表面に配置された第 3 の I C ダイであって、前記第 3 の I C ダイは、1 つ以上の金属層及び前記第 3 の I C ダイの 1 つ以上の機能のための回路構成要素を備える第 3 の領域と、前記第 2 の表面と平行な方向に前記第 3 の領域からオフセットされた第 4 の領域と、を有する、第 3 の I C ダイを備え、

前記電圧調整器は、前記第 4 の領域内の前記第 2 の表面の反対側の前記第 3 の I C ダイの表面に配置されており、

40

前記半導体パッケージは、前記電圧調整器の第 3 の出力を前記第 2 の I C ダイの回路の電圧入力に導電的に結合する第 3 の導電性経路、又は、前記電圧調整器の第 4 の出力を前記第 1 の I C ダイ内の回路の電圧入力に導電的に結合する第 4 の導電性経路のうち少なくとも 1 つを含む、

請求項 6 の半導体パッケージ。

【請求項 12】

前記第 1 の出力、前記第 2 の出力及び前記第 3 の出力のうち少なくとも 2 つは、前記電圧調整器の同じ出力である、

請求項 11 の半導体パッケージ。

【請求項 13】

50

前記電圧調整器の前記入力、前記パッケージ基板の前記第2の表面において前記第1のICダイと前記第3のICダイとを分離するオフセット領域と位置合わせされており、導電性経路は、前記パッケージ基板の前記第1の表面におけるパッケージ相互接続を前記電圧調整器の前記入力と導電的に結合し、前記導電性経路は、前記電圧調整器と前記オフセット領域の前記第2の表面との間に配置された誘電体層における誘電体貫通ビア(TDV)、又は、前記電圧調整器と前記オフセット領域の前記第2の表面との間に配置されたシリコン層におけるシリコン貫通ビア(TSV)のうち少なくとも1つを備える、

請求項11の半導体パッケージ。

【請求項14】

前記第2の表面に配置された第2のICダイであって、前記第2のICダイは、1つ以上の金属層及び前記第2のICダイの1つ以上の機能のための回路構成要素を備える第3の領域と、前記第2の表面と平行な方向に前記第3の領域からオフセットされた第4の領域と、を有する、第2のICダイを備え、

前記電圧調整器は、前記第4の領域の前記第2の表面の反対側の前記第2のICダイの表面に配置されており、

前記半導体パッケージは、前記電圧調整器の第2の出力を前記第2のICダイ内の回路の電圧入力に導電的に結合する第2の導電性経路を含む、

請求項1の半導体パッケージ。

【請求項15】

前記電圧調整器の前記入力、前記パッケージ基板の前記第2の表面において前記第1のICダイと前記第2のICダイとを分離するオフセット領域と位置合わせされており、

導電性経路は、前記パッケージ基板の前記第1の表面におけるパッケージ相互接続を前記電圧調整器の前記入力と導電的に結合し、前記導電性経路は、前記電圧調整器と前記オフセット領域内の前記第2の表面との間に配置された誘電体層における少なくとも1つの誘電体貫通ビア(TDV)を備える、

請求項14の半導体パッケージ。

【請求項16】

前記電圧調整器は、前記第1のICダイの前記第4の表面に装着されたICパッケージである、

請求項1の半導体パッケージ。

【請求項17】

前記電圧調整器は、前記第1のダイの前記第4の表面に装着されたICパッケージと、前記第1のICダイの前記第4の表面に装着された1つ以上の個別のディスクリット回路構成要素と、を備える、

請求項1の半導体パッケージ。

【請求項18】

前記電圧調整器は、前記第1のICダイの前記第4の表面に装着されたディスクリット回路構成要素のセットである、

請求項1の半導体パッケージ。

【請求項19】

半導体パッケージであって、

第1の表面及び対向する第2の表面を有するパッケージ基板と、

前記第2の表面に装着された集積回路(IC)ダイの三次元(3D)スタックであって、ICダイの複数のダイ層を備える3Dスタックと、

前記3Dスタックの第1のダイ層の第1のICダイに装着され、前記第2の表面に平行な方向において前記3Dスタックの第2のダイ層の第2のICダイに隣接する電圧調整器と、

前記電圧調整器の1つ以上の出力を前記第1のICダイ又は前記第2のICダイの一方又は両方の回路に導電的に結合する第1の導電性経路のセットと、

前記電圧調整器の入力を、少なくとも前記第1のICダイ及び前記パッケージ基板を介

10

20

30

40

50

して、前記パッケージ基板の前記第 1 の表面に配置されたパッケージ相互接続に導電的に結合する第 2 の導電性経路と、を備える、

半導体パッケージ。

【請求項 20】

前記第 1 の導電性経路のセットは、前記第 1 の IC ダイの前面金属層を使用する少なくとも 1 つの導電性経路を含む、

請求項 19 の半導体パッケージ。

【請求項 21】

前記第 1 の導電性経路のセットは、前記第 1 の IC ダイの裏面金属層を使用する少なくとも 1 つの導電性経路を含む、

請求項 19 の半導体パッケージ。

【請求項 22】

前記第 1 の導電性経路のセットは、前記第 1 の IC ダイと前記第 2 の IC ダイとの間に横方向に延在する前記パッケージ半導体パッケージの金属層を使用する少なくとも 1 つの導電性経路を含む、

請求項 19 の半導体パッケージ。

【請求項 23】

前記電圧調整器は、前記第 1 のダイ層の第 3 の IC ダイに装着されており、

前記第 1 の導電性経路のセットは、前記電圧調整器の 1 つ以上の出力を前記第 3 の IC ダイの回路に導電的に結合する導電性経路を含み、

前記第 2 の導電性経路は、前記パッケージ基板の前記第 2 の表面において前記第 1 の IC ダイと前記第 3 の IC ダイとを分離するオフセット領域において前記電圧調整器と前記第 2 の表面との間に配置された誘電体層における誘電体貫通ビア (TDV)、又は、前記オフセット領域に配置されたシリコン層におけるシリコン貫通ビア (TSV) のうち少なくとも 1 つを備える、

請求項 19 の半導体パッケージ。

【発明の詳細な説明】

【背景技術】

【0001】

電子システムは、システムの種々の構成要素に調整された供給電圧を提供するために電圧調整器を採用する。電圧調整器は、従来、1 つ以上の半導体パッケージ及び他の構成要素が装着される回路基板において、ディスクリート構成要素として実装されてきた。しかしながら、基板レベルの電圧調整器は、特に高性能システムの高電力送達要件のために、基板からパッケージまでの相対的に長いルーティング経路によって導入される誘導性負荷及び／又は容量性負荷から生じる相対的に大規模な寄生損失を受ける。

【0002】

基板レベルの電圧調整器によって引き起こされる寄生損失の問題を解決する試みにおいて、いくつかのシステムは、代わりに、1 つ以上の電圧調整器が半導体パッケージのパッケージ基板に装着されるパッケージレベルの電圧調整を採用している。かかる解決策は、全体的な伝送経路長、したがって寄生損失が低減されるが、依然として、基板装着電圧調整器からパッケージ基板全体にわたるパッケージの 1 つ以上のダイへの電力の送達を必要としており、これにより、限られたパッケージルーティングリソースを消費しながら、電力分配ネットワークにインピーダンスが導入され続ける。これらの制限を考慮して、他のシステムは、電圧調整器の回路がシステムオンチップ (system on a chip、SOC) の残りの部分又はそのダイの他の回路と同じシリコンダイ内に直接実装される完全集積電圧調整器 (fully integrated voltage regulator、FIVR) を採用する。これは、電力送達ネットワーク長を効果的に最小化するために最小のインダクタンスを提示するが、シリコンダイは、多くの場合、高度製造プロセスを使用して製造されるため、FIVR を使用することは、シリコンダイの相対的に高価な活性ダイ面積を増加させるか、又は、別様に他の回路機能の回路と競合し、面積、電力、性能及びコストにおける望ましくない

10

20

30

40

50

トレードオフにつながっている。

【発明の概要】

【課題を解決するための手段】

【0003】

一態様によれば、半導体パッケージは、第1の表面及び対向する第2の表面を有するパッケージ基板と、第2の表面に配設され、第2の表面に面する第3の表面及び対向する第4の表面を有する第1の集積回路（integrated circuit、IC）ダイであって、第1のICダイが、1つ以上の金属層及び第1のICダイの1つ以上の機能のための回路構成要素を備える第1の領域と、第3の及び第4の表面と平行な方向に第1の領域からオフセットされた第2の領域と、を有する、第1のICダイと、第2の領域内の第4の表面に配設され、供給電圧を受け取るように構成された入力と、調整された電圧を提供するように構成された第1の出力と、を有する、電圧調整器と、電圧調整器の第1の出力を第1のICダイの回路の電圧入力に結合する第1の導電性経路と、を含む。

10

【0004】

別の態様によれば、半導体パッケージは、第1の表面及び対向する第2の表面を有する、パッケージ基板と、第2の表面に装着された集積回路（IC）ダイの三次元（three-dimensional、3D）スタックであって、ICダイの複数のダイ層を含む、3Dスタックと、3Dスタックの第1のダイ層の第1のICダイに装着され、第2の表面に平行な方向において3Dスタックの第2のダイ層の第2のICダイに隣接する、電圧調整器と、電圧調整器の1つ以上の出力を第1のICダイ又は第2のICダイの一方又は両方の回路に導電的に結合する、第1の導電性経路のセットと、電圧調整器の入力を、少なくとも第1のICダイ及びパッケージ基板を通して、パッケージ基板の第1の表面に配設されたパッケージ相互接続に導電的に結合する、第2の導電性経路と、を含む。

20

【0005】

本開示は、添付の図面を参照することによってより良好に理解され、その数々の特徴及び利点が当業者に明らかになり得る。異なる図面における同じ符号の使用は、類似又は同一のアイテムを示す。

【図面の簡単な説明】

【0006】

【図1】いくつかの実施形態による、ダイ装着電圧調整器を有する半導体パッケージの上面図である。

30

【図2】いくつかの実施形態による、図1の半導体パッケージの断面図である。

【図3】いくつかの実施形態による、電圧調整器と半導体パッケージのダイとの間の供給電圧ルーティング及び調整された電圧ルーティングのための種々の電圧ルーティング経路を示す図1の半導体パッケージの断面図である。

【図4】いくつかの実施形態による、電圧調整器と半導体パッケージのダイとの間の供給電圧及び調整された電圧ルーティングのための追加の電圧ルーティング経路を示す図1の半導体パッケージの断面図である。

【図5】いくつかの実施形態による、半導体パッケージの複数の集積回路（IC）ダイに及ぶダイ装着電圧調整器を有する半導体パッケージの上面図である。

40

【図6】いくつかの実施形態による、図5の半導体パッケージの断面図である。

【発明を実施するための形態】

【0007】

図1～図6は、半導体パッケージの1つ以上の集積回路（IC）ダイに調整された電圧を提供するために1つ以上のダイ装着電圧調整器を採用する半導体パッケージの種々の例示的な実施形態を示している。少なくとも1つの実施形態では、半導体パッケージは、基板と、その上に装着された1つ以上のICダイのスタックと、を含む。スタックは、パッケージ基板に近接して装着された1つ以上のICダイを有する少なくとも第1のダイ層を含む。いくつかの実施形態では、スタックは、三次元（3D）スタックであり、したがって、第1のダイ層の少なくとも1つのICダイに装着された1つ以上のICダイを有する

50

少なくとも第2のダイ層を更に含む。「下の」ダイ層のICダイ上にスタックされたICダイを有する追加のダイ層が更に実装され得る。半導体パッケージは、第1のダイ層の1つ以上のICダイの対応する「上部」表面（すなわち、半導体パッケージの反対側の表面）上に装着された1つ以上の電圧調整器を更に含む。かかるダイ装着電圧調整器は、パッケージ基板を介して供給電圧を受け取り、パッケージ基板、第1の層のICダイ及び／又は少なくとも第2の層のICダイのうち少なくとも1つ以上の導電性構造からなる1つ以上の導電性経路を使用して、半導体パッケージの1つ以上のダイ層の1つ以上のICダイに1つ以上の調整された電圧を提供するように構成される。これらの導電性構造は、例えば、ビア（シリコン貫通ビア（through silicon via、TSV）及び誘電体貫通ビア（through dielectric via、TDV）を含む）、ダイ及び／又は基板の金属層における金属トレース、パッケージダイ相互接続、ダイ間相互接続、基板ダイ相互接続、インターポーザ相互接続等を含むことができる。更に、いくつかの実施形態では、電圧調整器は、スタックのダイ層の複数のICダイに及ぶことができ、又は、「跨る（straddle）」ことができる。

10

【0008】

半導体パッケージの第1の又はベースのダイ層（又は、いくつかの実施形態では、異なるダイ層）の1つ以上のICダイの表面に装着されたディスクリット電圧調整器を実装することによって、このダイ装着電圧調整器は、FIVRに見られるようなICダイ自体内にVR回路を実装する費用及び複雑さを回避しながら、パッケージ基板レベルの電圧調整器と比較して改善された電力分配配電効率を提供することができる。したがって、本明細書で説明されるような1つ以上のダイ装着電圧調整器を実装する半導体パッケージは、高電力／高性能用途並びに他の用途に好適なコスト、複雑さ及び電力送達効率性のバランスを提供することができる。

20

【0009】

以下において、上、下、上部、底部等の特定の位置に関する用語は、種々の構成要素の位置関係を説明するために相対的な意味で使用されることに留意されたい。これらの用語は、対応する図に示されるような構成要素の相対位置を参照して使用され、重力場を参照して絶対的な意味で解釈されることを意図していない。したがって、例えば、図面に示され、構成要素の上部表面と称される表面は、実施形態において、構成要素が、対応する図に示され、本開示で説明される位置に対して反転された位置に配置された場合でも、構成要素の上部表面であるものとして依然として適切に理解されるであろう。

30

【0010】

図1及び図2は、いくつかの実施形態による、1つ以上のダイ装着電圧調整器を採用する半導体パッケージ102の上面図100（図1）及び側面図（200）を示している。図示される例では、半導体パッケージ102は、パッケージ基板106と、パッケージ基板106上に装着された1つ以上のダイ層のスタック108と、を含む。パッケージ基板106（以下、簡潔にするために「基板106」）は、エポキシベースの積層基板（例えば、FR4）、ビスマレイミドートリアジン（Bismaleimide-Triazine、BT）ベースの積層基板等の下にあるプリント回路基板（printed circuit board、PCB）又は他のキャリアボードとスタック108との間に機械的支持及び電氣的インターフェースを提供するために採用される種々の電気相互接続基板の何れかを備えることができる。基板106は、第1の主表面202及び対向する第2の主表面204を、表面202と204との間又は同じ表面上の点の間に導電性経路を提供するための1つ以上の金属層、ビア及び他の導電性構造とともに含む。パッケージ相互接続206のアレイは、「底部」表面202に配設され、基板106の対応する導電性経路と、半導体パッケージ102が装着されるPCB又は他のキャリア構造（図示せず）との間の電氣的及び機械的接続を提供する。パッケージ相互接続206のアレイは、ボールグリッドアレイ（ball grid array、BGA）のはんだボール等のはんだベースの相互接続、ランドグリッドアレイ（land grid array、LGA）のピン等のピンベースの相互接続、クワッドフラットパッケージ（quad flat package、QFP）アレイ等の平坦な相互接続等を備えることができる。

40

50

【0011】

スタック108は、1つ以上のダイ層を備え、各ダイ層は、対応する層に横方向に配置された1つ以上のICダイを備える。図示される例では、スタック108は3Dスタックであり、第1の、すなわちベースのダイ層208と第2のダイ層210と、を含み、第1のダイ層208は、単一のICダイ110を備え、第2のダイ層210は、単一のICダイ112を備える。しかしながら、他の実施形態では、スタック108は、単一のダイ層を含むか、2つより多くのダイ層を含む。同様に、他の実施形態では、第1のダイ層208は複数のICダイを備え、及び／又は、第2のダイ層210は複数のICダイを備える。各ICダイ（例えば、ダイ110、112）は、メモリコントローラ、入力／出力（input/output、I/O）コントローラ、データ／コントローラ相互接続、オンチップメモリ及びキャッシュ等のような関連回路だけでなく、1つ以上の中央処理ユニット（central processing unit、CPU）、グラフィック処理ユニット（graphics processing unit、GPU）、機械学習（machine learning、ML）アクセラレータ又はこれらの組み合わせのような半導体パッケージ102の1つ以上の集積回路（IC）構成要素を実装する。例示目的で、ダイ110、112は、これらのダイの両方が種々の計算リソースを実装するSOCである例示的なコンテキストで説明される。例えば、ダイ112は、1つ以上のプロセッサ、キャッシュ等の高性能計算リソースを実装し、したがってよりコストのかかる製造プロセスを必要とするSOCを備えることができるが、I/Oコントローラ、メモリコントローラ等の同様の性能特性を必要としない他の計算構成要素は、よりコストのかからない製造プロセスを使用してダイ110に実装される。

10

20

【0012】

図示されるように、ダイ110は、基板106の第2の表面204に装着され、基板106の第2の表面204に面する第3の主表面210と、対向する第4の主表面212と、を有する。ダイ110は、例えば、BGA、LGA、QFPアレイ、C4バンプ、マイクロバンプ、銅ピラー又は他の金属／金属合金ピラー、インターポーザ構造等を含むことができる相互接続の対応するアレイを介して、基板106の1つ以上の対応するパッド又は他の電気接点に電氣的に接続される。更に、相互接続によって提供されるものを超える追加の機械的結合の場合、ダイ110は、接着剤又は他の結合剤を介して第2の表面204に更に機械的に結合され得る。説明のために、図示される例では、ダイ110は、ダイー基板間相互接続216（例えば、銅ピラー相互接続又はマイクロバンプ）のアレイ214を使用して基板106に電氣的及び機械的に接続される。他の実施形態では、パッケージ102は、代わりに、シリコン／ガラスインターポーザ層の2つの対向する表面間に延在するTSV／TDV又は他の導電性構造のアレイを有するシリコン又はガラス層から構成されるインターポーザ層を採用し得る。しかしながら、他の実施形態では、他のタイプの基板ーダイ接続を採用することができる。

30

【0013】

次に、第2の層210のダイ112は、ダイ110の第4の表面212に装着され、第4の表面212に面する第5の主表面218と、対向する第6の主表面220と、を有する。ダイ112は、ダイ112の活性表面がダイ110から離れて面し、したがって、ダイ112との電氣的接続を確立するためにダイ110内にTSVを必要とするように、「フェースアップ型」で装着され得るか、又は、ダイ112は、ダイ112の活性表面がダイ110に面し、したがって、ダイ112との電氣的接続を確立する目的でダイ110内にTSV又は類似のダイ貫通接続の必要性を回避するように、「フェースダウン型」（図2に示されるように）で装着され得る。したがって、ダイ110とダイ112との間の電氣的接続は、マイクロバンプ又はハイブリッドボンディング等の種々の好適なダイ間相互接続の何れかを使用して形成され得る。ダイ112、112の間のダイ110への電力送達（及び、ダイ110に対するダイ112の「背面」実装の場合のシグナリング）は、TSV222等のダイ110内のTSVを使用することによって達成され、TSVは、ダイ110、112の1つ以上の金属層又は表面相互接続、及び、ダイ110と基板106との間のダイーパッケージ間相互接続206に接続することができる。

40

50

【0014】

スタック108のダイの回路は、確実に動作するために、よく調整された入力電圧を必要とする。したがって、これらの調整された電圧のうち一部又は全てを提供するために、半導体パッケージ102は、第1のダイ層208の1つ以上のダイ上に装着された少なくとも1つの電圧調整器118を更に含む。例えば、図示される例では、半導体パッケージ102は、第1のダイ層208のダイ110の「上部」表面212において、同様にダイ110の表面212上に装着された第2のダイ層210のダイ112の両側に装着された2つのVR118-1及びVR118-2を含む。

【0015】

VR118は、典型的には、バックコンバータ、ブーストコンバータ、バックブーストコンバータ、Cukコンバータ等のDC-DC電力コンバータとして実装される。したがって、VR118は、より高い供給電圧（例えば、20VDC）を受け取り、より高い供給を1つ以上の調整された電圧（例えば、1.1VDC）にダウンコンバートする。典型的には、かかるVRは、ダイオード及び／又はトランジスタ（例えば、金属酸化物シリコン電界効果トランジスタ（metal-oxide-silicon field effect transistor、MOSFET）、絶縁ゲートバイポーラトランジスタ（insulated-gate bipolar transistor、IGBT）又はバイポーラ接合トランジスタ（bipolar junction transistor、BJT））と、コンデンサ及び／又はインダクタ等の1つ以上のエネルギー貯蔵構成要素と、典型的には、コンデンサ、インダクタ及び／又は抵抗器のある配置、並びに、これらの他の構成要素に対応するVR回路に相互接続するために使用される配線、金属トレース又は他の導電性相互接続を含む、1つ以上のフィルタ回路と、からなるスイッチングネットワークとして実装される。したがって、これらのダイ装着VR118は、ダイ110の表面212に個々に装着されたディスクリット回路構成要素の集合として、ダイ110の表面212に装着されたICパッケージ若しくは他のパッケージとして、又は、表面212に装着されたディスクリット回路構成要素及びパッケージ（複数可）の組み合わせとして実装され得る。例えば、VR118を含む回路のトランジスタ及び他の論理は、1つ以上の表面装着パッケージとして実装することができ、一方、インダクタ、抵抗器及び／又はキャパシタ、並びに、それらに対応する導電性相互接続等の特定の受動回路は、個別のディスクリット回路構成要素として装着することができ、又は、回路全体は、ダイ若しくは基板上に装着することができ、その後、ダイ110上にパッケージングして装着することができ、若しくは、ダイ110上にパッケージングせずに装着することができる。

【0016】

VR118-1及び118-2は、基板106を介して1つ以上の供給電圧を受け取り（相互接続216のうち何れかを介して、又は、基板106の表面204に配設された電力インターフェースを介して受け取られる）、3Dスタック108の1つ以上のダイ層のダイ（例えば、ダイ層208のダイ110及びダイ層210のダイ112）への分配のための1つ以上の出力調整電圧を提供するために、受け取った供給電圧を調整するように構成される。これらの1つ以上の調整された電圧は、対応するVR118の電圧出力とスタック108の受けダイのICの対応する電圧入力との間の1つ以上の導電性経路からなる、対応する電力分配ネットワーク（図1に示さず）を介して、各VR118から供給される。これらの導電性経路は、3Dスタック108のダイ、基板106及び／又は相互接続レイ214の種々の導電性構造から構成される。これらの導電性構造は、3Dスタックのダイの金属層の金属線（又はトレース）、基板106の金属層の金属線、ダイ内ビア、TSV222等のTSV、誘電体貫通ビア（TDV）、ダイ間相互接続、ダイ-基板間相互接続（例えば、相互接続216）等を含むことができる。半導体パッケージ102における供給電圧分配及び調整された電圧分配のための例示的な導電性経路は、図3及び図4を参照して以下でより詳細に説明される。

【0017】

VR118-1及び118-2は「底部」ダイ110の上部表面212に装着されるため、半導体パッケージ102は、一実施形態では、TSV、ダイ間相互接続及び基板間相

10

20

30

40

50

互接続を利用して、基板 106 から VR118-1 及び 118-2 に供給電圧を分配し、VR118-1 及び 118-2 からダイ 110 及び 112 に調整された電圧を分配する。更に、半導体パッケージ 102 は、ダイ 112 並びに VR118-1 及び 118-2 を封止するパッケージング誘電体封止層 228、パッケージリッド（図示せず）等の使用等のように、デバイスのパッケージングを完成させるための種々の保護又は構造的特徴を採用し得る。

【0018】

参照のために、図 1 及び図 2 では、ダイ 112 と重なるダイ 110 のおおよその領域は、「領域 114」として識別され、VR118-1 及び 118-2 と重なるダイ 110 のおおよその領域は、それぞれ「領域 116-1」及び「領域 116-2」として識別される。これらの領域のサイズは、識別及び説明を容易にするために、ダイ 110 の実際の重複領域に対して誇張されていることに留意されたい。更に、領域 116-1 及び 116-2 は、領域 114 から横方向にオフセットされるものとして図示及び説明されるが、いくつかの実施形態では、このオフセットは、領域 114 が領域 116-1 又は領域 116-2 の何れとも重複しないという点で完全であり、一方、他の実施形態では、このオフセットは、領域 114 が領域 116-1 又は領域 116-2 の一方又は両方と部分的又は完全に重複するという点で部分的にすぎない。

【0019】

図 3 及び図 4 を参照すると、供給電圧を VR118-1 及び 118-2 に分配するための、又は、調整された電圧を VR118-1 及び 118-2 から 3D スタック 108 のダイに分配するための、半導体パッケージ 102 内の導電性経路のための例示的なルートが示されている。特に、図 3 は、ダイ 110 及び 112 のための調整された電圧分配のためにベースダイ層 208 のダイ 110 の前面金属を利用する調整された電圧分配のための導電性経路を描示する、線 1-1 に沿った半導体パッケージ 102 の例示的な実施形態の簡略化された断面図 300 を示している。図示される例では、供給電圧 VS1 が VR118-1 の入力電圧として提供され、供給電圧 VS2 が VR118-2 の入力電圧として提供され、VS1 及び VS2 は同じ又は異なる供給電圧とすることができる。典型的には、VS1 及び VS2 は、サーバ実施形態におけるラック装着電源等の 1 つ以上の外部電源から電力を受け取る 1 つ以上の基板レベル電源を介して供給される。この例では、供給電圧 VS1 及び VS2 は、半導体パッケージ 102 が装着される PCB 又は他のキャリア（図示せず）から、それぞれ、パッケージ-基板間相互接続 116-1 及び 116-2（例えば、BGA はんだボール、LGA ピン等）を介して入力される。

【0020】

次いで、供給電圧 VS1 は、パッケージ 102 を通る 1 つ以上の導電性経路を介して VR118-1 に提供される。典型的には、複数のルートが採用されるが、説明を容易にするために、単一の導電性経路 304 が図示及び説明される。他の導電性経路も同様に構成することができる。この例では、供給電圧 VS1 は、基板 106、相互接続アレイ 214 及びダイ 110 を通してルーティングされた導電性経路 304 を介して、相互接続 116-1 から VR118-1 の入力 302 に向けられる。したがって、基板 106 を横断する導電性経路 304 の部分は、基板 106 の表面 202 における相互接続 116-1 と、基板 106 とダイ 110 との間のダイ-基板間相互接続 216-1 と、相互接続 116-1 と相互接続 216-1 との間の導電性ルートを形成する 1 つ以上のビア（例えば、ビア 308）及び金属線セグメント（例えば、金属線セグメント 310）と、を含むことができる。したがって、ダイ 110 を横断する導電性経路 304 の部分は、例えば、ダイ 110 の表面 210 と 212 との間に延在し、相互接続 312 を VR118-1 の入力 302 に電氣的に接続する TSV 222-1 を含むことができる。次いで、VR118-1 の DC-DC コンバータ回路 314 は、供給電圧 VS1 を少なくとも調整された電圧 VR1 に変換し、調整された電圧 VR1 は、ダイ 110 の表面 212 に近接する 1 つ以上の出力に供給される。説明を容易にするために、ダイ 110 の表面 212 に近接した VR118-1 の単一の出力 316 と、パッケージ 102 内で電圧 VR1 をルーティングするためのその

対応する経路と、が説明される。次いで、半導体パッケージ 102 の導電性経路 318、320 は、この調整された電圧 VR1 を出力 316 からダイ 110 及び 112 の IC 回路 322 及び 324 にそれぞれ分配する。図示されるように、導電性経路 318、320 は、表面 212 に近接するダイ 110 の表側金属層を利用して、ダイ 110 を通して横方向に調整された電圧 VR1 をルーティングする。例えば、両方の経路 318、320 は、表面 212 に近接した前面金属層において出力 316 を金属トレースセグメント 326 に接続するためにビアを採用し得る。次いで、金属トレースセグメント 326 は、ダイ 110 の領域 114 (図 1 及び図 2) 内に横方向に延在し、ダイ 110 内の 1 つ以上のビア又は他の導電性構造を介して IC 回路 324 と電気的に結合する。導電性経路 320 は、TSV 328 又は他の同様の構造を使用して金属線セグメント 326 から分岐して、金属線セグメント 326 から、ダイ 112 の 1 つ以上のビア、金属トレース又は他の導電性構造を介して IC 回路 322 の入力に電気的に結合されたダイ間相互接続 (例えば、位置合わせされたマイクロバンプ) 330 への導電性経路を提供することができる。

10

【0021】

VR118-2 を参照すると、供給電圧 VS2 は、相互接続 116-2 から VR118-1 の入力 332 に、導電性経路 304 と同様の方法で基板 106 及びダイ 110 を通ってルーティングされた導電性経路 334 を介して導かれる。そこから、VR118-2 の DC-DC コンバータ回路 336 は、供給電圧 VS2 を少なくとも調整された電圧 VR2 に変換し、調整された電圧 VR2 は、ダイ 110 の表面 212 に近接した VR118-2 の出力 338 に供給される。次いで、半導体パッケージ 102 の導電性経路 340、342、344 は、この調整された電圧 VR2 をダイ 110 及び 112 の IC 回路 346 及び 348 にそれぞれ分配する。この特定の例では、導電性経路 340、342、344 は、調整された電圧 VR2 がダイ 110 を通って基板 106 まで「下方に」ルーティングされ、次いで、調整された電圧 VR2 を IC 回路 346 及び 348 の領域に向かって横方向にルーティングするために使用され、その後、調整された電圧 VR2 がダイ 110 を通って「上方に」戻るようにルーティングされる、「パッケージ基板アシスト」手法を採用する。例えば、各経路 340~344 は、ダイ 110 の表面 212 から基板 106 の表面 204 まで延在する相互接続 216-2 に出力 338 を接続するために、(端部金属層に応じて) ダイ 110 の 1 つ以上の金属層において 1 つ以上のビア及び/又は金属トレースを採用し得る。次いで、1 つ以上のビア、表面 204 に近接する基板 106 の 1 つ以上の金属層の金属セグメント (例えば、金属セグメント 350) を使用して、調整された電圧 VR2 を、基板 106 を横方向に横切って、IC 回路 346 及び 348 の下にある点にルーティングする。そこから、導電性経路 340 は、アレイ 214 の相互接続 216-3 及びダイ 110 の 1 つ以上の導電性構造を採用して、調整された電圧 VR2 を基板 106 の表面 204 から IC 回路 346 の電圧入力にルーティングする。同様に、導電性経路 342 は、アレイ 214 の相互接続 216-4 及びダイ 110 の 1 つ以上の導電性構造を採用して、基板 106 の表面 204 から IC 回路 346 の別の電圧入力に調整された電圧 VR2 をルーティングする。更に、導電性経路 344 は、アレイ 214 の相互接続 216-4、ダイ 112 の TSV 222-2 (及びダイ 110 の 1 つ以上の他の導電性構造)、及び、ダイ 110 の 1 つ以上の導電性構造を採用して、基板 106 の表面 204 からダイ 110 の IC 回路 348 の電圧入力に調整された電圧 VR2 をルーティングする。

20

30

40

【0022】

図 4 は、ダイ 110 及び 112 のための調整された電圧分配のためにベースダイ層 208 のダイ 110 の裏面金属を利用する調整された電圧分配のための導電性経路を示す、線 1-1 に沿った半導体パッケージ 102 の異なる例示的な実施形態の簡略化された断面図 400 を示している。この例では、VR118-1 のみへの電圧の供給、及び、VR118-1 のみからの電圧の供給が説明され、VR118-2 への供給電圧の分配、及び、VR118-2 からの調整された電圧の分配は、VR118-1 について説明されたものと同様の手法を利用するが、説明を容易にするために図 4 から省略されている。図示される例では、供給電圧 VS3 は、半導体パッケージ 102 が装着される PCB 又は他のキャリ

50

ア（図示せず）を介して外部電源から、パッケージ－基板間相互接続 116－1 を介して、VR118－1 の入力電圧として提供される。

【0023】

供給電圧 VS3 は、図 3 の導電性経路 304 を参照して上記で同様に説明されたように、基板 106 及びダイ 110 の種々の導電性構造を介して、基板 106 及びダイ 110 を通ってルーティングされた導電性経路 404 を介して、相互接続 116－1 から VR118－1 の入力 402 に向けられる。次いで、VR118－1 の DC－DC コンバータ回路 406 は、供給電圧 VS3 を少なくとも調整された電圧 VR3 に変換し、調整された電圧 VR3 は、ダイ 110 の表面 212 に近接した VR118－1 の出力 408 に供給される。次いで、半導体パッケージ 102 の導電性経路 410、412 は、この調整された電圧 VR3 を、ダイ 110 及び 112 の IC 回路 414 及び 416 にそれぞれ分配する。図示されるように、導電性経路 410、412 は、表面 212 に近接するダイ 110 の裏面金属層を利用して、調整された電圧 VR3 を、VR118－1 の下にある領域 116－1（図 1）からダイ 110 の領域 114（図 1）に、ダイ 110 を通って横方向にルーティングする。例えば、両方の経路 410、412 は、表面 212 に近接する裏面金属層において出力 408 を金属トレースセグメント 418 に接続するためにビアを採用し得る。次いで、金属トレースセグメント 418 は、ダイ 110 の領域 114 に向かって横方向に延在する。導電性経路 410 は、次いで、ダイ 110 の裏面層から前面層に遷移し、IC 回路 414 の電圧入力を金属トレースセグメント 418 に電気的に接続し、したがって、調整された電圧 VR3 のためのルーティングを IC 回路 414 に提供するために、TSV420 及び金属トレース 422 等のようなダイ 110 の 1 つ以上の金属層において 1 つ以上のビア及び 1 つ以上の金属トレースを更に含み得る。同様に、導電性経路 412 は、1 つ以上のビア、ダイ 110 及びダイ 112 の 1 つ以上の金属層の 1 つ以上の金属トレース、並びに、1 つ以上のダイ間相互接続又は他の導電性構造を採用して、ダイ 110 からダイ 112 に遷移し、金属トレースセグメント 418 をダイ 112 の IC 回路 416 の電圧入力に電気的に接続し、したがって、VR118－1 から IC 回路 416 への調整された電圧 VR3 のルーティングを提供することができる。

10

20

【0024】

図 3 及び図 4 は、供給電圧をダイ装着 VR にルーティングするための、及び、ダイ装着 VR から 3D スタック 108 のダイ内の IC 回路に調整された電圧をルーティングするための導電性経路の例を示しているが、本開示は、これらの具体的な例に限定されない。例えば、いくつかの実施形態では、VR118 からいくつかの調整された電圧を分配するために前面金属ベースの手法が利用され得るが、同じ又は異なる VR118 から他の調整された電圧を分配するために裏面金属ベースの手法が使用され得るか、あるいは、3D スタック 108 内の異なる宛先のための同じ調整された電圧のために異なる手法が利用され得る。

30

【0025】

図 1～図 4 は、各ダイ装着 VR が 3D スタック 108 の単一のダイ（及び同じダイ）上に装着される例示的な実施形態を示しているが、本開示は、この特定の構成に限定されない。他の実施形態では、異なる VR が同じダイ層の異なるダイ上に装着され得る。更に、いくつかの実施形態では、異なる VR が、異なる層の異なるダイ上に装着され得る。例えば、いくつかの実施形態では、ダイ装着 VR は、第 2 のダイ層 210 のダイに装着され得る。更に、いくつかの実施形態では、ダイ装着 VR は、同じダイ層の複数のダイ上に装着され得る。すなわち、ダイに装着された VR は、3D スタックの対応するダイ層の複数のダイに及ぶことができる。

40

【0026】

図 5 及び図 6 は、共に、いくつかの実施形態による、かかる複数のダイに及ぶ VR を実装する半導体パッケージ 502 の上面図 500 及び断面図 600 をそれぞれ示している。図示される例では、半導体パッケージ 502 は、パッケージ基板 506 と、パッケージ基板 506（以下、単に「基板 506」）上に装着された 1 つ以上のダイ層の 3D スタック 5

50

08と、を含む。基板506は、第1の主表面602と、対向する第2の主表面604と、を含む。パッケージ相互接続606のアレイは、「底部」表面602に配設され、基板506の対応する導電性経路と、半導体パッケージ502が装着されるPCB又は他のキャリア構造（図示せず）と、の間の電氣的及び機械的接続を提供する。

【0027】

3Dスタック508は、1つ以上のダイ層を備え、各ダイ層は、対応する層に横方向に配置された1つ以上のICダイを備える。図示される例では、スタック508は、第1の又はベースのダイ層608及び第2のダイ層610を含み、第1のダイ層608は、基板ダイ相互接続（例えば、銅ピラー）のアレイ614を介して基板506の上部表面604に装着された2つのICダイ610-1及び610-2を備え、第2のダイ層610は、2つのICダイ612-1及び612-2を備え、ダイ612-1は、ダイ610-1の上部表面616-1に装着され、ダイ612-2は、ダイ610-2の上部表面616-2に装着される。ダイ612-1及び612-2は、表を下にして又は表を上にして、あるいは、一方の表を下にして他方の表を上にして装着され得る。

10

【0028】

半導体パッケージ502は、ダイ装着VR518を更に含む。しかしながら、図1～図4のVR118のように単一のダイに装着されるのではなく、図示される実施形態では、VR518は、スタック508の複数のダイ、すなわち、ダイ610-1及び610-2に及ぶ。したがって、示されるように、VR518は、ダイ610-1の縁部及びダイ610-2の対向する縁部と重複する。上で同様に説明したように、VR518と重なるダイ610-1及び610-2の領域は、スタック508のダイのアクティブ領域内のIC回路に対するかかる構造のフロアプラン消費及び寄生影響を低減するように、VR118に供給電圧をもたらし、VR118からスタック508のダイに調整された電圧を分配するための導電性構造の形成のために使用され得る。

20

【0029】

この構成は、3Dスタック508の可能な構成の単なる一例であることを理解されたい。例えば、3Dスタック508は、VR518が全ての4つの底部ダイ610の角と重なるように、2×2アレイの中央にVR518を有する2×2アレイに配置された4つの底部ダイ610を含むことができる。更に、単一の重複VR518のみが示されているが、他の構成では、パッケージ502は、本明細書で説明する技術を使用して複数の重複VRを含むことができる。

30

【0030】

図示される構成では、1つ以上の供給電圧は、基板506を介してVR518にルーティングされることが可能になり、VR518のDC-DCコンバータ回路（図示せず）は、1つ以上の供給電圧を、上記で同様に説明されたように、ダイ及び／又は基板506に及ぶ導電性経路構造を使用して、ダイ610-1、610-2、612-1、612-2のIC回路にルーティングされ得る1つ以上の調整された電圧に変換することができる。更に、ダイ610-1と610-2との間のVR518が及ぶオフセット領域520等のように、VRが装着されるダイを横方向に分離するオフセット領域がある場合、このオフセット領域は、下にあるダイ内のTSV又は他のダイに及ぶ導電性構造を必要とすることなく、供給電圧をVRにルーティングするために利用され得る。同様に、このオフセット領域は、対応する調整された電圧がVR518から基板506に到達するために、下にあるダイを通るTSVを必要としない方法で、基板506を介して「パッケージ基板アシスト」調整された電圧ルーティングを実装するために利用され得る。説明するために、供給電圧VS4を、相互接続606-1を介してVR518にルーティングするために、対応する導電性経路620は、基板506の上部表面604からオフセット領域520を通過してVR518の底部表面に及ぶ相互接続618及びTDV618等の一連の1つ以上の導電性構造を採用することができる。同様に、調整された電圧をVR518から基板506を介してスタック508の1つ以上のダイにルーティングするための導電性経路（例えば、導電性経路622）（すなわち、「パッケージ基板アシスト」ルート）は、同様の一連

40

50

の1つ以上のTDVを使用して、オフセット領域520と位置合わせされた体積内のVR518の底部表面と基板の上部表面604との間の誘電体材料に及ぶことができる。代替的に、他の実施形態では、シリコンダイ、チップ又は他のシリコンベースの層を、オフセット領域620内の誘電体層の代わりに配設することができ、このシリコン層は、VR518の底部表面と基板の上部表面604との間にわたる1つ以上のTSVを含むことができ、これらのTSVのうち1つ以上は、導電性経路622内の導電性構造として機能する。

【0031】

いくつかの実施形態では、上記の装置及び技術は、図1～図6を参照して上述した半導体パッケージ等の1つ以上の集積回路(IC)デバイス(集積回路パッケージ又はマイクロチップとも称される)を含むシステムに実装される。電子設計自動化(electronic design automation、EDA)及びコンピュータ支援設計(computer aided design、CAD)ソフトウェアツールは、これらのICデバイスの設計及び製造に使用することができる。これらの設計ツールは、典型的には、1つ以上のソフトウェアプログラムとして表される。1つ以上のソフトウェアプログラムは、回路を製造するための製造システムを設計するか又は適応させるためのプロセスの少なくとも一部を実行するために、1つ以上のICデバイスの回路を表すコードで動作するようにコンピュータシステムを操作するための、コンピュータシステムによって実行可能なコードを含む。このコードは、命令、データ、又は、命令及びデータの組み合わせを含み得る。設計ツール又は製造ツールを表すソフトウェア命令は、典型的には、コンピューティングシステムにアクセス可能なコンピュータ可読記憶媒体に記憶される。同様に、ICデバイスの設計又は製造の1つ以上の段階を表すコードは、同じコンピュータ可読記憶媒体又は異なるコンピュータ可読記憶媒体に記憶され、そこからアクセスされる。

【0032】

コンピュータ可読記憶媒体は、命令及び／又はデータをコンピュータシステムに提供するために、使用中にコンピュータシステムによってアクセス可能な任意の非一時的な記憶媒体又は非一時的な記憶媒体の組み合わせを含む。このような記憶媒体には、限定されないが、光学媒体(例えば、コンパクトディスク(CD)、デジタル多用途ディスク(DVD)、ブルーレイ(登録商標)ディスク)、磁気媒体(例えば、フロッピー(登録商標)ディスク、磁気テープ、磁気ハードドライブ)、揮発性メモリ(例えば、ランダムアクセスメモリ(RAM)若しくはキャッシュ)、不揮発性メモリ(例えば、読取専用メモリ(ROM)若しくはフラッシュメモリ)、又は、微小電気機械システム(MEMS)ベースの記憶媒体が含まれ得る。コンピュータ可読記憶媒体(例えば、システムRAM又はROM)はコンピューティングシステムに内蔵されてもよいし、コンピュータ可読記憶媒体(例えば、磁気ハードドライブ)はコンピューティングシステムに固定的に取り付けられてもよいし、コンピュータ可読記憶媒体(例えば、光学ディスク又はユニバーサルシリアルバス(USB)ベースのフラッシュメモリ)はコンピューティングシステムに着脱可能に取り付けられてもよいし、コンピュータ可読記憶媒体(例えば、ネットワークアクセス可能ストレージ(NAS))は有線又は無線ネットワークを介してコンピュータシステムに結合されてもよい。

【0033】

いくつかの実施形態では、上述した技術の特定の態様は、ソフトウェアを実行する処理システムの1つ以上のプロセッサによって実装される。ソフトウェアは、非一時的なコンピュータ可読記憶媒体に記憶されるか、別の方法で明確に具体化された実行可能命令の1つ以上のセットを含む。ソフトウェアは、命令及び特定のデータを含んでもよく、当該命令及び特定のデータは、1つ以上のプロセッサによって実行されると、上述した技術の1つ以上の態様を実行するように1つ以上のプロセッサを操作する。非一時的なコンピュータ可読記憶媒体は、例えば、磁気又は光ディスク記憶デバイス、フラッシュメモリ等のソリッドステート記憶デバイス、キャッシュ、ランダムアクセスメモリ(RAM)、又は、他の不揮発性メモリデバイス(単数又は複数)等を含み得る。非一時的なコンピュータ可

読記憶媒体に記憶された実行可能命令は、ソースコード、アセンブリ言語コード、オブジェクトコード、又は、1つ以上のプロセッサによって解釈され若しくは別の方法で実行可能な他の命令形式で実装可能である。

【0034】

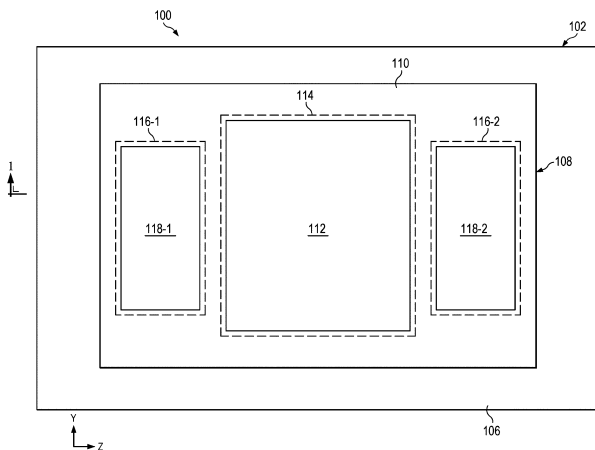
上述したものに加えて、概要説明において説明した全てのアクティビティ又は要素が必要とされているわけではなく、特定のアクティビティ又はデバイスの一部が必要とされない場合があり、1つ以上のさらなるアクティビティが実行される場合があり、1つ以上のさらなる要素が含まれる場合があることに留意されたい。さらに、アクティビティが列挙された順序は、必ずしもそれらが実行される順序ではない。また、概念は、特定の実施形態を参照して説明された。しかしながら、当業者であれば、特許請求の範囲に記載されているような本発明の範囲から逸脱することなく、様々な変更及び変形を行うことができるのを理解するであろう。したがって、明細書及び図面は、限定的な意味ではなく例示的な意味で考慮されるべきであり、これらの変更形態の全ては、本発明の範囲内に含まれることが意図される。

【0035】

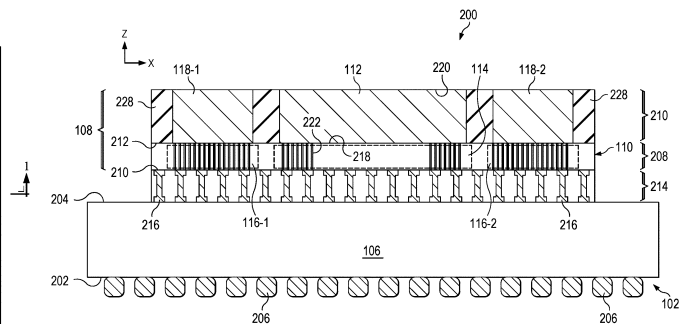
利益、他の利点及び問題に対する解決手段を、特定の実施形態に関して上述した。しかし、利益、利点、問題に対する解決手段、及び、何かしらの利益、利点若しくは解決手段が発生又は顕在化する可能性のある特徴は、何れか若しくは全ての請求項に重要な、必須の、又は、不可欠な特徴と解釈されない。さらに、開示された発明は、本明細書の教示の利益を有する当業者には明らかな方法であって、異なっているが同様の方法で修正され実施され得ることから、上述した特定の実施形態は例示にすぎない。添付の特許請求の範囲に記載されている以外に本明細書に示されている構成又は設計の詳細については限定がない。したがって、上述した特定の実施形態は、変更又は修正されてもよく、かかる変更形態の全ては、開示された発明の範囲内にあると考えられることが明らかである。したがって、ここで要求される保護は、添付の特許請求の範囲に記載されている。

【図面】

【図1】



【図2】



10

20

30

40

50

【手続補正書】

【提出日】令和6年8月16日(2024.8.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体パッケージであって、

第1の表面及び対向する第2の表面を有するパッケージ基板と、

前記第2の表面に配置され、前記第2の表面に面する第3の表面と対向する第4の表面とを有する第1の集積回路（IC）ダイであって、前記第1のICダイは、1つ以上の金属層及び前記第1のICダイの1つ以上の機能のための回路構成要素を備える第1の領域と、前記第3の表面及び前記第4の表面と平行な方向に前記第1の領域からオフセットされた第2の領域と、を有する第1のICダイと、

前記第2の領域の前記第4の表面に配設され、供給電圧を受け取るように構成された入力と、調整された電圧を提供するように構成された第1の出力と、を有する電圧調整器と、

前記電圧調整器の前記第1の出力を前記第1のICダイの回路の電圧入力に結合する第1の導電性経路と、を備える、
半導体パッケージ。

【請求項2】

前記第1の導電性経路は、

前記第3の表面から、前記第2の領域の前記第3の表面に近接する前記第1のICダイの金属層まで延在するビアと、

前記第1のICダイの前記金属層の金属トレースであって、前記ビアに結合され、前記ビアから前記第1の領域に延在する金属トレースと、を含む、

請求項1の半導体パッケージ。

【請求項3】

前記第1の導電性経路は、

前記第4の表面に近接し、前記第2の領域から前記第1の領域に延在する前記第1のICダイの第1の金属層の金属トレースと、

前記第3の表面に近接する前記第1のICダイの第2の金属層と、

前記第1の領域に配置されたビアであって、前記金属トレースに結合され、前記第1の金属層と前記第2の金属層との間に延在するビアと、を含む、

請求項1の半導体パッケージ。

【請求項4】

前記第1の導電性経路は、

前記第2の領域に配置されたビアであって、前記第4の表面に近接する前記第1のICダイの第1の金属層と、前記第3の表面に近接する前記第1のICダイの第2の金属層と、の間に延在するビアと、

前記第3の表面に配置され、前記パッケージ基板の第3の金属層に導電的に結合された前記第1のICダイの第1の相互接続及び第2の相互接続であって、前記第1の相互接続は、前記第2の領域の下にあり、前記第2の相互接続は、前記第1の領域の下にあり、前記電圧入力に結合されている、第1の相互接続及び第2の相互接続と、

前記第1の相互接続と前記第2の相互接続との間に延在する前記第3の金属層の第1の金属トレースと、を含む、

請求項1の半導体パッケージ。

【請求項5】

10

20

30

40

50

前記電圧調整器の前記入力に供給電圧を提供するための第2の導電性経路を備え、

前記第2の導電性経路は、前記第2の領域内に設けられ、前記第1のICダイを通して延在し、前記電圧調整器の前記入力に導電的に結合されたシリコン貫通ビア(TSV)を備える、

請求項1～4の何れかの半導体パッケージ。

【請求項6】

前記半導体パッケージは、スタックされたダイパッケージであり、

前記第1のICダイの前記第4の表面に面する第5の表面と、対向する第6の表面と、を有する第2のICダイであって、前記第2のICダイは、金属層及び前記第1のICダイの1つ以上の機能のための回路構成要素を備える第3の領域を有する、第2のICダイと、

10

前記電圧調整器の第2の出力を前記第3の領域内の前記第2のICダイの電圧入力に結合する第2の導電性経路と、を備える、

請求項1～4の何れかの半導体パッケージ。

【請求項7】

前記第2の導電性経路は、

前記第3の表面に近接し、前記第2の領域から前記第1の領域に延在する前記第1のICダイの金属層の金属トレース、又は、
前記第4の表面に近接し、前記第2の領域から前記第1の領域に延在する前記第1のICダイの第1の金属層の金属トレースを含む、

20

請求項6の半導体パッケージ。

【請求項8】

前記第2の導電性経路は、

前記第2の領域に配置されたビアであって、前記第4の表面に近接する前記第1のICダイの第1の金属層と、前記第3の表面に近接する前記第1のICダイの第2の金属層と、の間に延在するビアと、

前記第3の表面に配置され、前記パッケージ基板の第3の金属層に導電的に結合された前記第1のICダイの第1の相互接続及び第2の相互接続であって、前記第1の相互接続は、前記第2の領域の下にあり、前記第2の相互接続は、前記第1の領域の下にあり、前記第2のICダイの回路の前記電圧入力に結合されている、第1の相互接続及び第2の相互接続と、

30

前記第1の相互接続と第2の相互接続との間に延在する前記第3の金属層の第1の金属トレースと、を含む、

請求項6の半導体パッケージ。

【請求項9】

前記第2の表面に配置された第3のICダイであって、前記第3のICダイは、1つ以上の金属層及び前記第3のICダイの1つ以上の機能のための回路構成要素を備える第3の領域と、前記第2の表面と平行な方向に前記第3の領域からオフセットされた第4の領域と、を有する、第3のICダイを備え、

前記電圧調整器は、前記第4の領域内の前記第2の表面の反対側の前記第3のICダイの表面に配置されており、

40

前記半導体パッケージは、前記電圧調整器の第3の出力を前記第2のICダイの回路の電圧入力に導電的に結合する第3の導電性経路、又は、前記電圧調整器の第4の出力を前記第1のICダイ内の回路の電圧入力に導電的に結合する第4の導電性経路のうち少なくとも1つを含む、

請求項6の半導体パッケージ。

【請求項10】

前記第1の出力、前記第2の出力及び前記第3の出力のうち少なくとも2つは、前記電圧調整器の同じ出力である、

請求項9の半導体パッケージ。

50

【請求項 1 1】

前記電圧調整器の前記入力、前記パッケージ基板の前記第 2 の表面において前記第 1 の IC ダイと前記第 3 の IC ダイとを分離するオフセット領域と位置合わせされており、導電性経路は、前記パッケージ基板の前記第 1 の表面におけるパッケージ相互接続を前記電圧調整器の前記入力と導電的に結合し、前記導電性経路は、前記電圧調整器と前記オフセット領域の前記第 2 の表面との間に配置された誘電体層における誘電体貫通ビア（TDV）、又は、前記電圧調整器と前記オフセット領域の前記第 2 の表面との間に配置されたシリコン層におけるシリコン貫通ビア（TSV）のうち少なくとも 1 つを備える、

請求項 9 の半導体パッケージ。

【請求項 1 2】

前記第 2 の表面に配置された第 2 の IC ダイであって、前記第 2 の IC ダイは、1 つ以上の金属層及び前記第 2 の IC ダイの 1 つ以上の機能のための回路構成要素を備える第 3 の領域と、前記第 2 の表面と平行な方向に前記第 3 の領域からオフセットされた第 4 の領域と、を有する、第 2 の IC ダイを備え、

前記電圧調整器は、前記第 4 の領域の前記第 2 の表面の反対側の前記第 2 の IC ダイの表面に配置されており、

前記半導体パッケージは、前記電圧調整器の第 2 の出力を前記第 2 の IC ダイ内の回路の電圧入力に導電的に結合する第 2 の導電性経路を含む、

請求項 1 の半導体パッケージ。

【請求項 1 3】

前記電圧調整器は、

前記第 1 の IC ダイの前記第 4 の表面に装着された IC パッケージであるか、

前記第 1 のダイの前記第 4 の表面に装着された IC パッケージと、前記第 1 の IC ダイの前記第 4 の表面に装着された 1 つ以上の個別のディスクリート回路構成要素と、を備えるか、

前記第 1 の IC ダイの前記第 4 の表面に装着されたディスクリート回路構成要素のセットであるか、

の何れかである、

請求項 1 の半導体パッケージ。

【請求項 1 4】

半導体パッケージであって、

第 1 の表面及び対向する第 2 の表面を有するパッケージ基板と、

前記第 2 の表面に装着された集積回路（IC）ダイの三次元（3D）スタックであって、IC ダイの複数のダイ層を備える 3D スタックと、

前記 3D スタックの第 1 のダイ層の第 1 の IC ダイに装着され、前記第 2 の表面に平行な方向において前記 3D スタックの第 2 のダイ層の第 2 の IC ダイに隣接する電圧調整器と、

前記電圧調整器の 1 つ以上の出力を前記第 1 の IC ダイ又は前記第 2 の IC ダイの一方又は両方の回路に導電的に結合する第 1 の導電性経路のセットと、

前記電圧調整器の入力を、少なくとも前記第 1 の IC ダイ及び前記パッケージ基板を介して、前記パッケージ基板の前記第 1 の表面に配置されたパッケージ相互接続に導電的に結合する第 2 の導電性経路と、を備える、

半導体パッケージ。

【請求項 1 5】

前記電圧調整器は、前記第 1 のダイ層の第 3 の IC ダイに装着されており、

前記第 1 の導電性経路のセットは、前記電圧調整器の 1 つ以上の出力を前記第 3 の IC ダイの回路に導電的に結合する導電性経路を含み、

前記第 2 の導電性経路は、前記パッケージ基板の前記第 2 の表面において前記第 1 の IC ダイと前記第 3 の IC ダイとを分離するオフセット領域において前記電圧調整器と前記第 2 の表面との間に配置された誘電体層における誘電体貫通ビア（TDV）、又は、前記

10

20

30

40

50

オフセット領域に配置されたシリコン層におけるシリコン貫通ビア（ＴＳＶ）のうち少なくとも１つを備える、
請求項 １４ の半導体パッケージ。

10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2022/052129
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/58(2006.01)i; H01L 25/065(2006.01)i; H01L 23/538(2006.01)i; H01L 23/48(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/58(2006.01); H01L 23/00(2006.01); H01L 23/48(2006.01); H01L 23/498(2006.01); H01L 23/66(2006.01); H01L 25/065(2006.01); H02M 3/156(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: package, substrate, integrated circuit, voltage regulator, conductive path		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2014-0210077 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 31 July 2014 (2014-07-31) paragraphs [0012]-[0027] and figures 1-5	1-3,6-7,16-18
Y		14
A		4-5,15,19-23
Y	US 2021-0249952 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 12 August 2021 (2021-08-12) claim 1 and figure 1	14
A	US 2020-0402934 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 24 December 2020 (2020-12-24) the entire document	1-7,14-23
A	US 2020-0075553 A1 (XCELSIS CORPORATION) 05 March 2020 (2020-03-05) the entire document	1-7,14-23
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 April 2023		Date of mailing of the international search report 27 April 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer JUNG, Jong Han Telephone No. +82-42-481-5642

Form PCT/ISA/210 (second sheet) (July 2022)

International application No.

PCT/US2022/052129

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018-0082978 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 22 March 2018 (2018-03-22) the entire document	1-7,14-23

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/052129

Box No. II	Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons: 1. ☐ Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely: 2. ☒ Claims Nos.: 12-13 because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically: Claims 12-13 are unclear, because these claims refer to the multiple dependent claim which does not comply with PCT Rule 6.4(a). 3. ☒ Claims Nos.: 8-11 because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2022/052129

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2014-0210077	A1	31 July 2014	CN	102468263	A	23 May 2012
				CN	102468263	B	28 May 2014
				US	2012-0112352	A1	10 May 2012
				US	8716855	B2	06 May 2014
				US	9406597	B2	02 August 2016
US	2021-0249952	A1	12 August 2021	CN	113113397	A	13 July 2021
				TW	202131461	A	16 August 2021
US	2020-0402934	A1	24 December 2020	CN	112913014	A	04 June 2021
				EP	3864696	A1	18 August 2021
				EP	3864696	A4	08 December 2021
				US	11373966	B2	28 June 2022
				US	2022-0189889	A9	16 June 2022
				WO	2020-083027	A1	30 April 2020
US	2020-0075553	A1	05 March 2020	US	11515291	B2	29 November 2022
US	2018-0082978	A1	22 March 2018	CN	107180795	A	19 September 2017
				CN	107180795	B	06 September 2019
				TW	201801201	A	01 January 2018
				TW	I641059	B	11 November 2018
				US	10163852	B2	25 December 2018
				US	10497668	B2	03 December 2019
				US	11063016	B2	13 July 2021
				US	2017-0263518	A1	14 September 2017
				US	2019-0123020	A1	25 April 2019
				US	2020-0043891	A1	06 February 2020
				US	9831148	B2	28 November 2017

Form PCT/ISA/210 (patent family annex) (July 2022)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,I
T,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,
MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5

(72)発明者 ラジャ スワミナサン

アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5

(72)発明者 ラフル アガルワル

アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5

(72)発明者 ブレット ピー． ウィルカーソン

アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5