

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3833859号
(P3833859)

(45) 発行日 平成18年10月18日(2006.10.18)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int.C1.

F 1

HO1L 21/56	(2006.01)	HO1L 21/56	R
HO1L 21/60	(2006.01)	HO1L 21/60	311S
HO1L 23/28	(2006.01)	HO1L 23/28	A
HO1L 23/12	(2006.01)	HO1L 23/12	L

請求項の数 3 (全 9 頁)

(21) 出願番号

特願平11-292703

(22) 出願日

平成11年10月14日(1999.10.14)

(65) 公開番号

特開2001-110829(P2001-110829A)

(43) 公開日

平成13年4月20日(2001.4.20)

審査請求日

平成16年4月7日(2004.4.7)

(73) 特許権者 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100087701

弁理士 稲岡 耕作

(74) 代理人 100101328

弁理士 川崎 実夫

(72) 発明者 柴田 和孝

京都市右京区西院溝崎町21番地 ローム
株式会社内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

この基板の表面に活性表面を対向させたフェースダウン状態で接合された半導体チップと、

前記基板の前記半導体チップが接合された表面から突出させて設けられた突起電極と、
この突起電極の頭部が露出する状態で、この突起電極および前記半導体チップを封止する保護樹脂とを含み、

前記基板には、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔が形成されており、

前記保護樹脂、前記突起電極の頭部および前記半導体チップの非活性表面が面一をなしていることを特徴とする半導体装置。

【請求項2】

基板の表面に活性表面を対向させたフェースダウン状態で、半導体チップを前記基板に接合するチップ接合工程と、

前記基板の表面に、この表面から突出した突起電極を形成する電極形成工程と、

前記半導体チップおよび突起電極を、前記突起電極の頭部を露出させた状態で保護樹脂により封止する樹脂封止工程と、

前記基板に、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】

前記チップ接合工程では、複数の半導体チップが前記基板に接合され、

前記電極形成工程では、前記複数の半導体チップに対応した複数の突起電極が形成され、

前記製造方法は、さらに、前記基板を予め定める切断ラインに沿って切断することにより、半導体装置の個片を切り出す切り出し工程を含むことを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

10

この発明は、三次元実装に有利な半導体装置およびその製造方法に関する。

【0002】**【従来の技術】**

半導体パッケージの薄型化とその三次元実装とにより、半導体装置の設置スペースの削減を図ることが提案されている。

図9には、このような目的のために提案されている半導体装置70の構成例を示す断面図である。この半導体装置70は、テープ状基板71の打ち抜き部に薄い半導体チップ72を配置して、その活性表面側(図9の上面側)保護樹脂73で封止して構成されている。半導体チップ72には、シングルポイントボンディングによりインナーリード74が接続されていて、外部の実装基板80との接続は、基板71上でインナーリード74に接続されたアウターリード75によって行うようになっている。この半導体装置70の三次元実装は、アウターリード75をそれぞれ実装基板80に接続することによって行われる。

20

【0003】**【発明が解決しようとする課題】**

しかし、このような構成では、三次元実装の際に、各半導体装置70のアウターリード75を個別に実装基板80に接続する必要があるから、三次元実装の工程が複雑で、かつ、困難である。

また、アウターリード75を外方に引き出す構成であるので、半導体装置70全体の専有面積が比較的大きいという問題もある。

【0004】

30

そこで、この発明の目的は、上述の技術的課題を解決し、三次元実装に有利な半導体装置およびその製造方法を提供することである。

【0005】**【課題を解決するための手段および発明の効果】**

上記の目的を達成するための請求項1記載の発明は、基板と、この基板の表面に活性表面を対向させたフェースダウン状態で接合された半導体チップと、前記基板の前記半導体チップが接合された表面から突出させて設けられた突起電極と、この突起電極の頭部が露出する状態で、この突起電極および前記半導体チップを封止する保護樹脂とを含み、前記基板には、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔が形成されており、前記保護樹脂、前記突起電極の頭部および前記半導体チップの非活性表面が面一をなしていることを特徴とする半導体装置である。

40

【0006】

前記突起電極は、半導体チップの周囲(可及的に半導体チップの近傍)に設けられていることが好ましい。

また、前記基板は、テープ状基板等の薄型の基板であることが好ましい。

請求項1の発明によれば、半導体チップと、外部接続用の電極としての突起電極とが基板の同じ側の表面に設けられている。また、前記基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔が形成されている。この貫通孔を介して、三次元的に積層された複数の半導体装置相互間の接続を容易に図ることができる。

【0007】

50

しかも、突起電極を用いていることにより、半導体装置の占有面積を少なくすることができるうえ、三次元実装された半導体装置間の配線長も短くできる。

なお、前記貫通孔は、突起電極の直下の位置に形成されることが好ましい。

請求項2記載の発明は、基板の表面に活性表面を対向させたフェースダウン状態で、半導体チップを前記基板に接合するチップ接合工程と、前記基板の表面に、この表面から突出した突起電極を形成する電極形成工程と、前記半導体チップおよび突起電極を、前記突起電極の頭部を露出させた状態で保護樹脂により封止する樹脂封止工程と、前記基板に、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0008】

10

この方法により、請求項1に記載された半導体装置を作製することができる。前記貫通孔は、突起電極の基部の直下に形成することが好ましい。

請求項3記載の発明は、前記チップ接合工程では、複数の半導体チップが前記基板に接合され、前記電極形成工程では、前記複数の半導体チップに対応した複数の突起電極が形成され、前記製造方法は、さらに、前記基板を予め定める切断ラインに沿って切断することにより、半導体装置の個片を切り出す切り出し工程を含むことを特徴とする請求項2記載の半導体装置の製造方法である。

【0009】

20

この方法により、複数個の半導体装置を一括して生産することができる。

なお、この場合に、樹脂封止工程は、複数の半導体チップおよび複数の突起電極を一括して封止するようにして行われることが好ましい。複数の半導体チップを封止する保護樹脂は、一体化されていてもよいし、個別の半導体チップごとに分かれてもよい。複数の半導体チップを封止する保護樹脂が一体化されている場合には、切り出し工程では、保護樹脂および基板が同時に切断されることが好ましい。したがって、切り出し工程は、樹脂封止工程の後に行われることが好ましい。

【0010】

30

なお、樹脂封止工程は、突起電極および半導体チップを保護樹脂で封止する工程と、突起電極の頭部を露出させるために保護樹脂の表層部を除去する工程とを含んでいてもよい。また、前記製造方法には、半導体チップの非活性表面を研磨または研削して半導体チップを薄型化する工程がさらに含まれていることが好ましい。この工程では、保護樹脂が同時に研磨または研削されて、装置全体の薄型化が図られてもよい。

【0012】

【発明の実施の形態】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係る半導体装置の構成を示す斜視図である。この半導体装置10は、ポリイミド基板やガラスエボキシ基板などのテープ状の基板1の表面に、半導体チップCを、その表面（活性表面）を対向させたフェースダウン状態で接合した構造を有している。この実施形態においては、半導体チップCは、平面視において矩形形状に成形されていて、半導体チップCの周囲の領域には、基板1の表面から突出した外部接続電極としての突起電極（この実施形態では柱状の電極）Tが複数個形成されている。

【0013】

40

基板1の表面において半導体チップCまたは突起電極Tが形成されていない領域は、保護樹脂（たとえばエボキシ樹脂など）5で樹脂封止されており、半導体装置10全体を補強しているとともに、突起電極Tの変形を防止する役割などを担っている。半導体チップCの表面は、基板1に対向しており、かつ、その側面が保護樹脂5で封止されていることにより、外部から保護されている。

【0014】

この実施形態では、保護樹脂5、突起電極Tの頭部および半導体チップCの非活性表面C_bは、面一をなしている。

図2は、上記の半導体装置の組立工程を工程順に示す断面図である。図2(a)は、半導体

50

チップ接合工程を示す。ポリイミド基板などの基板1には、予め配線パターンが、たとえば銅の電解めっきなどによって形成されている。この配線パターン上には、複数の突起電極Tが形成される（電極形成工程）。この突起電極Tが形成された基板1の表面1aには、複数の半導体チップCがフェースダウンで接合される。すなわち、半導体チップCは、トランジスタや抵抗などの素子が形成された活性表層領域側の表面である活性表面Caを基板1に対向させた状態で、その表面に形成されたバンプBを介して、基板1に接合され、この基板1に形成された配線パターンに電気的に接続される。これにより、半導体チップCは、基板1上の配線パターンを介して突起電極Tと電気的に接続されることになる。

【0015】

基板1に接合される半導体チップCは、比較的大きな厚み、たとえば、 $300 \sim 700 \mu m$ 程度の厚みを有している。このような半導体チップCは、 $300 \sim 700 \mu m$ の厚い半導体ウエハ（図示せず）をダイシングソーで分割することによって得られる。このように十分に厚いウエハは、ダイシング工程において割れや欠けが生じることがなく、かつ、このダイシング工程を経て得られる厚い半導体チップCは、その後に基板1に接合するためのハンドリング時においても割れや欠けが生じるおそれがない。

【0016】

半導体チップCが基板1に接合された後には、必要に応じて、活性表面Caと基板1との間の空隙に液状樹脂（アンダーフィル）が注入される。

図2(b)は、半導体チップ接合工程に続いて行われる樹脂封止工程を示す。この樹脂封止工程では、基板1に接合された複数個の半導体チップCおよびその周囲に配置された複数の突起電極Tを一括して収容するキャビティが形成された金型（図示せず）が用いられ、基板1上の複数個の半導体チップCおよび突起電極Tが保護樹脂5によって一括して封止される（樹脂封止工程）。これにより、各半導体チップCの側壁12と、活性表面Caとは反対側の非活性表面Cbとが保護樹脂5で覆われ、突起電極Tはその全体が保護樹脂5中に埋没する。また、活性表面Caと基板1との間の空隙の側方が、保護樹脂5で封止され、こうして活性表面Caが保護される。

【0017】

なお、この樹脂封止工程では、突起電極Tの頭部および/または半導体チップCの裏面（非活性表面）Cbが保護樹脂5から露出するようにされてもよい。

図2(c)は、樹脂封止工程に続いて、保護樹脂5の硬化後に行われる研削工程を示す。研削工程では、研削目標厚Toまで、グラインダーを用いて研削が行われる。すなわち、保護樹脂5が研削され、半導体チップCの非活性表面Cbが露出させられる。その後は、保護樹脂5および半導体チップCの非活性表面Cb側の研削が同時に進行し、研削目標厚Toまで研削される。この研削目標厚Toは、たとえば、研削後の半導体チップCの厚みtが、 $100 \sim 200 \mu m$ 程度となるように設定される。

【0018】

続いて、図2(d)に示すように、たとえば、ダイシングソー15を用いて、半導体チップC同士の間に設定された切断ラインDに沿って、保護樹脂5および基板1が切断され、図2(e)に示すように、半導体装置10の個片が切り出される。この切り出し工程によって切り出された半導体装置10は、半導体チップCの側壁が全周にわたって保護樹脂5で覆われている。そして、この保護樹脂5の上面5aと研削後の非活性表面Cbとは面一になっており、半導体チップCの角部は保護樹脂5により覆われていて、いずれの位置においても保護されている。

【0019】

こうして切り出された半導体装置10の個片には、必要に応じて、図2(e)に示すように、突起電極Tの基部の直下において、基板1に貫通孔7が形成される。この貫通孔7は、基板1の裏側から、貫通孔7を介して突起電極Tへの電気接続を図るためのものである。そこで、さらに、必要に応じて、図2(f)に示すように、貫通孔7には、たとえば、半田ボール8が印刷により転写されて形成される。この半田ボール8は、必要に応じてリフローを施すことにより、図3に示すように、貫通孔7を通って、基板1の表面1a側に形成

10

20

30

40

50

された配線パターン 13 に接続される。この配線パターン 13 には、半導体チップ C がバンプ B を介して接続されており、かつ、別の位置で突起電極 T が接合されている。

【0020】

図 4 は、上述のような半導体装置 10 の三次元実装を説明するための斜視図である。実装基板 50 の表面には、銅などによる印刷配線 51 が形成されており、半導体装置 10 の実装領域 52 が設定されている。この実装領域 52 上に、複数の半導体装置 10 が積み重ねられて実装される。ただし、複数の半導体装置 10 は、同じ種類の半導体チップ C を内蔵したものであってもよく、また、異なる種類の半導体チップ C を内蔵したものであってもよい。

【0021】

各層の半導体装置 10 の相互間の接続は、各層の半導体装置 10 の突起電極 T 同士が、基板 1 の貫通孔 7 (図 2 および図 3 参照) を介して接続されることにより達成されている。そして、各層の半導体装置 10 の実装基板 50 上の回路への電気接続は、最下層 (実装基板 50 の最も近い層) の半導体装置 10 の突起電極 T が、実装基板 50 の表面の印刷配線 51 に貫通孔 7 を介して接続されることにより達成される。各層の半導体装置 10 間の接合および最下層の半導体装置 10 の印刷配線 51 に対する接合は、半田ボール 8 をリフローにより溶融させることにより達成される。

【0022】

以上のようにこの実施形態によれば、基板 1 の同じ表面側に半導体チップ C および突起電極 T を設け、これらを樹脂封止することにより、薄型の半導体パッケージを実現している。したがって、パッケージの外方にリードを引き出す必要がないので、実装基板 50 上での占有面積が少なくなる。また、半導体装置 10 の三次元実装は、基板 1 に貫通孔 7 を設けることによって達成されており、上述の従来技術のように、各層の半導体装置のリードを個別に実装基板に接合する必要がない。したがって、半導体装置 10 の三次元実装を極めて簡単に行うことができる。

【0023】

また、突起電極 T は、その周囲が保護樹脂 5 (絶縁物) に包囲されているので、リーク電流などが生じることがなく電気的に安定であり、かつ、変形や破損のおそれがなく機械的にも安定である。

さらには、突起電極 T を用いていることにより、上下の半導体装置 10 の各半導体チップ C の間の配線距離が短く、電気的動作を高速化することができるという利点もある。

【0024】

なお、上下に積層される複数の半導体装置 10 のうち、いずれか 1 つの特定の半導体装置 10 の特定の突起電極 T のみを独立して実装基板 50 に接続したい場合には、図 5 に示す構成を採用すればよい。すなわち、当該特定の半導体装置 10 よりも下層の半導体装置 10 の基板 1 には、当該特定の突起電極 T に対応する位置に、独立した (すなわち、当該下層の半導体装置 10 の半導体チップ C とは電気的に接続されていない) 中継用の突起電極 Tc を設ける。これにより、この中継用の突起電極 Tc を介して、上記特定の半導体装置の特定の突起電極 T を、他の半導体装置 10 とは独立した状態で、実装基板 50 に接続することができる。

【0025】

以上、この発明の一実施形態について説明したが、この発明は、他の形態で実施することもできる。

たとえば、上述の実施形態では、同じ大きさの半導体チップ C を有する複数の半導体装置 10 を積層して三次元実装する例を説明したが、図 6 に示すように、異なる大きさの半導体チップ C を内蔵した複数の半導体装置 100 についても、突起電極 T の配置を合わせておくことによって、上述の実施形態の場合と同様な三次元実装が可能である。

【0026】

また、上述の実施形態では、半導体チップ C を上方に向かたフェースアップ状態で半導体装置 10, 100 を実装基板 50 上に実装する例について説明したが、半導体チップ C を

実装基板 50 に対向させたフェースダウン状態で半導体装置 10, 100 の実装を行ってもよい。

さらに、上述の実施形態では、基板 1 の貫通孔 7 に半田ボール 8 を設けるようにしているが、半田ボール 8 を設ける代わりに、貫通孔 7 にクリーム半田を配置し、リフロー法により、実装基板 50 または他の層の半導体装置 10 との接続を行うようにしてもよい。

【0027】

図 7 および図 8 は、参考例の構成を示す断面図である。上述の実施形態では、保護樹脂 5、突起電極 T および半導体チップ C の非活性表面 Cb が面一になるようにしているが、図 7 の参考例では、突起電極 T の頭部が保護樹脂 5 の表面から突出しており、図 8 の参考例では、保護樹脂 5 の表面から半導体チップ C の非活性表面 Cb 側が突出している。図 7 または図 8 の構造は、たとえば、保護樹脂 5 を十分に薄く形成することにより作製可能である。この場合に、突起電極 T の頭部に保護樹脂 5 が付着するおそれがあれば、グラインダーなどによる研磨または研削やエッティングによって、突起電極 T の頭部に付着した保護樹脂を除去すればよい。

【0028】

また、上記の実施形態では、基板 1 上に 1 つの半導体チップ C が接合されて 1 つの半導体装置 10, 100 が構成される例について説明したが、基板 1 上に 2 つ以上の半導体チップ C を共通に接合し、2 つ以上の半導体チップ C を内蔵した半導体装置を構成してもよい。

さらに、上述の実施形態では、突起電極 T は、柱状のものとしたが、バンプ形状のものであっても構わない。

【0029】

また、上述の実施形態においては、製造工程において、複数の半導体チップ C を一括して樹脂封止することとしているが、個々の半導体チップ C または 2 ~ 3 個ずつ（すなわち、所定の複数個）の半導体チップ C ごとに、樹脂封止を行ってもよい。

さらに、上述の各実施形態では、研削工程では、グラインダーによる機械的研削が行われることとしたが、この研削工程は、エッティング液を用いた化学的研削工程であってもよく、また、CMP（化学的機械的研磨）法のような化学的機械的研磨工程であってもよい。ただし、半導体チップの非活性表面側の研削または研磨は、研削精度よりも研削速度の方が重視されるから、上述の 3 つの方法のなかでは、グラインダーによる機械的研削方法が、生産効率の向上の観点からは、もっとも好ましい。

【0030】

グラインダーによる機械的研削が行われた樹脂および半導体チップの非活性表面は、連続した削り跡を有することになるが、この削り跡は、必要に応じて、エッティングなどの化学的方法によって消すことができる。

また、上述の実施形態では、半導体装置の個片を切り出すための切り出し工程に、ダイシングソーを用いることとしたが、たとえば、レーザビームによる切断などの他の切断手法が採用されてもよい。

【0031】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図 1】この発明の一実施形態に係る半導体装置の構成を示す斜視図である。

【図 2】上記半導体装置の製造方法を工程順に示す断面図である。

【図 3】突起電極の近傍の構成を拡大して示す断面図である。

【図 4】上記半導体装置の三次元実装を説明するための斜視図である。

【図 5】特定の半導体装置の特定の突起電極を他の半導体装置から独立して実装基板に接続するための構成を示す斜視図である。

【図 6】異なるサイズの半導体チップを内蔵した半導体装置の三次元実装例を示す断面図である。

10

20

30

40

50

【図7】参考例に係る半導体装置の構成を示す断面図である。

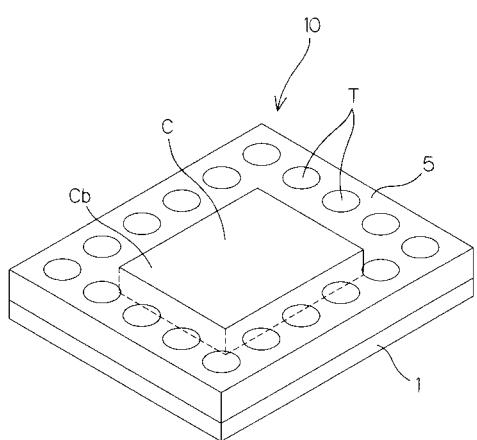
【図8】他の参考例に係る半導体装置の構成を示す断面図である。

【図9】先行技術による薄型半導体装置の三次元実装例を示す断面図である。

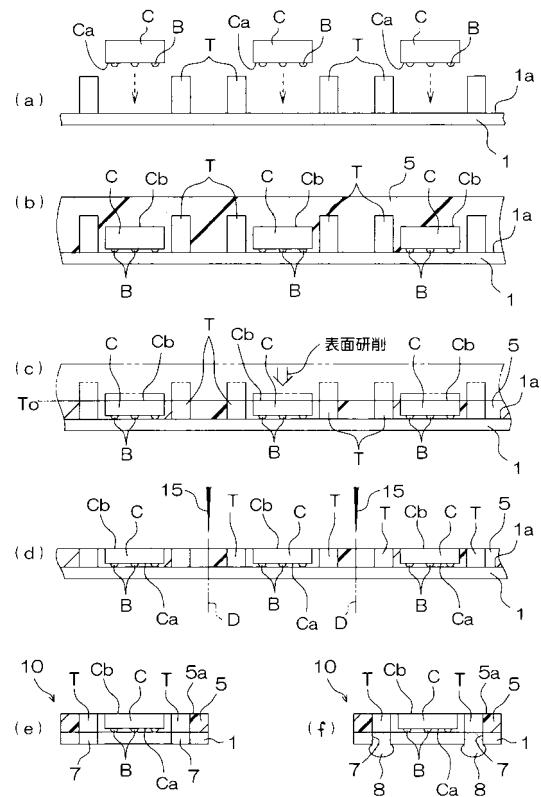
【符号の説明】

1	基板	10
5	保護樹脂	
10	半導体装置	
50	実装基板	
100	半導体装置	
B	バンプ	
C	半導体チップ	
Ca	活性表面	
Cb	非活性表面	
To	研削目標厚	
T	突起電極	
Tc	中継用の突起電極	

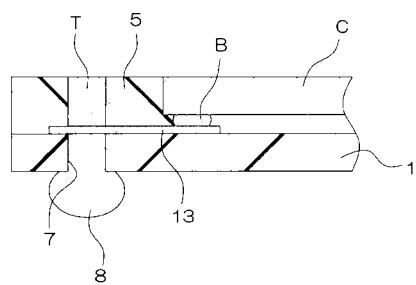
【図1】



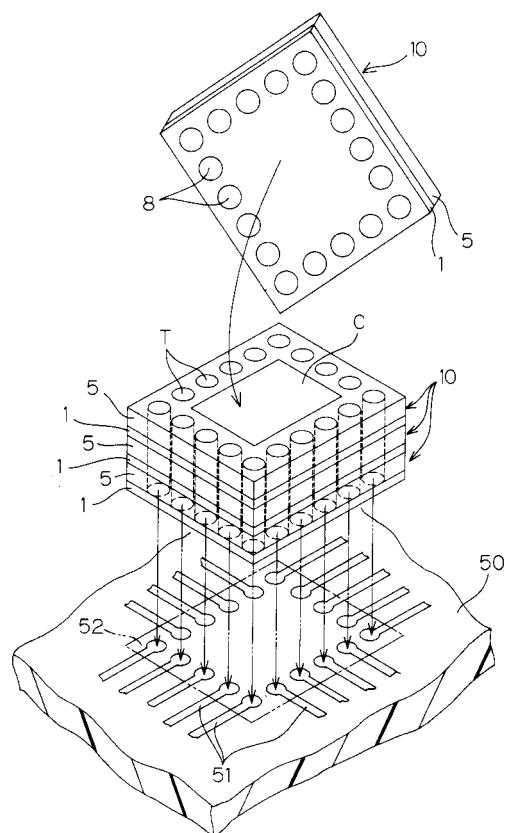
【図2】



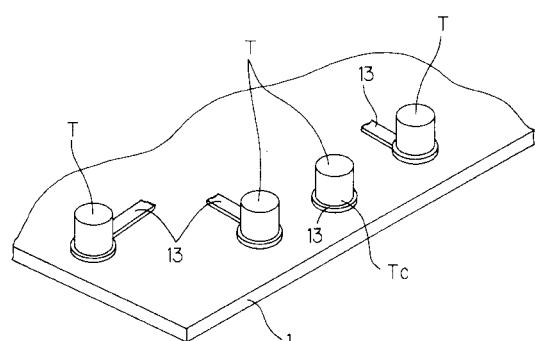
【図3】



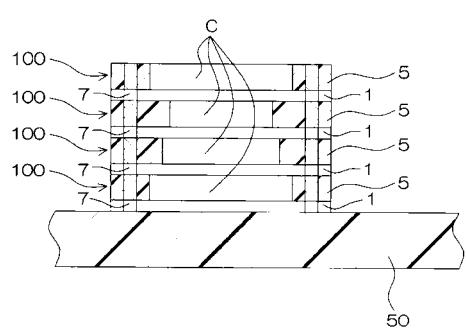
【図4】



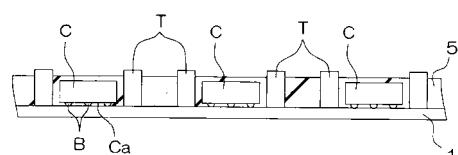
【図5】



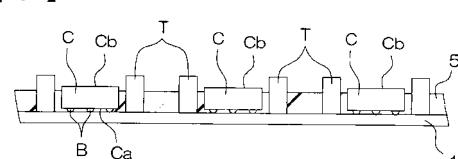
【図6】



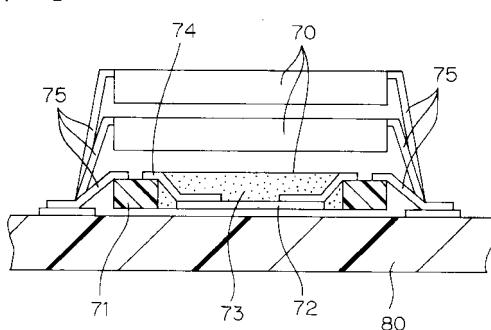
【図7】



【図8】



【図9】



フロントページの続き

(56)参考文献 特開平08-236692(JP,A)
特開平11-288977(JP,A)
特開2000-156461(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/301
H01L 21/56
H01L 21/60
H01L 23/12
H01L 23/28-23/31
H01L 25/065
H01L 25/07
H01L 25/18