



(12)发明专利

(10)授权公告号 CN 106991973 B

(45)授权公告日 2019.01.25

(21)申请号 201710357915.1

(22)申请日 2017.05.19

(65)同一申请的已公布的文献号
申请公布号 CN 106991973 A

(43)申请公布日 2017.07.28

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 玄明花 杨盛际 卢鹏程 付杰
王磊 肖丽

(74)专利代理机构 北京润泽恒知识产权代理有
限公司 11319

代理人 莎日娜

(51)Int.Cl.

G09G 3/3225(2016.01)

(56)对比文件

- CN 105185411 A, 2015.12.23, 全文.
- CN 106057147 A, 2016.10.26, 全文.
- CN 106128352 A, 2016.11.16, 全文.
- CN 104700812 A, 2015.06.10, 全文.
- CN 101079243 A, 2007.11.28, 全文.
- CN 101114430 A, 2008.01.30, 全文.
- CN 106448538 A, 2017.02.22, 全文.
- JP 2016516254 A, 2016.06.02, 全文.
- CN 106504721 A, 2017.03.15, 全文.
- CN 105976775 A, 2016.09.28, 全文.

审查员 宁忠兰

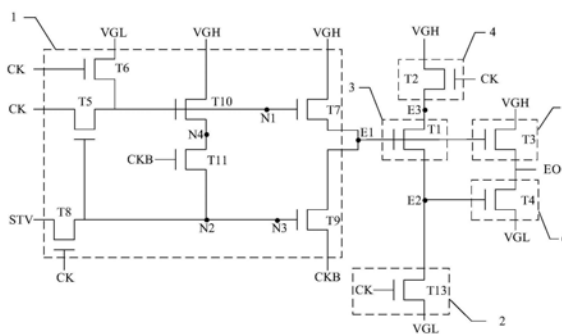
权利要求书3页 说明书10页 附图7页

(54)发明名称

控制发光驱动电路及显示装置、驱动方法

(57)摘要

本发明实施例提供提供一种控制发光驱动电路及显示装置、驱动方法。控制发光驱动电路用于控制像素单元的开启和关断,包括:第一控制模块、第一输出模块、第二控制模块、第二输出模块、第三控制模块和第四控制模块;第一控制模块将第一电平信号输出到第一控制节点时,第一输出模块关断,第二输出模块开启;第一时钟信号输入端输入的第一时钟信号为开启信号,第四控制模块开启,第四控制模块将第一电平信号输入端输入的第一电平信号的电压降低,并将电压降低后的第一电平信号输出到第三控制节点,使第一控制节点的电压值大于或等于第三控制节点的电压值,第三控制模块保持关断,解决发光阶段,像素单元信号输出节点多行输出而导致的显示异常的问题。



1. 一种控制发光驱动电路,用于控制像素单元的开启和关断,其特征在于,所述控制发光驱动电路包括:第一控制模块、第一输出模块、第二控制模块、第二输出模块、第三控制模块和第四控制模块;

所述第一控制模块通过第一控制节点分别连接所述第一输出模块和所述第三控制模块,所述第一输出模块还分别连接第一电平信号输入端及像素单元信号输出节点,所述像素单元信号输出节点用于控制所述像素单元的开启与关断;

所述第二控制模块通过第二控制节点分别连接所述第三控制模块及所述第二输出模块,所述第二输出模块还分别连接第二电平信号输入端及所述像素单元信号输出节点;

所述第三控制模块还通过第三控制节点与所述第四控制模块连接,所述第四控制模块还分别连接所述第一电平信号输入端及第一时钟信号输入端;

所述第一控制模块将第一电平信号输出到所述第一控制节点时,所述第一输出模块关断,所述第二输出模块开启;并且,所述第一时钟信号输入端输入的第一时钟信号为开启信号,所述第四控制模块开启,所述第四控制模块将所述第一电平信号输入端输入的所述第一电平信号的电压降低,并将电压降低后的所述第一电平信号输出到所述第三控制节点,使所述第一控制节点的电压值大于或等于所述第三控制节点的电压值,所述第三控制模块保持关断。

2. 根据权利要求1所述的控制发光驱动电路,其特征在于,

所述第三控制模块包括:第一晶体管,所述第一晶体管的栅极与所述第一控制节点连接,所述第一晶体管的源极与所述第三控制节点连接,所述第一晶体管的漏极与所述第二控制节点连接;

所述第四控制模块包括:第二晶体管,所述第二晶体管的栅极与所述第一时钟信号输入端连接,所述第二晶体管的源极与所述第一电平信号输入端连接,所述第二晶体管的漏极与所述第三控制节点连接。

3. 根据权利要求1所述的控制发光驱动电路,其特征在于,还包括:第一电容,所述第一电容的一极板连接所述第二控制节点,所述第一电容的另一极板连接所述第一电平信号输入端。

4. 根据权利要求1所述的控制发光驱动电路,其特征在于,所述第一输出模块包括:第三晶体管,所述第三晶体管的栅极与所述第一控制节点连接,所述第三晶体管的源极与所述第一电平信号输入端连接,所述第三晶体管的漏极与所述像素单元信号输出节点连接;

所述第二输出模块包括:第四晶体管,所述第四晶体管的栅极与所述第二控制节点连接,所述第四晶体管的源极与所述第二电平信号输入端连接,所述第四晶体管的漏极与所述像素单元信号输出节点连接;

所述第三晶体管的宽长比比所述第四晶体管的宽长比大。

5. 根据权利要求1所述的控制发光驱动电路,其特征在于,所述第一控制模块包括:第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管和第十一晶体管;

所述第五晶体管的栅极与第二节点连接,所述第五晶体管的源极与所述第一时钟信号输入端连接,所述第五晶体管的漏极与第一节点连接,用于所述第二节点的信号为开启信号时,将所述第一时钟信号输入端输入的第一时钟信号输出到所述第一节点;

所述第六晶体管的栅极与所述第一时钟信号输入端连接,所述第六晶体管的源极与所述第一电平信号输入端连接,所述第六晶体管的漏极与所述第一节点连接,用于所述第一时钟信号输入端输入的第一时钟信号为开启信号时,将所述第二电平信号输入端输入的第二电平信号输出到所述第一节点;

所述第七晶体管的栅极与所述第一节点连接,所述第七晶体管的源极与所述第一电平信号输入端连接,所述第七晶体管的漏极与所述第一控制节点连接,用于所述第一节点的信号为开启信号时,将所述第一电平信号输入端输入的第一电平信号输出到所述第一控制节点;

所述第八晶体管的栅极与所述第一时钟信号输入端连接,所述第八晶体管的源极与初始信号输入端连接,所述第八晶体管的漏极与所述第二节点连接,用于所述第一时钟信号输入端输入的第一时钟信号为开启信号时,将所述初始信号输入端输入的初始信号输出到所述第二节点;

所述第二节点与第三节点连接;

所述第九晶体管的栅极与所述第三节点连接,所述第九晶体管的源极与第二时钟信号输入端连接,所述第九晶体管的漏极与所述第一控制节点连接,用于所述第三节点的信号为开启信号时,将所述第二时钟信号输入端输入的第二时钟信号输出到所述第一控制节点;

所述第十晶体管的栅极与所述第一节点连接,所述第十晶体管的源极与所述第一电平信号输入端连接,所述第十晶体管的漏极与第四节点连接,用于所述第一节点的信号为开启信号,将所述第一电平信号输入端输入的第一电平信号输出到所述第四节点;

所述第十一晶体管的栅极与所述第二时钟信号输入端连接,所述第十一晶体管的源极与所述第四节点连接,所述第十一晶体管的漏极与所述第二节点连接,用于所述第二时钟信号输入端输入的第二时钟信号为开启信号,将所述第四节点输入的第一电平信号输出到所述第二节点。

6. 根据权利要求5所述的控制发光驱动电路,其特征在于,所述第一控制模块还包括:第十二晶体管,所述第十二晶体管的栅极与所述第二电平信号输入端连接,所述第十二晶体管的源极与所述第二节点连接,所述第十二晶体管的漏极与所述第三节点连接;或者,所述第十二晶体管的漏极与所述第二节点连接,所述第十二晶体管的源极与所述第三节点连接;用于所述第二电平信号输入端输入的第二电平信号为开启信号,导通所述第二节点和所述第三节点。

7. 根据权利要求5所述的控制发光驱动电路,其特征在于,所述第一控制模块还包括:第二电容和/或第三电容;

所述第二电容的一极板与所述第一节点连接,所述第二电容的另一极板与所述第一电平信号输入端连接;

所述第三电容的一极板与所述第一控制节点连接,所述第三电容的另一极板与所述第三节点连接。

8. 根据权利要求1所述的控制发光驱动电路,其特征在于,所述第二控制模块包括:第十三晶体管,所述第十三晶体管的栅极连接所述第一时钟信号输入端,所述第十三晶体管的源极连接所述第二电平信号输入端,所述第十三晶体管的漏极连接所述第二控制节点,

用于在所述第一时钟信号输入端输入的第一时钟信号为开启信号,将所述第二电平信号输入端输入的第二电平信号输出到所述第二控制节点。

9. 一种显示装置,其特征在于,包括:如权利要求1~8任一项所述的控制发光驱动电路。

10. 一种驱动方法,其特征在于,应用于如权利要求1~8任一项所述的控制发光驱动电路,所述方法包括:

在发光阶段,所述第二输出模块开启,所述第二输出模块将所述第二电平信号输入端输入的所述第二电平信号输出到所述像素单元信号输出节点;

所述第一控制模块将所述第一电平信号输出到所述第一控制节点,控制所述第三控制模块和所述第一输出模块关断;

所述第一时钟信号输入端输入的第一时钟信号为开启信号,控制所述第四控制模块开启,所述第一电平信号输入端将所述第一电平信号输出到所述第四控制模块,所述第四控制模块将接收的所述第一电平信号的电压降低,并将电压降低后的所述第一电平信号输出到所述第三控制节点,使所述第一控制节点的电压值大于或等于所述第三控制节点的电压值,所述第三控制模块保持关断。

控制发光驱动电路及显示装置、驱动方法

技术领域

[0001] 本发明涉及控制发光驱动电路技术领域,特别是涉及一种控制发光驱动电路及显示装置、驱动方法。

背景技术

[0002] AMOLED(Active-matrix organic light emitting diode,主动矩阵有机发光二极管)显示装置除OLED有机发光器件外,驱动背板电路的主要构成为栅极驱动电路、复位驱动电路和控制发光驱动电路。栅极驱动电路和复位驱动电路是为发光准备阶段(不发光)提供电压的移位寄存器。控制发光驱动电路是控制发光时间和时序的移位寄存器。如图1所示,控制发光驱动电路由第一晶体管T1、第三晶体管T3~第十三晶体管T13、第一电容C1~第三电容C3组成。该控制发光驱动电路通过连接第一时钟信号输入端CK、第二时钟信号输入端CKB、第一电平信号输入端VGH、第二电平信号输入端VGL和初始信号输入端STV,实现控制发光驱动电路的工作。但是,该控制发光驱动电路在发光阶段,像素单元信号输出节点E0的电压不稳定,造成像素单元多行输出而使显示异常的问题。

发明内容

[0003] 本发明实施例提供一种控制发光驱动电路及显示装置、驱动方法,以解决现有技术的控制发光驱动电路在发光阶段输出的电压不稳定,造成像素单元多行输出而使显示异常的问题。

[0004] 第一方面,提供一种控制发光驱动电路,用于控制像素单元的开启和关断,所述控制发光驱动电路包括:第一控制模块、第一输出模块、第二控制模块、第二输出模块、第三控制模块和第四控制模块;所述第一控制模块通过第一控制节点分别连接所述第一输出模块和所述第三控制模块,所述第一输出模块还分别连接第一电平信号输入端及像素单元信号输出节点,所述像素单元信号输出节点用于控制所述像素单元的开启与关断;所述第二控制模块通过第二控制节点分别连接所述第三控制模块及所述第二输出模块,所述第二输出模块还分别连接第二电平信号输入端及所述像素单元信号输出节点;所述第三控制模块还通过第三控制节点与所述第四控制模块连接,所述第四控制模块还分别连接所述第一电平信号输入端及第一时钟信号输入端;所述第一控制模块将第一电平信号输出到所述第一控制节点时,所述第一输出模块关断,所述第二输出模块开启;并且,所述第一时钟信号输入端输入的第一时钟信号为开启信号,所述第四控制模块开启,所述第四控制模块将所述第一电平信号输入端输入的所述第一电平信号的电压降低,并将电压降低后的所述第一电平信号输出到所述第三控制节点,使所述第一控制节点的电压值大于或等于所述第三控制节点的电压值,所述第三控制模块保持关断。

[0005] 进一步,所述第三控制模块包括:第一晶体管,所述第一晶体管的栅极与所述第一控制节点连接,所述第一晶体管的源极与所述第三控制节点连接,所述第一晶体管的漏极与所述第二控制节点连接;所述第四控制模块包括:第二晶体管,所述第二晶体管的栅极与

所述第一时钟信号输入端连接,所述第二晶体管的源极与所述第一电平信号输入端连接,所述第二晶体管的漏极与所述第三控制节点连接。

[0006] 进一步,还包括:第一电容,所述第一电容的一极板连接所述第二控制节点,所述第一电容的另一极板连接所述第一电平信号输入端。

[0007] 进一步,所述第一输出模块包括:第三晶体管,所述第三晶体管的栅极与所述第一控制节点连接,所述第三晶体管的源极与所述第一电平信号输入端连接,所述第三晶体管的漏极与所述像素单元信号输出节点连接;所述第二输出模块包括:第四晶体管,所述第四晶体管的栅极与所述第二控制节点连接,所述第四晶体管的源极与所述第二电平信号输入端连接,所述第四晶体管的漏极与所述像素单元信号输出节点连接;所述第三晶体管的宽长比比所述第四晶体管的宽长比大。

[0008] 进一步,所述第一控制模块包括:第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管和第十一晶体管;所述第五晶体管的栅极与第二节点连接,所述第五晶体管的源极与所述第一时钟信号输入端连接,所述第五晶体管的漏极与第一节点连接,用于所述第二节点的信号为开启信号时,将所述第一时钟信号输入端输入的第一时钟信号输出到所述第一节点;所述第六晶体管的栅极与所述第一时钟信号输入端连接,所述第六晶体管的源极与所述第一电平信号输入端连接,所述第六晶体管的漏极与所述第一节点连接,用于所述第一时钟信号输入端输入的第一时钟信号为开启信号时,将所述第二电平信号输入端输入的第二电平信号输出到所述第一节点;所述第七晶体管的栅极与所述第一节点连接,所述第七晶体管的源极与所述第一电平信号输入端连接,所述第七晶体管的漏极与所述第一控制节点连接,用于所述第一节点的信号为开启信号时,将所述第一电平信号输入端输入的第一电平信号输出到所述第一控制节点;所述第八晶体管的栅极与所述第一时钟信号输入端连接,所述第八晶体管的源极与初始信号输入端连接,所述第八晶体管的漏极与所述第二节点连接,用于所述第一时钟信号输入端输入的第一时钟信号为开启信号时,将所述初始信号输入端输入的初始信号输出到所述第二节点;所述第二节点与第三节点连接;所述第九晶体管的栅极与所述第三节点连接,所述第九晶体管的源极与所述第二时钟信号输入端连接,所述第九晶体管的漏极与所述第一控制节点连接,用于所述第三节点的信号为开启信号时,将所述第二时钟信号输入端输入的第二时钟信号输出到所述第一控制节点;所述第十晶体管的栅极与所述第一节点连接,所述第十晶体管的源极与所述第一电平信号输入端连接,所述第十晶体管的漏极与第四节点连接,用于所述第一节点的信号为开启信号,将所述第一电平信号输入端输入的第一电平信号输出到所述第四节点;所述第十一晶体管的栅极与所述第二时钟信号输入端连接,所述第十一晶体管的源极与所述第四节点连接,所述第十一晶体管的漏极与所述第二节点连接,用于所述第二时钟信号输入端输入的第二时钟信号为开启信号,将所述第四节点输入的第一电平信号输出到所述第二节点。

[0009] 进一步,所述第一控制模块还包括:第十二晶体管,所述第十二晶体管的栅极与所述第二电平信号输入端连接,所述第十二晶体管的源极与所述第二节点连接,所述第十二晶体管的漏极与所述第三节点连接;或者,所述第十二晶体管的漏极与所述第二节点连接,所述第十二晶体管的源极与所述第三节点连接;用于所述第二电平信号输入端输入的第二电平信号为开启信号,导通所述第二节点和所述第三节点。

[0010] 进一步,所述第一控制模块还包括:第二电容和/或第三电容;所述第二电容的一极板与所述第一节点连接,所述第二电容的另一极板与所述第一电平信号输入端连接;所述第三电容的一极板与所述第一控制节点连接,所述第三电容的另一极板与所述第三节点连接。

[0011] 进一步,所述第二控制模块包括:第十三晶体管,所述第十三晶体管的栅极连接所述第一时钟信号输入端,所述第十三晶体管的源极连接所述第二电平信号输入端,所述第十三晶体管的漏极连接所述第二控制节点,用于在所述第一时钟信号输入端输入的第一时钟信号为开启信号,将所述第二电平信号输入端输入的第二电平信号输出到所述第二控制节点。

[0012] 第二方面,提供一种显示装置,包括:上述的控制发光驱动电路。

[0013] 第三方面,提供一种驱动方法,应用于上述的控制发光驱动电路,所述方法包括:在发光阶段,所述第二输出模块开启,所述第二输出模块将所述第二电平信号输入端输入的所述第二电平信号输出到所述像素单元信号输出节点;所述第一控制模块将所述第一电平信号输出到所述第一控制节点,控制所述第三控制模块和所述第一输出模块关断;所述第一时钟信号输入端输入的第一时钟信号为开启信号,控制所述第四控制模块开启,所述第一电平信号输入端将所述第一电平信号输出到所述第四控制模块,所述第四控制模块将接收的所述第一电平信号的电压降低,并将电压降低后的所述第一电平信号输出到所述第三控制节点,使所述第一控制节点的电压值大于或等于所述第三控制节点的电压值,所述第三控制模块保持关断。

[0014] 这样,本发明实施例中,通过设置与第三控制模块连接的第四控制模块,使得在第一控制模块将第一电平信号输出到第一控制节点时,开启第四控制模块,并使第四控制模块将输入其的第一电平信号的电压降低,并将电压降低后的第一电平信号输出到第三控制节点,从而使第一控制节点的电压值大于或等于第三控制节点的电压值,避免第三控制模块导通而产生漏电流,可使第三控制模块保持关断,因此,不会有漏电流输出到第二控制节点,从而第二控制节点的电压可保持稳定,避免第二输出模块输出的第二电平信号的电位波动,从而解决了像素单元信号输出节点多行输出而导致的显示异常的问题。

附图说明

[0015] 为了更清楚地说明本发明实施例的技术方案,下面将对本发明实施例的描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0016] 图1是现有技术的控制发光驱动电路的电路结构示意图;

[0017] 图2是现有技术的控制发光驱动电路工作过程的一种时序图;

[0018] 图3是现有技术的控制发光驱动电路工作过程的另一种时序图;

[0019] 图4是本发明实施例的控制发光驱动电路的一种结构示意图;

[0020] 图5是本发明实施例的控制发光驱动电路的另一种结构示意图;

[0021] 图6是本发明实施例的控制发光驱动电路工作的时序图;

[0022] 图7是本发明实施例的控制发光驱动电路在第一阶段的等效电路示意图;

- [0023] 图8是本发明实施例的控制发光驱动电路在第二阶段的等效电路示意图；
[0024] 图9是本发明实施例的控制发光驱动电路在第三阶段的等效电路示意图；
[0025] 图10是本发明实施例的控制发光驱动电路在第四阶段的等效电路示意图。

具体实施方式

[0026] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获取的所有其他实施例,都属于本发明保护的范围。

[0027] 发明人基于如图1所示的现有技术的控制发光驱动电路的电路结构发现:发光阶段,由于,第一晶体管T1连接第一电平信号输入端VGH,在发光阶段,当第一电平信号输入端VGH输入第一电平信号时,第七晶体管T7将第一电平信号输出到第一控制节点E1,第一电平信号还输入到第三控制节点E3。第一控制节点E1的电压和第三控制节点E3的电压相等使得第一晶体管T1的 $V_{gs}=0$ 。理想状态下,该发光阶段,第一晶体管T1不会开启。但是,由于工艺的浮动或者高温信赖性的原因,第一晶体管T1的阈值电压 V_{th} 可能从负值偏移至零甚至正值,则第一晶体管T1的 $V_{gs}<V_{th}$,即小于工艺浮动引起的阈值电压 V_{th} ,使得第一晶体管导通,产生漏电流。漏电流冲入到第二控制节点E2,导致第二控制节点E2的电压波动,并进而导致像素单元信号输出节点E0多行输出,引起显示异常的问题,如图2所示。此外,发明人还发现:由于第一电容C1的一极板与第二控制节点E2连接,另一极板与第二时钟信号输入端CKB连接。第二时钟信号输入端CKB在控制发光驱动电路工作的过程中,随着工作阶段的不同,会使输入的第二时钟信号在高电平和低电平之间转换,从而使得第二控制节点E2的电压也跟着浮动,导致像素单元信号输出节点E0输出出现较高的杂音,如图3所示。

[0028] 因此,基于此,本发明实施例公开了一种控制发光驱动电路。该控制发光驱动电路用于控制像素单元的开启和关断。如图4所示,该控制发光驱动电路包括:第一控制模块1、第一输出模块5、第二控制模块2、第二输出模块6、第三控制模块3和第四控制模块4。

[0029] 其中,第一控制模块1通过第一控制节点E1分别连接第一输出模块5和第三控制模块3。第一输出模块5还分别连接第一电平信号输入端VGH及像素单元信号输出节点E0。像素单元信号输出节点E0用于控制像素单元的开启与关断。第二控制模块2通过第二控制节点E2分别连接第三控制模块3及第二输出模块6。第二输出模块6还分别连接第二电平信号输入端VGL及像素单元信号输出节点E0。第三控制模块3还通过第三控制节点E3与第四控制模块4连接,第四控制模块4还分别连接第一电平信号输入端VGH及第一时钟信号输入端CK。

[0030] 第一控制模块1将第一电平信号输出到第一控制节点E1时,第一输出模块5关断,第二输出模块6开启;并且,第一时钟信号输入端CK输入的第一时钟信号为开启信号,第四控制模块4开启,第四控制模块4将第一电平信号输入端VGH输入的第一电平信号的电压降低,并将电压降低后的第一电平信号输出到第三控制节点E3,使第一控制节点E1的电压值大于或等于第三控制节点E3的电压值,从而避免第三控制模块3导通而产生漏电流,第三控制模块3保持关断。

[0031] 由于,第三控制模块3保持关断,因此,不会有漏电流输出到第二控制节点E2,从而第二控制节点E2的电压可保持稳定,避免第二输出模块6输出的第二电平信号的电位波动,

从而解决了像素单元信号输出节点E0多行输出而导致的显示异常的问题。

[0032] 在一优选的实施例中,如图5所示,该控制发光驱动电路还包括:第一电容C1。第一电容C1的一极板连接第二控制节点E2,第一电容C1的另一极板连接第一电平信号输入端VGH。

[0033] 第一电容C1的另一极板连接第一电平信号输入端VGH,该第一电平信号输入端输入的第一电平信号的电压恒定,使得第一电容C1另一极板的电压不会随着控制发光驱动电路的工作阶段的不同而改变,从而根据第一电容C1的特性,该第一电容C1的一极板的电压也恒定,从而起到稳定第二控制节点E2的电压的作用,进一步避免第二控制节点E2的电压突变,有利于像素单元信号输出节点E0的电压的进一步稳定,避免第二电平信号产生杂音及其导致的显示异常的问题。

[0034] 下面结合图4和图5,对每一模块的具体结构做进一步的说明。其中,第一电平信号和第二电平信号的相位相差 180° 。第一时钟信号和第二时钟信号的相位相差 180° 。

[0035] 第一控制模块1包括:第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10和第十一晶体管T11。

[0036] 第五晶体管T5的栅极与第二节点N2连接,第五晶体管T5的源极与第一时钟信号输入端CK连接,第五晶体管T5的漏极与第一节点N1连接,用于第二节点N2的信号为开启信号时,将第一时钟信号输入端CK输入的第一时钟信号输出到第一节点N1。

[0037] 第六晶体管T6的栅极与第一时钟信号输入端CK连接,第六晶体管T6的源极与第一电平信号输入端VGH连接,第六晶体管T6的漏极与第一节点N1连接,用于第一时钟信号输入端CK输入的第一时钟信号为开启信号时,将第二电平信号输入端VGL输入的第二电平信号输出到第一节点N1。

[0038] 第七晶体管T7的栅极与第一节点N1连接,第七晶体管T7的源极与第一电平信号输入端VGH连接,第七晶体管T7的漏极与第一控制节点E1连接,用于第一节点N1的信号为开启信号时,将第一电平信号输入端VGH输入的第一电平信号输出到第一控制节点E1。

[0039] 第八晶体管T8的栅极与第一时钟信号输入端CK连接,第八晶体管T8的源极与初始信号输入端STV连接,第八晶体管T8的漏极与第二节点N2连接,用于第一时钟信号输入端CK输入的第一时钟信号为开启信号时,将初始信号输入端STV输入的初始信号输出到第二节点N2。

[0040] 第二节点N2与第三节点N3连接。

[0041] 第九晶体管T9的栅极与第三节点N3连接,第九晶体管T9的源极与第二时钟信号输入端CKB连接,第九晶体管T9的漏极与第一控制节点E1连接,用于第三节点N3的信号为开启信号时,将第二时钟信号输入端CKB输入的第二时钟信号输出到第一控制节点E1。

[0042] 第十晶体管T10的栅极与第一节点N1连接,第十晶体管T10的源极与第一电平信号输入端VGH连接,第十晶体管T10的漏极与第四节点N4连接,用于第一节点N1的信号为开启信号,将第一电平信号输入端CK输入的第一电平信号输出到第四节点N4。

[0043] 第十一晶体管T11的栅极与第二时钟信号输入端CKB连接,第十一晶体管T11的源极与第四节点N4连接,第十一晶体管T11的漏极与第二节点N2连接,用于第二时钟信号输入端CKB输入的第二时钟信号为开启信号,将第四节点N4输入的第一电平信号输出到第二节点N2。

[0044] 在一优选的实施例中,如图5所示,第一控制模块还包括:第十二晶体管T12。第十二晶体管T12的栅极与第二电平信号输入端VGL连接,第十二晶体管T12的源极与第二节点N2连接,第十二晶体管T12的漏极与第三节点N3连接;或者,第十二晶体管T12的漏极与第二节点N2连接,第十二晶体管T12的源极与第三节点N3连接。该第十二晶体管T12用于第二电平信号输入端VGH输入的第二电平信号为开启信号,导通第二节点N2和第三节点N3。

[0045] 由于第八晶体管T8易产生漏电流而使输出到第三节点N3的电压不稳定,通过第十二晶体管T12对第八晶体管T8进行补偿,从而使得第三节点N3的电压稳定。

[0046] 在一优选的实施例中,如图5所示,第一控制模块1还包括:第二电容C2和/或第三电容C3,即该第一控制模块1可同时具有第二电容C2和第三电容C3,也可以只具有其中之一。

[0047] 具体的,第二电容C2的一极板与第一节点N1连接,第二电容C2的另一极板与第一电平信号输入端VGH连接。

[0048] 第二电容C2具有储能的作用,充电和放电都需要一定的时间。因此,当第二电容C2的另一极板与第一电平信号输入端VGH连接,该第二电容C2的另一极板的电压稳定,第二电容C2两端的电压不会突变,该第二电容C2的一极板的电压也稳定,使得第二电容C2可以起到稳定第一节点N1的电压的作用,避免第一节点N1的电压突变,从而有利第一控制节点E1的电压的稳定,避免影响控制发光驱动电路的工作过程。

[0049] 第三电容C3的一极板与第一控制节点E1连接,第三电容C3的另一极板与第三节点N3连接。

[0050] 第三电容C3起到将第二节点N3的电压降低的作用,从而进一步避免了控制发光驱动电路的工作过程中,第三节点电压N3影响第九晶体管T9的开启的问题,使得第九晶体管T9可以充分开启。

[0051] 通过上述的第一控制模块1的具体结构,可实现在控制发光驱动电路的工作过程的不同阶段,控制第一控制节点E1的电压的作用。

[0052] 具体的,第二控制模块2包括:第十三晶体管T13。第十三晶体管T13的栅极连接第一时钟信号输入端CK,第十三晶体管T13的源极连接第二电平信号输入端VGL,第十三晶体管T13的漏极连接第二控制节点E2。

[0053] 第十三晶体管T13用于在第一时钟信号输入端CK输入的第一时钟信号为开启信号,将第二电平信号输入端VGH输入的第二电平信号输出到第二控制节点E2。

[0054] 具体的,第三控制模块3包括:第一晶体管T1。第一晶体管T1的栅极与第一控制节点E1连接,第一晶体管T1的源极与第三控制节点E3连接,第一晶体管T1的漏极与第二控制节点E2连接。

[0055] 具体的,第四控制模块4包括:第二晶体管T2。第二晶体管T2的栅极与第一时钟信号输入端CK连接,第二晶体管T2的源极与第一电平信号输入端VGH连接,第二晶体管T2的漏极与第三控制节点E3连接。

[0056] 第二晶体管T2用于第一时钟信号输入端CK输入的第一时钟信号为开启信号时,将第一电平信号输入端VGH输入的第一电平信号输出到第三控制节点E3。

[0057] 第四控制模块4通过设置第二晶体管T2,可控制第三控制节点E3的电压,从而可在需要关断第一晶体管T1时,避免第一晶体管T1的源极和漏极导通,产生漏电流。

[0058] 具体的,第一输出模块5包括:第三晶体管T3。第三晶体管T3的栅极与第一控制节点E1连接,第三晶体管T3的源极与第一电平信号输入端VGH连接,第三晶体管T3的漏极与像素单元信号输出节点E0连接。

[0059] 第二输出模块6包括:第四晶体管T4。第四晶体管T4的栅极与第二控制节点E2连接,第四晶体管T4的源极与第二电平信号输入端VGL连接,第四晶体管T4的漏极与像素单元信号输出节点E0连接。

[0060] 其中,第三晶体管T3的沟道宽长比比第四晶体管T4的沟道宽长比大。

[0061] 第一输出模块5通过上述的结构设计,可在控制发光驱动电路的工作过程中,向像素单元信号输出节点E0输出第一电平信号;第二输出模块6通过上述的结构设计,可在控制发光驱动电路的工作过程中,向像素单元信号输出节点E0输出第二电平信号。此外,通过设计第三晶体管T3和第四晶体管T4的沟道的宽长比,可使得第三晶体管T3和第四晶体管T4在同时开启的情况下,第三晶体管T3输出的信号起主导作用。

[0062] 如图6所示,为本发明实施例的控制发光驱动电路工作过程的时序图。下面对各信号的时序关系,以图5示出的控制发光驱动电路,结合图7~10示出的控制发光驱动电路在各个阶段的等效电路示意图,对控制发光驱动电路的工作过程进行简要说明。其中,晶体管为PMOS管,第一电平信号为高电平信号,第二电平信号为低电平信号。

[0063] 第一阶段Time1为复位阶段,对上一帧的信号进行复位。应当理解的是,若为第一帧的情况,则没有第一阶段Time1。该阶段,第一时钟信号输入端CK输入的第一时钟信号为低电平,初始信号输入端STV输入的初始信号为低电平,第二时钟信号输入端CKB输入的第二时钟信号为高电平,第一电平信号输入端VGH输入的第一电平信号为高电平,第二电平信号输入端VGL输入的第二电平信号为低电平。如图7所示(晶体管处有斜杠表示该晶体管关断),控制第六晶体管T6、第八晶体管T8、第二晶体管T2、第十三晶体管T13、第十二晶体管T12开启,第十一晶体管T11关断。初始信号输入端STV将初始信号通过第八晶体管T8输出到第二节点N2,控制第五晶体管T5开启。第一时钟信号输入端CK通过第五晶体管T5将第一时钟信号以及第二电平信号输入端VGH通过第六晶体管T6将第二电平信号输出到第一节点N1,控制第七晶体管T7开启。同样的,初始信号从第二节点N2通过第十二晶体管T12输出到第三节点N3,控制第九晶体管T9开启。第一电平信号输入端VGH将第一电平信号通过第七晶体管T7以及第二时钟信号输入端CKB将第二时钟信号通过第九晶体管T9输出到第一控制节点E1,控制第一晶体管T1和第三晶体管T3均关断。第二电平信号输入端VGL通过第十三晶体管T13将第二电平信号输出到第二控制节点E2,控制第四晶体管T4开启。第二电平信号输入端VGL通过第四晶体管T4将第二电平信号输出到像素单元信号输出节点E0,使电压复位。应当理解的是,在第一阶段Time1中,第二晶体管T2和第十晶体管T10开启,但并不会影响整个电路的工作。

[0064] 第二阶段Time2,发光器件D不发光。该阶段,第一时钟信号输入端CK输入的第一时钟信号为高电平,第二时钟信号输入端CKB输入的第二时钟信号为低电平,第一电平信号输入端VGH输入的第一电平信号为高电平,第二电平信号输入端VGL输入的第二电平信号为低电平。如图8所示(晶体管处有斜杠表示该晶体管关断),控制第六晶体管T6、第八晶体管T8、第二晶体管T2、第十三晶体管T13关断,第十二晶体管T12开启。第二节点N2保持第一阶段Time1的信号的电位(即低电平),控制第五晶体管T5开启。第一时钟信号输入端CK通过第五

晶体管T5将第一时钟信号输出到第一节点N1,控制第七晶体管T7关断。第三节点N3也保持第一阶段Time1的信号的电位(即低电平),控制第九晶体管T9开启。第二时钟信号输入端CKB将第二时钟信号通过第九晶体管T9输出到第一控制节点E1。由于第二时钟信号从第一阶段Time1的高电平变为低电平,则第三电容C3的一极板的电压降低,在第三电容C3的作用下,第三电容C3的另一极板的电压也会降低,从而进一步降低第三节点N3的电压,确保在第二阶段Time2,第九晶体管T9保持开启。第一控制节点E1的信号控制第九晶体管T9和第十晶体管T10开启。第一电平信号输入端VGH将第一电平信号通过第十晶体管T10输出到像素单元信号输出节点E0。第二控制节点E2保持第一阶段Time1的信号的电位(即低电平),控制第四晶体管T4开启。第二电平信号输入端VGL通过第四晶体管T4将第二电平信号输出到像素单元信号输出节点E0。由于第三晶体管T3的沟道宽长比比第四晶体管T4的沟道宽长比大,则第三晶体管T3输出的第一电平信号起主导作用;因此,像素单元信号输出节点E0向像素单元输出的高电平信号起主导作用,使像素单元保持关断,不发光。应当理解的是,在第二阶段Time2中,虽然第十一晶体管T11开启,但并不会影响整个电路的工作。

[0065] 第三阶段Time3,为发光阶段,发光器件D发光。该阶段,第一时钟信号输入端CK输入的第一时钟信号为低电平,初始信号输入端STV输入的初始信号为高电平,第二时钟信号输入端CKB输入的第二时钟信号为高电平,第一电平信号输入端VGH输入的第一电平信号为高电平,第二电平信号输入端VGL输入的第二电平信号为低电平。如图9所示(晶体管处有斜杠表示该晶体管关断),控制第六晶体管T6、第八晶体管T8、第二晶体管T2、第十三晶体管T13和第十二晶体管T12开启,控制第十一晶体管T11关断。初始信号输入端STV将初始信号通过第八晶体管T8输出到第二节点N2,控制第五晶体管T5关断。第二电平信号输入端VGH通过第六晶体管T6将第二电平信号输出到第一节点N1,控制第七晶体管T7开启。同样的,初始信号从第二节点N2通过第十二晶体管T12输出到第三节点N3,则第三节点N3的信号控制第九晶体管T9关断。第一电平信号输入端VGH将第一电平信号通过第七晶体管T7输出到第一控制节点E1,控制第一晶体管T1和第三晶体管T3均关断。第二电平信号输入端VGL通过第十三晶体管T13将第二电平信号输出到第二控制节点E2,控制第四晶体管T4开启。第二电平信号输入端VGL将第二电平信号通过第四晶体管T4输出到像素单元信号输出节点E0,以便开启像素单元发光。应当理解的是,在第三阶段Time3中,虽然第十晶体管T10开启,但并不会影响整个电路的工作。

[0066] 第四阶段Time4,为发光阶段,发光器件D发光。该阶段,第一时钟信号输入端CK输入的第一时钟信号为高电平,初始信号输入端STV输入的初始信号为高电平,第二时钟信号输入端CKB输入的第二时钟信号为低电平,第一电平信号输入端VGH输入的第一电平信号为高电平,第二电平信号输入端VGL输入的第二电平信号为低电平。如图10所示(晶体管处有斜杠表示该晶体管关断),控制第六晶体管T6和第十三晶体管T13关断,第二晶体管T2、第八晶体管T8、第十一晶体管T11和第十二晶体管T12开启。第一节点N1保持第三阶段Time3的信号的电位(即低电平),控制第七晶体管T7和第十晶体管T10开启。第一电平信号输入端VGH将第一电平信号通过第十晶体管T10和第十一晶体管T11输出到第二节点N2,同时,初始信号输入端STV将初始信号通过第八晶体管T8输出到第二节点N2;控制第五晶体管T5关断。第一电平信号和初始信号从第二节点N2通过第十二晶体管T12输出到第三节点N3,控制第九晶体管T9关断。第一电平信号输入端VGH将第一电平信号通过第七晶体管T7输出到第一控

制节点E1,控制第一晶体管T1和第三晶体管T3均关断。第二控制节点E2保持第三阶段Time3的信号的电位(即低电平),控制第四晶体管T4开启。第二电平信号输入端VGL将第二电平信号通过第四晶体管T4输出到像素单元信号输出节点E0,以便开启像素单元发光。

[0067] 特别地,由于工艺浮动原因或者高温信赖性而导致第一晶体管T1的阈值电压从负值偏移至零甚至正值时,可能会使得第一晶体管T1的源极和漏极导通,产生漏电流,从而影响第三阶段Time3和第四阶段Time4。

[0068] 因此,为了避免第一晶体管T1产生漏电流,设置了第二晶体管T2。在第三阶段Time3和第四阶段Time4中,第二晶体管T2开启,第一电平信号输入端VGH将第一电平信号通过第二晶体管T2输出到第三控制节点E3。实际应用中,第二晶体管T2会具有一定的电阻,因此,使得第二电平信号在通过第二晶体管T2后,其信号的电位会降低。由于第二电平信号同时输出到第一控制节点E1和第三控制节点E3,第二晶体管T2对第二电平信号的电位的降低作用,使得第一控制节点E1的电压要高于或者等于第三控制节点E3的电压(由于第七晶体管T7可能也会使信号产生压降,因此,可能出现等于的情况),即第一晶体管T1的栅极电压要高于或者等于源极的电压,避免了由于第一晶体管T1的阈值电压从负值偏移至零甚至正值而导致第一晶体管的 $V_{gs} < V_{th}$,使第一晶体管T1开启的问题,从而避免第一晶体管T1产生漏电流,不会影响第二控制节点E2的电压,从而使得第四晶体管T4的输出稳定,最终使得第三阶段Time3和第四阶段Time4(发光阶段),像素单元信号输出节点E0可输出干净的脉冲信号,如图5所示。

[0069] 综上,本发明实施例的控制发光驱动电路,通过设置与第三控制模块3连接的第四控制模块4,使得在第一控制模块1将第一电平信号输出到第一控制节点E1时,开启第四控制模块4,并使第四控制模块4将输入其的第一电平信号的电压降低,并将电压降低后的第一电平信号输出到第三控制节点E3,从而使第一控制节点E1的电压值大于或等于第三控制节点E3的电压值,避免第三控制模块3导通而产生漏电流,可使第三控制模块3保持关断,因此,不会有漏电流输出到第二控制节点E2,从而第二控制节点E2的电压可保持稳定,避免第二输出模块6输出的第二电平信号的电位波动,从而解决了像素单元信号输出节点E0多行输出而导致的显示异常的问题;此外,通过使第一电容C1的另一极板连接第一电平信号输入端VGH,由于该第一电平信号输入端输入的第一电平信号的电压恒定,使得第一电容C1另一极板的电压不会随着控制发光驱动电路的工作阶段的不同而改变,从而根据第一电容C1的特性,该第一电容C1的一极板的电压也恒定,从而起到稳定第二控制节点E2的电压的作用,进一步避免第二控制节点E2的电压突变,有利于像素单元信号输出节点E0的电压的进一步稳定,避免第二电平信号产生杂音,而导致的显示异常的问题。

[0070] 本发明实施例还提供一种显示装置。例如,该显示装置可以是AMOLED显示装置。该显示装置包括:上述实施例的控制发光驱动电路。该显示装置具有与本发明上述实施例提供的控制发光驱动电路相同的有益效果,由于控制发光驱动电路在上述实施例中已经进行了详细说明,此处不再赘述。

[0071] 本发明实施例还提供一种驱动方法。该驱动方法应用于上述实施例的控制发光驱动电路。相对与现有技术,该驱动方法在发光阶段(对应上述实施例的第三阶段Time3和第四阶段Time4)可通过第四控制模块4对输入其的第一电平信号的电压进行降低,然后输出到第三控制节点E3,使得第三控制节点E3的电压小于第一控制节点E1的电压,从而使第一

晶体管T1保持关断,避免产生漏电流。

[0072] 具体的,该驱动方法包括:在发光阶段,第二输出模块6开启,第二输出模块6将第二电平信号输入端VGL输入的第二电平信号输出到像素单元信号输出节点E0;第一控制模块1将第一电平信号输出到第一控制节点E1,控制第三控制模块3和第一输出模块5关断;第一时钟信号输入端CK输入的第一时钟信号为开启信号,控制第四控制模块4开启,第一电平信号输入端VGH将第一电平信号输出到第四控制模块4,第四控制模块4将接收的第一电平信号的电压降低,并将电压降低后的第一电平信号输出到第三控制节点E3,使第一控制节点E1的电压值大于或等于第三控制节点E3的电压值,第三控制模块3保持关断。

[0073] 因此,在发光阶段,第一晶体管T1不产生漏电流,第二控制节点E2不会受到漏电流的影响,从而第二控制节点E2的电压可保持稳定,避免第二输出模块6输出的第二电平信号产生波动,从而解决了像素单元信号输出节点E0多行输出而导致的显示异常的问题。

[0074] 应当理解的是,若该驱动方法应用于控制发光驱动电路的第一帧的情况,则该驱动方法还包括控制像素单元关断的步骤。具体的,按照工作过程的时序,包括三个步骤,分别依次对应上述实施例的第二阶段Time2到第四阶段Time4,在此不再赘述。

[0075] 若该驱动方法应用于控制发光驱动电路的第一帧以后的帧的情况,该驱动方法还包括控制像素单元复位和控制像素单元关断的步骤。具体的,按照工作过程的时序,包括四个步骤,分别依次对应上述实施例的第一阶段Time1到第四阶段Time4,在此不再赘述。

[0076] 综上,本发明实施例的方法,在发光阶段,可通过第三控制模块3使第一控制节点E1的电压值大于或等于第三控制节点E3的电压值,第一晶体管T1不产生漏电流,避免第二控制节点E2受到漏电流的影响,保持第二控制节点E2的电压稳定,避免第二输出模块6输出的第二电平信号波动,从而解决了像素单元信号输出节点E0多行输出而导致的显示异常的问题。

[0077] 本说明书中的各个实施例均采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似的部分互相参见即可。

[0078] 尽管已描述了本发明实施例的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例做出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明实施例范围的所有变更和修改。

[0079] 最后,还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者终端设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者终端设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者终端设备中还存在另外的相同要素。

[0080] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以权利要求的保护范围为准。

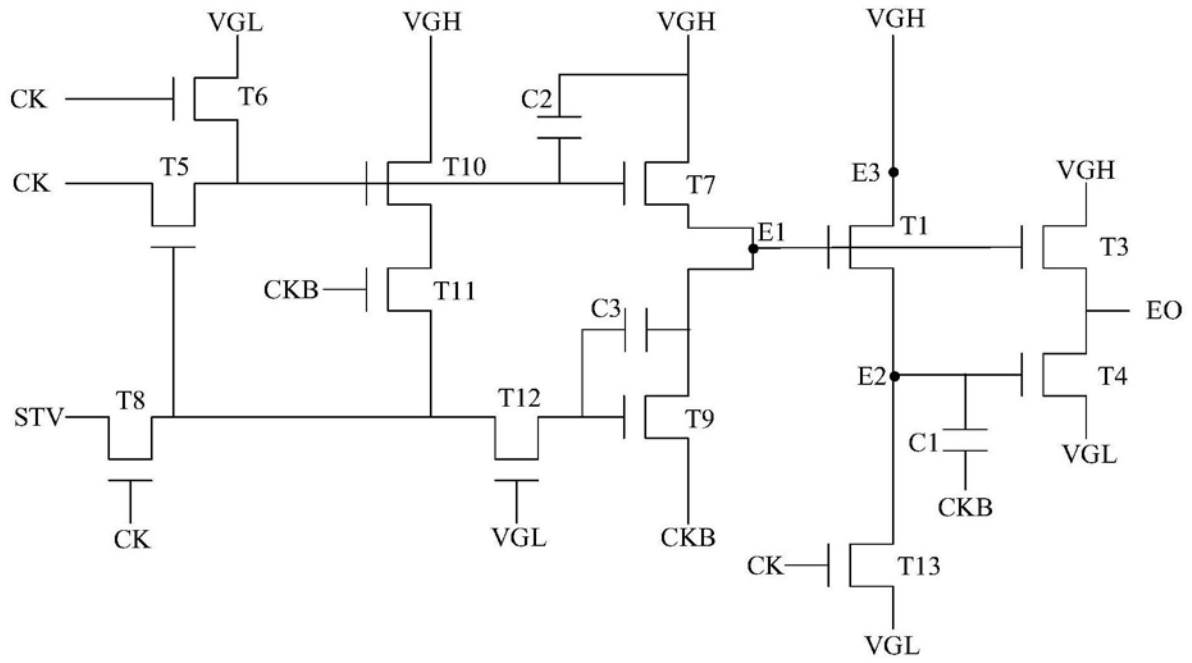


图1

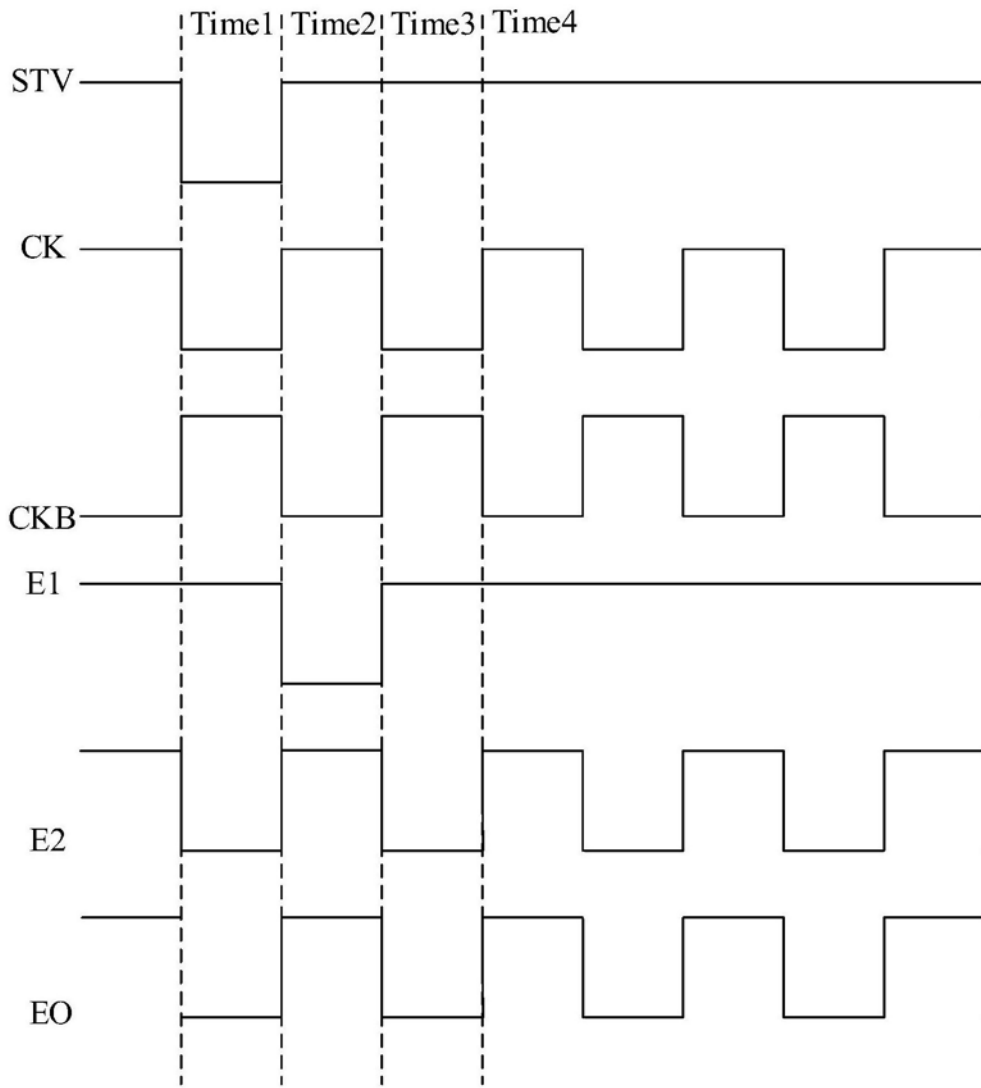


图2

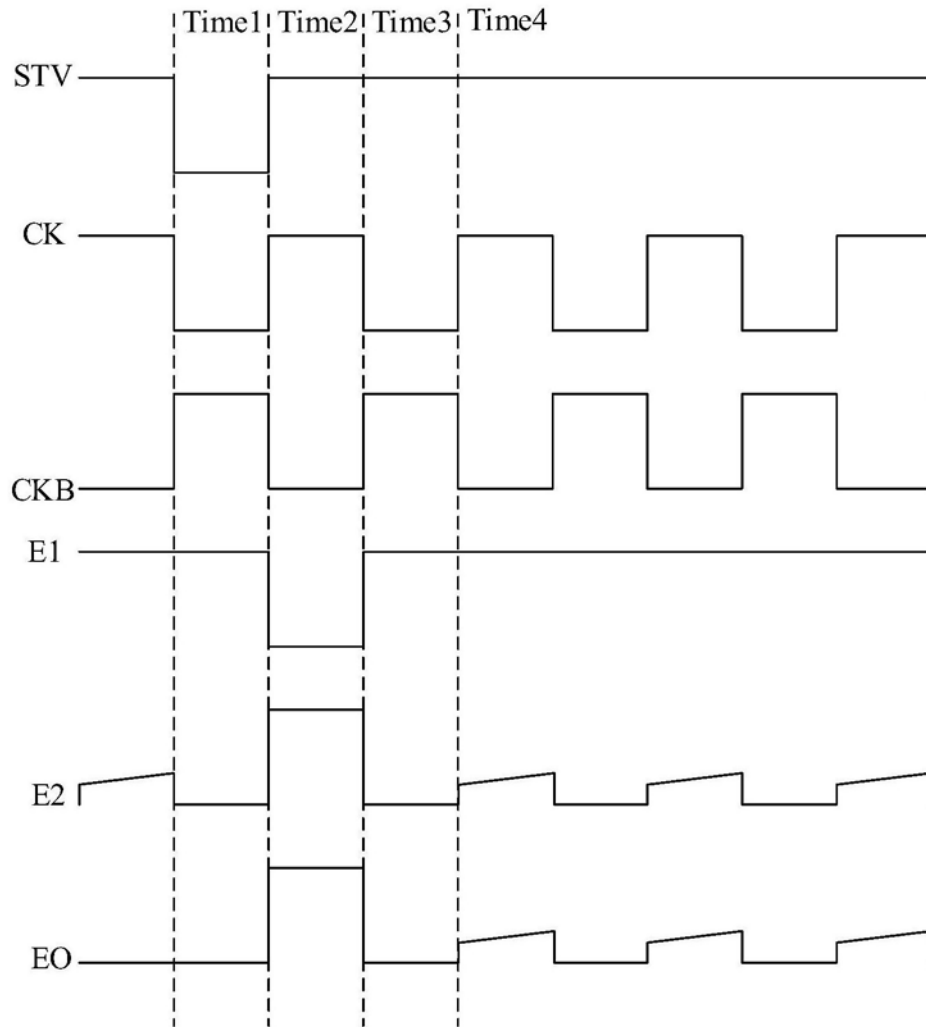


图3

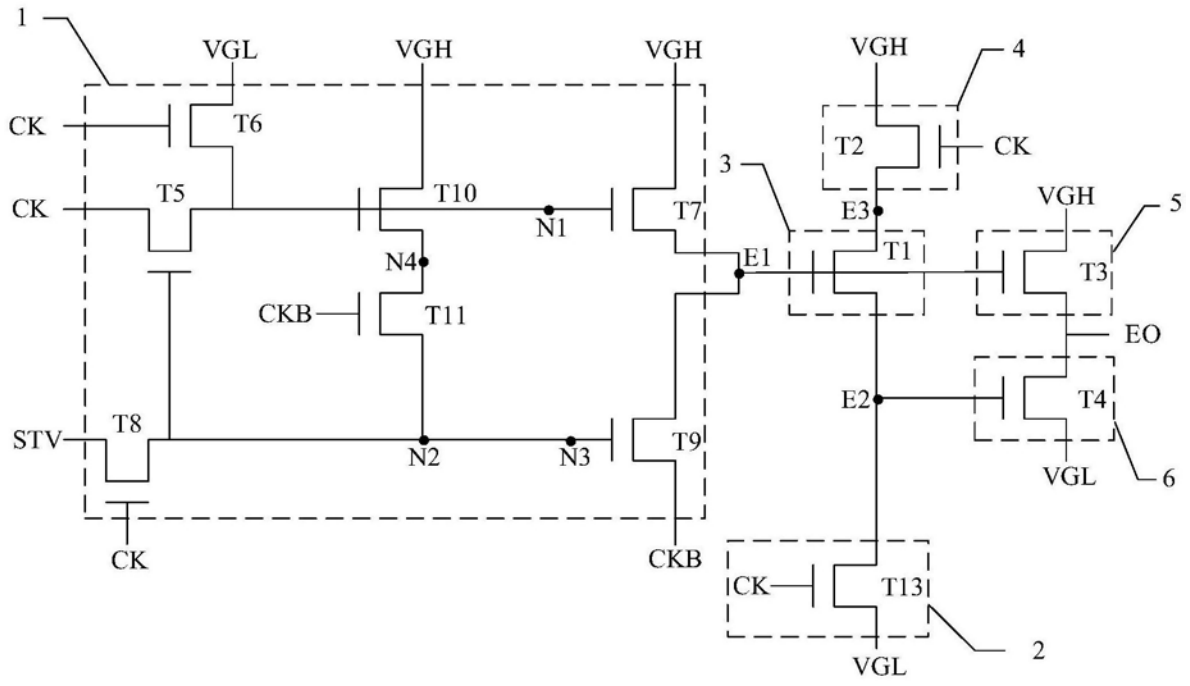


图4

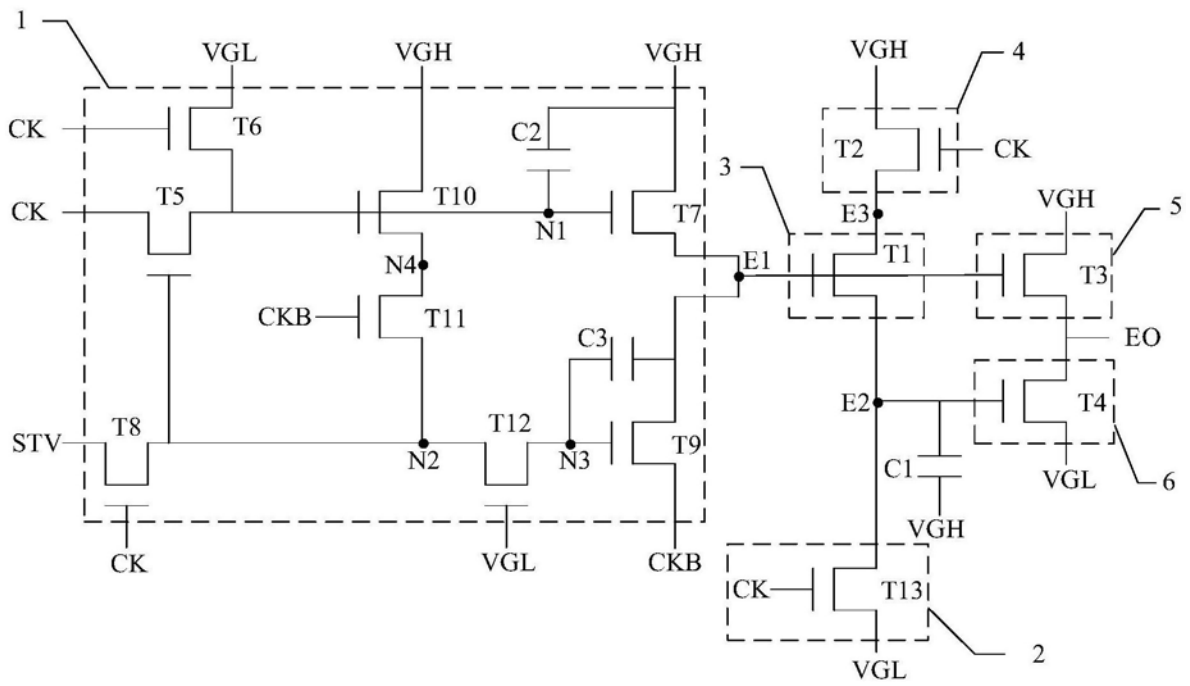


图5

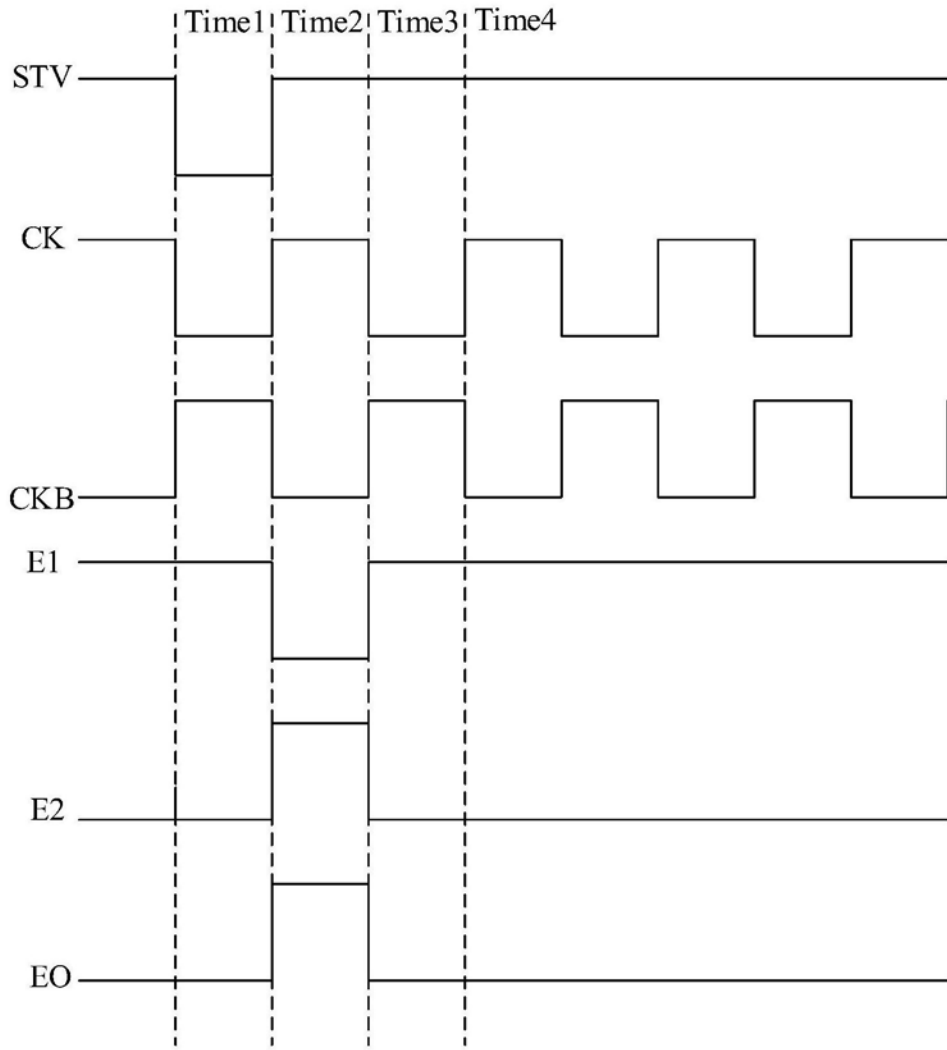


图6

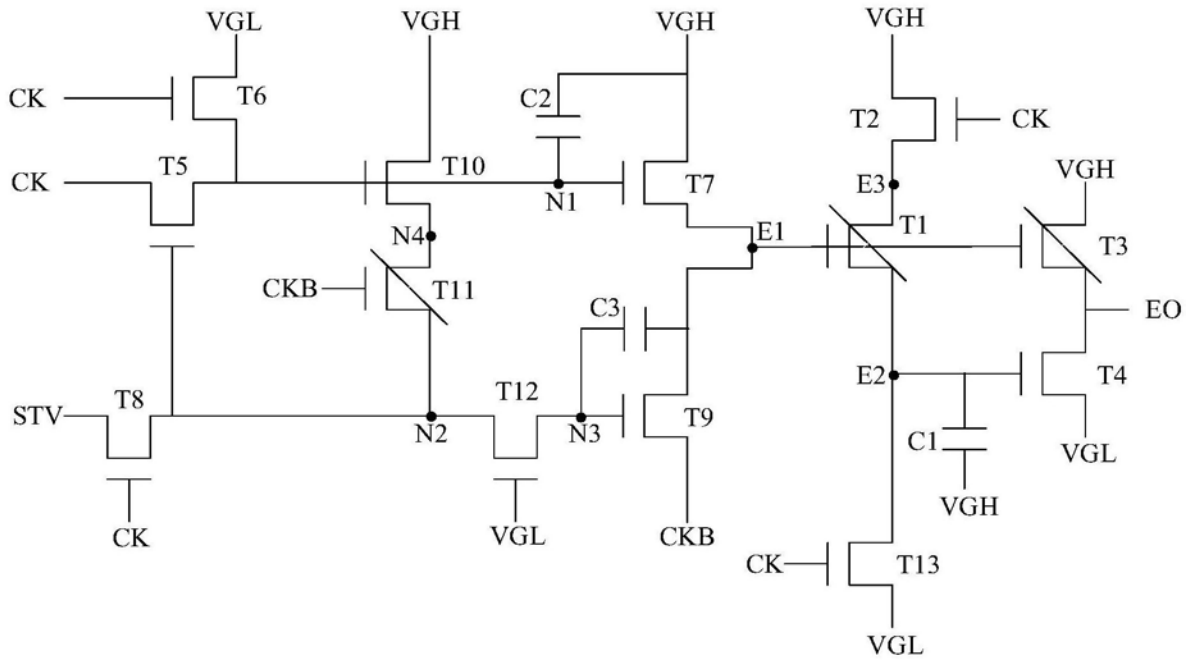


图7

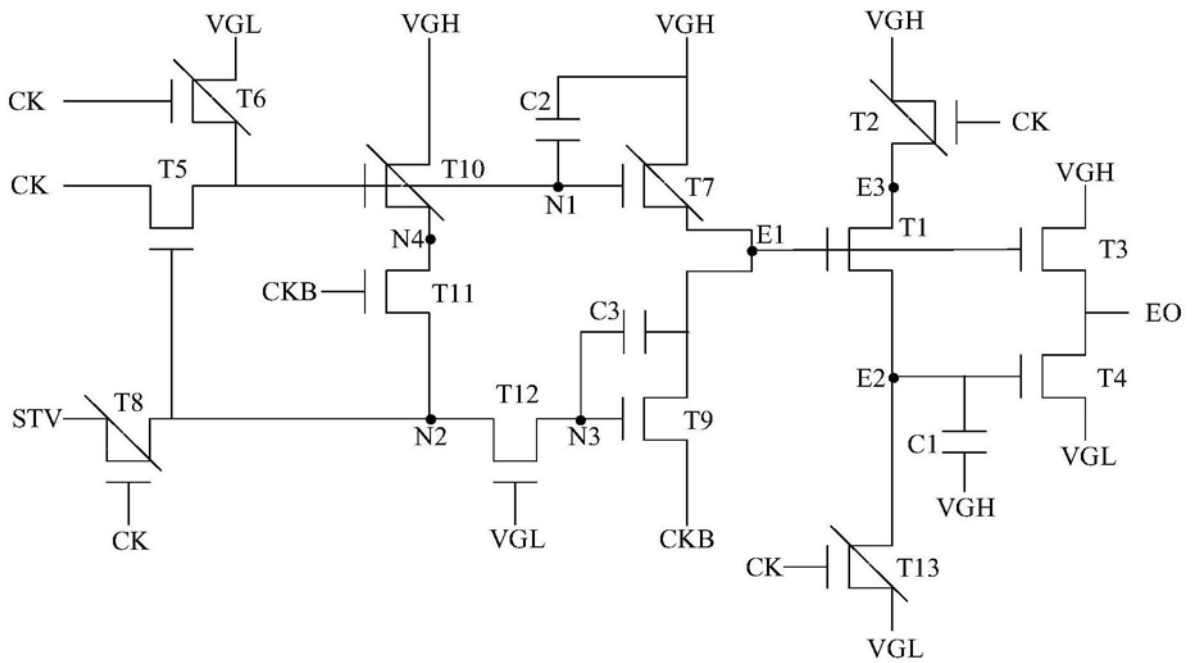


图8

