

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 26 年 4 月 24 日 (2014.4.24)

【公開番号】特開 2014-50103 (P2014-50103A)  
 【公開日】平成 26 年 3 月 17 日 (2014.3.17)  
 【年通号数】公開・登録公報 2014-014  
 【出願番号】特願 2013-169110 (P2013-169110)  
 【国際特許分類】

H 0 3 M 13/27 (2006.01)

【F I】

H 0 3 M 13/27

【手続補正書】

【提出日】平成 26 年 3 月 11 日 (2014.3.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 シーケンスに配置される複数のデータアイテムを格納する第 1 メモリであって、各データアイテムが前記第 1 メモリ上の関連するメモリアドレスを有し、前記複数のデータアイテムがデータアイテムのブロックのサブセットからなる、前記第 1 メモリと、  
 第 2 メモリと、

前記第 1 メモリと前記第 2 メモリとに接続され、D R A M に対するポートを有する転送エンジンであって、第 1 メモリ転送段階において前記第 1 メモリから前記 D R A M に前記複数のデータアイテムを直接転送し、第 2 メモリ転送段階において前記 D R A M から前記第 2 メモリに前記複数のデータアイテムを直接転送するよう構成される前記転送エンジンと、

を有するデジタル信号処理システムオンチップであって、

前記第 1 メモリ転送段階において、前記転送エンジンは、所定のメモリアドレスの非リニアシーケンスに従って前記第 1 メモリから前記複数のデータアイテムを読み込み、前記複数のデータアイテムを前記 D R A M に書き込むよう構成され、

前記第 2 メモリ転送段階において、前記転送エンジンは、リニアアドレスシーケンスの各バーストが D R A M インタフェースのバーストサイズに基づき選択された長さを有する、リニアアドレスシーケンスのバーストに従って前記 D R A M から前記複数のデータアイテムを読み込み、前記複数のデータアイテムが前記第 1 シーケンスと異なる第 2 シーケンスにより前記第 2 メモリに配置されるように、所定のメモリアドレスの非リニアシーケンスに従って前記複数のデータアイテムを前記第 2 メモリに書き込むよう構成され、

前記第 1 シーケンスと前記第 2 シーケンスとの 1 つは、ロー・カラムインタリーブされたデータを有するデジタル信号処理システムオンチップ。

【請求項 2】

前記第 1 メモリと前記第 2 メモリとは共に S R A M である、請求項 1 記載のデジタル信号処理システムオンチップ。

【請求項 3】

前記第 1 メモリと前記第 2 メモリとは、同一のオンチップメモリである、請求項 1 又は 2 記載のデジタル信号処理システムオンチップ。

【請求項 4】

前記 D R A M をさらに有する、請求項 1 乃至 3 何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 5】

前記転送エンジンはさらに、前記データアイテムのブロックのすべてが前記第 2 メモリに書き込まれるまで、前記第 1 及び第 2 メモリ転送段階を繰り返すよう構成される、請求項 1 乃至 4 何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 6】

前記所定のメモリリードアドレスの非リニアシーケンスと前記所定のメモリライトアドレスの非リニアシーケンスとを生成するよう構成される少なくとも 1 つのアドレス生成要素をさらに有する、請求項 1 乃至 5 何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 7】

前記データアイテムのブロックは、データアイテムのいくつかのロー及びデータアイテムのいくつかのカラムを有するグリッドとして構成されるとして定義される、請求項 1 乃至 6 何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 8】

前記グリッドはさらに、各タイルが前記グリッドの矩形部分を有し、さらにデータアイテムの R 個のロー及び C 個のカラムを有する複数のタイルを有し、

前記複数のデータアイテムは、1 以上のタイルを有する、請求項 7 記載のデジタル信号処理システムオンチップ。

【請求項 9】

前記所定のメモリリードアドレスの非リニアシーケンスは、前記第 1 の複数のデータアイテムの各タイルについて、固定数のメモリアドレスにより分離され、初期的なスタートアドレスからスタートする不連続なメモリアドレスのシーケンスを有し、

前記固定数は、前記グリッドのロー数未満の数に対応し、

前記タイルの境界に到達するまで、各追加的なシーケンスがオフセット初期的なスタートアドレスからスタートする不連続なメモリアドレスの 1 以上の追加的なシーケンスに続く、請求項 8 記載のデジタル信号処理システムオンチップ。

【請求項 10】

前記所定のメモリライトアドレスの非リニアシーケンスは、前記第 2 メモリの固定数のメモリアドレスにより分離され、前記第 2 メモリの初期的なスタートアドレスからスタートする C 個の連続的なメモリアドレスのグループのシーケンスを有し、

前記固定数は、前記グリッドにおけるカラム数未満の C に対応する、請求項 8 又は 9 記載のデジタル信号処理システムオンチップ。

【請求項 11】

前記複数のデータアイテムは、前記グリッドのタイルを有する、請求項 8 乃至 10 何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 12】

前記第 2 メモリ転送段階において、前記リニアアドレスシーケンスのバーストは、前記第 2 メモリの固定数のメモリアドレスにより分離され、前記第 2 メモリの初期的なスタートアドレスからスタートする X 個の連続的なメモリアドレスのバーストのシーケンスを有し、

X は、前記グリッドのタイルのデータアイテムの個数に等しい、請求項 8 乃至 11 何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 13】

前記第 1 メモリ転送段階において、前記転送エンジンは、各リニアアドレスシーケンスのバーストが D R A M インタフェースのバーストサイズに基づき選択された長さを有する、リニアアドレスシーケンスのバーストに従って前記複数のデータアイテムを前記 D R A M に書き込むよう構成される、請求項 8 乃至 12 何れか一項記載のデジタル信号処理システムオンチップ。

**【請求項 14】**

前記第 1 メモリ転送段階において、前記リニアアドレスシーケンスのバーストは、前記第 2 メモリの固定数のメモリアドレスにより分離され、前記第 2 メモリの初期的なスタートアドレスからスタートする X 個の連続的なメモリアドレスのバーストのシーケンスを有し、

X は、前記グリッドのタイルのデータアイテムの個数に等しい、請求項 13 記載のデジタル信号処理システムオンチップ。

**【請求項 15】**

タイルは、前記 D R A M インタフェースのバーストのサイズに基づきサイジングされる、請求項 8 乃至 14 何れか一項記載のデジタル信号処理システムオンチップ。

**【請求項 16】**

デジタル信号処理システムにおいてデータアイテムのブロックに対してインタリーブ又はデインタリーブ処理を実行する方法であって、

第 1 オンチップメモリから、所定のメモリリードアドレスの非リニアシーケンスに従って第 1 シーケンスに格納されている第 1 の複数のデータアイテムを読み込むステップであって、前記第 1 の複数のデータアイテムは前記データアイテムのブロックのサブセットからなる、読み込むステップと、

前記第 1 の複数のデータアイテムを D R A M に書き込むステップと、

前記 D R A M から、リニアアドレスシーケンスの各バーストが D R A M インタフェースのバーストサイズに基づき選択される長さを有する、リニアアドレスシーケンスのバーストに従って前記第 1 の複数のデータアイテムを読み込むステップと、

前記データアイテムが前記第 1 シーケンスと異なる第 2 シーケンスにより第 2 オンチップメモリ上に配置されるように、所定のメモリライトアドレスの非リニアシーケンスに従って前記第 1 の複数のデータアイテムを前記第 2 オンチップメモリに書き込むステップと、  
を有し、

前記第 1 シーケンスと前記第 2 シーケンスとの 1 つは、ロー・カラムインタリーブされたデータを有する方法。

**【請求項 17】**

前記第 1 オンチップメモリと前記第 2 オンチップメモリとは共に S R A M である、請求項 16 記載の方法。

**【請求項 18】**

前記第 1 オンチップメモリと前記第 2 オンチップメモリとは同一のオンチップメモリである、請求項 16 又は 17 記載の方法。

**【請求項 19】**

前記 D R A M は、第 3 オンチップメモリである、請求項 16 乃至 18 何れか一項記載の方法。

**【請求項 20】**

前記データアイテムのブロックの全体が前記第 2 オンチップメモリに書き込まれるまで、当該方法を繰り返すステップをさらに有する、請求項 16 乃至 19 何れか一項記載の方法。

**【請求項 21】**

前記データアイテムのブロックは、データアイテムのいくつかのロー及びデータアイテムのいくつかのカラムを有するグリッドとして構成されるときに定義される、請求項 16 乃至 20 何れか一項記載の方法。

**【請求項 22】**

前記グリッドはさらに、各タイルが前記グリッドの矩形部分を有し、さらにデータアイテムの R 個のロー及び C 個のカラムを有する複数のタイルを有し、

前記第 1 の複数のデータアイテムは、1 以上のタイルを有する、請求項 21 記載の方法。

**【請求項 2 3】**

前記第 1 オンチップメモリから、所定のメモリリードアドレスの非リニアシーケンスに従って第 1 シーケンスに格納されている第 1 の複数のデータアイテムを読み込むステップは、前記第 1 の複数のデータアイテムの各タイルについて、

( i ) 前記第 1 オンチップメモリの初期的なスタートアドレスのデータアイテムを読み込むステップと、

( i i ) 固定数のデータアイテムをスキップするステップであって、前記固定数は前記グリッドのロー数未満のものに対応する、前記スキップするステップと、

( i i i ) データアイテムを読み込むステップと、

( i v ) 前記タイルの境界に到達するまで、ステップ ( i i ) 及び ( i i i ) を繰り返すステップと、

( v ) 前記初期的なスタートアドレスにオフセットを加えるステップと、

( v i ) 前記タイルの各データアイテムが読み込まれるまで、ステップ ( i ) ~ ( v ) を繰り返すステップと、

を有する、請求項 2 2 記載の方法。

**【請求項 2 4】**

前記所定のメモリライトアドレスの非リニアシーケンスに従って前記第 1 の複数のデータアイテムを前記第 2 オンチップメモリに書き込むステップは、

( i ) 前記第 1 の複数のデータアイテムからの C 個のデータアイテムを前記第 2 オンチップメモリの複数の連続的なアドレスであって、前記第 2 オンチップメモリの前記タイルの初期的なスタートアドレスからスタートする前記複数の連続的なアドレスに書き込むステップと、

( i i ) 前記第 2 オンチップメモリの固定数のアドレスをスキップするステップであって、前記固定数は前記グリッドのカラム数未満の C に対応する、前記スキップするステップと、

( i i i ) 前記第 1 の複数のデータアイテムからの C 個のデータアイテムを前記第 2 オンチップメモリの複数の連続的なアドレスに書き込むステップと、

( i v ) ステップ ( i i ) 及び ( i i i ) を繰り返すステップと、

を有する、請求項 2 2 又は 2 3 記載の方法。

**【請求項 2 5】**

前記第 1 の複数のデータアイテムを前記 D R A M に書き込むステップは、

( i ) 前記第 1 の複数のデータアイテムからの X 個のデータアイテムを前記 D R A M の前記タイルの初期的なスタートアドレスからスタートする前記 D R A M の複数の連続的なアドレスに書き込むステップと、

( i i ) 前記 D R A M の固定数のアドレスをスキップするステップと、

( i i i ) 前記第 1 の複数のデータアイテムからの X 個のデータアイテムを前記 D R A M の複数の連続的なアドレスに書き込むステップと、

( i v ) ステップ ( i i ) 及び ( i i i ) を繰り返すステップと、

を有し、

X は、前記グリッドのタイルのデータアイテムの個数に等しい、請求項 2 2 乃至 2 4 何れか一項記載の方法。

**【請求項 2 6】**

前記 D R A M から、リニアアドレスシーケンスのバーストに従って前記第 1 の複数のデータアイテムを読み込むステップは、

( i ) 前記第 1 の複数のデータアイテムからの X 個のデータアイテムを前記 D R A M の初期的なスタートアドレスからスタートする前記 D R A M の複数の連続的なアドレスから読み込むステップと、

( i i ) 前記 D R A M の固定数のアドレスをスキップするステップと、

( i i i ) 前記第 1 の複数のデータアイテムからの X 個のデータアイテムを前記 D R A M の複数の連続的なアドレスから読み込むステップと、

( i v ) ステップ ( i i ) 及び ( i i i ) を繰り返すステップと、  
を有し、

X は、前記グリッドのタイルのデータアイテムの個数に等しい、請求項 2 2 乃至 2 5 何れか一項記載の方法。

【請求項 2 7】

タイルは、前記 D R A M インタフェースのバーストのサイズに基づきサイジングされる、請求項 2 5 又は 2 6 記載の方法。

【請求項 2 8】

コンピュータ上で実行されると、請求項 1 6 乃至 2 7 何れか一項記載の方法の全てのステップを実行するよう構成されるコンピュータプログラムコード手段を有するコンピュータプログラム。

【請求項 2 9】

コンピュータ可読媒体上に格納される請求項 2 8 記載のコンピュータプログラム。