

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年4月24日(2014.4.24)

【公開番号】特開2014-50103(P2014-50103A)

【公開日】平成26年3月17日(2014.3.17)

【年通号数】公開・登録公報2014-014

【出願番号】特願2013-169110(P2013-169110)

【国際特許分類】

H 03M 13/27 (2006.01)

【F I】

H 03M 13/27

【手続補正書】

【提出日】平成26年3月11日(2014.3.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1シーケンスに配置される複数のデータアイテムを格納する第1メモリであって、各データアイテムが前記第1メモリ上の関連するメモリアドレスを有し、前記複数のデータアイテムがデータアイテムのブロックのサブセットからなる、前記第1メモリと、

第2メモリと、

前記第1メモリと前記第2メモリとに接続され、DRAMに対するポートを有する転送エンジンであって、第1メモリ転送段階において前記第1メモリから前記DRAMに前記複数のデータアイテムを直接転送し、第2メモリ転送段階において前記DRAMから前記第2メモリに前記複数のデータアイテムを直接転送するよう構成される前記転送エンジンと、

を有するデジタル信号処理システムオンチップであって、

前記第1メモリ転送段階において、前記転送エンジンは、所定のメモリリードアドレスの非リニアシーケンスに従って前記第1メモリから前記複数のデータアイテムを読み込み、前記複数のデータアイテムを前記DRAMに書き込むよう構成され、

前記第2メモリ転送段階において、前記転送エンジンは、リニアアドレスシーケンスの各バーストがDRAMインターフェースのバーストサイズに基づき選択された長さを有する、リニアアドレスシーケンスのバーストに従って前記DRAMから前記複数のデータアイテムを読み込み、前記複数のデータアイテムが前記第1シーケンスと異なる第2シーケンスにより前記第2メモリに配置されるように、所定のメモリライトアドレスの非リニアシーケンスに従って前記複数のデータアイテムを前記第2メモリに書き込むよう構成され、

前記第1シーケンスと前記第2シーケンスとの1つは、ロー・カラムインターリーブされたデータを有するデジタル信号処理システムオンチップ。

【請求項2】

前記第1メモリと前記第2メモリとは共にSRAMである、請求項1記載のデジタル信号処理システムオンチップ。

【請求項3】

前記第1メモリと前記第2メモリとは、同一のオンチップメモリである、請求項1又は2記載のデジタル信号処理システムオンチップ。

【請求項4】

前記DRAMをさらに有する、請求項1乃至3何れか一項記載のデジタル信号処理システムオンチップ。

【請求項5】

前記転送エンジンはさらに、前記データアイテムのブロックのすべてが前記第2メモリに書き込まれるまで、前記第1及び第2メモリ転送段階を繰り返すよう構成される、請求項1乃至4何れか一項記載のデジタル信号処理システムオンチップ。

【請求項6】

前記所定のメモリリードアドレスの非リニアシーケンスと前記所定のメモリライトアドレスの非リニアシーケンスとを生成するよう構成される少なくとも1つのアドレス生成要素をさらに有する、請求項1乃至5何れか一項記載のデジタル信号処理システムオンチップ。

【請求項7】

前記データアイテムのブロックは、データアイテムのいくつかのロー及びデータアイテムのいくつかのカラムを有するグリッドとして構成されるとして定義される、請求項1乃至6何れか一項記載のデジタル信号処理システムオンチップ。

【請求項8】

前記グリッドはさらに、各タイルが前記グリッドの矩形部分を有し、さらにデータアイテムのR個のロー及びC個のカラムを有する複数のタイルを有し、

前記複数のデータアイテムは、1以上のタイルを有する、請求項7記載のデジタル信号処理システムオンチップ。

【請求項9】

前記所定のメモリリードアドレスの非リニアシーケンスは、前記第1の複数のデータアイテムの各タイルについて、固定数のメモリアドレスにより分離され、初期的なスタートアドレスからスタートする不連続なメモリアドレスのシーケンスを有し、

前記固定数は、前記グリッドのロー数未満の数に対応し、

前記タイルの境界に到達するまで、各追加的なシーケンスがオフセット初期的なスタートアドレスからスタートする不連続なメモリアドレスの1以上の追加的なシーケンスに続く、請求項8記載のデジタル信号処理システムオンチップ。

【請求項10】

前記所定のメモリライトアドレスの非リニアシーケンスは、前記第2メモリの固定数のメモリアドレスにより分離され、前記第2メモリの初期的なスタートアドレスからスタートするC個の連続的なメモリアドレスのグループのシーケンスを有し、

前記固定数は、前記グリッドにおけるカラム数未満のCに対応する、請求項8又は9記載のデジタル信号処理システムオンチップ。

【請求項11】

前記複数のデータアイテムは、前記グリッドのタイルを有する、請求項8乃至10何れか一項記載のデジタル信号処理システムオンチップ。

【請求項12】

前記第2メモリ転送段階において、前記リニアアドレスシーケンスのバーストは、前記第2メモリの固定数のメモリアドレスにより分離され、前記第2メモリの初期的なスタートアドレスからスタートするX個の連続的なメモリアドレスのバーストのシーケンスを有し、

Xは、前記グリッドのタイルのデータアイテムの個数に等しい、請求項8乃至11何れか一項記載のデジタル信号処理システムオンチップ。

【請求項13】

前記第1メモリ転送段階において、前記転送エンジンは、各リニアアドレスシーケンスのバーストがDRAMインタフェースのバーストサイズに基づき選択された長さを有する、リニアアドレスシーケンスのバーストに従って前記複数のデータアイテムを前記DRAMに書き込むよう構成される、請求項8乃至12何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 14】

前記第1メモリ転送段階において、前記リニアアドレスシーケンスのバーストは、前記第2メモリの固定数のメモリアドレスにより分離され、前記第2メモリの初期的なスタートアドレスからスタートするX個の連続的なメモリアドレスのバーストのシーケンスを有し、

Xは、前記グリッドのタイルのデータアイテムの個数に等しい、請求項13記載のデジタル信号処理システムオンチップ。

【請求項 15】

タイルは、前記DRAMインタフェースのバーストのサイズに基づきサイジングされる、請求項8乃至14何れか一項記載のデジタル信号処理システムオンチップ。

【請求項 16】

デジタル信号処理システムにおいてデータアイテムのブロックに対してインタリープ又はデインタリープ処理を実行する方法であって、

第1オンチップメモリから、所定のメモリリードアドレスの非リニアシーケンスに従って第1シーケンスに格納されている第1の複数のデータアイテムを読み込むステップであって、前記第1の複数のデータアイテムは前記データアイテムのブロックのサブセットからなる、読み込むステップと、

前記第1の複数のデータアイテムをDRAMに書き込むステップと、

前記DRAMから、リニアアドレスシーケンスの各バーストがDRAMインタフェースのバーストサイズに基づき選択される長さを有する、リニアアドレスシーケンスのバーストに従って前記第1の複数のデータアイテムを読み込むステップと、

前記データアイテムが前記第1シーケンスと異なる第2シーケンスにより第2オンチップメモリ上に配置されるように、所定のメモリライトアドレスの非リニアシーケンスに従って前記第1の複数のデータアイテムを前記第2オンチップメモリに書き込むステップと、
、
を有し、

前記第1シーケンスと前記第2シーケンスとの1つは、ロー・カラムインタリープされたデータを有する方法。

【請求項 17】

前記第1オンチップメモリと前記第2オンチップメモリとは共にSRAMである、請求項16記載の方法。

【請求項 18】

前記第1オンチップメモリと前記第2オンチップメモリとは同一のオンチップメモリである、請求項16又は17記載の方法。

【請求項 19】

前記DRAMは、第3オンチップメモリである、請求項16乃至18何れか一項記載の方法。

【請求項 20】

前記データアイテムのブロックの全体が前記第2オンチップメモリに書き込まれるまで、当該方法を繰り返すステップをさらに有する、請求項16乃至19何れか一項記載の方法。

【請求項 21】

前記データアイテムのブロックは、データアイテムのいくつかのロー及びデータアイテムのいくつかのカラムを有するグリッドとして構成されるとして定義される、請求項16乃至20何れか一項記載の方法。

【請求項 22】

前記グリッドはさらに、各タイルが前記グリッドの矩形部分を有し、さらにデータアイテムのR個のロー及びC個のカラムを有する複数のタイルを有し、

前記第1の複数のデータアイテムは、1以上のタイルを有する、請求項21記載の方法。
。

【請求項 2 3】

前記第1オンチップメモリから、所定のメモリリードアドレスの非リニアシーケンスに従って第1シーケンスに格納されている第1の複数のデータアイテムを読み込むステップは、前記第1の複数のデータアイテムの各タイルについて、

(i) 前記第1オンチップメモリの初期的なスタートアドレスのデータアイテムを読み込むステップと、

(ii) 固定数のデータアイテムをスキップするステップであって、前記固定数は前記グリッドのロー数未満のものに対応する、前記スキップするステップと、

(iii) データアイテムを読み込むステップと、

(iv) 前記タイルの境界に到達するまで、ステップ(iii)及び(iv)を繰り返すステップと、

(v) 前記初期的なスタートアドレスにオフセットを加えるステップと、

(vi) 前記タイルの各データアイテムが読み込まれるまで、ステップ(i)～(v)を繰り返すステップと、

を有する、請求項2_2記載の方法。

【請求項 2 4】

前記所定のメモリライトアドレスの非リニアシーケンスに従って前記第1の複数のデータアイテムを前記第2オンチップメモリに書き込むステップは、

(i) 前記第1の複数のデータアイテムからのC個のデータアイテムを前記第2オンチップメモリの複数の連続的なアドレスであって、前記第2オンチップメモリの前記タイルの初期的なスタートアドレスからスタートする前記複数の連続的なアドレスに書き込むステップと、

(ii) 前記第2オンチップメモリの固定数のアドレスをスキップするステップであって、前記固定数は前記グリッドのカラム数未満のCに対応する、前記スキップするステップと、

(iii) 前記第1の複数のデータアイテムからのC個のデータアイテムを前記第2オンチップメモリの複数の連続的なアドレスに書き込むステップと、

(iv) ステップ(ii)及び(iii)を繰り返すステップと、

を有する、請求項2_2又は2_3記載の方法。

【請求項 2 5】

前記第1の複数のデータアイテムを前記DRAMに書き込むステップは、

(i) 前記第1の複数のデータアイテムからのX個のデータアイテムを前記DRAMの前記タイルの初期的なスタートアドレスからスタートする前記DRAMの複数の連続的なアドレスに書き込むステップと、

(ii) 前記DRAMの固定数のアドレスをスキップするステップと、

(iii) 前記第1の複数のデータアイテムからのX個のデータアイテムを前記DRAMの複数の連続的なアドレスに書き込むステップと、

(iv) ステップ(ii)及び(iii)を繰り返すステップと、

を有し、

Xは、前記グリッドのタイルのデータアイテムの個数に等しい、請求項2_2乃至2_4何れか一項記載の方法。

【請求項 2 6】

前記DRAMから、リニアアドレスシーケンスのバーストに従って前記第1の複数のデータアイテムを読み込むステップは、

(i) 前記第1の複数のデータアイテムからのX個のデータアイテムを前記DRAMの初期的なスタートアドレスからスタートする前記DRAMの複数の連続的なアドレスから読み込むステップと、

(ii) 前記DRAMの固定数のアドレスをスキップするステップと、

(iii) 前記第1の複数のデータアイテムからのX個のデータアイテムを前記DRAMの複数の連続的なアドレスから読み込むステップと、

(i v) ステップ (i i) 及び (i i i) を繰り返すステップと、
を有し、

X は、前記グリッドのタイルのデータアイテムの個数に等しい、請求項 2 2 乃至 2 5 何
れか一項記載の方法。

【請求項 2 7】

タイルは、前記 D R A M インタフェースのバーストのサイズに基づきサイジングされる
、請求項 2 5 又は 2 6 記載の方法。

【請求項 2 8】

コンピュータ上で実行されると、請求項 1 6 乃至 2 7 何れか一項記載の方法の全てのス
テップを実行するよう構成されるコンピュータプログラムコード手段を有するコンピュー
タプログラム。

【請求項 2 9】

コンピュータ可読媒体上に格納される請求項 2 8 記載のコンピュータプログラム。