



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년12월15일

(11) 등록번호 10-2478277

(24) 등록일자 2022년12월13일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) H04L 25/02 (2006.01)(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 25/0276 (2013.01)

(21) 출원번호 10-2021-0082782

(22) 출원일자 2021년06월25일

심사청구일자 2021년06월25일

(56) 선행기술조사문헌

JP2016208115 A*

KR1020200117642 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 강남구 선릉로 221

심진철

서울특별시 성북구 삼선교로8길 16(삼선동1가)

(뒷면에 계속)

(74) 대리인

특허법인주연케이알피

전체 청구항 수 : 총 13 항

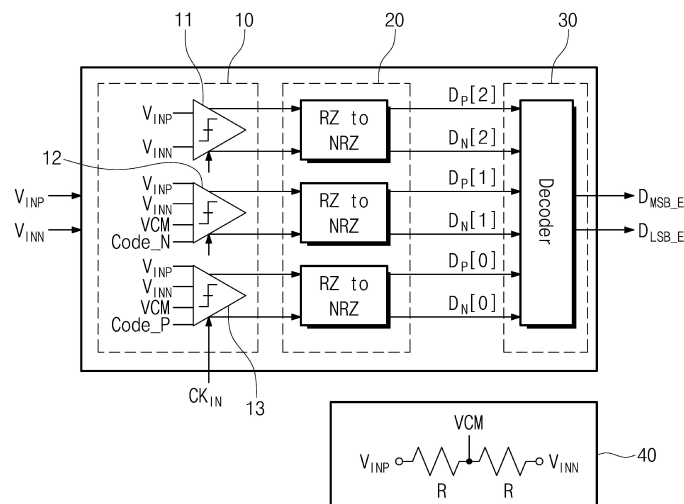
심사관 : 황철규

(54) 발명의 명칭 4레벨 PAM 수신기

(57) 요약

본 개시의 일 양상으로, 4레벨 PAM(pulse amplitude modulation) 수신기에 있어서, 상기 4레벨 중 어느 하나의 레벨을 갖는 제1 입력 신호 및 상기 제1 입력 신호의 반대 극성을 갖는 제2 입력 신호를 비교하여 제1 출력 신호를 출력하도록 구성되는 제1 비교기; 상기 제1 입력 신호 및 상기 제2 입력 신호에 상기 4레벨에 대하여 정의되는 오프셋 값을 적용한 제2-1 입력 신호를 비교하여 제2 출력 신호를 출력하도록 구성되는 제2 비교기; 상기 제1 입력 신호에 상기 오프셋 값을 적용한 제1-1 입력 신호 및 상기 제2 입력 신호를 비교하여 제3 출력 신호를 출력하도록 구성되는 제3 비교기; 및 상기 제1 비교기, 상기 제2 비교기 및 상기 제3 비교기와 전기적으로 연결되고, 상기 제1 출력 신호, 상기 제2 출력 신호 및 상기 제3 출력 신호에 기초하여 2비트 데이터를 디코딩하는 디코더를 포함하는, 4레벨 PAM 수신기이다.

대표도 - 도3



(52) CPC특허분류

H04L 25/0292 (2013.01)

(72) 발명자

박현수

서울특별시 동대문구 고산자로 521(제기동, 에코시티)

권영욱

서울특별시 강남구 개포로20길 49(개포동, 파크타운)

명세서

청구범위

청구항 1

4레벨 PAM(pulse amplitude modulation) 수신기에 있어서,

상기 4레벨 중 어느 하나의 레벨을 갖는 제1 입력 신호 및 상기 제1 입력 신호의 반대 극성을 갖는 제2 입력 신호를 비교하여 제1 출력 신호를 출력하도록 구성되는 제1 비교기;

상기 제1 입력 신호 및 상기 제2 입력 신호에 상기 4레벨에 대하여 정의되는 오프셋 값을 적용한 제2-1 입력 신호를 비교하여 제2 출력 신호를 출력하도록 구성되는 제2 비교기;

상기 제1 입력 신호에 상기 오프셋 값을 적용한 제1-1 입력 신호 및 상기 제2 입력 신호를 비교하여 제3 출력 신호를 출력하도록 구성되는 제3 비교기; 및

상기 제1 비교기, 상기 제2 비교기 및 상기 제3 비교기와 전기적으로 연결되고, 상기 제1 출력 신호, 상기 제2 출력 신호 및 상기 제3 출력 신호에 기초하여 2비트 데이터를 디코딩하는 디코더를 포함하는,

4레벨 PAM 수신기.

청구항 2

제1항에 있어서,

상기 제2 비교기 및 상기 제3 비교기 각각은 제1 코드 신호 및 제2 코드 신호를 입력받고, 상기 제1 코드 신호 및 상기 제2 코드 신호에 기초하여 상기 오프셋 값을 조절하는,

4레벨 PAM 수신기.

청구항 3

제2항에 있어서,

상기 제1 코드 신호 및 상기 제2 코드 신호 각각은 n 비트 데이터이고, 여기서 n 은 자연수인,

4레벨 PAM 수신기.

청구항 4

제3항에 있어서,

상기 오프셋 값은 상기 제1 코드 신호의 비트 값이 0인 경우, 상기 제2 코드 신호의 비트 값이 변함에 따라 소정 범위 내 값으로 조절되고,

상기 오프셋 값은 상기 제2 코드 신호의 비트 값이 0인 경우, 상기 제1 코드 신호의 비트 값이 변함에 따라 상기 소정 범위 내 값의 반대 극성을 갖는 값으로 조절되는,

4레벨 PAM 수신기.

청구항 5

제1항에 있어서,

상기 디코더는,

상기 제1 출력 신호에 기초하여 상기 2비트 데이터의 MSB(most significant bit)를 디코딩하고,

상기 제2 출력 신호 및 상기 제3 출력 신호에 기초하여 상기 2비트 데이터의 LSB(least significant bit)를 디코딩하는,

4레벨 PAM 수신기.

청구항 6

제1항에 있어서,

상기 제2 출력 신호는 상기 제1 입력 신호가 상기 4레벨 중 가장 높은 레벨을 갖는 경우 1의 비트 값에 대응되고,

상기 제1 입력 신호가 상기 4레벨 중 상기 가장 높은 레벨을 제외한 나머지 레벨 중 어느 하나를 갖는 경우 0의 비트 값에 대응되는,

4레벨 PAM 수신기.

청구항 7

제1항에 있어서,

상기 제3 출력 신호는 상기 제2 입력 신호가 상기 4레벨 중 가장 높은 레벨을 갖는 경우 0의 비트 값에 대응되고,

상기 제2 입력 신호가 상기 4레벨 중 상기 가장 높은 레벨을 제외한 나머지 레벨 중 어느 하나를 갖는 경우 1의 비트 값에 대응되는,

4레벨 PAM 수신기.

청구항 8

4레벨 PAM(pulse amplitude modulation) 수신기에 있어서,

비교 회로를 포함하고, 상기 비교 회로에 기초하여 상기 4레벨 중 어느 하나의 레벨을 갖는 제1 입력 신호 및 상기 제1 입력 신호의 반대 극성을 갖는 제2 입력 신호를 비교하여 제1 출력 신호를 출력하는 제1 비교기;

상기 비교 회로 및 상기 비교 회로에 전기적으로 연결되는 한 쌍의 오프셋 조절 회로를 포함하고, 상기 비교 회로 및 상기 한 쌍의 오프셋 조절 회로에 기초하여 상기 제1 입력 신호 및 상기 제2 입력 신호에 상기 4레벨에 대하여 정의되는 오프셋 값을 적용한 제2-1 입력 신호를 비교하여 제2 출력 신호를 출력하는 제2 비교기;

상기 비교 회로 및 상기 한 쌍의 오프셋 조절 회로를 포함하고, 상기 비교 회로 및 상기 한 쌍의 오프셋 조절 회로에 기초하여 상기 제1 입력 신호에 상기 오프셋 값을 적용한 제1-1 입력 신호 및 상기 제2 입력 신호를 비교하여 제3 출력 신호를 출력하는 제3 비교기; 및

상기 제1 비교기, 상기 제2 비교기 및 상기 제3 비교기와 전기적으로 연결되고, 상기 제1 출력 신호, 상기 제2 출력 신호 및 상기 제3 출력 신호에 기초하여 2비트 데이터를 디코딩하는 디코더를 포함하는,

4레벨 PAM 수신기.

청구항 9

제8항에 있어서,

상기 비교 회로는:

공통 노드에 연결되고, 클락(clock) 신호에 따라 동작하는 제1 트랜지스터;

상기 공통 노드 및 한 쌍의 프리차지 노드 사이에 연결되고, 상기 제1 입력 신호 및 상기 제2 입력 신호가 각각 인가되는 한 쌍의 제2 트랜지스터; 및

상기 한 쌍의 프리차지 노드 및 한 쌍의 출력 노드에 연결되고, 상기 클락 신호에 따라 프리차지 동작 및 증폭 동작을 수행하는 한 쌍의 브랜치 회로를 포함하는,

4레벨 PAM 수신기.

청구항 10

제9항에 있어서,

상기 한 쌍의 오프셋 조절 회로는 상기 한 쌍의 프리차지 노드 및 상기 공통 노드 사이에 연결되는,

4레벨 PAM 수신기.

청구항 11

제10항에 있어서,

상기 한 쌍의 오프셋 조절 회로는 제1 오프셋 조절 회로 및 제2 오프셋 조절 회로를 포함하고,

상기 제1 오프셋 조절 회로는 공통모드 전압 및 제1 코드 신호에 따라 동작하고,

상기 제2 오프셋 조절 회로는 상기 공통모드 전압 및 제2 코드 신호에 따라 동작하는,

4레벨 PAM 수신기.

청구항 12

제11항에 있어서,

상기 제1 코드 신호 및 상기 제2 코드 신호 각각은 n비트 데이터이고, 여기서 n은 자연수이고,

상기 제1 오프셋 조절 회로 및 상기 제2 오프셋 조절 회로 각각은 n개만큼 구비되는,

4레벨 PAM 수신기.

청구항 13

제12항에 있어서,

n개의 제1 오프셋 조절 회로는 상기 제2 코드 신호의 비트 값이 0인 경우, 상기 제1 코드 신호의 비트 값이 변함에 따라 각각 온/오프(on/off)되고,

n개의 제2 오프셋 조절 회로는 상기 제1 코드 신호의 비트 값이 0인 경우, 상기 제2 코드 신호의 비트 값이 변함에 따라 각각 온/오프되는,

4레벨 PAM 수신기.

발명의 설명

기술 분야

[0001] 본 개시 (present disclosure)는 4레벨 PAM(pulse amplifier modulation) 수신기에 관한 것이다.

배경 기술

[0002] 4레벨 PAM 또는 PAM-4는 1 UI(unit interval) 동안 2비트 데이터를 전송하는 신호 전송 방법이다. 송신기에서 1 UI 동안 2비트 데이터 PAM-4 신호를 통해 수신기로 보내면, 수신기는 한 번의 PAM-4 데이터 샘플링 구간 동안 2개의 비트를 디코딩해야 한다. PAM-4 신호는 총 4개의 전압 레벨을 갖고, 이는 각각 11, 10, 01, 00의 비트 값, 즉 디지털 값으로 매칭된다. 도 1을 예로 들면, 가장 높은 전압 레벨부터 가장 낮은 전압 레벨을 각각 11부터 00까지 매칭했을 때, 가장 높은 전압 레벨에 해당하는 PAM-4 신호가 수신기에 전달되면, 수신기는 한 번의 샘플링을 통해 11의 디지털 값을 생성해야 한다.

[0003] 기존의 PAM-4 수신기의 경우, PAM-4 신호를 받은 수신기가 한 번의 샘플링을 통해 PAM-4 신호로부터 2비트 데이터를 디코딩하기 위해서 2개의 문턱 전압을 활용하여 데이터를 디코딩한다. 예를 들어, 차동 PAM-4 신호의 경우에는 2개의 문턱 전압이 필요하고, 단일 PAM-4 신호의 경우에는 3개의 문턱 전압이 필요하다. 이때, 두 개의 문턱 전압을 사용하는 경우 도 1과 같이 두 개의 문턱 전압 중 하나($V_{th, H}$)는 PAM-4신호에서 가장 높은 전압 레벨과 그 다음으로 높은 전압 레벨 사이에 위치시키고, 나머지 하나($V_{th, L}$)는 가장 낮은 전압 레벨과 그 다음으로 낮은 전압 레벨 사이에 위치시켜야 한다.

[0004] 한편, 한 번의 샘플링으로 2비트 데이터를 디코딩하기 위하여 PAM-4 수신기는 3개의 비교기를 사용한다. 3개의 비교기는 차동 PAM-4 신호끼리 비교하는 비교기 1개, PAM-4 신호와 문턱 전압을 비교하는 비교기 2개로 구성된다. PAM-4 수신기는 3개의 비교기 각각에서 PAM-4의 4개 전압 레벨에 따라 출력값이 각각 다르므로, 온도 (thermometer) 타입 코드를 이진 코드로 바꿔주는 디코더를 통해 최종적으로 2비트를 생성할 수 있다.

[0005] PAM-4 신호로부터 2비트 데이터를 생성할 때, MSB(most significant bit)는 차동 PAM-4 신호끼리 비교하는 비교기 출력으로 생성이 가능하며, LSB(least significant bit)는 3개의 비교기 출력을 모두 사용해야 생성이 가능하다. 이때, 상술한 바와 같이 PAM-4 신호에서 LSB를 디코딩 하기 위해서는 차동 PAM-4 신호뿐만 아니라 2개의 문턱 전압이 필요한데, 문턱 전압을 생성하는 것은 높은 하드웨어 비용을 발생시킬뿐만 아니라, 도 2와 같이 두 개의 문턱 전압을 각각 PAM-4 전압 레벨의 상단 구간(눈 모양)과 하단 구간의 중앙에 위치시켜야 하므로 높은 정확도를 요구한다.

[0006] 또한, 도 2에서 차동 PAM-4 신호만을 비교하는 비교기의 최소 전압 마진은 전체 신호 크기의 1/3를 가지며, PAM-4 신호와 문턱 전압을 비교하는 비교기는 차동 PAM-4 신호만을 비교하는 비교기의 전압 마진보다 2배가 더 낮다. 이때, 문턱 전압이 PAM-4 신호의 상단 구간과 하단 구간의 중앙에 위치하지 않으면 비교기의 전압 마진은 더욱더 낮아진다.

[0007] 최종적으로, 기존의 PAM-4 수신기에서는 LSB를 디코딩 하기 위해 PAM-4 신호의 전압 마진은 전체 신호의 전압 마진의 1/6을 가진다. 따라서, 기존의 PAM-4 수신기의 경우 문턱 전압으로 인해 LSB 디코딩을 위한 수신기 전압 마진이 절반으로 줄어드는 문제가 있다. 또한, 고속 인터페이스로 갈수록 낮은 BER(bit error rate)을 달성하기 위해 최소 전압 마진을 충족시키는 것이 매우 까다로워지고 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 대한민국 등록특허 10-0313677
(특허문헌 0002) 대한민국 등록특허 10-1872310

발명의 내용

해결하려는 과제

[0009] 본 개시의 다양한 예들은 문턱 전압을 사용하지 않고 오프셋을 이용하여 LSB를 디코딩할 수 있는 4레벨 PAM 수

신기를 제공하기 위함이다.

- [0010] 본 개시의 다양한 예들에서 이루고자 하는 기술적 과제들은 이상에서 언급한 사항들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 이하 설명할 본 개시의 다양한 예들로부터 당해 기술분야에서 통상의 지식을 가진 자에 의해 고려될 수 있다.

과제의 해결 수단

- [0011] 본 개시의 일 양상으로, 4레벨 PAM(pulse amplitude modulation) 수신기에 있어서, 상기 4레벨 중 어느 하나의 레벨을 갖는 제1 입력 신호 및 상기 제1 입력 신호의 반대 극성을 갖는 제2 입력 신호를 비교하여 제1 출력 신호를 출력하도록 구성되는 제1 비교기; 상기 제1 입력 신호 및 상기 제2 입력 신호에 상기 4레벨에 대하여 정의되는 오프셋 값을 적용한 제2-1 입력 신호를 비교하여 제2 출력 신호를 출력하도록 구성되는 제2 비교기; 상기 제1 입력 신호에 상기 오프셋 값을 적용한 제1-1 입력 신호 및 상기 제2 입력 신호를 비교하여 제3 출력 신호를 출력하도록 구성되는 제3 비교기; 및 상기 제1 비교기, 상기 제2 비교기 및 상기 제3 비교기와 전기적으로 연결되고, 상기 제1 출력 신호, 상기 제2 출력 신호 및 상기 제3 출력 신호에 기초하여 2비트 데이터를 디코딩하는 디코더를 포함하는, 4레벨 PAM 수신기이다.
- [0012] 예를 들어, 상기 제2 비교기 및 상기 제3 비교기 각각은 제1 코드 신호 및 제2 코드 신호를 입력받고, 상기 제1 코드 신호 및 상기 제2 코드 신호에 기초하여 상기 오프셋 값을 조절할 수 있다.
- [0013] 예를 들어, 상기 제1 코드 신호 및 상기 제2 코드 신호 각각은 n비트 데이터이고, 여기서 n은 자연수일 수 있다.
- [0014] 예를 들어, 상기 오프셋 값은 상기 제1 코드 신호의 비트 값이 0인 경우, 상기 제2 코드 신호의 비트 값이 변함에 따라 소정 범위 내 값으로 조절되고, 상기 오프셋 값은 상기 제2 코드 신호의 비트 값이 0인 경우, 상기 제1 코드 신호의 비트 값이 변함에 따라 상기 소정 범위 내 값의 반대 극성을 갖는 값으로 조절될 수 있다.
- [0015] 예를 들어, 상기 디코더는, 상기 제1 출력 신호에 기초하여 상기 2비트 데이터의 MSB(most significant bit)를 디코딩하고, 상기 제2 출력 신호 및 상기 제3 출력 신호에 기초하여 상기 2비트 데이터의 LSB(least significant bit)를 디코딩할 수 있다.
- [0016] 상기 제2 출력 신호는 상기 제1 입력 신호가 상기 4레벨 중 가장 높은 레벨을 갖는 경우 1의 비트 값에 대응되고, 상기 제1 입력 신호가 상기 4레벨 중 상기 가장 높은 레벨을 제외한 나머지 레벨 중 어느 하나를 갖는 경우 0의 비트 값에 대응될 수 있다.
- [0017] 상기 제3 출력 신호는 상기 제2 입력 신호가 상기 4레벨 중 가장 높은 레벨을 갖는 경우 0의 비트 값에 대응되고, 상기 제2 입력 신호가 상기 4레벨 중 상기 가장 높은 레벨을 제외한 나머지 레벨 중 어느 하나를 갖는 경우 1의 비트 값에 대응될 수 있다.
- [0018] 본 개시의 다른 일 양상으로, 4레벨 PAM(pulse amplitude modulation) 수신기에 있어서, 비교 회로를 포함하고, 상기 비교 회로에 기초하여 제1 출력 신호를 출력하는 제1 비교기; 상기 비교 회로 및 상기 비교 회로에 전기적으로 연결되는 한 쌍의 오프셋 조절 회로를 포함하고, 상기 비교 회로 및 상기 한 쌍의 오프셋 조절 회로에 기초하여 제2 출력 신호를 출력하는 제2 비교기; 상기 비교 회로 및 상기 한 쌍의 오프셋 조절 회로를 포함하고, 상기 비교 회로 및 상기 한 쌍의 오프셋 조절 회로에 기초하여 제3 출력 신호를 출력하는 제3 비교기; 및 상기 제1 비교기, 상기 제2 비교기 및 상기 제3 비교기와 전기적으로 연결되고, 상기 제1 출력 신호, 상기 제2 출력 신호 및 상기 제3 출력 신호에 기초하여 2비트 데이터를 디코딩하는 디코더를 포함하는, 4레벨 PAM 수신기이다.
- [0019] 예를 들어, 상기 비교 회로는: 공통 노드에 연결되고, 클락(clock) 신호에 따라 동작하는 제1 트랜지스터; 상기 공통 노드 및 한 쌍의 프리차지 노드 사이에 연결되고, 상기 4레벨 중 어느 하나의 레벨을 갖는 제1 입력 신호 및 상기 제1 입력 신호의 반대 극성을 갖는 제2 입력 신호가 각각 인가되는 한 쌍의 제2 트랜지스터; 및 상기 한 쌍의 프리차지 노드 및 한 쌍의 출력 노드에 연결되고, 상기 클락 신호에 따라 프리차지 동작 및 증폭 동작을 수행하는 한 쌍의 브랜치 회로를 포함할 수 있다.
- [0020] 예를 들어, 상기 한 쌍의 오프셋 조절 회로는 상기 한 쌍의 프리차지 노드 및 상기 공통 노드 사이에 연결될 수 있다.
- [0021] 예를 들어, 상기 한 쌍의 오프셋 조절 회로는 제1 오프셋 조절 회로 및 제2 오프셋 조절 회로를 포함하고, 상기

제1 오프셋 조절 회로는 공통모드 전압 및 제1 코드 신호에 따라 동작하고, 상기 제2 오프셋 조절 회로는 상기 공통모드 전압 및 제2 코드 신호에 따라 동작할 수 있다.

[0022] 예를 들어, 상기 제1 코드 신호 및 상기 제2 코드 신호 각각은 n비트 데이터이고, 여기서 n은 자연수이고, 상기 제1 오프셋 조절 회로 및 상기 제2 오프셋 조절 회로 각각은 n개만큼 구비될 수 있다.

[0023] 예를 들어, n개의 제1 오프셋 조절 회로는 상기 제2 코드 신호의 비트 값이 0인 경우, 상기 제1 코드 신호의 비트 값이 변함에 따라 각각 온/오프(on/off)되고, n개의 제2 오프셋 조절 회로는 상기 제1 코드 신호의 비트 값이 0인 경우, 상기 제2 코드 신호의 비트 값이 변함에 따라 각각 온/오프될 수 있다.

[0024] 상술한 본 개시의 다양한 예들은 본 개시의 바람직한 예들 중 일부에 불과하며, 본 개시의 다양한 예들의 기술적 특징들이 반영된 여러 가지 예들이 당해 기술분야의 통상적인 지식을 가진 자에 의해 이하 상술할 상세한 설명을 기반으로 도출되고 이해될 수 있다.

발명의 효과

[0025] 본 개시의 다양한 예들에 따르면 다음과 같은 효과가 있다.

[0026] 본 개시의 다양한 예들에 따르면, 문턱 전압을 사용하지 않고 오프셋을 이용하여 LSB를 디코딩할 수 있는 4레벨 PAM 수신기가 제공될 수 있다.

[0027] 또한, 문턱 전압이 필요하지 않으므로 문턱 전압 생성에 필요한 높은 하드웨어 사용과 설계 복잡도가 감소될 수 있다.

[0028] 또한, 문턱 전압이 필요하지 않으므로 PAM 수신기의 전압 마진이 증가할 수 있으며, 이에 따라 데이터 속도가 증가할 수 있다.

[0029] 본 개시의 다양한 예들로부터 얻을 수 있는 효과들은 이상에서 언급된 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 이하의 상세한 설명을 기반으로 당해 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다.

도면의 간단한 설명

[0030] 이하에 첨부되는 도면들은 본 개시의 다양한 예들에 관한 이해를 돕기 위한 것으로, 상세한 설명과 함께 본 개시의 다양한 예들을 제공한다. 다만, 본 개시의 다양한 예들의 기술적 특징이 특정 도면에 한정되는 것은 아니며, 각 도면에서 개시하는 특징들은 서로 조합되어 새로운 실시예로 구성될 수 있다. 각 도면에서의 참조 번호(reference numerals) 들은 구조적 구성요소(structural elements)를 의미한다.

도 1은 기존의 4레벨 PAM 신호의 디코딩 방법을 설명하기 위한 것이다.

도 2는 기존의 4레벨 PAM 수신기의 전압 레벨 및 전압 마진을 설명하기 위한 것이다.

도 3은 본 개시의 일 예에 따른 4레벨 PAM 수신기의 회로도이다.

도 4a 내지 도 4c는 본 개시의 일 예에 따른 제1 비교기 내지 제3 비교기의 동작 방법을 설명하기 위한 것이다.

도 5는 기존의 4레벨 PAM 수신기의 출력 및 본 개시의 일 예에 따른 4레벨 PAM 수신기의 출력을 설명하기 위한 것이다.

도 6은 기존의 4레벨 PAM 수신기 및 본 개시의 일 예에 따른 4레벨 PAM 수신기의 전압 마진을 설명하기 위한 것이다.

도 7은 본 개시의 일 예에 따른 4레벨 PAM 수신기의 오프셋 값 조절 동작을 설명하기 위한 것이다.

도 8은 본 개시의 일 예에 따른 4레벨 PAM 수신기에 포함되는 비교 회로의 회로도이다.

도 9는 본 개시의 일 예에 따른 4레벨 PAM 수신기에 포함되는 오프셋 조절 회로의 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 본 발명에 따른 구현들을 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면과 함께 이하에 개시될 상세한 설명은 본 발명의 예시적인 구현을 설명하고자 하는 것이며, 본 발명이 실시될 수 있는 유일한 구현 형

태를 나타내고자 하는 것이 아니다. 이하의 상세한 설명은 본 발명의 완전한 이해를 제공하기 위해서 구체적인 세부사항을 포함한다. 그러나 당업자는 본 개시가 이러한 구체적인 세부사항 없이도 실시될 수 있음을 안다.

- [0032] 몇몇 경우, 본 개시의 개념이 모호해지는 것을 피하기 위하여 공지의 구조 및 장치는 생략되거나, 각 구조 및 장치의 핵심기능을 중심으로 한 블록도 형식으로 도시될 수 있다. 또한, 본 개시 전체에서 동일한 구성요소에 대해서는 동일한 도면 부호를 사용하여 설명한다.
- [0033] 본 발명의 개념에 따른 다양한 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 다양한 예들을 도면에 예시하고 본 개시에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 다양한 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0034] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0035] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0036] 본 개시의 다양한 예에서, "/" 및 "," 는 "및/또는" 을 나타내는 것으로 해석되어야 한다. 예를 들어, "A/B" 는 "A 및/또는 B" 를 의미할 수 있다. 나아가, "A, B" 는 "A 및/또는 B" 를 의미할 수 있다. 나아가, "A/B/C" 는 "A, B 및/또는 C 중 적어도 어느 하나" 를 의미할 수 있다. 나아가, "A, B, C" 는 "A, B 및/또는 C 중 적어도 어느 하나" 를 의미할 수 있다.
- [0037] 본 개시의 다양한 예에서, "또는" 은 "및/또는" 을 나타내는 것으로 해석되어야 한다. 예를 들어, "A 또는 B" 는 "오직 A", "오직 B", 및/또는 "A 및 B 모두" 를 포함할 수 있다. 다시 말해, "또는" 은 "부가적으로 또는 대안적으로" 를 나타내는 것으로 해석되어야 한다.
- [0038] 본 개시에서 사용한 용어는 단지 특정한 다양한 예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 개시에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0039] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 개시에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 이하, 본 개시의 다양한 예들을 첨부된 도면을 참조하여 상세하게 설명한다.
- [0040] 도 3은 본 개시의 일 예에 따른 4레벨 PAM 수신기의 회로도이다.
- [0041] 도 3을 참조하면, 본 개시의 일 예에 따른 4레벨 PAM 수신기는 비교부(10), RZ/NRZ 변환부(20), 디코더(30) 및 VCM 인가부(40)를 포함한다.
- [0042] 비교부(10)는 4레벨 PAM 신호에 대응되는 차동 입력 신호(V_{INP} , V_{INN})를 입력받고, 차동 입력 신호 간 비교 연산을 수행하여 비교 연산에 따른 결과를 RZ/NRZ 변환부(20)로 전달한다. 본 개시에서, 차동 입력 신호 중 V_{INP} 는 제1 입력 신호로 칭해질 수 있고, V_{INN} 은 제2 입력 신호로 칭해질 수 있다. 제1 입력 신호는 4레벨 중 어느 하나의 레벨을 가지고, 제2 입력 신호는 제1 입력 신호의 반대 극성을 가진다.
- [0043] 비교부(10)는 제1 비교기(11), 제2 비교기(12) 및 제3 비교기(13)를 포함할 수 있다. 예를 들어, 제1 비교기(11)는 제1 입력 신호 및 제2 입력 신호를 입력받고, 제1 입력 신호 및 제2 입력 신호를 비교하여 제1 출력 신호

호를 출력하도록 구성된다. 제1 출력 신호는 한 쌍의 차동 출력 신호일 수 있고, 제1 비교기(11)에 의해 RZ/NRZ 변환부(20)로 전달된다.

[0044] 제2 비교기(12)는 제1 입력 신호, 제2 입력 신호, 공통모드 신호(V_{CM}), 제1 코드 신호(Code_P) 및 제2 코드 신호(Code_N)를 입력받고, 제1 입력 신호, 제2 입력 신호, 공통모드 신호(V_{CM}) 및 제2 코드 신호(Code_N)에 기초하여 제1 입력 신호 및 제2 입력 신호에 오프셋 값을 적용한 제2-1 입력 신호를 비교하여 제2 출력 신호를 출력하도록 구성된다. 여기서, 제1 코드 신호는 0의 비트 값일 수 있거나, 또는 제1 코드 신호를 별도로 입력받지 않을 수 있다.

[0045] 제2 출력 신호는 한 쌍의 차동 출력 신호일 수 있고, 제2 비교기(12)에 의해 RZ/NRZ 변환부(20)로 전달된다.

[0046] 제3 비교기(13)는 제1 입력 신호, 제2 입력 신호, 공통모드 신호(V_{CM}), 제1 코드 신호(Code_P) 및 제2 코드 신호(Code_N)를 입력받고, 제1 입력 신호, 제2 입력 신호, 공통모드 신호(V_{CM}) 및 제1 코드 신호(Code_P)에 기초하여 제1 입력 신호에 오프셋 값을 적용한 제1-1 입력 신호 및 제2 입력 신호를 비교하여 제3 출력 신호를 출력하도록 구성된다. 제3 출력 신호는 한 쌍의 차동 출력 신호일 수 있고, 제3 비교기(13)에 의해 RZ/NRZ 변환부(20)로 전달된다. 여기서, 제2 코드 신호는 0의 비트 값이거나, 또는 제2 코드 신호를 별도로 입력받지 않을 수 있다.

[0047] 상술한 제2 비교기(12) 및 제3 비교기(13)가 입력 신호에 적용하는 오프셋 값은 4레벨에 대하여 정의되는 값으로써, 제2 비교기(12) 및 제3 비교기(13)가 4레벨 중 어느 하나의 레벨을 갖는 제1 입력 신호 및 제2 입력 신호를 비교 대상으로 인식하는 것이 아니라, 제1 입력 신호에 오프셋 값이 적용된 제1-1 입력 신호 및 제2 입력 신호에 오프셋 값이 적용된 제2-1 입력 신호를 비교 대상으로서 인식하게 한다.

[0048] 오프셋 값은 코드 신호에 기초하여 조절될 수 있다. 오프셋 값은 제1 코드 신호의 비트 값이 0인 경우, 제2 코드 신호의 비트 값이 변함에 따라 소정 범위 내 값으로 조절될 수 있다. 또는, 오프셋 값은 제2 코드 신호의 비트 값이 0인 경우, 제1 코드 신호의 비트 값이 변함에 따라 소정 범위 내 값의 반대 극성을 갖는 값으로 조절될 수 있다.

[0049] 코드 신호는 오프셋 값을 조절하기 위한 신호이다. 제1 코드 신호 및 제2 코드 신호 각각은 n비트(n은 자연수임) 데이터이다. 예를 들어, 제1 코드 신호 및 제2 코드 신호는 5비트 데이터일 수 있다.

[0050] RZ/NRZ 변환부(20)는 비교부(10)의 출력단과 전기적으로 연결된다. 본 개시에서, 전기적으로 연결되는 것은 직/간접적 연결을 모두 포괄하는 개념일 수 있다. RZ/NRZ 변환부(20)는 비교부(10)로부터 전달받는 제1 출력 신호, 제2 출력 신호 및 제3 출력 신호가 RZ(return-to-zero) 데이터인 경우 NRZ(nonreturn-to-zero) 데이터로 변환한다. RZ/NRZ 변환부(20)는 변환한 NRZ 데이터를 디코더(30)로 전달한다.

[0051] 디코더(30)는 RZ/NRZ 변환부(20)의 출력단과 전기적으로 연결된다. 다시 말해서, 디코더(30)는 NR/NRZ 변환부를 통해 제1 비교기(11), 제2 비교기(12) 및 제3 비교기(13)와 전기적으로 연결된다. 디코더(30)는 NRZ 데이터로 변환된 제1 출력 신호($D_P[2], D_N[2]$), 제2 출력 신호($D_P[1], D_N[1]$) 및 제3 출력 신호($D_P[0], D_N[0]$)에 기초하여 2비트 데이터를 디코딩한다. 디코더(30)에 의해 디코딩되는 2비트 데이터는 MSB(most significant bit) 및 LSB(least significant bit)를 포함한다. 디코더(30)는 제1 출력 신호에 기초하여 2비트 데이터의 MSB를 디코딩하고, 제2 출력 신호 및 제3 출력 신호에 기초하여 LSB를 디코딩한다.

[0052] VCM 인가부(40)는 제2 비교기(12) 및 제3 비교기(13)와 전기적으로 연결되고, 제1 입력 신호 및 제2 입력 신호로부터 공통모드 신호(V_{CM})를 제2 비교기(12) 및 제3 비교기(13)에 인가한다.

[0053] 이하에서는, 본 개시의 일 예에 따른 제1 비교기(11), 제2 비교기(12) 및 제3 비교기(13)에 기초한 4레벨 PAM 수신기의 동작에 대하여 구체적으로 설명한다.

[0054] 도 4a 내지 도 4c는 본 개시의 일 예에 따른 제1 비교기 내지 제3 비교기의 동작 방법을 설명하기 위한 것이다.

[0055] 도 4a를 참조하면, 제1 비교기(11)는 4레벨 중 서로 다른 두 개의 레벨을 갖는 제1 입력 신호 및 제2 입력 신호를 비교한다. 제1 입력 신호 및 제2 입력 신호는 서로 반대 극성을 가지므로, 제1 입력 신호 및 제2 입력 신호가 갖는 전압 레벨 쌍은 도 4a와 같이 4개의 상태가 존재하며, 4개의 상태 각각은 디지털 값 11 내지 00에 순차적으로 매칭될 수 있다. 예를 들어, 제1 입력 신호가 가장 높은 전압 레벨(이하, 제4 레벨)을 갖고 제2 입력 신호가 가장 낮은 전압 레벨(이하, 제1 레벨)을 갖는 경우 11에 매칭될 수 있고, 제1 입력 신호가 두 번째로 높은

전압 레벨(이하, 제3 레벨)을 갖고 제2 입력 신호가 두 번째로 낮은 전압 레벨(이하, 제2 레벨)을 갖는 경우 10에 매칭될 수 있고, 제1 입력 신호가 제2 레벨을 갖고 제2 입력 신호가 제3 레벨을 갖는 경우 01에 매칭될 수 있고, 제1 입력 신호가 제1 레벨을 갖고 제2 입력 신호가 제4 레벨을 갖는 경우 00에 매칭될 수 있다.

[0056] 제1 비교기(11)는 제1 입력 신호의 전압 레벨이 제2 입력 신호의 전압 레벨보다 크면 '1'에 대응되는 제1 출력 신호를 출력하고, 제1 입력 신호의 전압 레벨이 제2 입력 신호의 전압 레벨보다 낮으면 '0'에 대응되는 제1 출력 신호를 출력한다.

[0057] 도 4b를 참조하면, 제2 비교기(12)는 제1 입력 신호 및 제2 입력 신호에 오프셋 값이 적용된 제2-1 입력 신호를 비교한다. 이때, 제2 비교기(12)는 제2 입력 신호를 제2 입력 신호의 전압 레벨에 비하여 오프셋 값만큼 더해진 제2-1 입력 신호로 인식하여 제1 입력 신호와의 비교 동작을 수행하게 된다. 제2 비교기(12)에 인식되는 제2-1 입력 신호의 전압 레벨은 상술한 제1 레벨 내지 제4 레벨에 포함되는 전압 레벨 중 하나이거나, 또는 제1 레벨 내지 제4 레벨을 벗어나는 전압 레벨일 수 있다.

[0058] 제2 비교기(12)는 제1 입력 신호의 전압 레벨이 제2-1 입력 신호의 전압 레벨보다 크면 '1'에 대응되는 제2 출력 신호를 출력하고, 제1 입력 신호의 전압 레벨이 제2-1 입력 신호의 전압 레벨보다 낮으면 '0'에 대응되는 제2 출력 신호를 출력한다. 즉, 제2 출력 신호는 제1 입력 신호가 4레벨 중 가장 높은 레벨을 갖는 경우 1의 비트 값에 대응되고, 제1 입력 신호가 4레벨 중 상기 가장 높은 레벨을 제외한 나머지 레벨 중 어느 하나를 갖는 경우 0의 비트 값에 대응된다.

[0059] 도 4c를 참조하면, 제3 비교기(13)는 제1 입력 신호에 오프셋 값이 적용된 제1-1 입력 신호 및 제2 입력 신호를 비교한다. 이때, 제3 비교기(13)는 제1 입력 신호를 제1 입력 신호의 전압 레벨에 비하여 오프셋 값만큼 더해진 제1-1 입력 신호로 인식하여 제2 입력 신호와의 비교 동작을 수행하게 된다. 제3 비교기(13)에 인식되는 제1-1 입력 신호의 전압 레벨은 상술한 제1 레벨 내지 제4 레벨에 포함되는 전압 레벨 중 하나이거나, 또는 제1 레벨 내지 제4 레벨을 벗어나는 전압 레벨일 수 있다.

[0060] 제3 비교기(13)는 제1-1 입력 신호의 전압 레벨이 제2 입력 신호의 전압 레벨보다 크면 '1'에 대응되는 제3 출력 신호를 출력하고, 제1-1 입력 신호의 전압 레벨이 제2 입력 신호의 전압 레벨보다 낮으면 '0'에 대응되는 제3 출력 신호를 출력한다. 즉, 제3 출력 신호는 제2 입력 신호가 4레벨 중 가장 높은 레벨을 갖는 경우 0의 비트 값에 대응되고, 제2 입력 신호가 4레벨 중 가장 높은 레벨을 제외한 나머지 레벨 중 어느 하나를 갖는 경우 1의 비트 값에 대응된다.

[0061] 도 5는 기존의 4레벨 PAM 수신기의 출력 및 본 개시의 일 예에 따른 4레벨 PAM 수신기의 출력을 설명하기 위한 것이다.

[0062] 도 5를 참조하면, 본 개시의 일 예에 따른 4레벨 PAM 수신기에 포함된 각 비교기의 출력은 문턱 전압을 이용하는 기존의 4레벨 PAM 수신기에 포함된 각 비교기의 출력과 동일한 것을 확인할 수 있다. 특히, 본 개시에 따른 오프셋 값을 이용하는 제2 비교기(12)의 출력은 기존의 문턱 전압(V_{th_H})을 이용하는 비교기의 출력과 동일하고, 본 개시에 따른 오프셋 값을 이용하는 제3 비교기(13)의 출력은 기존의 문턱 전압(V_{th_L})을 이용하는 비교기의 출력과 동일하다. 따라서, 본 개시의 일 예에 따른 4레벨 PAM 수신기는 별도의 문턱 전압 생성 없이도 기존의 4레벨 PAM 수신기와 동일한 출력 결과를 얻을 수 있다.

[0063] 도 6은 기존의 4레벨 PAM 수신기 및 본 개시의 일 예에 따른 4레벨 PAM 수신기의 전압 마진을 설명하기 위한 것이다.

[0064] 도 6을 참조하면, 기존의 4레벨 PAM 수신기에서 차동 신호만을 비교하는 비교기의 전압 마진이 도시된 바와 같이 1/3이며, 여기에 문턱 전압을 비교하는 비교기의 경우 2배 정도 더 떨어진 1/6의 전압 마진을 갖게 된다. 그러나, 본 개시의 일 예에 따른 4레벨 PAM 수신기의 경우 문턱 전압을 이용하지 않고 LSB를 디코딩할 수 있으므로 MSB와 동일한 크기, 즉 전체 전압 크기의 1/3의 크기에 해당하는 전압 마진을 가질 수 있다.

[0065] 도 7은 본 개시의 일 예에 따른 4레벨 PAM 수신기의 오프셋 값 조절 동작을 설명하기 위한 것이다.

[0066] 도 7을 참조하면, 제1 코드 신호(NP_{cof}) 및 제2 코드 신호(NN_{cof}) 각각에 따라 오프셋 값이 조절될 수 있다. 예를 들어, 제1 코드 신호의 비트 값이 0인 경우, 오프셋 값은 제2 코드 신호의 비트 값이 변함에 따라 소정 범위 내 값으로 조절된다. 또는, 제2 코드 신호의 비트 값이 0인 경우, 오프셋 값은 제1 코드 신호의 비트 값이 변함에 따라 소정 범위 내 값의 반대 극성을 갖는 값으로 조절된다.

- [0067] 또한, 후술할 오프셋 조절 회로(80)에 코드 신호와 함께 인가되는 공통모드 전압에 따라 오프셋 값이 조절될 수도 있다. 이때, 공통모드 전압은 오프셋 값과 코드 신호에 의해 정의되는 변화율(도 7의 기울기)을 조절하는데 사용될 수 있다.
- [0068] 이하에서는, 상술한 동작들을 수행하기 위한 본 개시의 일 예에 따른 4레벨 PAM 수신기에 포함된 제1 비교기(11) 내지 제3 비교기(13)의 구체적인 회로도에 대하여 설명한다.
- [0069] 도 8은 본 개시의 일 예에 따른 4레벨 PAM 수신기에 포함되는 비교 회로의 회로도이다.
- [0070] 도 8을 참조하면, 본 개시의 일 예에 따른 4레벨 PAM 수신기에 포함되는 비교 회로는 상술한 제1 비교기(11) 내지 제3 비교기(13)에 공통적으로 포함될 수 있다. 비교 회로는 제1 트랜지스터(50), 한 쌍의 제2 트랜지스터(60) 및 한 쌍의 브랜치 회로(70)를 포함한다.
- [0071] 제1 트랜지스터(50)는 공통 노드에 연결되고, 클락 신호에 따라 동작한다.
- [0072] 공통 노드에는 한 쌍의 제2 트랜지스터(60)가 연결된다. 한 쌍의 제2 트랜지스터(60)는 공통 노드 및 한 쌍의 프리차지 노드 사이에 연결되고, 게이트(또는 베이스) 단에 제1 입력 신호 및 제2 입력 신호가 인가된다.
- [0073] 한 쌍의 브랜치 회로(70)는 한 쌍의 프리차지 노드 및 한 쌍의 출력 노드에 연결된다. 한 쌍의 브랜치 회로(70)는 클락 신호에 따라 프리차지 동작 및 증폭 동작을 수행한다.
- [0074] 한 쌍의 브랜치 회로(70)는 동작 전압 단 및 클락 신호에 연결되는 복수의 트랜지스터들을 포함하고, 복수의 트랜지스터들은 클락 신호에 따라 프리차지 노드에 전압을 충전한다. 예를 들어, 프리차지 노드는 클락 신호가 0일 때 특정 충전 전압으로 프리차지될 수 있다.
- [0075] 한 쌍의 브랜치 회로(70)는 클락 신호가 0에서 1로 전환되면, 한 쌍의 출력 노드에 출력되는 출력 신호를 증폭하는 증폭 동작을 수행한다. 증폭 단계, 즉 클락 신호가 1로 유지될 동안 프리차지 노드로부터 제2 트랜지스터(60)를 흐르는 전류(I_p , I_N)가 증폭된다.
- [0076] 도 9는 본 개시의 일 예에 따른 4레벨 PAM 수신기에 포함되는 오프셋 조절 회로의 회로도이다.
- [0077] 도 9를 참조하면, 제1 비교기(11)를 제외한 제2 비교기(12) 및 제3 비교기(13)에는 비교 회로 및 비교 회로에 전기적으로 연결되는 오프셋 조절 회로(80)가 포함된다. 한 쌍의 오프셋 조절 회로(80)는 한 쌍의 프리차지 노드 및 공통 노드 사이에 연결된다.
- [0078] 한 쌍의 오프셋 조절 회로(80)는 제1 오프셋 조절 회로(81) 및 제2 오프셋 조절 회로(82)를 포함한다. 제1 오프셋 조절 회로(81)는 한 쌍의 프리차지 노드 중 어느 하나 및 공통 노드 사이에 연결되고, 제2 오프셋 조절 회로(82)는 한 쌍의 프리차지 노드 중 나머지 하나 및 공통 노드 사이에 연결된다.
- [0079] 제1 오프셋 조절 회로(81)는 프리차지 노드에 연결되고, 제1 코드 신호에 따라 동작하는 트랜지스터와 공통 노드에 연결되고, 공통모드 전압이 인가되는 트랜지스터를 포함한다.
- [0080] 제2 오프셋 조절 회로(82)는 프리차지 노드에 연결되고, 제2 코드 신호에 따라 동작하는 트랜지스터와 공통 노드에 연결되고, 공통모드 전압이 인가되는 트랜지스터를 포함한다.
- [0081] 제1 오프셋 조절 회로(81)는 공통모드 전압 및 제1 코드 신호에 따라 동작하고, 제2 오프셋 조절 회로(82)는 공통모드 전압 및 제2 코드 신호에 따라 동작한다. 구체적으로, 제1 오프셋 조절 회로(81) 및 상기 제2 오프셋 조절 회로(82) 각각은 n 개, 즉 코드 신호의 비트 수만큼 구비된다. 이때, n 개의 제1 오프셋 조절 회로(81)는 제2 코드 신호의 비트 값이 0인 경우, 제1 코드 신호의 비트 값이 변함에 따라 각각 온/오프(on/off)되고, n 개의 제2 오프셋 조절 회로(82)는 제1 코드 신호의 비트 값이 0인 경우, 제2 코드 신호의 비트 값이 변함에 따라 각각 온/오프된다.
- [0082] 다시 말해서, n 개의 제1 오프셋 조절 회로(81) 및 n 개의 제2 오프셋 조절 회로(82)는 각각 제2 코드 신호 및 제1 코드 신호의 값이 변함에 따라 온/오프되는 개수가 조절되고, 온/오프되는 개수가 조절됨에 따라 오프셋 값을 조절한다.
- [0083] 상술한 본 개시의 다양한 예들에 따른 4레벨 PAM 수신기는 문턱 전압을 사용하지 않고 오프셋을 이용하여 LSB를 디코딩할 수 있다. 따라서, 문턱 전압이 필요하지 않으므로 문턱 전압 생성에 필요한 높은 하드웨어 사용과 설계 복잡도가 감소될 수 있다. 또한, 문턱 전압이 필요하지 않으므로 PAM 수신기의 전압 마진이 증가할 수 있다.

며, 이에 따라 데이터 속도가 증가할 수 있다.

[0084] 상술한 설명에서 제안 방식에 대한 일례들 또한 본 개시의 구현 방법들 중 하나로 포함될 수 있으므로, 일종의 제안 방식들로 간주될 수 있음은 명백한 사실이다. 또한, 상기 설명한 제안 방식들은 독립적으로 구현될 수도 있지만, 일부 제안 방식들의 조합 (혹은 병합) 형태로 구현될 수 도 있다.

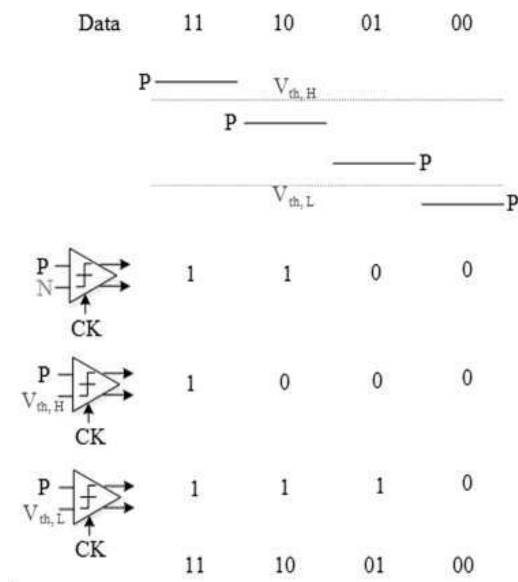
[0085] 상술한 바와 같이 개시된 본 개시의 예들은 본 개시와 관련된 기술분야의 통상의 기술자가 본 개시를 구현하고 실시할 수 있도록 제공되었다. 상기에서는 본 개시의 예들을 참조하여 설명하였지만, 해당 기술 분야의 통상의 기술자는 본 개시의 예들을 다양하게 수정 및 변경시킬 수 있다. 따라서, 본 개시는 여기에 기재된 예들에 제한 되려는 것이 아니라, 여기서 개시된 원리들 및 신규한 특징들과 일치하는 최광의 범위를 부여하려는 것이다.

부호의 설명

[0086] 10: 비교부 20: RZ/NRZ 변환부
 30: 디코더 40: VCM 인가부

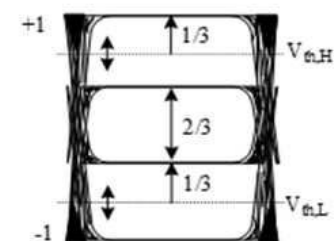
도면

도면1

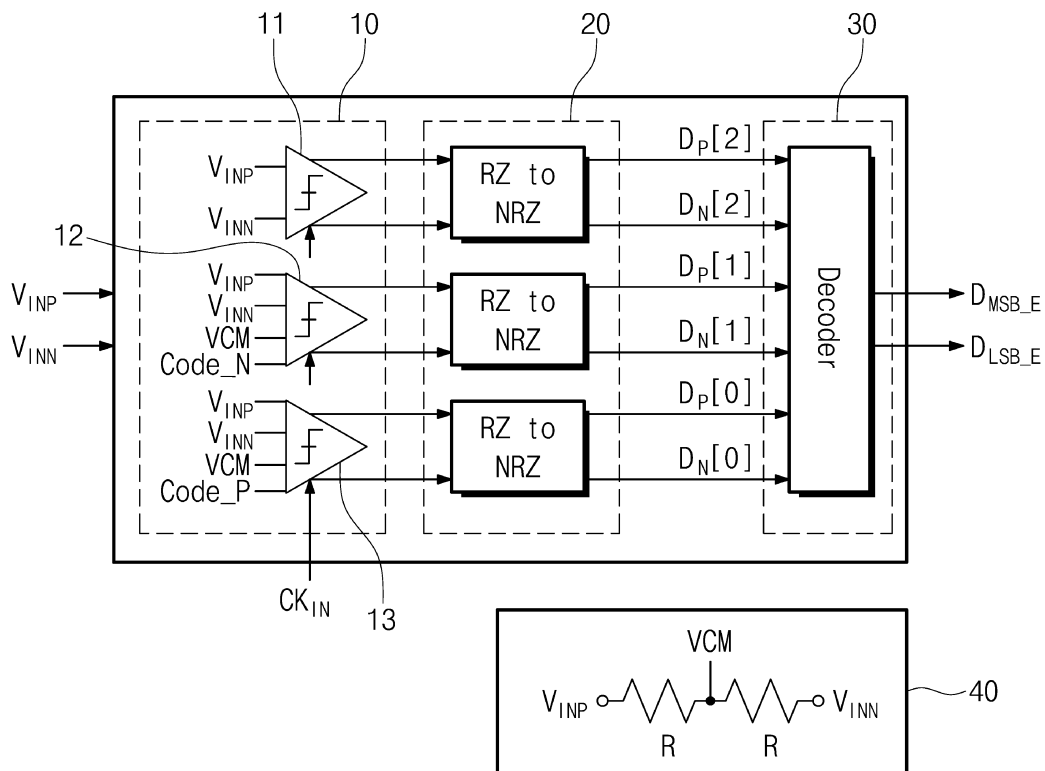


도면2

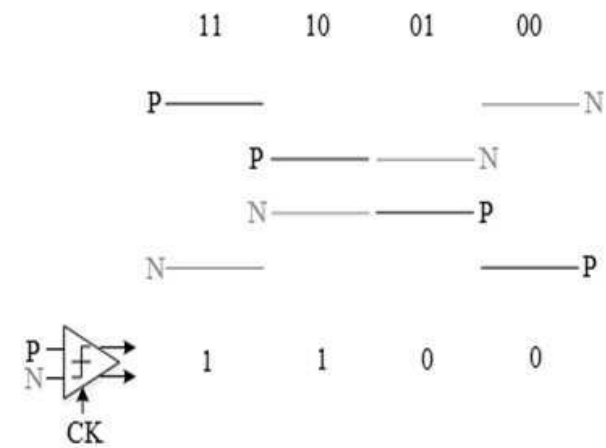
Conventional PAM-4



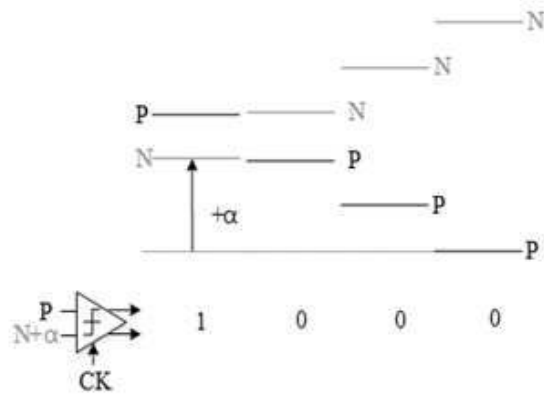
도면3



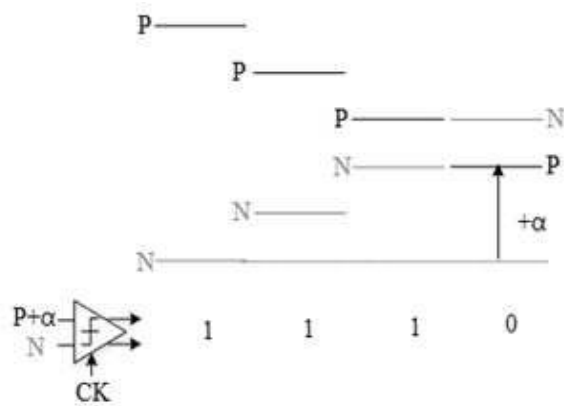
도면4a



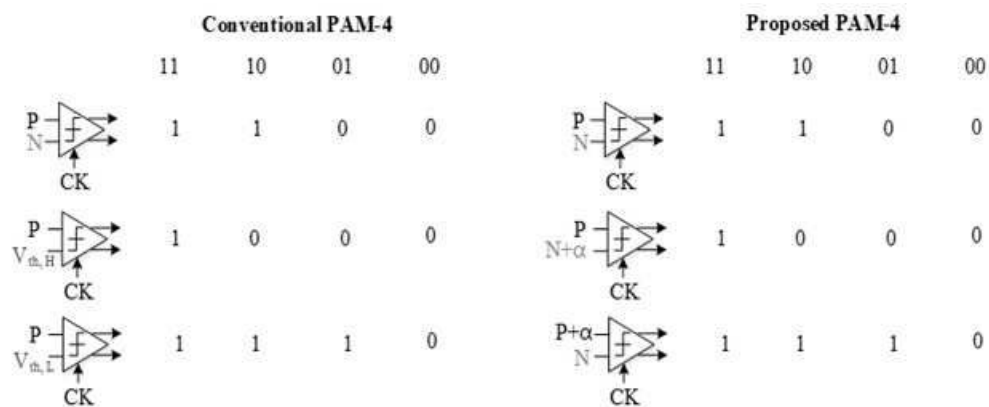
도면4b



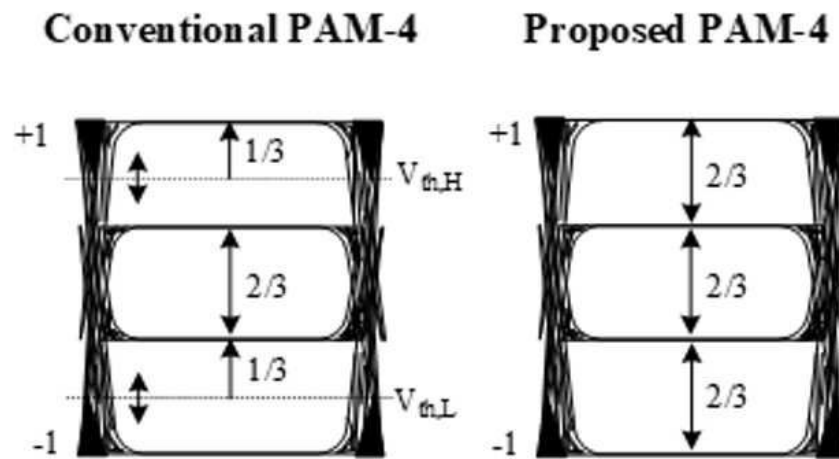
도면4c



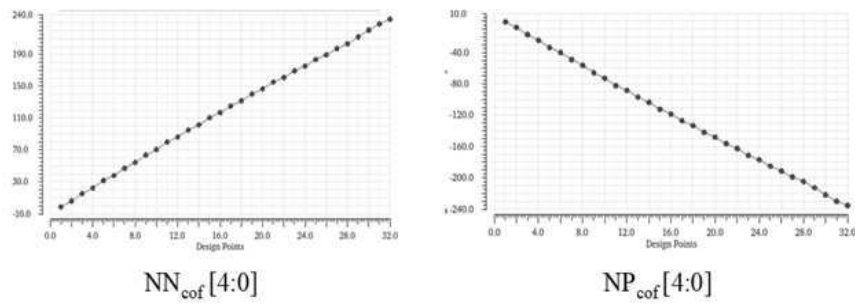
도면5



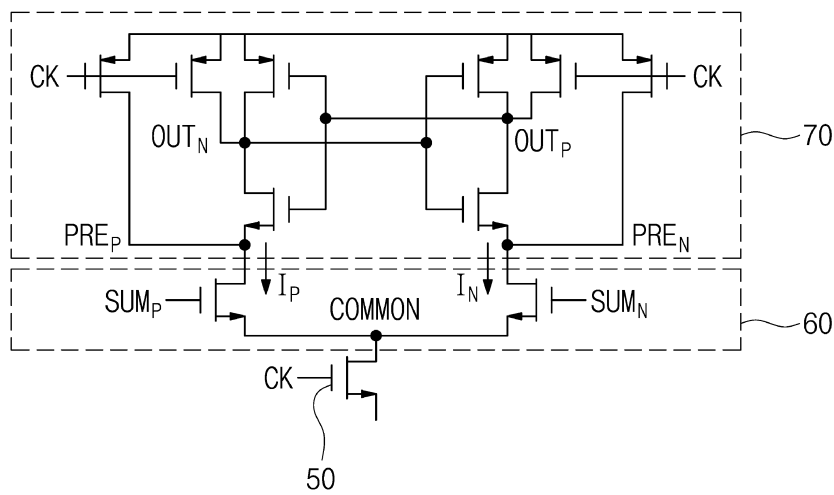
도면6



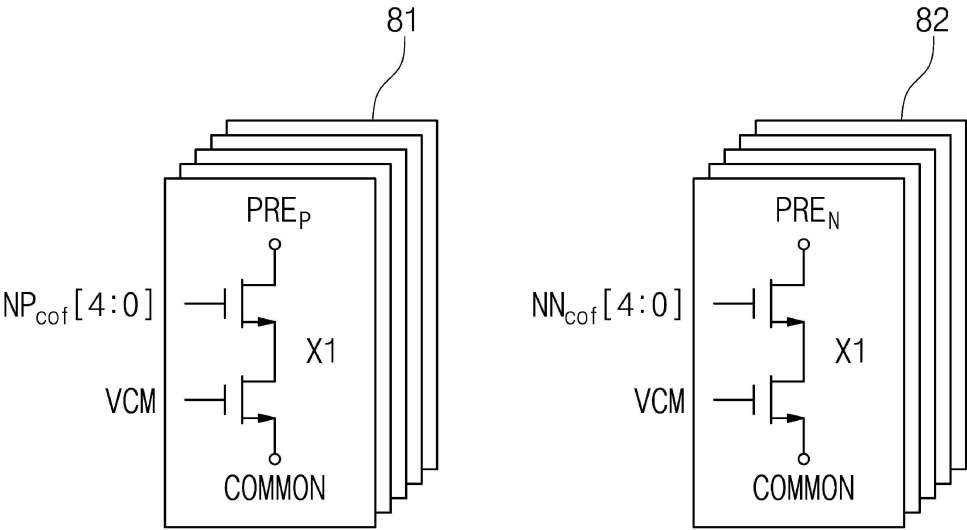
도면7



도면8



도면9



80