

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5325446号
(P5325446)

(45) 発行日 平成25年10月23日 (2013.10.23)

(24) 登録日 平成25年7月26日 (2013.7.26)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 F

H O 1 L 29/78 6 1 8 B

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2008-106586 (P2008-106586)	(73) 特許権者	000005108
(22) 出願日	平成20年4月16日 (2008.4.16)		株式会社日立製作所
(65) 公開番号	特開2009-260002 (P2009-260002A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成21年11月5日 (2009.11.5)	(74) 代理人	100075959
審査請求日	平成23年2月4日 (2011.2.4)		弁理士 小林 保
		(72) 発明者	河村 哲史
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社 日立製作所 中央研究所内
		(72) 発明者	佐藤 健史
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社 日立製作所 中央研究所内
		(72) 発明者	波多野 睦子
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社 日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

金属酸化物膜をチャネルに用いる半導体装置が同一の基板上に複数形成され、
しきい値電圧の高い第1群の半導体装置としきい値電圧の低い第2群の半導体装置を備え、

前記第1群の半導体装置および前記第2群の半導体装置は、基板上に、ゲート電極、ゲート絶縁膜、前記金属酸化物膜が順次形成され、その上にソース電極及びドレイン電極が形成されたボトムゲート型薄膜トランジスタであって、

前記第1群の半導体装置および前記第2群の半導体装置における前記金属酸化物膜中に、前記ソース電極を重畳する領域とするソース領域と、前記ドレイン電極を重畳する領域とするドレイン電極と、前記ドレイン領域と前記ソース領域の間の領域とするチャンネル領域と、を有し、

少なくとも前記第1群の半導体装置において、前記チャンネル領域は、半導体性を示し、かつ表面から深さが増すにつれて酸素濃度が低くなっており、

少なくとも前記第1群の半導体装置において、前記ソース領域および前記ドレイン領域は、前記チャンネル領域に比べて酸素濃度が低く導電性の高いものであり、前記表面からの深さ方向に対して酸素濃度が一定となっており、

前記第2群の半導体装置におけるチャンネル領域上には、さらに、保護膜が形成されている

ことを特徴とする半導体装置。

10

20

【請求項 2】

請求項 1 に記載の半導体装置が基板に形成されていることを特徴とする表示装置。

【請求項 3】

請求項 1 に記載の半導体装置が基板に形成されていることを特徴とする記憶装置。

【請求項 4】

しきい値電圧の高い第 1 群の半導体装置としきい値電圧の低い第 2 群の半導体装置を同一基板上に形成させた請求項 1 に記載の半導体装置の製造方法であって、

基板上に第 1 および第 2 のゲート電極を形成する工程と、

前記第 1 および前記第 2 のゲート電極と前記基板の表面とを覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記第 1 および前記第 2 のゲート電極を跨るように第 1 および第 2 の金属酸化物膜を形成する工程と、

前記第 1 の金属酸化物膜上に第 1 のソース電極と第 1 のドレイン電極を形成し、前記第 2 の金属酸化膜上に第 2 のソース電極と第 2 のドレイン電極を形成する工程と、

前記第 2 のソース電極と前記第 2 のドレイン電極の間の前記第 2 の金属酸化物膜上に保護膜を形成する工程と、

前記第 1 のソース電極及び前記第 1 のドレイン電極をマスクにして、前記第 1 のソース電極と前記第 1 のドレイン電極の間の前記第 1 の金属酸化物膜に酸素を導入する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項 5】

前記酸素導入は、酸素プラズマ照射、酸素雰囲気アニール、ラジカル酸化のうちいずれかを用いて行う

ことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 1 および前記第 2 のソース電極と前記第 1 および前記第 2 のドレイン電極とを形成する工程の後であり、前記保護膜を形成する工程の前において、

前記第 1 および前記第 2 のソース電極と前記第 1 および前記第 2 のドレイン電極とをマスクにして、前記第 1 のソース電極と前記第 1 のドレイン電極の間の前記第 1 の金属酸化物膜および前記第 2 のソース電極と前記第 2 のドレイン電極の間の前記第 2 の金属酸化物膜のそれぞれに対して酸素を導入する工程と、

をさらに有することを特徴とする請求項 4 または 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に係り、特に、金属酸化物膜をチャネルに用いる電界効果型トランジスタ及びその製造方法に関する。

【背景技術】

【0002】

近年、金属酸化物膜をチャネル層に用いて電界効果型トランジスタ (Field Effect Transistor : 以下、この明細書では単に FET と称する場合がある) を形成しようとする試みが行なわれている。特に、 ZnO 、 $InGaZnO$ 、 $ZnSnO$ などをチャネル層に用いた薄膜トランジスタ (Thin Film Transistor : 以下、この明細書では単に TFT と称する場合がある) の開発が行なわれているが、その主な原動力は、製造工程が低温でかつ簡易であることにある。この低温、簡易という特長を活かし、プラスチックフィルムなどのいわゆるフレキシブル基板上に直接 TFT を形成する研究開発も活発に進められている。

【0003】

現在最も広く使われている TFT は、アモルファスまたは多結晶シリコンをチャネル層に用いたものである。しかしながら、シリコン TFT はデバイス作製に高温プロセスが不可欠で、フレキシブル基板上への作製に不向きという問題がある。

【0004】

酸化物ＴＦＴでは、通常、金属やＩＴＯ（Indium Tin Oxide）などチャネル層とは異なる材料からなる導電膜をチャネル層に直付けすることで、ソース電極及びドレイン電極を形成する。そのため、半導体である金属酸化物膜と導電膜との間のコンタクト抵抗や、チャネル領域とソース電極あるいはドレイン電極との間の寄生抵抗がＴＦＴ特性の向上を妨げる原因になっている。また、コンタクト抵抗や寄生抵抗が大きいと、そのばらつきはＴＦＴ特性ばらつきの大きな要因になり、回路や表示装置などを形成した際の性能向上を妨げる原因となる。特に、ＴＦＴをアナログ的に用いる有機ＬＥＤ（Organic Light Emitting Diode：OLED）表示装置では、ＴＦＴのばらつきが画質を大きく劣化させる。

【０００５】

これらの理由より、酸化物ＴＦＴでは、コンタクト抵抗及び寄生抵抗を低減すること、並びにそれらのばらつきを低減することが求められている。

10

【０００６】

上記課題を解決するため、特許文献１及び特許文献２では、金属酸化物膜中の所望の領域の導電性を高めてソース領域及びドレイン領域を形成することで、コンタクト抵抗及びそのばらつきを低減する方法が開示されている。同時に、自己整合的にソース領域及びドレイン領域を形成し、寄生抵抗及びそのばらつきも低減する方法が開示されている。

【０００７】

金属酸化物膜の導電性は膜中の酸素濃度や不純物水素の濃度で制御可能なことが知られており、上記特許文献１及び特許文献２ではこれを応用している。金属酸化物膜中では、酸素欠損あるいは不純物水素がｎ型ドナーとして作用し膜中にキャリア電子を生成するため、酸素濃度が低いほど、あるいは水素濃度が高いほど、導電性が高まり膜の抵抗が低くなる。

20

【特許文献１】特開２００７－０７３６９９号

【特許文献２】特開２００７－２５０９８３号

【発明の開示】

【発明が解決しようとする課題】

【０００８】

特許文献１では、金属酸化物膜中の所望の領域に短波長光または高エネルギーの粒子を照射して酸素欠損を生じさせることでソース領域及びドレイン領域を形成し、コンタクト抵抗及びそのばらつきを低減する方法が開示されている。開示されているトップゲート型ＴＦＴの製造方法によれば、ゲート電極に対して自己整合的にソース領域及びドレイン領域が形成されるため、寄生抵抗及びそのばらつきも低減することができる。

30

【０００９】

しかし、特許文献１に開示の方法では、金属酸化物膜成膜時にチャネル領域のキャリア濃度が決まるため、その後の工程、たとえばソース領域及びドレイン領域、あるいはソース電極及びドレイン電極を形成した後に、ＴＦＴの閾値電圧（ V_{th} ）を調整することができないという問題がある。そのため、ＴＦＴ量産時に歩留りの低下を起こしやすいという問題や、たとえばＴＦＴを適用する製品種が変わったときのプロセス修正が困難という問題がある。また、同一基板上に閾値電圧（ V_{th} ）の異なるＴＦＴを作り分けることができず、回路設計の自由度が低いという問題もある。さらに、一般的にボトムゲート型ＴＦＴの方が製造が容易で量産には適しているが、開示されている方法ではボトムゲート型ＴＦＴを製造することができないという問題もある。

40

【００１０】

一方、特許文献２では、金属酸化物膜中の所望の領域に水素または重水素を導入することでソース領域及びドレイン領域を形成し、コンタクト抵抗及びそのばらつきを低減する方法が開示されている。開示されているトップゲート型ＴＦＴの製造方法の場合、ゲート電極に対して自己整合的にソース領域及びドレイン領域が形成され、またボトムゲート型ＴＦＴの場合、ソース電極及びドレイン電極に対して自己整合的にソース領域及びドレイン領域が形成されるため、寄生抵抗及びそのばらつきも低減することができる。

【００１１】

50

しかし、特許文献 2 に開示の方法でも、金属酸化物膜成膜時にチャネル領域のキャリア濃度が決まるため、その後の工程、たとえばソース領域及びドレイン領域、あるいはソース電極及びドレイン電極を形成した後に、TFT の閾値電圧 (V_{th}) を調整することができないという問題がある。そのため、TFT 量産時に歩留りの低下を起こしやすいという問題や、たとえば TFT を適用する製品種が変わったときのプロセス修正が困難という問題もある。また、トップゲート型、ボトムゲート型いずれの構造においても、同一基板上に V_{th} の異なる TFT を作り分けることができず、回路設計の自由度が低いという問題もある。さらに、開示されているボトムゲート型 TFT の場合、リフトオフ工程においてチャネル領域が有機溶媒にさらされるため、特性の劣化やばらつきの増大を免れないものとなっている。特に、有機溶媒との化学反応によりチャネル領域表面から酸素が引き抜かれたり、有機溶媒中の水素がチャネル領域に侵入したりすることによる、バックチャネルの形成が懸念される。バックチャネルとは、チャネル領域内のゲート電極とは反対側の面に形成される電流経路のことで、オフリーク電流増大の原因になる。

10

【0012】

本発明は、このような事情に基づいてなされたものであり、その目的は、次に示すようになっている。

【0013】

本発明の第 1 の目的は、コンタクト抵抗と寄生抵抗、並びにそれらのばらつきが小さい半導体装置及びその製造方法を提供することにある。

【0014】

20

本発明の第 2 の目的は、ソース領域及びドレイン領域、あるいはソース電極及びドレイン電極を形成した後に、 V_{th} を調整することができる半導体装置及びその製造方法を提供することにある。

【0015】

本発明の第 3 の目的は、同一基板上に V_{th} の異なる酸化物 FET を作り分けることができる半導体装置及びその製造方法を提供することにある。

【0016】

本発明の第 4 の目的は、バックチャネルの形成を抑制し得る半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

30

【0017】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0018】

(1) 本発明による半導体装置は、たとえば、金属酸化物膜をチャネルに用いる半導体装置が同一の基板上に複数形成され、

しきい値電圧の高い第 1 群の半導体装置としきい値電圧の低い第 2 群の半導体装置を備え、

前記第 1 群の半導体装置および前記第 2 群の半導体装置は、基板上に、ゲート電極、ゲート絶縁膜、前記金属酸化物膜が順次形成され、その上にソース電極及びドレイン電極が形成されたボトムゲート型薄膜トランジスタであって、

40

前記第 1 群の半導体装置および前記第 2 群の半導体装置における前記金属酸化物膜中に、前記ソース電極を重畳する領域とするソース領域と、前記ドレイン電極を重畳する領域とするドレイン電極と、前記ドレイン領域と前記ソース領域の間の領域とするチャネル領域と、を有し、

少なくとも前記第 1 群の半導体装置において、前記チャネル領域は、半導体性を示し、かつ表面から深さが増すにつれて酸素濃度が低くなっており、

少なくとも前記第 1 群の半導体装置において、前記ソース領域および前記ドレイン領域は、前記チャネル領域に比べて酸素濃度が低く導電性の高いものであり、前記表面からの深さ方向に対して酸素濃度が一定となっており、

50

前記第2群の半導体装置におけるチャンネル領域上には、さらに、保護膜が形成されていることを特徴とする。

【0023】

(2) 本発明による表示装置は、(1)に記載の半導体装置が基板に形成されていることを特徴とする。

【0024】

(3) 本発明による記憶装置は、(1)または(2)に記載の半導体装置が基板に形成されていることを特徴とする。

【0025】

(4) 本発明による半導体装置の製造方法は、しきい値電圧の高い第1群の半導体装置としきい値電圧の低い第2群の半導体装置を同一基板上に形成させた請求項1に記載の半導体装置の製造方法であって、

基板上に第1および第2のゲート電極を形成する工程と、

前記第1および前記第2のゲート電極と前記基板の表面とを覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記第1および前記第2のゲート電極を跨るように第1および第2の金属酸化物膜を形成する工程と、

前記第1の金属酸化物膜上に第1のソース電極と第1のドレイン電極を形成し、前記第2の金属酸化物膜上に第2のソース電極と第2のドレイン電極を形成する工程と、

前記第2のソース電極と前記第2のドレイン電極の間の前記第2の金属酸化物膜上に保護膜を形成する工程と、

前記第1のソース電極及び前記第1のドレイン電極をマスクにして、前記第1のソース電極と前記第1のドレイン電極の間の前記第1の金属酸化物膜に酸素を導入する工程と、

を有することを特徴とする。

【0028】

(5) 本発明による半導体装置の製造方法は、(4)の半導体装置の製造方法にあって、前記酸素導入は、酸素プラズマ照射、酸素雰囲気アニール、ラジカル酸化のうちいずれかを用いて行うことを特徴とする。

【0029】

(6) 本発明による半導体装置の製造方法は、前記第1および前記第2のソース電極と前記第1および前記第2のドレイン電極とを形成する工程の後であり、前記保護膜を形成する工程の前において、

前記第1および前記第2のソース電極と前記第1および前記第2のドレイン電極とをマスクにして、前記第1のソース電極と前記第1のドレイン電極の間の前記第1の金属酸化物膜および前記第2のソース電極と前記第2のドレイン電極の間の前記第2の金属酸化物膜のそれぞれに対して酸素を導入する工程と、

をさらに有する(4)または(5)に記載されていることを特徴とする。

【0031】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【発明の効果】

【0032】

このような半導体装置及びその製造方法によれば、コンタクト抵抗と寄生抵抗、並びにそれらのばらつきの低減することで、酸化物FETの特性向上とばらつき低減を図ることができる。

【0033】

また、ソース領域及びドレイン領域、あるいはソース電極及びドレイン電極を形成した後にV_{th}を調整することで、TFT量産時の歩留り低下を抑制したり、プロセス修正を容易化したりすることができる。

【0034】

10

20

30

40

50

また、同一基板上に V_{th} の異なる酸化物FETを作り分けることで、回路設計の自由度を高めることができる。

【0035】

さらには、ボトムゲート型酸化物TFTのバックチャネルの形成を抑制しオフリーク電流を低減することで、半導体装置の消費電流を低減することができる。

【0036】

なお、本発明によるその他の効果については、明細書全体の記載から明らかにされるようになる。

【発明を実施するための最良の形態】

【0037】

以下、本発明による半導体装置及びその製造方法の実施例について図面を用いて説明をする。

【0038】

実施例1

(構成及び製造方法)

図1(A)は、本発明による半導体装置の実施例1を示した構成図である。半導体装置としていわゆるボトムゲート型酸化物TFTを掲げている。図1(A)に示すように、基板SUB上にゲート電極GTが形成されている。そして、該基板SUBの上面に前記ゲート電極GTをも被ってゲート絶縁膜GIが形成されている。また、前記ゲート絶縁膜GI上に少なくとも前記ゲート電極GTを跨るようにして金属酸化物膜MOXが形成されている。さらに、前記金属酸化物膜MOXに直接に接触させてソース電極ST及びドレイン電極DTが形成されている。前記ソース電極STとドレイン電極DTは、少なくともゲート電極GTの直上で分離され、この分離部を間にして対向するように形成されている。ここで、前記金属酸化物膜MOXは、前記ソース電極STとドレイン電極DTの間の領域においてチャネル領域CHNを構成し、このチャネル領域CHNには半導体性を示し、かつ表面から深さが増すにつれて酸素濃度が低くなるように構成されている。

【0039】

図1(a)、(b)は、図1(A)に示した半導体装置の製造方法の実施例1を示した説明図である。まず、一般的な製造プロセスを用いて図1(a)に示す構造を作製する。すなわち、基板SUB上にゲート電極GTを形成する。そして、該基板SUBの上面に前記ゲート電極GTをも被ってゲート絶縁膜GIを形成する。その後、前記ゲート絶縁膜GI上に少なくとも前記ゲート電極GTを跨るようにして金属酸化物膜MOXを形成する。さらに、前記金属酸化物膜MOXに直接に接触させてソース電極ST及びドレイン電極DTを形成する。前記ソース電極STとドレイン電極DTは、少なくともゲート電極GTの直上で分離され、この分離部を間にして対向するように形成されている。これにより、金属酸化物膜MOXは、前記ソース電極STとドレイン電極DTの分離部において、外部に露出された状態になっている。

【0040】

次に、図1(b)に示すように、ソース電極ST、ドレイン電極DTの前記分離部を通して金属酸化物膜MOXの一部に酸素を導入する。この場合、前記ソース電極STおよびドレイン電極DTはマスクとなり、該ソース電極STとドレイン電極DTの間の前記金属酸化物膜MOXにはチャネル領域CHNが形成されるようになる。酸素を導入する方法としては、たとえば、酸素プラズマ照射、酸素雰囲気アニール、ラジカル酸化などが挙げられるが、その他の方法を用いてもよい。酸素を導入することで、金属酸化物膜MOX内の外部に露出された領域は、より酸素濃度の高い状態に変わる。金属酸化物膜中では、酸素欠損がn型ドナーとして作用し、膜中にキャリア電子を生成するようになり導電性は低くなる。こうして形成された酸素濃度の高い領域が半導体性を示し、酸化物TFTのチャネル領域として機能できる。前記チャネル領域CHNを除く金属酸化物膜MOX内の領域は、前記ソース電極STと接続されるソース領域SR、前記ドレイン電極DTと接続されるドレイン領域DRとして形成される。

10

20

30

40

50

【0041】

なお、上述のように金属酸化物膜MOX内にチャネル領域CHNを形成する場合、該金属酸化物膜MOXの外側（上側）から酸素を導入するようにしていることから、前記チャネル領域CHNの拡大図である図1（c）に示すように、外部に露出されている側で相対的に酸素濃度が高く、ゲート絶縁膜GI側にいくにつれて酸素濃度が低くなる。なお、図1（c）では、金属酸化物膜MOXの深さ方向に沿って酸素濃度の変化していく過程を便宜上段差的に描画しているが、実際には滑らかな勾配を有して変化している。TFT動作の際にはゲート絶縁膜GIとチャネル領域CHNとの界面がチャネルの主要部分になり、主にここで電流が流れる。このため、本実施例のTFTでは界面の酸素濃度を最適化できるようにする。この場合、界面より上方では必然的に酸素濃度がより高くなる。金属酸化物膜MOXの膜厚や成膜条件などにもよるが、酸素濃度が最も高い領域（チャネル領域CHNの上層）では、界面に比べて2倍以上酸素濃度が高いことが望ましい。また、ソース領域SR及びドレイン領域DRに比べても2倍以上酸素濃度が高いことが望ましい。さらには、界面での酸素濃度はソース領域SR及びドレイン領域DRでの酸素濃度の10倍以上、したがって、チャネル領域CHNの上層での酸素濃度はソース領域SR及びドレイン領域DRでの酸素濃度の20倍以上であるようにすることがより望ましい。

10

【0042】

本実施例における基板SUBは、たとえば、ガラス、石英、プラスチックフィルムなどの絶縁体からなり、必要に応じてゲート電極GTが形成される側の表面に絶縁体膜のコーティングがなされている。ゲート電極GT、ソース電極ST、ドレイン電極DTは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、あるいはITOなどの金属酸化物導電膜、あるいは前述の金属と金属酸化物導電膜の積層膜によって形成されている。ゲート電極GT、ソース電極ST、ドレイン電極DTは、同一の材料から形成されても良いし、異なる材料から形成されても良い。絶縁膜GIは、たとえば、SiO₂、SiN、Al₂O₃、あるいはその他の絶縁膜によって形成されている。金属酸化物膜MOXは、たとえば、ZnO、InGaZnO、ZnInO、ZnSnO、あるいは導電性を示すその他の金属酸化物によって形成されている。

20

【0043】

本実施例のTFTは、たとえば図2に示すように、アクティブマトリクス型液晶表示装置のスイッチングトランジスタとして用いられる。図中x方向に延在するゲート線GLに走査信号が供給されるとTFTがオンし、このオンされたTFTを通して、図中y方向に延在するデータ線DLからの映像信号が画素電極PTに供給される。なお、ゲート線GLは図中y方向に並設され、データ線DLは図中x方向に並設され、隣接する一対のゲート線GLと隣接する一対のドレイン線DLで囲まれる領域（画素領域）に前記画素電極PTが配置されている。この場合、たとえばデータ線DLがソース電極STと電気的に接続され、画素電極PTがドレイン電極DTと電気的に接続される。あるいは、データ線DLがソース電極STを兼ね、画素電極PTがドレイン電極DTを兼ねても良い。また、液晶表示装置に限らずOLED表示装置などの画素回路を構成するトランジスタとして用いても良い。

30

40

【0044】

また、図3に示すように、基板SUB1上に形成される表示装置や記憶装置などにおいて、その素子がアレイ状に複数配置されている場合、各素子のスイッチングや駆動用のトランジスタに前記酸化物TFTを用いるのはもちろん、該酸化物TFTのゲート電極GTにつながるゲート線GLに信号を送るゲート線駆動回路GDCや、該酸化物TFTのソース電極STにつながるデータ線DLに信号を送るデータ線駆動回路DDCを構成するトランジスタに用いても良い。この場合、各素子の酸化物TFTと前記ゲート線駆動回路GDCあるいは前記データ線駆動回路DDC内の酸化物TFTを並行して形成することができる。

【0045】

50

また、上述した酸化膜 T F T を、たとえば図 4 に示す構成、すなわち、アンテナ共振回路 A R、整流器 R C T、変調器 M O D、デジタル回路 D G C、からなる無線タグを構成する各トランジスタに用いても良い。なお、無線タグはリーダ R D またはライタ W R と無線で通信を行うことができるようになっている。酸化物 T F T が低温で形成できることを活かして表示装置や記憶装置、無線タグなどをプラスチックフィルムなどのいわゆるフレキシブル基板上に形成した構成においても適用できる。

【 0 0 4 6 】

(効果)

本実施例において、たとえば、金属酸化物膜 M O X をあらかじめ導電性の高い膜として成膜しておけば、ソース領域 S R 及びドレイン領域 D R での寄生抵抗、並びにソース領域 S R とソース電極 S T、ドレイン領域 D R とドレイン電極 D T との間のコンタクト抵抗を低くすることができる。これにより、良好な電気接続が得られ、酸化物 F E T の特性を向上することができる。

10

【 0 0 4 7 】

また、ソース電極 S T 及びドレイン電極 D T に対して、ソース領域 S R、チャネル領域 C H N、ドレイン領域 D R が自己整合的に形成されるため、コンタクト抵抗と寄生抵抗のばらつきを低減し、ひいては T F T のばらつきを低減することができる。

【 0 0 4 8 】

また、ソース領域 S R 及びドレイン領域 D R、並びにソース電極 S T 及びドレイン電極 D T を形成した後に、チャネル領域 C H N の形成、及び V t h 調整を行なうことができる。このため、T F T 量産時の歩留り低下を抑制したり、プロセス修正を容易化したりすることができる。

20

【 0 0 4 9 】

さらに、ゲート絶縁膜 G I とチャネル領域 C H N との界面で酸素濃度が最適化され、それより上方では酸素濃度はより高くなっているため、いわゆるバックチャネルの形成を抑制し、オフリーク電流を低減することができる。したがって、半導体装置の消費電流を低減することができる。

【 0 0 5 0 】

実施例 2

(構成及び製造方法)

30

図 5 (A) は、本発明による半導体装置の実施例 2 を示す断面図である。図 5 (A) は、同一基板上に V t h の異なる 2 種のボトムゲート型酸化物 T F T を形成することを示した図となっている。

【 0 0 5 1 】

すなわち、基板 S U B 1 の上面に酸化物 T F T 1 および酸化物 T F T 2 が形成されている。これら酸化物 T F T 1 および酸化物 T F T 2 は、それらを構成する材料層の積層構造がほぼ同じとなっており、前記酸化物 T F T 1 においてその V t h が高く形成され、前記酸化物 T F T 2 においてその V t h が低く形成されている。すなわち、前記酸化物 T F T 1 は、そのチャネル領域 C H N において、ソース領域 S R、ドレイン領域 D R に比べて酸素濃度が高く導入され、前記酸化物 T F T 2 は、そのチャネル領域 C H N において、ソース領域 S R、ドレイン領域 D R に比べて酸素濃度差がなく構成されている。

40

【 0 0 5 2 】

図 5 (a)、(b) は、図 5 (A) に示した半導体装置の製造方法の実施例 1 を示した説明図である。まず、一般的な製造プロセスを用いて、前記酸化物 T F T 1 および酸化物 T F T 2 を図 5 (a) に示した構造に形成する。この段階では、まだ、前記酸化物 T F T 1 および酸化物 T F T 2 の各チャネル領域に酸素が導入されていないものとなっている。次に、図 5 (b) に示すように、酸化物 T F T 2 の金属酸化物膜 M O X の少なくともチャネル形成領域上に保護膜 P R O を被って形成する。そして、酸化物 T F T 1 において、その金属酸化物 M O X に酸素を導入する。これにより、酸化物 T F T 1 は、そのチャネル領域 C H N においてソース領域 S R およびドレイン領域 D R に比べて酸素濃度が高く、V t

50

hが高い特性として得られ、酸化物T F T 2は、ソース領域、チャネル領域、およびドレイン領域間で酸素濃度の差がほとんどなく、V t hが低い特性として得られるようになる。

【0053】

なお、図5(A)においては、基板SUB1において、酸化物T F T 1と酸化物T F T 2からなる2個の酸化物T F Tを示したものである。しかし、前記酸化物T F T 1と同一のV t hを有するようにする複数の酸化物T F T群、前記酸化物T F T 2と同一のV t hを有するようにする複数の酸化物T F T群を備え、これら群ごとに上述した工程を得る製造を行うようにしてもよい。このような製造は実施例3以降の実施例においても同様に適用できる。

10

【0054】

(効果)

実施例2においては、同一基板上にV t hの異なる酸化物T F Tを作り分けることができ、回路設計の自由度を高めることができる。また、V t hの高い酸化物T F T 1では実施例1に示した効果も得られる。

【0055】

実施例3

(構成及び製造方法)

図6(A)は、本発明による半導体装置の実施例3を示す断面図で、図5(A)と対応した図となっている。図6(A)は、図5(A)の場合と同様、同一基板上にV t hの異なる2種のボトムゲート型酸化物T F Tを形成していることを示した図である。図5(A)の場合と比較して異なる構成は、酸化物T F T 2においても、そのチャネル領域CHNに酸素が導入され、その濃度は、酸化物T F T 1のチャネル領域CHNの酸素濃度よりも低く構成されていることにある。

20

【0056】

図6(a)、(b)は、図6(A)に示した半導体装置の製造方法の実施例を示した説明図である。まず、一般的な製造プロセスおよび本明細書に開示の製造プロセスを用いて、前記酸化物T F T 1および酸化物T F T 2を図6(a)に示した構造に形成する。この段階では、前記酸化物T F T 1および酸化物T F T 2の各チャネル領域に同量の酸素が導入されているものとする。次に、図6(b)に示すように、酸化物T F T 2の金属酸化物膜M O Xの少なくともチャネル形成領域上に保護膜P R Oを被って形成する。そして、酸化物T F T 1において、その金属酸化物M O Xに酸素を導入する。これにより、酸化物T F T 1のチャネル領域は、ソース領域S R、ドレイン領域D Rに比べて酸素濃度を高くでき、酸化物T F T 2のチャネル領域も、ソース領域S R、ドレイン領域D Rに比べて酸素濃度を高くできる。そして、酸化物T F T 1のチャネル領域CHNは、酸化物T F T 2のチャネル領域CHNに比べて酸素濃度を高くできる。

30

【0057】

(効果)

本実施例においては、同一基板上にV t hの異なる酸化物T F Tを作り分けることができ、回路設計の自由度を高めることができる。また、実施例2に比べ、酸化物T F T 1、酸化物T F T 2のいずれにおいても、実施例1に示した効果が得られるという利点がある。

40

【0058】

実施例4

(構成及び製造方法)

図7(A)は、本発明による半導体装置の実施例4を示す断面図である。図7(A)は、トップゲート型酸化物T F Tを示している。図7(A)において、基板SUBがあり、その上面に金属酸化物膜M O Xが形成されている。該金属酸化物膜M O Xはたとえば導電性の高い膜として成膜され、そのチャネル領域CHNには酸素が導入されている。該チャネル領域CHNの両脇に形成されるソース領域およびドレイン領域には、それぞれ、ソー

50

ス電極 S T およびドレイン電極 D T が重畳されて形成されている。そして、前記チャネル領域 C H N、ソース電極 S T、およびドレイン電極 D T をも被ってゲート絶縁膜 G I が形成され、このゲート絶縁膜 G I の上面には少なくとも前記チャネル領域 C H N に重畳するようにしてゲート電極 G T が形成されている。

【 0 0 5 9 】

このように構成された半導体装置はたとえば次のようにして製造される。図 7 (a) に示すように、基板 S U B の上面に金属酸化物膜 M O X を形成する。次に、図 7 (b) に示すように、前記金属酸化物膜 M O X の上面に金属膜を形成し、この金属膜をパターン化することによって、ソース電極 S T、ドレイン電極 D T を形成する。そして、前記ソース電極 S T と前記ドレイン電極 D T をマスクとし、前記ソース電極 S T と前記ドレイン電極 D T の間のチャネル領域 C H N に酸素を導入する。次に、図 7 (c) に示すように、前記チャネル領域 C H N、ソース電極 S T、およびドレイン電極 D T をも被ってゲート絶縁膜 G I を形成し、前記ゲート絶縁膜 G I の上面に前記チャネル領域 C H N に重畳するようにしてゲート電極 G T を形成する。

【 0 0 6 0 】

(効果)

実施例 4 においては、たとえば、金属酸化物膜 M O X をあらかじめ導電性の高い膜として成膜しておけば、ソース領域 S R 及びドレイン領域 D R での寄生抵抗、並びにソース領域 S R とソース電極 S T、ドレイン領域 D R とドレイン電極 D T との間のコンタクト抵抗を低くすることができる。したがって、良好な電気接続が得られ、酸化物 F E T の特性を向上させることができる。また、ソース電極 S T 及びドレイン電極 D T に対して、ソース領域 S R、チャネル領域 C H N、ドレイン領域 D R を自己整合的に形成できるため、コンタクト抵抗と寄生抵抗のばらつきを低減し、ひいては T F T のばらつきを低減することができる。さらに、ソース領域 S R 及びドレイン領域 D R、並びにソース電極 S T 及びドレイン電極 D T を形成した後に、チャネル領域 C H N の形成、及び V t h 調整を行なうことができる。これにより、T F T 量産時の歩留り低下を抑制でき、プロセス修正を容易にできる。

【 0 0 6 1 】

実施例 5

(構成及び製造方法)

図 8 (A) は、本発明による半導体装置の実施例 5 を示す断面図である。図 8 (A) は、トップゲート型酸化物 T F T を示している。図 8 (A) において、基板 S U B があり、その上面にソース電極 S T およびドレイン電極 D T が形成されている。そして、前記ソース電極 S T およびドレイン電極 D T を被い前記ソース電極 S T およびドレイン電極 D T の間の領域に金属酸化物膜 M O X が形成されている。該金属酸化物膜 M O X はたとえば導電性の高い膜として成膜され、前記ソース電極 S T およびドレイン電極 D T の間の領域の一部にチャネル領域 C H N が形成されている。該チャネル領域 C H N には酸素が導入されている。そして、前記チャネル領域 C H N、ソース電極 S T、およびドレイン電極 D T をも被ってゲート絶縁膜 G I が形成され、このゲート絶縁膜 G I の上面には少なくとも前記チャネル領域 C H N に重畳するようにしてゲート電極 G T が形成されている。

【 0 0 6 2 】

このように構成された半導体装置はたとえば次のようにして製造される。図 8 (a) に示すように、基板 S U B の上面にソース電極 S T、ドレイン電極 D T を形成する。次に、図 8 (b) に示すように、ソース電極 S T、ドレイン電極 D T を被い、該ソース電極 S T およびドレイン電極 D T の間の領域に金属酸化物膜 M O X を成膜する。次に、図 7 (c) に示すように、フォトリジスト膜 R E G を形成する。このフォトリジスト膜 R E G は、前記金属酸化物膜 M O X のチャネル領域 C H N に相当する領域を露出させる開口を有する。そして、前記開口を通して前記金属酸化物膜 M O X に酸素を導入し、チャネル領域 C H N を形成する。その後、図 8 (d) に示すように、前記フォトリジスト膜 R E G を除去し、ゲート絶縁膜 G I 及びゲート電極 G T を順次形成して完了する。なお、図 8 (d) では、

前記フォトリソグ膜 R E G を除去した場合を示しているが、前記フォトリソグ膜 R E G は、必ずしも除去する必要はなく、残したままにしてもよい。絶縁膜として機能させることができるからである。

【 0 0 6 3 】

(効果)

実施例 5 においては、たとえば、金属酸化物膜 M O X をあらかじめ導電性の高い膜として成膜しておけば、ソース領域 S R 及びドレイン領域 D R での寄生抵抗、並びにソース領域 S R とソース電極 S T、ドレイン領域 D R とドレイン電極 D T との間のコンタクト抵抗を低くすることができる。したがって、良好な電気接続が得られ、酸化物 F E T の特性を向上することができる。

10

【 0 0 6 4 】

また、ソース電極 S T 及びドレイン電極 D T に対して、ソース領域 S R、チャネル領域 C H N、ドレイン領域 D R が自己整合的に形成されるため、コンタクト抵抗と寄生抵抗のばらつきを低減し、ひいては T F T のばらつきを低減することができる。

【 0 0 6 5 】

また、ソース領域 S R 及びドレイン領域 D R、並びにソース電極 S T 及びドレイン電極 D T を形成した後に、チャネル領域 C H N の形成、及び V t h 調整を行なうことができる。したがって、T F T 量産時の歩留り低下を抑制したり、プロセス修正を容易化したりすることができる。

【 0 0 6 6 】

20

以上、実施例を用いて本発明を説明してきたが、これまでの各実施例で説明した構成はあくまで一例であり、本発明は、技術思想を逸脱しない範囲内で適宜変更が可能である。また、それぞれの実施例で説明した構成は、互いに矛盾しない限り、組み合わせて用いてもよい。

【産業上の利用可能性】

【 0 0 6 7 】

上述した各実施例の半導体装置及びその製造方法は、透過型、反射型、半透過型の各液晶表示装置、並びに O L E D 表示装置などの各画素を駆動するトランジスタや周辺回路に適用できる。また、記憶素子アレイ、無線タグなどにも適用できる。

【図面の簡単な説明】

30

【 0 0 6 8 】

【図 1】本発明による半導体装置の構成及びその製造方法の一実施例を示す図である。

【図 2】本発明による半導体装置を適用した表示装置の一実施例を示す構成図である

【図 3】本発明による半導体装置を適用したアレイの一実施例を示す構成図である。

【図 4】本発明による半導体装置を適用した無線タグの一実施例を示す構成図である。

【図 5】本発明による半導体装置の構成の別の実施例を示す図である。

【図 6】本発明による半導体装置の構成の別の実施例を示す図である。

【図 7】本発明による半導体装置の構成及びその製造方法の別の実施例を示す図である。

【図 8】本発明による半導体装置の構成及びその製造方法の別の実施例を示す図である。

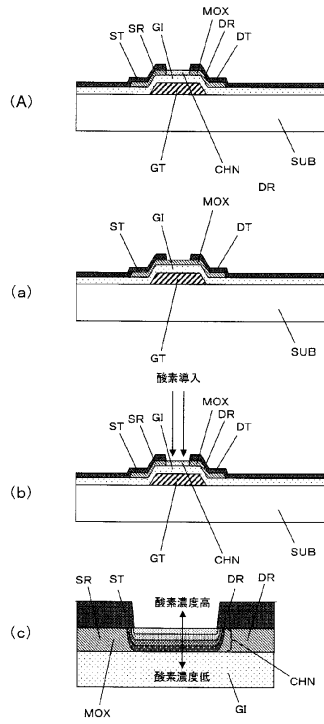
【符号の説明】

40

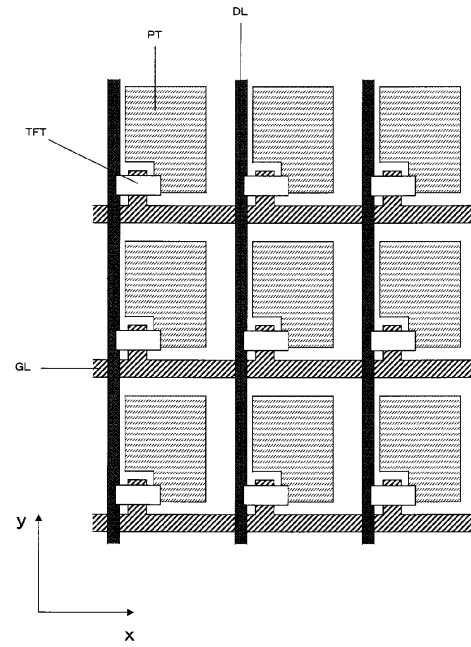
【 0 0 6 9 】

S U B 基板、M O X 金属酸化物膜、C H N チャネル領域、S R ソース領域、D R ドレイン領域、S T ソース電極、D T ドレイン電極、G T ゲート電極、G I ゲート絶縁膜、T F T 薄膜トランジスタ、D L データ線、G L ゲート線、D D C データ線駆動回路、G D C ゲート線駆動回路、R D リーダ、W R ライタ、A R アンテナ共振回路、R C T 整流器、M O D 変調器、D G C デジタル回路。

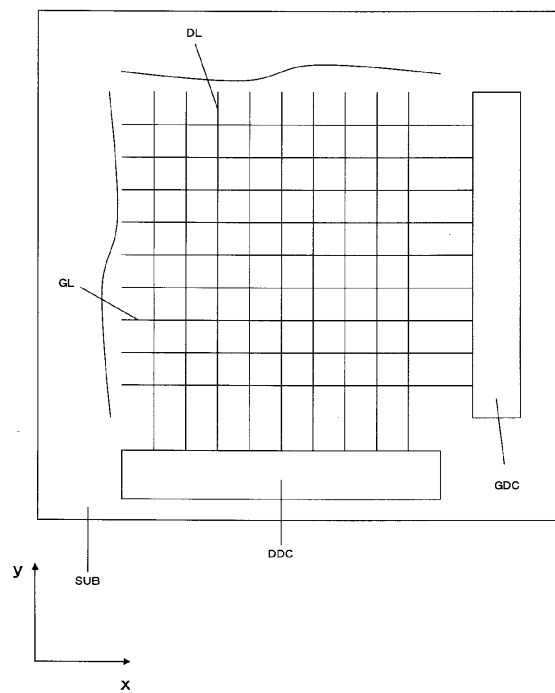
【図 1】



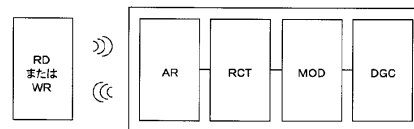
【図 2】



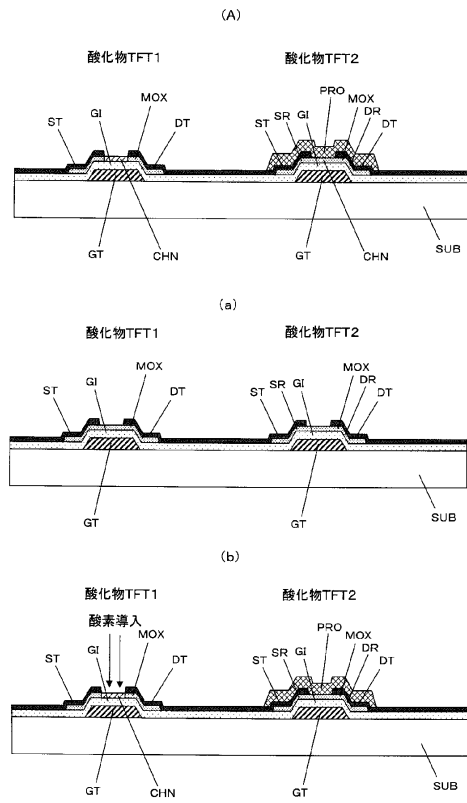
【図 3】



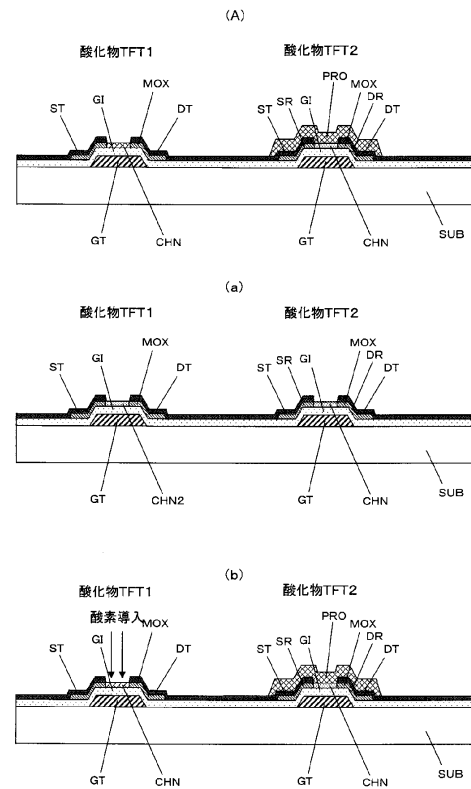
【図 4】



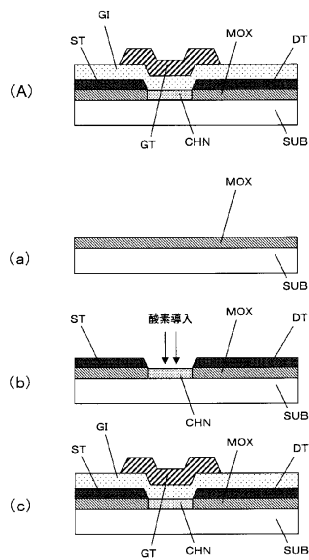
【図 5】



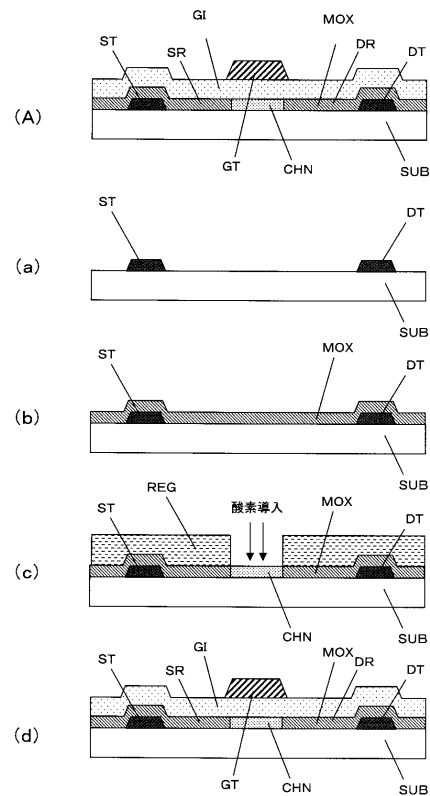
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 内山 博幸

東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社 日立製作所 中央研究所内

審査官 竹口 泰裕

(56)参考文献 特開 2 0 0 8 - 0 5 3 3 5 6 (J P , A)

特開 2 0 0 8 - 0 4 2 0 8 8 (J P , A)

特開 2 0 0 5 - 2 6 8 7 2 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6