

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年12月4日(2014.12.4)

【公表番号】特表2014-528629(P2014-528629A)

【公表日】平成26年10月27日(2014.10.27)

【年通号数】公開・登録公報2014-059

【出願番号】特願2014-533456(P2014-533456)

【国際特許分類】

G 11 C 11/413 (2006.01)

【F I】

G 11 C 11/34	A
G 11 C 11/34	K
G 11 C 11/34	M

【手続補正書】

【提出日】平成26年10月9日(2014.10.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリアレイにおけるアクセス電力を低減するための方法であって、
前記メモリアレイにおけるメモリセルの一群を動的に省電力状態にすることと、
選択された前記メモリセルの一群を、前記選択されたメモリセルにおけるアクセス動作
中に、動的に有効にすることと
を含む方法。

【請求項2】

前記アクセス動作が読み取りを含む、請求項1に記載の方法。

【請求項3】

前記アクセス動作が書き込みを含む、請求項1に記載の方法。

【請求項4】

前記メモリセルは8トランジスタスタティックランダムアクセスメモリ(8T SRAM)セルを
含み、前記8T SRAMセルを形成することが、
記憶素子を形成することと、

2つの書き込みアクセストランジスタを介して、書き込みワード線および1対の相補的な書き込みビット線を前記記憶素子に結合することと、

2つの読み取りアクセストランジスタを介して、前記記憶素子を読み取りワード線および読み取りビット線に結合することと

を含む、請求項1に記載の方法。

【請求項5】

読み取り動作で、前記8T SRAMセルにおける前記読み取り動作の前および後に選択された読み取りビット線を動的にプリチャージすることをさらに含む請求項4に記載の方法。

【請求項6】

前記8T SRAMセルの非アクティブモード中に、前記読み取りビット線を動的にフローティング状態にすることをさらに含む、請求項4に記載の方法。

【請求項7】

書き込み動作で、前記8T SRAMセルにおける前記書き込み動作の前および後に前記1対の相補

的なビット線を動的にプリチャージすることをさらに含む請求項4に記載の方法。

【請求項 8】

前記8T SRAMセルの非アクティブモード中に、前記1対の相補的な書込みビット線を動的にフロー・ティング状態にするために、トライステート書込みドライバを設定することをさらに含む、請求項4に記載の方法。

【請求項 9】

ライトスリープモード中、前記メモリアレイのすべての読み取りおよび書き込みビット線をフロー・ティングすることをさらに含む請求項4に記載の方法。

【請求項 10】

前記メモリセルの一群がセットに属する、請求項1に記載の方法。

【請求項 11】

前記メモリセルの一群がバンクに属する、請求項1に記載の方法。

【請求項 12】

8T SRAMメモリセルが2つ以上の読み取りポートを含む、請求項1に記載の方法。

【請求項 13】

前記8T SRAMメモリセルが2つ以上の書き込みポートを含む、請求項1に記載の方法。

【請求項 14】

メモリアレイにおけるアクセス電力を低減するための方法であって、

書き込み回路を動的に省電力状態にすることと、

書き込み要求に応答して、前記書き込み回路を動的に有効または無効にすることを含む方法。

【請求項 15】

メモリアレイであって、

前記メモリアレイにおけるメモリセルの一群を動的に省電力状態にするためのロジックと、

前記メモリセルのうちの選択された一群を、前記選択されたメモリセルにおけるアクセス動作中に、動的に有効にするためのロジックとを含むメモリアレイ。

【請求項 16】

前記アクセス動作が読み取りを含む、請求項15に記載のメモリアレイ。

【請求項 17】

前記アクセス動作が書き込みを含む、請求項15に記載のメモリアレイ。

【請求項 18】

前記メモリセルは8トランジスタスタティックランダムアクセスメモリ(8T SRAM)セルを含み、前記8T SRAMセルが、

記憶素子と、

少なくとも1対の書き込みアクセストランジスタを介して前記記憶素子に結合されている少なくとも1つの書き込みワード線および少なくとも1対の相補型の書き込みビット線と、

少なくとも1対の読み取りアクセストランジスタを介して前記記憶素子に結合されている少なくとも1つの読み取りワード線および少なくとも1つの読み取りビット線と

を含む、請求項15に記載のメモリアレイ。

【請求項 19】

第2の対の書き込みアクセストランジスタを介して前記記憶素子に結合されている第2の書き込みワード線および第2の対の相補的な書き込みビット線と、

第2の対の読み取りアクセストランジスタを介して前記記憶素子に結合されている第2の読み取りワード線および第2の読み取りビット線と

をさらに含む請求項18に記載のメモリアレイ。

【請求項 20】

前記8T SRAMセルにおける読み取り動作の前および後に選択された読み取りビット線を動的にプリチャージするためのロジックをさらに含む請求項18に記載のメモリアレイ。

【請求項 2 1】

前記8T SRAMセルの非アクティブモード中に、選択された読み取りビット線を動的にフローティング状態にするためのロジックをさらに含む請求項18に記載のメモリアレイ。

【請求項 2 2】

前記8T SRAMセルにおける書き込み動作の前および後に選択された相補的なビット線を動的にプリチャージするためのロジックをさらに含む請求項18に記載のメモリアレイ。

【請求項 2 3】

前記8T SRAMセルの非アクティブモード中に、選択された相補的な書き込みビット線を動的にフローティング状態にするように構成されたトライステート書き込みドライバをさらに含む請求項18に記載のメモリアレイ。

【請求項 2 4】

ライトスリープモード中、前記メモリアレイのすべての読み取りおよび書き込みビット線をフローティングするためのロジックをさらに含む請求項18に記載のメモリアレイ。

【請求項 2 5】

前記メモリセルの一群がセットに属する、請求項18に記載のメモリアレイ。

【請求項 2 6】

前記メモリセルの一群がバンクに属する、請求項18に記載のメモリアレイ。

【請求項 2 7】

少なくとも1つの半導体ダイに統合されている、請求項15に記載のメモリアレイ。

【請求項 2 8】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定ロケーションデータユニット、およびコンピュータからなる群から選択されたデバイスに統合される、請求項15に記載のメモリアレイ。

【請求項 2 9】

メモリアレイであって、

書き込み回路を動的に省電力状態にするためのロジックと、

書き込み要求に応答して、前記書き込み回路を動的に有効または無効にするためのロジックを含むメモリアレイ。

【請求項 3 0】

前記書き込み回路を動的に有効または無効にするための前記ロジックが、相補的な書き込みビット線を駆動するように構成されたプリチャージトランジスタを含む、請求項29に記載のメモリアレイ。

【請求項 3 1】

前記プリチャージトランジスタが、正の電源電圧VDDに結合されたPMOSトランジスタである、請求項30に記載のメモリアレイ。

【請求項 3 2】

前記書き込み回路を動的に省電力状態にするための前記ロジックが、スリープ信号に応答して、正の電源電圧VDDから相補的な書き込みビット線への経路を無効にするように構成されたPMOSトランジスタと、スリープ信号に応答して、前記相補的な書き込みビット線から接地電圧への経路を無効にするように構成されたNMOSトランジスタとを含む、請求項29に記載のメモリアレイ。

【請求項 3 3】

2つ以上の読み取りポートを含む請求項29に記載のメモリアレイ。

【請求項 3 4】

2つ以上の書き込みポートを含む請求項29に記載のメモリアレイ。

【請求項 3 5】

少なくとも1つの半導体ダイに統合されている、請求項29に記載のメモリアレイ。

【請求項 3 6】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット

ト、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定ロケーションデータユニット、およびコンピュータからなる群から選択されたデバイスに統合される、請求項29に記載のメモリアレイ。

【請求項 37】

メモリアレイであって、
前記メモリアレイにおけるメモリセルの一群を動的に省電力状態にするための手段と、
選択された前記メモリセルの一群を、前記選択されたメモリセルにおけるアクセス動作中に、動的に有効にするための手段と
を含むメモリアレイ。

【請求項 38】

前記動的に有効にするための手段は、前記選択されたメモリセルにおける読み取りアクセス動作の前および後に、選択された読み取りビット線を動的にプリチャージするための手段をさらに含む請求項37に記載のメモリアレイ。

【請求項 39】

前記動的に有効にするための手段は、前記選択されたメモリセルにおける書き込みアクセス動作の前および後に、1対の相補的な書き込みビット線を動的にプリチャージするための手段をさらに含む請求項37に記載のメモリアレイ。

【請求項 40】

前記メモリセルの一群がセットに属する、請求項37に記載のメモリアレイ。

【請求項 41】

前記メモリセルの一群がバンクに属する、請求項37に記載のメモリアレイ。

【請求項 42】

少なくとも1つの半導体ダイに統合されている、請求項37に記載のメモリアレイ。

【請求項 43】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定ロケーションデータユニット、およびコンピュータからなる群から選択されたデバイスに統合される、請求項37に記載のメモリアレイ。

【請求項 44】

プロセッサによって実行されると、前記プロセッサに、メモリアレイにおけるアクセス電力を低減するための動作方法を実行させるコードを備える非一時的コンピュータ可読記憶媒体であって、

前記メモリアレイにおけるメモリセルの一群を動的に省電力状態にするためのコードと
、
選択された前記メモリセルの一群を、前記選択された前記メモリセルの一群におけるアクセス動作中に、動的に有効にするためのコードと
を含む非一時的コンピュータ可読記憶媒体。

【請求項 45】

メモリアレイにおけるアクセス電力を低減するための方法であって、
前記メモリアレイにおけるメモリセルの一群を動的に省電力状態にするステップと、
選択された前記メモリセルの一群を、前記選択されたメモリセルにおけるアクセス動作中に、動的に有効にするステップと
を含む方法。

【請求項 46】

前記アクセス動作が読み取りを含む、請求項45に記載の方法。

【請求項 47】

前記アクセス動作が書き込みを含む、請求項45に記載の方法。

【請求項 48】

前記メモリセルは8トランジスタスタッキングランダムアクセスメモリ(8T SRAM)セルを含み、前記8T SRAMセルを形成するステップが、

記憶素子を形成するステップと、

2つの書き込みアクセストランジスタを介して、書き込みワード線および1対の相補的な書き込みビット線を前記記憶素子に結合するステップと、

2つの読み取りアクセストランジスタを介して、前記記憶素子を読み取りワード線および読み取りビット線に結合するステップと

を含む、請求項45に記載の方法。

【請求項49】

読み取り動作で、前記8T SRAMセルにおける前記読み取り動作の前および後に選択された読み取りビット線を動的にプリチャージするステップをさらに含む請求項48に記載の方法。

【請求項50】

前記8T SRAMセルの非アクティブモード中に、前記読み取りビット線を動的にフローティング状態にするステップをさらに含む、請求項48に記載の方法。

【請求項51】

書き込み動作で、前記8T SRAMセルにおける書き込み動作の前および後に前記1対の相補的なビット線を動的にプリチャージするステップをさらに含む請求項48に記載の方法。

【請求項52】

前記8T SRAMセルの非アクティブモード中に、前記1対の相補的な書き込みビット線を動的にフローティング状態にするために、トライステート書き込みドライバを設定するステップをさらに含む、請求項48に記載の方法。

【請求項53】

ライトスリープモード中、前記メモリアレイのすべての読み取りおよび書き込みビット線をフローティングするステップをさらに含む請求項48に記載の方法。

【請求項54】

前記メモリセルの一群がセットに属する、請求項45に記載の方法。

【請求項55】

前記メモリセルの一群がバンクに属する、請求項45に記載の方法。

【請求項56】

前記8T SRAMメモリセルが2つ以上の読み取りポートを含む、請求項45に記載の方法。

【請求項57】

前記8T SRAMメモリセルが2つ以上の書き込みポートを含む、請求項45に記載の方法。

【請求項58】

メモリアレイにおけるアクセス電力を低減するための方法であって、

書き込み回路を動的に省電力状態にするステップと、

書き込み要求に応答して、前記書き込み回路を動的に有効または無効にするステップを含む方法。