



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0056164
(43) 공개일자 2022년05월04일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/285 (2006.01) H01L 21/8234 (2006.01)
H01L 29/40 (2006.01) H01L 29/417 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/28512 (2013.01)
H01L 21/823475 (2013.01)</p> <p>(21) 출원번호 10-2022-0048777(분할)</p> <p>(22) 출원일자 2022년04월20일
심사청구일자 2022년04월20일</p> <p>(62) 원출원 특허 10-2019-0174244
원출원일자 2019년12월24일
심사청구일자 2019년12월24일</p> <p>(30) 우선권주장
1020180169642 2018년12월26일 대한민국(KR)</p> | <p>(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)</p> <p>(72) 발명자
이희덕
대전광역시 서구 둔산북로 175, 8동 604호(둔산동, 햇님아파트)
이정찬
충청남도 공주시 신금1길 98, 403동 1901호(금흥동, 새뜰현대4차아파트)
(뒷면에 계속)</p> <p>(74) 대리인
권혁수, 송윤호</p> |
|---|---|

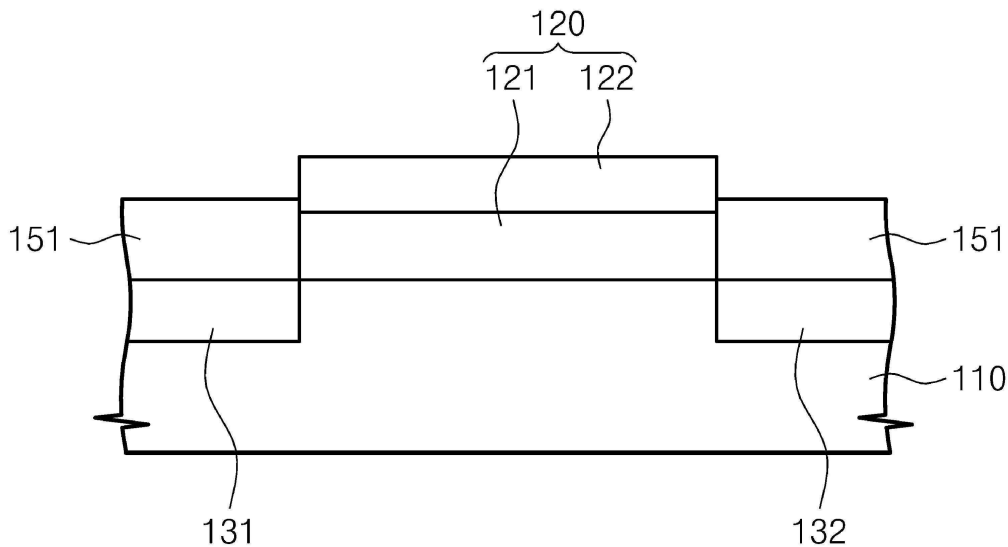
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 반도체 소자의 콘택 및 반도체 소자의 콘택 형성 방법

(57) 요약

열처리를 가하기 전 니켈과 게르마늄 층 사이에 터블 층을 삽입한 뒤, 열처리를 가하여 반도체 소자의 합금 콘택을 형성함으로써 접촉저항을 감소시킬 수 있다.

대표도 - 도2d



(52) CPC특허분류

H01L 29/401 (2021.08)

H01L 29/41783 (2013.01)

(72) 발명자

선일바루이디

대전광역시 유성구 신성동 213-7

송형섭

대전광역시 대덕구 대청로526번길 67(미호동)

명세서

청구범위

청구항 1

기판에 소스 및 드레인 영역과 게이트 전극을 형성하는 단계;
 상기 소스 및 드레인 영역 상에 터븀(Tb) 층을 적층시키는 단계;
 상기 터븀 층 상에 금속 층을 적층시키는 단계; 및
 상기 터븀 층과 상기 금속 층이 적층된 상기 기판을 열처리 하는 단계;를 포함하되,
 상기 소스 및 드레인 영역은 게르마늄층으로 구성되고,
 상기 터븀 층 상에 금속 층을 적층시키는 단계는,
 상기 터븀 층 상에 니켈(Ni) 층을 적층시키는 단계; 및
 상기 니켈 층 상에 타이타늄 나이트라이드(TiN) 층을 적층시키는 단계; 를 포함하는 반도체 소자의 콘택 형성 방법.

청구항 2

제1항에 있어서,
 상기 터븀 층은 스퍼터링 방식 또는 전자빔 방식을 이용하여 적층되는 반도체 소자의 콘택 형성 방법.

청구항 3

제1항에 있어서,
 상기 소스 및 드레인 영역 상에 터븀(Tb) 층을 적층시키는 단계에서,
 상기 터븀 층은 1 내지 10nm의 두께로 적층되는 반도체 소자의 콘택 형성 방법.

청구항 4

반도체 소자의 콘택 형성 방법에 있어서,
 게르마늄(Ge)층이 형성된 기판을 제공하고;
 상기 게르마늄층 상에 터븀층을 형성하고;
 상기 터븀층 상에 금속층을 형성하고;
 상기 터븀층과 상기 금속층이 형성된 기판을 열처리함을 포함하되,
 상기 금속층을 형성함은,
 상기 터븀층 상에 니켈층을 형성하고;
 상기 니켈층 상에 타이타늄 나이트라이드층을 형성함을 포함하는 반도체 소자의 콘택 형성 방법.

청구항 5

제4항에 있어서,
 상기 게르마늄층이 형성된 기판을 제공함은,
 실리콘 기판 상에 게르마늄층을 에피택시 성장하고;
 상기 게르마늄층에 n-형 또는 p-형 불순물 이온을 주입함을 포함하는 반도체 소자의 콘택 형성 방법.

청구항 6

제4에 있어서,

상기 터블층과 상기 금속층이 형성된 기판에 대한 상기 열처리는,

상기 터블층의 터블, 상기 금속층의 금속, 상기 게르마늄층의 게르마늄이 합금을 형성하도록 처리되는 반도체 소자의 콘택 형성 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자의 콘택 및 반도체 소자의 콘택 형성 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 고집적화가 진행됨에 따라 전통적인 반도체 공정 즉, 실리콘을 이용한 반도체 공정은 소형화의 한계에 다다르고 있다. 이런 한계를 넘기 위하여 여러 가지 물질을 이용하여 기존의 실리콘 기판을 대체하는 연구가 진행되고 있다.

[0003] 기판을 이용하여 제작되는 반도체 소자의 전극에는 일반적으로 단일금속 또는 합금이 적층된다. 적층된 금속 층은 반도체 소자의 전극을 외부 전원과 전기적으로 연결 시켜주는 역할을 하므로 “콘택(contact)”이라고 불린다.

[0004] 이때, 콘택에서의 저항이 높으면 반도체 소자의 반응이 느려져 성능이 저하된다. 따라서, 반도체 소자가 고성능을 실현하기 위해서는 접촉저항을 보다 낮추는 것이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 반도체 소자의 콘택의 접촉저항을 감소시키고자 한다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급된 과제로 제한되지 않는다. 언급되지 않은 다른 기술적 과제들은 이하의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 반도체 소자의 콘택 형성 방법이 개시된다.

[0008] 반도체 소자의 콘택 형성 방법은 기판에 소스 및 드레인 영역과 게이트 전극을 형성하는 단계; 상기 소스 및 드레인 영역 상에 터블(Tb) 층을 적층시키는 단계; 상기 터블 층 상에 금속 층을 적층시키는 단계; 및 상기 터블 층과 상기 금속 층이 적층된 상기 기판을 열처리 하는 단계;를 포함할 수 있다.

[0009] 일 실시 예에 따르면 상기 터블 층은 스퍼터링 방식 또는 전자빔 방식을 이용하여 적층 될 수 있다.

[0011] *일 실시 예에 따르면 상기 터블 층 상에 금속 층을 적층시키는 단계;는 상기 터블 층 상에 니켈(Ni) 층을 적층시키는 단계; 및 상기 니켈 층 상에 타이타늄 나이트라이드(TiN) 층을 적층시키는 단계; 를 포함할 수 있다.

[0012] 일 실시 예에 따르면 상기 소스 및 드레인 영역 상에 터블(Tm) 층을 적층시키는 단계에서, 상기 터블 층은 1 내지 10nm의 두께로 적층될 수 있다.

[0013] 일 실시 예에 따르면 상기 기판은 게르마늄 기판일 수 있다.

[0014] 본 발명의 다른 일 실시예에 따른 반도체 소자의 콘택 형성 방법이 개시된다.

[0015] 반도체 소자의 콘택 형성 방법은 게르마늄 층이 형성된 기판을 제공하고; 상기 게르마늄 층 상에 터블 층을 형

성하고; 상기 터블 층 상에 금속 층을 형성하고; 상기 터블 층과 상기 금속 층이 형성된 기판을 열처리함을 포함할 수 있다.

[0016] 일 실시 예에 따르면 상기 금속 층을 형성함은, 상기 터블층 상에 니켈층을 형성하고; 상기 니켈층상에 타이타늄 나이트라이드 층을 형성함을 포함할 수 있다.

[0017] 일 실시 예에 따르면 상기 게르마늄층이 형성된 기판을 제공함은, 실리콘 기판 상에 게르마늄층을 에피택시 성장하고; 상기 게르마늄 층에 n-형 또는 p-형 불순물 이온을 주입함을 포함할 수 있다.

[0018] 일 실시 예에 따르면 상기 터블층과 상기 금속층이 형성된 기판에 대한 상기 열처리는, 상기 터블층의 터블, 상기 금속층의 금속, 상기 게르마늄층의 게르마늄이 합금을 형성하도록 처리될 수 있다.

[0019] 다른 일 실시 예에 따르면 반도체 소자의 콘택이 개시된다.

[0020] 상기 반도체 소자는 콘택 영역을 가지고, 상기 콘택 영역은 터블 및 금속을 포함할 수 있다.

[0021] 상기 금속은 니켈 및 타이타늄 나이트라이드일 수 있다.

[0022] 상기 콘택 영역은 게르마늄을 포함할 수 있다.

발명의 효과

[0023] 본 발명의 실시 예에 따른 반도체 소자의 콘택 형성 방법에 따르면 콘택의 접촉저항은 기존의 콘택의 접촉저항보다 월등하게 낮아지는 효과가 있다.

[0024] 본 발명의 일 실시 예에 따르면, 추가 장비나 공정이 없이 본 발명의 콘택 형성 방법을 반도체 소자의 표준 프로세스로 활용할 수 있다.

[0025] 본 발명의 효과는 상술한 효과들로 제한되지 않는다. 언급되지 않은 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

[0026] 도 1a 내지 도 1d는 본 발명의 일 실시 예에 따른 반도체 소자의 콘택 형성 방법에서 소스, 드레인 및 게이트 전극을 형성하는 과정을 보여주는 단면도이다.

도 2a 내지 도 2d는 본 발명의 일 실시 예에 따른 반도체 소자의 콘택 형성 방법에서 콘택을 제작하는 공정을 보여주는 단면도이다.

도 3은 본 발명의 일 실시 예에 따라 형성된 반도체 소자의 콘택의 토탈 저항과 기존의 방법에 따라 형성된 반도체 소자의 콘택의 토탈 저항을 비교한 그래프이다.

도 4는 터블의 두께를 각각 달리하여 콘택을 형성한 결과를 나타내는 그래프이다.

도 5는 기존의 방법에 따라 형성된 반도체 소자의 콘택과 본 발명의 일 실시 예에 따라 형성된 반도체 소자의 콘택의 상대 강도를 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0028] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0029] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

- [0030] 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0031] 및/또는이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0032] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다.
- [0033] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0034] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.
- [0035] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 본 발명은 반도체 소자의 콘택 및 반도체 소자의 콘택 형성 방법에 관한 발명이다. 보다 상세하게는, 본 발명은 터븀(Tb)을 적층하고 열처리를 하여 반도체 소자의 콘택을 형성함으로써 콘택의 접촉저항을 감소하는 방법에 관한 것이다.
- [0037] 이하에서는 도면을 참조하여 본 발명의 실시 예에 따른 반도체 소자의 콘택 형성 방법에 대하여 상세히 설명하기로 한다.
- [0038] 도 1a 내지 도 1d는 본 발명의 일 실시 예에 따른 반도체 소자의 콘택 형성 방법에서 소스, 드레인 및 게이트 전극을 형성하는 과정을 보여주는 단면도이다.
- [0039] 도 1에 따른 반도체 소자는 모스펫인 경우를 예시한다. 그러나 본 발명에 따른 반도체 소자는 모스펫에 한정되지 아니하며 반도체 소자는 트랜지스터, 사이리스터 등일 수 있다.
- [0040] 이하의 일 예시에 따르면 본 발명은 p-type Ge를 이용한 반도체 소자에 콘택을 형성할 수 있다. 이하의 일 실시 예에 따르면 본 발명은 p-type 영역을 형성하는 단계에서 활용할 수 있다. 상기 영역은 모스펫의 소스 혹은 드레인일 수 있다. 본 발명은 p-type 영역의 금속 콘택(metal contact)을 형성하는 단계에서 활용할 수 있다.
- [0041] 도 1a 및 도 1b에 도시된 바와 같이, 먼저 기판(110)에 게이트 절연막(121)을 적층시킨다. 여기서, 기판(110)은 실리콘 기판에 게르마늄(Ge) 층이 에피택셜 성장(epitaxial growth)되어 얻어진 것이다. 기판(110)은 게르마늄(Ge)으로 구성될 수 있다.
- [0042] 게르마늄(Ge)은 실리콘(Si)과 비교하여 높은 홀과 높은 전자 이동도를 갖고 있는 장점이 있다.
- [0043] 본 발명에서는 Ge를 기판(110)으로 사용하는 일 실시예가 개시된다.
- [0044] 기존에는 실리콘 기판을 이용하여 반도체 소자를 제작하여 왔으나, 반도체 소자의 고집적화의 지속적인 발전에 따라 소형화의 한계에 이르렀다. 이와 같은 한계를 넘기 위해서는 기존의 실리콘 보다 모빌리티(mobility)가 높은 물질을 선택하여 반도체 소자를 제작하여야 한다. 게르마늄은 최근에 유망한 하이(high) 모빌리티(mobility) 반도체 물질로 각광 받고 있다.
- [0045] 기존에 사용되어 왔던 실리콘 기반 반도체 공정의 장비로도 제작할 수 있게 하기 위하여 게르마늄을 실리콘 기판에 에피택셜 성장시켜 모스펫의 기판으로 사용하는 것이 바람직하다.
- [0046] 본 발명의 실시 예에 따른 기판(110)은 게르마늄 층이 150나노미터로 적층된 것을 사용할 수 있다.
- [0047] 한편, 게이트 절연막(121)은 유전율이 높은 물질, 예를 들어 금속의 산화물인 알루미늄 옥사이드(Al₂O₃) 등을 ALD(atomic layer deposition) 방식으로 적층할 수 있다.
- [0048] 게이트 절연막(121) 층 상에 적층 되는 게이트 전극막(122)은 금속으로 형성될 수 있다. 일 예를 들어 게이트 전극막에는 알루미늄 또는 타이타늄 등을 증착하여 형성될 수 있다.

- [0049] 도 1b에 도시된 바와 같이, 기판(110)의 전체에 게이트 절연막(121)과 게이트 전극막(122)이 적층되어 게이트 전극(120)이 형성된다.
- [0050] 이어서, 도 1c에 도시된 바와 같이, 게이트 전극(120)이 적층된 기판(110)에는 마스크를 이용한 리소그래피(lithography) 공정을 통하여 소스(131) 및 드레인(132)을 형성시킬 영역을 마련한다. 구체적으로, 소스(131) 및 드레인(132)이 형성될 기판(110)의 일부 구역(A, B)의 게이트 전극(120)을 제거시키는 방식을 취한다.
- [0051] 여기서, 일부 게이트 전극(120)을 제거하는 방식은 건식 에칭(Dry etching) 또는 습식 에칭(Wet etching)으로 실현 될 수 있다.
- [0052] 에칭(etching) 공정에 의하여 게이트 전극(120)이 부분적으로 제거되면 기판(110)의 일부분(A, B)이 노출된다.
- [0053] 이렇게 노출된 부분(A, B)에 이온(ion)을 주입하여 p-type 억셉터(Acceptor)를 제공한다. 즉, 도 1d에 도시한 바와 같이, 소스(131) 및 드레인(132)에 마스크를 이용하여 노출된 Ge 기판의 영역(A, B)에 임플란테이션(implantation)하여 p-type 억셉터(Acceptor)를 제공한다.
- [0054] 이하에서는 소스(131), 드레인(132) 영역에 콘택을 형성하는 과정에 대하여 설명한다.
- [0055] 기판(110)에 형성된 소스(131) 및 드레인(132)에 외부로부터 공급되는 전원을 인가시키기 위해서 소스(131) 및 드레인(132) 상에 콘택이 형성되는 것이 필요하다. 여기서, 콘택은 단일 금속 또는 합금을 적층하여 형성될 수 있다.
- [0056] 상기 설명한 콘택은 크게 두 가지 방법으로 형성된다.
- [0057] 구체적으로, 소스(131) 및 드레인(132) 상에 순수한 단일 금속을 증착하고 열처리를 하여 콘택을 형성하거나, 소스(131) 및 드레인(132) 상에 금속과 다른 종류의 원소를 증착시켜 콘택을 형성할 수 있다. 전자의 예시는 니켈 또는 타이타늄(Ti)을 적층하고 열처리를 거쳐 콘택이 얻어질 수 있다. 후자의 예시는 탄탈륨 나이트라이드(TaN), 타이타늄 나이트라이드(TiN) 등 질화물을 증착하여 콘택이 얻어질 수 있다.
- [0058] 상기 질화물 콘택은 마스크가 있어야 콘택이 필요한 소스(131) 및 드레인(132) 영역에만 선택적으로 콘택을 형성시킬 수 있다. 이에 반하여 상기 설명한 단일 금속의 콘택은 마스크가 없어도 셀프 얼라인(self-align) 방식으로 형성될 수 있다.
- [0059] 니켈(Nickel), 타이타늄(Titanium)으로 형성된 금속-게르마늄 합금 콘택은 질화물로 형성된 콘택이 가질 수 없는 장점을 가지고 있지만 접촉저항의 값이 충분히 낮은 것은 아니다. 본 발명의 실시 예에 따른 반도체 소자의 콘택 형성 방법은 이런 문제를 해결할 수 있다.
- [0060] 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 반도체 소자의 콘택 형성 방법에서 터블 층을 포함하는 콘택을 제작하는 공정 순서를 보여주는 단면도이다.
- [0061] 먼저, 도 2a에 도시된 바와 같이, 게르마늄 기판(110)에 형성된 소스(131)와 드레인(132) 영역에 각각 터블 층(141)을 적층한다.
- [0062] 이어서, 도 2b에 도시된 바와 같이, 터블 층(141) 위에 니켈(Nickel) 층(142)이 적층된다.
- [0063] 이어서, 도 2c에 도시된 바와 같이 니켈(Nickel) 층(142) 위에 타이타늄 나이트라이드(TiN)(143) 층이 적층된다.
- [0064] 터블 층(141)과 니켈 층(142), 타이타늄 나이트라이드(TiN)(143) 층의 적층은 RF(radio frequency) 스퍼터링(sputtering), 물리적 기상 증착법(PVD) 또는 전자빔(e-beam) 등의 공정으로 실현될 수 있다. 본 실시 예에서는 RF(radio frequency) 스퍼터링(sputtering) 공정을 이용하여 터블 층(141)과 니켈 층(142), 타이타늄 나이트라이드(TiN)(143)를 적층시킨다.
- [0065] 스퍼터링(sputtering) 공정의 일 예시에 따르면, 불활성가스(아르곤(Ar)) 분위기에서 터블층이 1-10nm의 두께로 먼저 적층된 후, 그 위에 니켈층 및 타이타늄 나이트라이드(TiN)(143)를 10 - 40nm의 두께로 적층시킬 수 있다.
- [0066] 그 다음, 도 2d에 도시된 바와 같이, 터블 층(141)과 니켈 층(142), 타이타늄 나이트라이드(TiN)(143) 층이 적층된 기판(110)에 대해 열처리를 실시한다. 열처리는 350도의 온도로 약 30초 간 인가될 수 있다. 열처리에 대한 구체적 실시 예는 이후에 설명한다.

- [0067] 이렇게 열처리를 하게 되면, 터븀 층(141)과 니켈 층(142), 타이타늄 나이트라이드(TiN)(143) 층 및 기판(110)을 구성하는 게르마늄 층이 서로 반응을 하여 소스(131)와 드레인(132) 상에 터븀-니켈-타이타늄 나이트라이드-게르마늄 합금(151)이 형성되어 반도체 소자의 콘택이 형성된다.
- [0068] 본 발명의 실시 예에 따라 형성된 반도체 소자에서의 콘택의 저항 감소여부는 전류 값의 감소여부로부터 판단할 수 있다. 그러므로 본 발명의 실시 예에 따라 형성된 반도체 소자에서의 콘택의 저항 값의 감소여부는 콘택의 전류 값을 이용하여 판단할 수 있다.
- [0069] 도 3은 본 발명의 일 실시 예에 따라 형성된 반도체 소자에서의 콘택의 토탈 저항과 기존의 방법에 따라 형성된 반도체 소자에서의 콘택의 토탈 저항을 비교한 그래프이다.
- [0070] 도 3은 터븀-니켈-타이타늄 나이트라이드-게르마늄 합금과, 니켈-타이타늄 나이트라이드-게르마늄 합금으로 이루어진 콘택의 토탈 저항을 측정하여 얻어진 그래프이다. 이 그래프를 기반으로 터븀-니켈-타이타늄 나이트라이드- 게르마늄 합금 및 니켈-타이타늄 나이트라이드-게르마늄 합금의 접촉저항을 각각 계산하여 터븀을 이용한 콘택의 저항의 감소 정도를 확인할 수 있다.
- [0071] 기존의 일 실시예에 따라 게르마늄을 이용하여 p형 모스펫을 형성하는 경우를 가정한다. 이 때, 소스 및 드레인 으로 사용되는 p 타입 게르마늄의 기생직렬저항을 감소시키기 위해 열처리를 통하여 Ni-Ge(니켈-게르마늄) 합금(Germanide)을 형성시킨다. 기존의 경우, Ni-Ge 합금과 p 타입의 Ge 간의 접촉저항은 높은 편으로 나타나는 경향이 있었다. 접촉저항이란 금속(Metal)과 규화물(Silicide)가 접합되었을 때 물질차이로 발생하는 저항과 규화물과 소스 및 드레인이 접합하는 면에서 생기는 저항으로 다른 물질과 다른 물질이 접합 되었을 때 생기는 저항을 의미한다.
- [0072] 도 3에 도시된 그래프로부터 터븀-니켈-타이타늄 나이트라이드-게르마늄 합금 또는 니켈-타이타늄 나이트라이드-게르마늄 합금으로 이루어진 콘택의 토탈 저항(total resistance)의 기울기 값을 계산한다. 얻어진 기울기 값을 서큘러 트랜스미션 라인 모델(Circular Transmission Line Model)에 적용하여 터븀-니켈-타이타늄 나이트라이드-게르마늄 합금 또는 니켈-타이타늄 나이트라이드-게르마늄 합금을 이용하여 얻어진 콘택의 접촉저항(Specific Contact Resistivity)을 계산한다.
- [0073] 이를 이용하여 계산한 결과를 나타내면 아래의 표와 같이 나타낼 수 있다.

표 1

Tb 두께	접촉비저항($\Omega\text{-cm}^2$)
0 nm	7.36×10^{-6}
8 nm	7.21×10^{-8}

- [0075] [CTLM 패턴을 통하여 실제로 접촉저항을 추출한 결과 실험 데이터]상기 표 1은 CTLM 패턴에서 터븀 층의 두께에 따른 NiGe/p-Ge 쇼트키 접촉(Schottky contact)의 접촉저항 추출 결과를 나타내는 표이다. 계산한 결과, 터븀이 적층되지 않은 니켈-타이타늄 나이트라이드-게르마늄 합금을 이용한 콘택의 접촉저항은 $7.36 \times 10^{-6} \Omega\text{cm}^2$ 이고, 터븀-니켈-타이타늄 나이트라이드-게르마늄 합금을 이용한 콘택의 접촉저항은 $7.21 \times 10^{-8} \Omega\text{cm}^2$ 이다.
- [0076] 본 발명에 따른 터븀-니켈-타이타늄 나이트라이드-게르마늄 합금 콘택의 접촉저항은 니켈-타이타늄 나이트라이드-게르마늄 합금 콘택에 비해 현저히 낮음을 확인할 수 있다.
- [0077] 도 4는 터븀의 두께를 각각 달리하여 콘택을 형성한 결과를 나타내는 그래프이다.
- [0078] 터븀의 두께에 따라 접촉저항의 값은 약간씩 변할 수 있다. 도 4는 터븀의 두께를 각각 달리하여 콘택을 형성한 경우의 각각의 저항값을 나타내는 그래프이다.
- [0079] 도 4에 따르면 터븀의 두께가 0nm 일 경우, 즉 하나도 포함되어 있지 않을 경우와 터븀이 2nm 내지 10nm로 포함된 경우를 각각 비교하면 토탈 저항값이 현저히 차이 나는 것을 알 수 있다. 그 중에서도 터븀의 두께를 8nm로 설정하여 실험한 경우 갭 스페이스(Gap space) 값이 작은 조건에서 최적의 접촉저항 저감 효과를 나타낼 수 있음을 확인할 수 있다.

- [0080] 도 5는 기존의 방법에 따라 형성된 반도체 소자의 콘택과 본 발명의 일 실시 예에 따라 형성된 반도체 소자의 콘택의 상대 강도를 비교한 그래프이다.
- [0081] 도 5는 기존의 NiGe 샘플과 비교하여, Tb를 추가했을 때 발생하는 현상을 XRD 피크를 이용하여 확인하기 위한 그래프이다.
- [0082] 도 5에 따른 그래프는 샘플을 제작한 뒤에 RTA(Rapid thermal annealing)를 진행한 뒤 결정 구조에 대한 정보를 제공한 도면이다. 도 5에 따르면 각각의 피크로부터 Ni-Ge와 p형 Ge가 감지되었음을 나타낸다.
- [0083] 도 5에 따르면 터븀이 추가됨으로 인해 NiGe가 터븀이 없는 상태보다 반응이 촉진되어, XRD를 통하여 NiGe 피크의 크기가 Tb가 포함된 상태에서 강도가 더 크게 측정된 것으로 확인할 수 있다.
- [0084] 본 발명에서는 열처리를 통해서 터븀이 니켈-게르마늄 분포에 변화를 일으키게 되어 계면의 원소 결합이 변하여 접촉저항이 감소된다.
- [0085] 본 발명에 따르면, RTA 공정 후 니켈-게르마늄의 계면 근처에서 터븀으로 인하여 도핑 농도의 증가를 촉진하는 새로운 유형의 메탈 얼로이(Metal alloy)가 형성된다. 이는 니켈이 게르마늄 기판으로 확산되는 속도를 낮추고, 니켈 층이 분리되는 것을 막아주며, 이는 니켈-게르마늄의 형성이 표면에 가깝게 형성되도록 만들어준다. 또한 터븀은 NiGe에서 새로운 형태의 합금을 형성시켜, 금속 접합의 접촉저항이 감소될 수 있도록 할 수 있다.
- [0086] RTA(Rapid thermal annealing)는 균일한 반응물질 확산 및 균일한 물질과 물질간의 접촉을 위해 위해 짧은 시간 동안 시료를 고온에 어닐링을 수행할 수 있는 방법이다. 본 발명에서는 RTA 장비 내에서 가열은 할로젠 램프를 사용하여 급격하게 온도를 상승시키고, 냉각은 냉각수를 이용하여 급격하게 하강시킬 수 있다. 온도 제어는 PID 프로그램에 의해 제어될 수 있다.
- [0087] 본 발명에서는, 금속 접합(Metallic junction)을 형성하기 위해 진공 분위기에서 550° C와 350° C 조건으로 수 초 동안 RTA를 진행하였다.
- [0088] Ge 기판 내의 인듐 도펀트(Indium dopant)의 액티베이션(activation)을 위해 최초로 550° C에서 18초 동안 RTA 진행하였고, NiGe의 금속 접합 생성을 위해 두 번째에 350° C 온도조건에서 수초동안 사용하여 실험하였다.
- [0089] 그러나 본 발명에 따른 열처리 방법은 상기 조건에 제한되지 아니한다.
- [0090] 본 발명의 실시 예에 따른 반도체 소자의 콘택 구조는 p-mos를 일 실시 예로 하고 있지만, n-mos에도 적용 될 수 있다.
- [0091] 본 발명에 따르면, n-type의 게르마늄 기판에 억셉터(Acceptor) 이온이 주입된 p-type Ge에 터븀, 니켈, 타이타늄 나이트라이드를 차례로 증착한 뒤, RTA를 통해 열처리 시켜 니켈-게르마늄을 형성할 수 있다. 이 니켈-게르마늄의 형성 과정에서 터븀이 NiGe와 Ge 사이에서 반응하여 접촉저항이 감소된 효과를 얻을 수 있다.
- [0092] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있으며, 이러한 구현은 앞서 설명한 실시예의 기재로부터 본 발명이 속하는 기술분야의 전문가라면 쉽게 구현할 수 있는 것이다.
- [0093] 이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

- [0094] 110 : 기판
120 : 게이트 전극
121 : 게이트 절연층
122: 게이트 금속층
131 : 소스
132 : 드레인

141 : 터븀(Tb)

142 : 니켈(Ni)

143 : 타이타늄 나이트라이드(TiN)

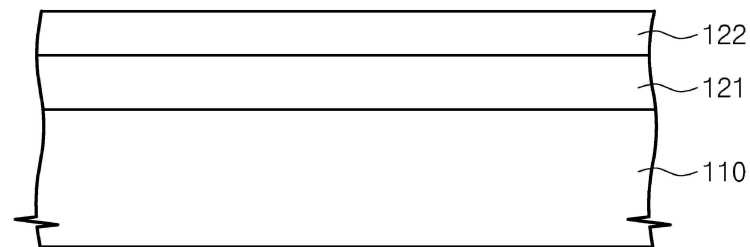
151 : 터븀-니켈-타이타늄 나이트라이드-게르마늄 합금

도면

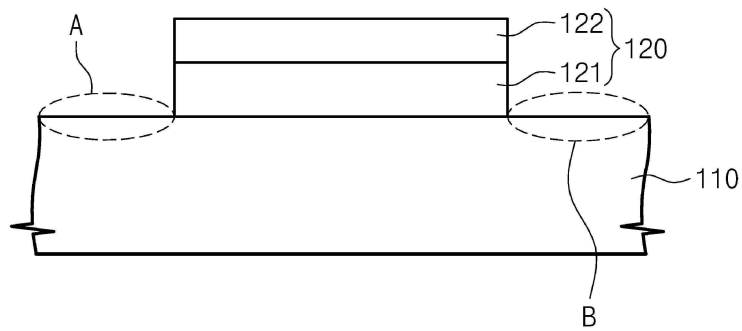
도면1a



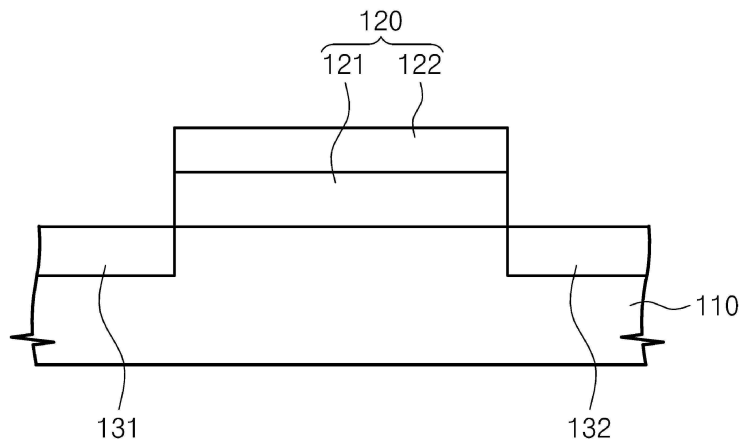
도면1b



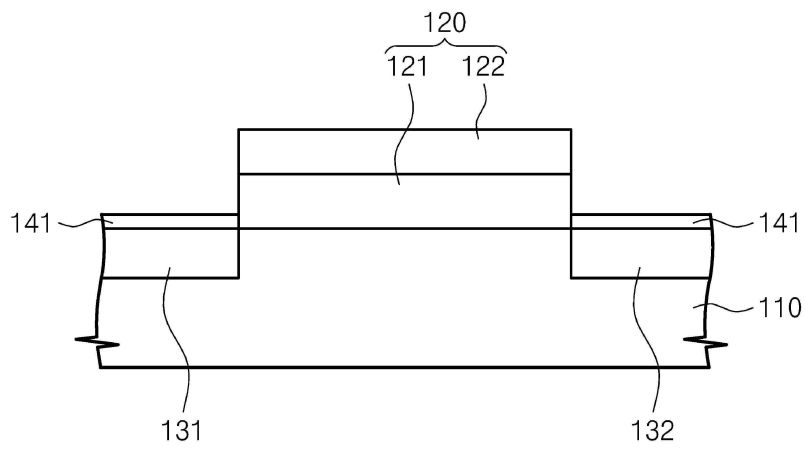
도면1c



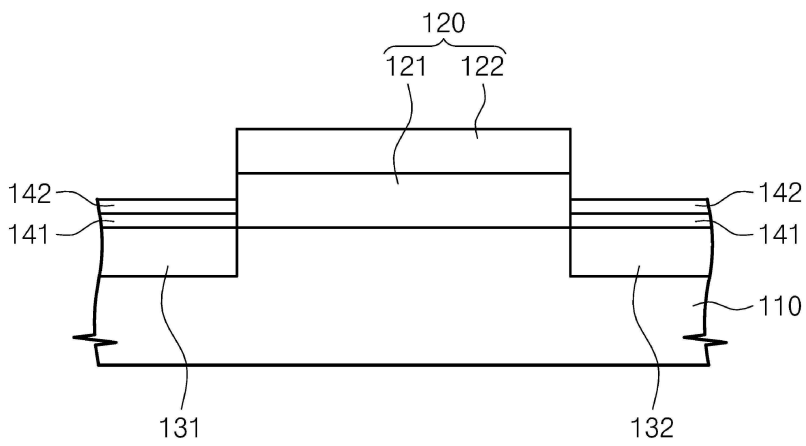
도면1d



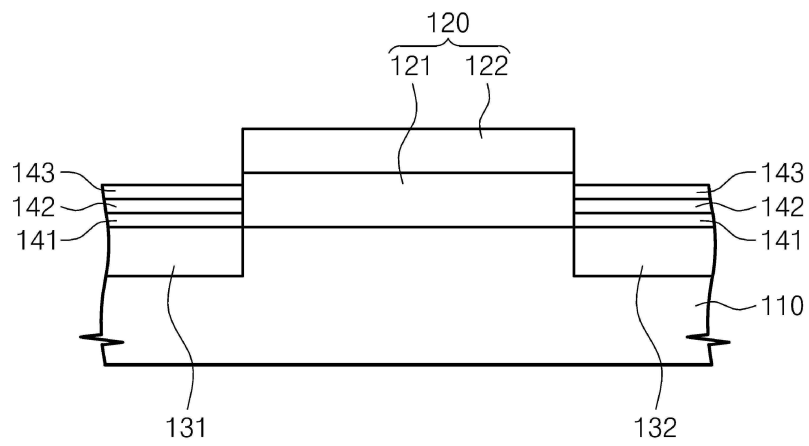
도면2a



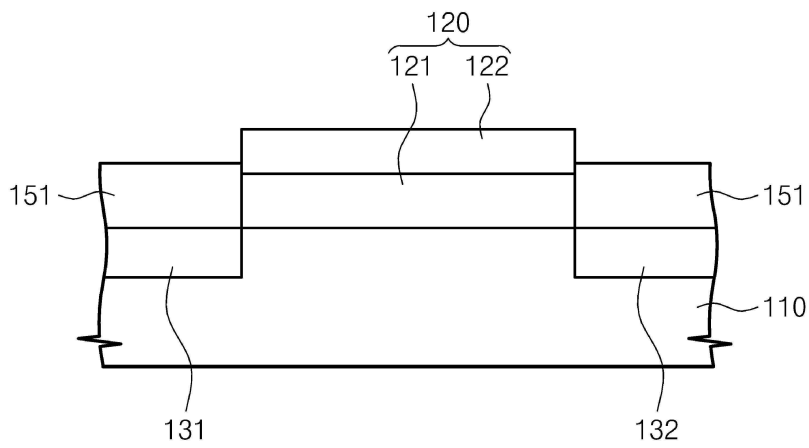
도면2b



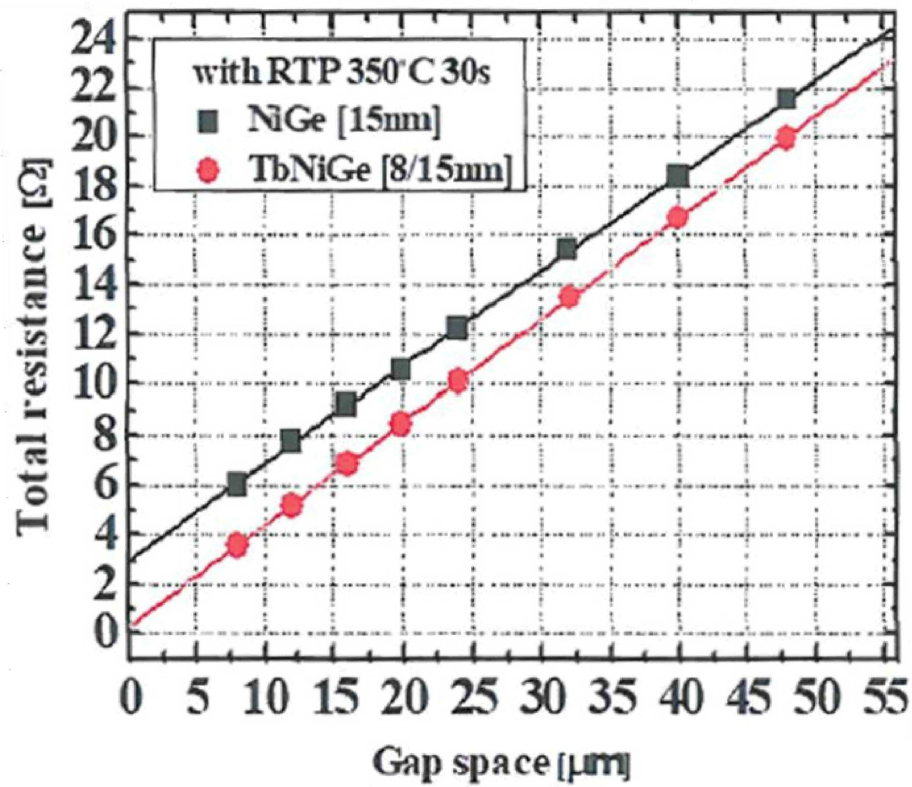
도면2c



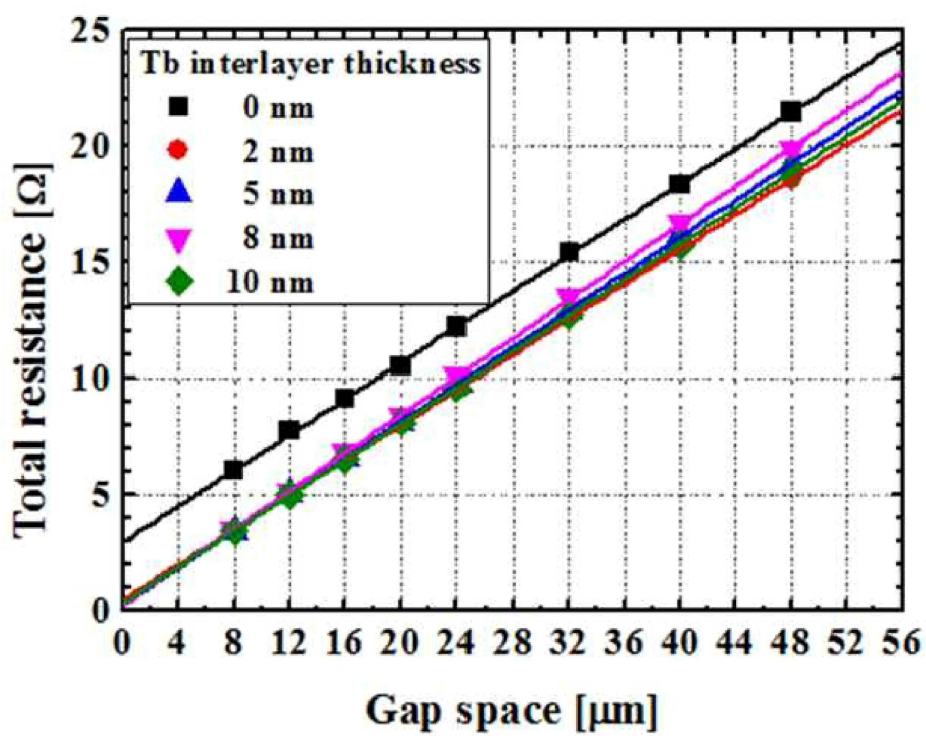
도면2d



도면3



도면4



도면5

