

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成26年11月20日 (2014.11.20)

【公表番号】特表2014-500993(P2014-500993A)

【公表日】平成26年1月16日 (2014.1.16)

【年通号数】公開・登録公報2014-002

【出願番号】特願2013-532870(P2013-532870)

【国際特許分類】

G 0 6 F 9/38 (2006.01)

G 0 6 F 9/34 (2006.01)

G 0 6 F 12/08 (2006.01)

【F I】

G 0 6 F 9/38 3 1 0 F

G 0 6 F 9/34 3 3 0

G 0 6 F 9/38 3 5 0 B

G 0 6 F 9/34 3 5 0 A

G 0 6 F 12/08 5 5 9 Z

【手続補正書】

【提出日】平成26年10月3日 (2014.10.3)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の命令セットによって定義された、アーキテクトされたレジスタの第 1 のセット (MMX) と、第 2 の命令セットによって定義された、アーキテクトされたレジスタの第 2 のセット (XMM) と、リネームレジスタのセット (REN) とにマッピングするように構成された複数の物理レジスタ (185) を備える装置内の方法であって、

前記アーキテクトされたレジスタの第 1 のセット (MMX) を前記複数の物理レジスタ (185) の外部のメモリ (120 , 125 , 130 , 135 , 165) にマッピングするステップと、

前記マッピングするステップに応じて、前記アーキテクトされたレジスタの第 1 のセットに対応する物理レジスタを、前記リネームレジスタのセットに加えるステップと、を含む方法。

【請求項 2】

前記アーキテクトされたレジスタの第 1 のセットをマッピングするステップは、前記アーキテクトされたレジスタの第 2 のセット及び前記リネームレジスタのセットへの前記物理レジスタのマッピングを初期化するステップと、

前記複数の物理レジスタの外部のキャッシュメモリへの、前記アーキテクトされたレジスタの第 1 のセットのマッピングを初期化するステップと、

前記第 1 の命令セットからの命令に関連する使用需要に応じて、前記アーキテクトされたレジスタの第 1 のセットを前記物理レジスタに再マッピングするステップと、

前記アーキテクトされたレジスタの再マッピングされた第 1 のセットに対応する物理レジスタを、前記リネームレジスタのセットから除去するステップと、を含む、

請求項 1 の方法。

【請求項 3】

前記アーキテクトされたレジスタの第 1のセットを前記メモリにマッピングするステップは、前記アーキテクトされたレジスタの第 1のセットを、前記複数の物理レジスタの外部のキャッシュメモリにマッピングするステップを含む、

請求項 1 の方法。

【請求項 4】

前記アーキテクトされたレジスタの第 1のセットを前記メモリにマッピングするステップは、前記第 1 の命令セットからの命令に関連する使用需要の減少に応じて、前記アーキテクトされたレジスタの第 1のセットを前記物理レジスタから前記メモリに再マッピングするステップを含む、

請求項 1 の方法。

【請求項 5】

前記アーキテクトされたレジスタの第 1のセットを、前記メモリから前記物理レジスタに再マッピングするステップと、

前記第 1 の命令セットからの命令に関連する使用需要の増大に応じて、再マッピングされた前記第 1 のセットに対応する物理レジスタを、前記リネームレジスタのセットから除去するステップと、を含む、

請求項 1 の方法。

【請求項 6】

第 1 の命令セットによって定義された、アーキテクトされたレジスタの第 1 のセット (M M X) と、第 2 の命令セットによって定義された、アーキテクトされたレジスタの第 2 のセット (X M M) と、リネームレジスタのセット (R E N) とにマッピングされるように構成された複数の物理レジスタ (1 8 5) を備え、

前記アーキテクトされたレジスタの第 1のセットは、前記物理レジスタの外部のメモリ (1 2 0 , 1 2 5 , 1 3 0 , 1 3 5 , 1 6 5) にマッピングされるように構成されており、

対応する物理レジスタは、当該マッピングに応じて、前記リネームレジスタのセットに加えられる、

装置。

【請求項 7】

前記複数の物理レジスタは、前記物理レジスタが、前記アーキテクトされたレジスタの第 2のセットと、前記リネームレジスタのセットとにマッピングされるように初期化されるべく構成されており、

前記アーキテクトされたレジスタの第 1のセットは、前記物理レジスタの外部の前記メモリにマッピングされ、

前記物理レジスタは、前記第 1 の命令セットからの命令に関連する使用需要に応じて、前記アーキテクトされたレジスタの第 1のセットが前記物理レジスタに再マッピングされ得るように構成され、

前記アーキテクトされたレジスタの再マッピングされた第 1のセットに対応する物理レジスタは、前記第 1 の命令セットからの命令に関連する使用需要に応じて、前記リネームレジスタのセットから除去され得る、

請求項 6 の装置。

【請求項 8】

キャッシュメモリを備え、

前記物理レジスタは、前記アーキテクトされたレジスタの第 1のセットがキャッシュメモリにマッピングされ得るように構成されている、

請求項 6 の装置。

【請求項 9】

前記物理レジスタは、前記第 1 の命令セットからの命令に関連する使用需要の減少に応じて、前記アーキテクトされたレジスタの第 1のセットが前記物理レジスタから前記メモリにマッピングされ得るように構成されており、

前記物理レジスタは、前記第 1 の命令セットからの命令に関連する使用需要の増大に応じて、前記アーキテクトされたレジスタの第 1 のセットが前記メモリから前記物理レジスタに再マッピングされ得ると共に、前記第 1 の命令セットからの命令に関連する使用需要の前記増大にตอบสนองして、再マッピングされた前記第 1 のセットに対応する物理レジスタが前記リネームレジスタのセットから除去され得るように構成されており、

前記物理レジスタは、前記第 2 の命令セットからの命令に関連する使用需要の減少に応じて、前記アーキテクトされたレジスタの第 2 のセットが前記物理レジスタから前記メモリにマッピングされ得ると共に、前記第 2 の命令セットからの命令に関連する使用需要の前記減少に応じて、前記第 2 のセットに対応する物理レジスタが前記リネームレジスタのセットにマッピングされ得るように構成されている、

請求項 6 の装置。

【請求項 10】

実行されると、請求項 6 ~ 9 のいずれかの装置を備える半導体デバイスを製造するために用いられる製造プロセスを構成し得る命令を含む、コンピュータ可読媒体。