

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-265751

(P2005-265751A)

(43) 公開日 平成17年9月29日(2005.9.29)

(51) Int.Cl.⁷

G01R 33/07

H01L 43/06

F I

G01R 33/06

H01L 43/06

H

A

テーマコード (参考)

2G017

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2004-82165 (P2004-82165)

(22) 出願日 平成16年3月22日 (2004.3.22)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(71) 出願人 000233527

株式会社ルネサス東日本セミコンダクタ

東京都新宿区西新宿六丁目5番1号

(74) 代理人 100085811

弁理士 大日方 富雄

(72) 発明者 早川 博彦

東京都青梅市藤橋三丁目3番地2 株式会

社ルネサス東日本セミコンダクタ内

Fターム(参考) 2G017 AA01 AB05 AC04 AD53 BA07

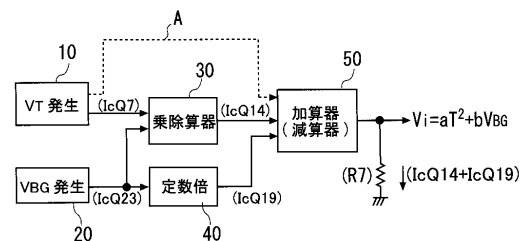
(54) 【発明の名称】 磁気検出回路

(57) 【要約】

【課題】 ホール素子とその周辺回路を一つの半導体チップ上に有するモノリシック IC化された磁気センサにおいて、製造ばらつきにかかわらずホール素子の磁気-電気変換特性の温度依存性を有効に補償することが可能な回路構成技術を提供する。

【解決手段】 ホール素子を電圧で駆動するとともに、 $Y = aT^2 + b$ または $Y = aT^2 + bT$ (a、bは定数、Tは絶対温度) で表わされる温度依存性を持つ電圧を発生する回路を設け、該回路で発生された電圧をホール素子に駆動電圧として印加してホール素子の磁気-電気変換特性の温度依存性を補償するようにした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ホール素子と、該ホール素子に印加される駆動電圧を発生する定電圧駆動回路とを備え、1つの半導体チップに形成された磁気検出回路であって、上記定電圧回路は、 $Y = a T^2 + b$ または $Y = a T^2 + b T$ (a 、 b は定数、 T は絶対温度)で表わされる温度依存性を持つ駆動電圧を発生し、該駆動電圧の温度依存性で上記ホール素子の磁気－電気変換特性を補償させるようにしたことを特徴とする磁気検出回路。

【請求項 2】

ホール素子と、該ホール素子に印加される駆動電圧を発生する定電圧駆動回路と、前記ホール素子の出力を増幅する可変利得増幅回路とを備え、1つの半導体チップに形成された磁気検出回路であって、前記定電圧駆動回路は温度依存性のない電圧を発生するように構成され、前記増幅回路はそのゲインが $Y = a T^2 + b$ または $Y = a T^2 + b T$ (a 、 b は定数、 T は絶対温度)で表わされる温度依存性を有するように制御されることを特徴とする磁気検出回路。 10

【請求項 3】

ホール素子と、該ホール素子に印加される駆動電圧を発生する定電圧駆動回路と、前記ホール素子の出力を弁別するコンパレータと、該コンパレータに供給されるスレッシュホールド値を生成する定電圧回路とを備え、1つの半導体チップに形成された磁気検出回路であって、前記定電圧電源回路は温度依存性のない電圧を発生するように構成され、前記定電圧回路は $Y = a T^2 + b$ または $Y = a T^2 + b T$ (a 、 b は定数、 T は絶対温度)で表わされる温度依存性に基づいて $1/Y$ となるように制御されるスレッシュホールド値を生成するように構成されていることを特徴とする磁気検出回路。 20

【請求項 4】

前記定電圧駆動回路は、温度依存性を持つ電流を生成する第1電流生成回路と、温度依存性のない電流を生成する第2電流生成回路と、前記第1電流生成回路および第2電流生成回路で生成された電流を入力とする乗除算回路と、前記第2電流生成回路で生成された電流に比例した電流を出力する定数倍回路と、前記乗除算回路と前記定数倍回路から出力される電流を加算もしくは減算する電流合成回路と、合成された電流を電圧に変換する電流－電圧変換手段とから構成されていることを特徴とする請求項1に記載の磁気検出回路。 30

【請求項 5】

前記ホール素子は前記半導体チップに形成されたエピタキシャル層またはn型半導体層からなることを特徴とする請求項1～4に記載の磁気検出回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ホール素子を用いた磁気センサの駆動回路及び信号検出回路の温度補償および製造ばらつき補償に適用して有効な技術に関し、例えばホール素子とその周辺回路が1つのシリコンチップ上に形成されてなるモノリシックIC磁気センサに利用して有効な技術に関する。 40

【背景技術】

【0002】

従来、各種測定器や制御系におけるセンサとして磁気－電気変換特性を有するホール素子が利用されている。ホール素子の磁気－電気変換特性は温度依存性を有することが知られており、ホール素子を用いた磁気センサは比較的溫度変化の大きな環境にて使用されることがあるので、溫度変動に対して安定した出力が得られるようにするため種々の溫度補償回路が従来より提案されており、例えば特許文献1や特許文献2に記載の発明などがある。

【0003】

特許文献1の発明は、集積回路内においてホール素子を定電圧で駆動し、磁気－電気変 50

換された電気信号を増幅するトランスコンダクタンス型増幅器の負荷にホール素子と同種の構造の抵抗を用いることで温度補償をしている。特許文献2の発明は、ホール素子を-1000ppm/°C程度の負の温度係数を持った電流で駆動することで磁気-電気変換特性の温度補償をしている。

【0004】

また、ホール素子の磁気-電気変換特性は温度依存性が駆動電流の温度依存性とほぼ一致することに着目し、ホール素子の駆動電流を検出する監視手段と、検出された電流に比例した電圧を発生する回路とを設け、ホール素子の出力を弁別するコンパレータに対して安定したスレッシュホールド電圧を与えることにより温度補償するようにしたものがある。さらに、ホール素子を適当な温度依存性を持った定電圧源で駆動することにより、磁気-電気変換特性の温度依存性を補償するようにしたものもある。 10

【特許文献1】米国特許4,760,285号

【特許文献2】特開平10-253728号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記従来技術にあっては温度補償の点ではそれほど問題はないものの、特許文献1の発明やホール素子の駆動電流を監視する方式にあっては、製造プロセスにおけるパラメータの変動（以下、単に製造ばらつきと称する）で抵抗値がばらつき、それによって増幅器のゲインやコンパレータのスレッシュホールド電圧がばらついてシステム全体としての磁気-電気変換特性がばらついてしまうという不具合がある。 20

【0006】

また、現在、ホール素子を用いた磁気センサの駆動回路の多くはモノリシックIC化されているが、半導体チップ上におけるホール素子は一般にエピタキシャル層を用いて形成されることが多く、その場合、エピタキシャル層のキャリア濃度や厚みのばらつきが比較的大きいため素子自身の入力インピーダンスにばらつきが生じる。ホール素子の磁気-電気変換特性はホール移動度と印加電圧の積に比例しているため、ホール素子を特許文献2のように電流で駆動する方式にあっては、素子の製造ばらつきで入力インピーダンスにばらつきが生じると印加電圧が変化して、磁気-電気変換特性がばらついてしまう。そして、抵抗値やホール素子の特性ばらつきが大きいとICの歩留まりが低下するという課題がある。 30

【0007】

ところで、従来より定電圧回路に関しては、温度変動や素子の製造ばらつきにかかわらず比較的安定した定電圧を生成可能な回路や温度に比例し素子の製造ばらつきに依存しない定電圧を生成可能な回路として、種々の回路形式のものが提案されている。従って、製造ばらつきに伴うホール素子の磁気-電気変換特性のばらつきを小さくするためには、ホール素子を電流で駆動する方式よりも電圧で駆動する方式の方が有利であるが、エピタキシャル層からなるホール素子は、キャリア濃度およびホール移動度の製造ばらつきは比較的小さいもののホール移動度が温度変化で変動し易いため、温度変化によって素子の磁気-電気変換特性が変動してしまう。 40

【0008】

また、シリコンやGaAsのICの場合には、ホール素子の磁気-電気変換特性は負の温度依存性を有するため、この負の温度依存性を補償するには印加電圧に正の温度依存性を持たせる必要があるが、正の温度依存性を持つ駆動回路や増幅回路を実現するのが比較的困難であるとともに、仮に実現できたとしてもホール素子や回路を構成する素子の特性が製造ばらつきでばらついたのであるホール素子の磁気-電気変換特性がばらついてしまい、結果としてシステム全体の磁気-電気変換特性のばらつきが大きくなる。さらに、この温度依存性を補償するための従来技術は、ホール素子の製造プロセスや駆動回路・増幅回路等の周辺回路の製造プロセスのばらつきに大きく依存しており、既存のプロセスでは磁気-電気変換特性のばらつきを十分に低減することができず、プロセスを改善するとコ 50

ストップを招くおそれがある。

【0009】

また、ホール素子を適当な温度依存性を持った定電圧源で駆動することで温度補償を行なう従来方式であっても、温度補償回路を構成する素子のばらつきによって特性がばらついてしまうととも、定電圧源に所望の温度依存性を持たせるには抵抗値の温度依存性が低くかつ製造ばらつきの小さな抵抗が必要となるが、シリコンチップ上でそのような抵抗を形成することは困難であるため、精度を高めるには外付けの抵抗素子が必要になったり、抵抗値のトリミングが必要になるという課題がある。

【0010】

この発明の目的は、ホール素子とその周辺回路を一つの半導体チップ上に有するモノリシック IC 化された磁気センサにおいて、周辺回路の製造ばらつきにかかわらずホール素子の磁気－電気変換特性の温度依存性を有効に補償することが可能な回路構成技術を提供することにある。 10

この発明の他の目的は、ホール素子とその温度補償を行なう機能を有する周辺回路を一つの半導体チップ上にモノリシック IC 化するのに好適な回路構成技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。 20

すなわち、ホール素子を電圧で駆動するとともに、 $Y = a T^2 + b$ または $Y = a T^2 + b T$ (a 、 b は定数、 T は絶対温度) で表わされる温度依存性を持つ電圧を発生する回路を設け、該回路で発生された電圧をホール素子に駆動電圧として印加してホール素子の磁気－電気変換特性の温度依存性を補償するようにしたものである。

【0012】

ここで、上記式で表わされる温度依存性を持つ電圧をホール素子に駆動電圧として印加する代わりに、ホール素子の出力を増幅する増幅回路をそのゲインが上記式で表わされる温度依存性を有するように制御しても良い。また、ホール素子の出力を弁別するコンパレータを設けて磁気入力に対して 2 値化した信号を出力するセンサにおいては、コンパレータのスレッシュホールドレベルを、上記式で表わされる温度依存性に基づいて $1/Y$ となるように制御することで、ホール素子の磁気－電気変換特性が温度に依存して変化したとしても温度に影響されない正確な検出出力を補償させるようにしても良い。 30

【0013】

ホール素子をシリコンチップ上に形成する場合、使用されるのはエピタキシャル層あるいは拡散層からなる n 形半導体層であり、その場合ホール素子の磁気－電気変換特性はキャリア濃度に左右されるため製造ばらつきでばらつくおそれがあるが、上記式で表わされる温度依存性を持つ電圧がホール素子に駆動電圧として印加または増幅回路のゲインが上記式で表わされる温度依存性を有するように制御されると、製造ばらつきでホール素子の磁気－電気変換特性がばらついたとしても、温度依存性の少ない検出出力が得られるようになる。また、磁気入力に対して 2 値化した信号を出力するセンサにおいては、コンパレータのスレッシュホールドレベルを上記式で表わされる温度依存性に基づいて $1/Y$ となるように制御することで、ホール素子の磁気－電気変換特性が温度に依存して変化したとしても温度に影響されない正確な 2 値化出力が得られるようになる。 40

【0014】

なお、本発明の上記した手段は、ホール素子を有する磁気センサがモノリシック IC として形成される場合に適用すると最も有効であるが、ホール素子と周辺回路が別の半導体チップ上に形成される場合にも有効である。また、ホール素子が形成される半導体チップは、シリコンまたは GaAs に限定されるものでないが、シリコンまたは GaAs である 50

場合に適用すると有効である。

【発明の効果】

【0015】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、ホール素子とその周辺回路を一つのシリコンチップ上に有するモノリシック I C 化された磁気センサにおいて、製造ばらつきにかかわらずホール素子の磁気－電気変換特性の温度依存性を有効に補償し、温度が変化しても安定した検出出力を得ることができるようになる。また、ホール素子とその温度補償を行なう機能を有する周辺回路を一つのシリコンチップ上にモノリシック I C 化することが容易になり、歩留まりが向上するという効果がある。 10

【発明を実施するための最良の形態】

【0016】

以下、本発明の好適な実施例を図面に基づいて説明する。

本発明の第 1 の実施形態は、ホール素子を電圧で駆動するとともに、 $Y = a T^2 + b$ (a 、 b は定数、 T は絶対温度) で表わされる温度依存性を持つ電圧を発生する回路を設け、該回路で発生された電圧をホール素子に駆動電圧として印加してホール素子の磁気－電気変換特性の温度依存性を補償するようにしたものである。

【0017】

一般にモノリシック集積回路において、絶対温度 T に比例し製造ばらつきにほとんど依存しない電圧を得るのは容易である。また、温度や製造ばらつきにほぼ依存しない定電圧源を得るのも比較的簡単である。このような定電圧生成回路の一つとしてバンドギャップ基準電圧回路が良く知られている。また、上記定数 a 、 b の調整は同種類の抵抗など 2 つ素子のサイズ比を適宜設定することで実現可能である。モノリシック I C プロセスで形成される抵抗素子は、個々の素子の抵抗値のばらつきが大きく温度係数も決して小さくないが、抵抗比はばらつきが小さく温度依存性も非常に小さい。従って、抵抗比を利用して定電圧を発生させてホール素子を駆動するように構成すると、製造プロセスにほぼ依存しない温度補償された磁気－電気変換特性が得られる。 20

【0018】

なお、ホール素子の製造ばらつきによってホール素子の入力抵抗や出力抵抗は大きくばらつくが、ホール移動度はあまり変化しない。例えば、キャリア濃度が $1 \times 10^{15} \text{ cm}^{-3}$ の n 型シリコンの場合、キャリア濃度が一桁ずれてもホール移動度の変化は高々 10 % 程度である。通常のシリコン I C プロセスではキャリア濃度のバラツキを 10 % 程度に押さえるのは比較的容易なので、エピタキシャル層や n 型拡散層からなるホール素子とその周辺回路が 1 つの半導体チップに形成されたモノリシック I C において、ホール素子のホール移動度のばらつきはないとみなすことができる。 30

【0019】

ところで、通常、ホール素子の磁気－電気変換特性は、以下の様に記述することができる。

$$V_H = k \cdot \mu_H \cdot V_i \cdot B \quad \dots\dots (1)$$

【0020】

ここで、 V_H はホール電圧 (ホール素子の出力電圧)、 k はホール素子の形状等による定数、 μ_H はホール移動度、 V_i はホール素子への印加電圧 (入力電圧)、 B は印加磁束密度である。式 (1) より、磁気－電気変換率は、

$$V_H / B = k \cdot \mu_H \cdot V_i \quad \dots\dots (2)$$

となり、 μ_H と V_i の積に比例することが分かる。シリコンの場合 μ_H は n 型の方が p 型よりも大きく、低濃度の方が高濃度の場合よりも大きい為、もっぱら低濃度 ($1 \times 10^{14} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度) の n 型半導体が用いられる。この場合 μ_H の温度依存性は $-4000 \sim -8000 \text{ ppm}/^\circ\text{C}$ 程度となるが、この濃度領域では濃度のバラツキによる μ_H のばらつきは小さく無視できる。従って、印加電圧 V_i を製造プロセスに依存しない値にすることがで 50

できれば、 V_H/B を製造プロセスに依存しない値にすることができる。以下、 n 型シリコンについて記述するが、他の場合も数値が異なるだけで原理は同じである。

【0021】

しかし、 μ_H の温度依存性も同時に補償するには、式(2)を温度で微分した次式

$$\{(V_H/B)/dT\}(V_H/B) = (d\mu_H/dT)/\mu_H + (dV_i/dT)/V_i \quad \dots\dots (3)$$
 の左辺が 0 となる必要がある。一方、 μ_H は以下のように表わせる。

$$\mu_H = \mu_{H0} \cdot \exp(\alpha T) \quad \dots\dots (4)$$

ここで、 μ_{H0} は基準温度 T_0 での μ_H 、 α は $-0.004 \sim -0.008/^\circ\text{C}$ 即ち $-4000 \sim -8000 \text{ppm}/^\circ\text{C}$ である。

【0022】

従って、式(3)と式(4)とから、

$$(dV_i/dT)/V_i = -(d\mu_H/dT)/\mu_{H0} \cdot \exp(\alpha T)$$

が得られる。ここで、 $d\mu_H/dT = \alpha \mu_{H0} \cdot \exp(\alpha T)$ であるので、

$$(dV_i/dT)/V_i = -\alpha \quad \dots\dots (5)$$

が温度補償条件となる。

【0023】

次に、モノリシック IC プロセスにおいてプロセス変動に対して安定な電圧源を検討する。

詳細は後述の具体例において説明するが、温度依存電圧源は V_T 電圧源として広く知られており、その発生電圧 V_{thermal} は以下の通りになる。

$$V_{\text{thermal}} = (\ln N) \cdot (k_B \cdot T / q) = (\ln N) \cdot V_T \quad \dots\dots (6)$$

【0024】

ここで、 $\ln$ は対数関数、 N はエミッタ面積比、 k_B はボルツマン定数、 q は電気素量、 $V_T = k_B \cdot T / q$ である。従って、 V_{thermal} は温度 T に比例する電圧で、その係数はすべて定数でプロセスのバラツキには全く依存しない。一方で、プロセスのバラツキに対して安定で温度に対して独立な電圧源としてはバンドギャップ基準電圧回路のような電圧源が良く知られており、この電圧を V_{BG} とする。

【0025】

上記 V_{thermal} 、 V_{BG} を元に、モノリシック IC プロセスにおいて可能な手段で印加電圧 V_i を発生させ、式(5)を満たせば目的は達成される。モノリシック IC プロセスでは、プロセスバラツキに対して安定で簡単な演算回路として定数倍、加算（または、減算）、乗除算の各回路があり、これらを利用して以下の電圧が発生可能である。そのブロックを図1に示す。

【0026】

図1において、10は温度依存性のある電圧を発生する V_T 電圧発生回路、20は温度依存性のない電圧を発生する V_{BG} 電圧発生回路、30は $Y = aT^2 + b$ における aT^2 に相当する成分を得るための乗除算器、40は $Y = aT^2 + b$ における b に相当する成分を得るための定数倍回路、50は $aT^2 + b$ の演算を行なう加算器（もしくは減算器でも可）である。図1の回路により生成される電圧 V_i は、次式

$$V_i = a_1 \cdot (V_{\text{thermal}})^2 / V_{BG} + b_1 \cdot V_{BG} \quad \dots\dots (7)$$

で表わすことができる。ここで、 a_1 、 b_1 は定数である。式(6)を用いて式(7)を変形すると、

$$V_i = \{a_1 \cdot (\ln N)^2 / V_{BG}\} \cdot V_T^2 + b_1 \cdot V_{BG} \quad \dots\dots (8)$$

となる。この式は、さらに、 $V_T = k_B \cdot T / q$ より、

$$V_i = \{a_1 \cdot (\ln N)^2 \cdot k_B^2 / q^2 \cdot V_{BG}\} T^2 + b_1 \cdot V_{BG} \quad \dots\dots (9)$$

と変形される。ここで、 $\{a_1 \cdot (\ln N)^2 \cdot k_B^2 / q^2 \cdot V_{BG}\}$ は定数であるので“ a ”とおき、 $b_1 \cdot V_{BG}$ を“ b ”とおくと、 a 、 b はプロセスに依存しない独立の定数とみなすことができる。

【0027】

上記式(8)又は(9)を、温度 T で微分すると以下の式が得られる。

10

20

30

40

50

$$(dV_i/dT)/V_i = (2 \cdot T)/\{T^2 + (b/a)\} \quad \dots\dots (10)$$

基準温度 T_0 で (5) 式を満たすとき、(5)、(10) 式より、

$$(b/a) = -(2/\alpha) \cdot T_0 - T_0^2 \quad \dots\dots (11)$$

この条件とき (11) 式を (10) 式に代入すると、

$$(dV_i/dT)/V_i = -\alpha [1 + \{(T-T_0)/T_0\}] / [1 - \alpha T_0 \{(T-T_0)/T_0\} + (\alpha T_0/2) \{(T-T_0)/T_0\}^2] \quad \dots\dots (12)$$

が得られる。(12) 式より、 $T = T_0$ の近傍で近似的に $(dV_i/dT)/V_i = -\alpha$ が成り立つ。

【0028】

ここで、 -25°C から 100°C までの使用温度範囲を想定して、基準温度を $T_0 = 310\text{ K}$ (約 37°C) とし、ホール移動度 μ_{H0} の温度係数 α を $-0.0055/^\circ\text{C}$ 即ち $-5500\text{ ppm}/^\circ\text{C}$ とすると、 $(b/a) = 1.66 \times 10^4$ となり、この時の (2) 式で表される磁気-電気変換率を実際に計算すると、図2の様になり、十分な温度補償がなされていることが分かる。

【0029】

図3には、 $V_i = a_1 \cdot (V_{\text{thermal}})^2 / V_{BG} + b_1 \cdot V_{BG}$ すなわち $Y = aT^2 + b$ で表わされる温度依存性を持つ電圧を発生する回路の具体例を示す。なお、図3において、バイポーラトランジスタを示す記号の近傍に付記されている“1”，“2”，“4”，“9”なる数字はトランジスタ特にエミッタのサイズを比で表わしたものである。

【0030】

図3において、トランジスタ Q_6 ， Q_8 ， Q_9 および抵抗 R_3 ， R_4 ， R_5 からなる回路は温度依存性のない電圧を発生するバンドギャップ基準電圧回路であり、トランジスタ Q_8 ， Q_9 のコレクタが抵抗 R_4 ， R_5 を介して結合されたノードAに、バンドギャップ電圧 V_{BG} (概ね 1.26 V 程度) に相当する電位が発生する。そして、このノードAに抵抗 R_8 を介して直列にトランジスタ Q_5 が接続されことにより、 Q_5 のエミッタが接続されたノードBにはバンドギャップ電圧 V_{BG} の2倍の電位 V_B が発生するように設計されている。トランジスタ $Q_1 \sim Q_4$ および抵抗 R_1 ， R_2 からなる回路60は、バンドギャップ基準電圧回路にバイアスを与えるバイアス回路である。

【0031】

本実施例のバンドギャップ基準電圧回路は、トランジスタ Q_8 と Q_9 のエミッタ面積比を N (本実施例では $N = 9$) とすると、抵抗 R_3 に発生する電圧 V_{R3} は、 $V_{R3} = VT(\ln N)$ である。これが図1の温度 T に依存する電圧発生回路10に相当するものとなる。従って、トランジスタ Q_8 のコレクタ電流 I_{cQ8} は、

$$I_{cQ8} = VT(\ln N)/R_3 \quad \dots\dots (18)$$

で表わされる温度依存性のある電流となる。図3の回路においては、 $R_4 = R_5$ とされており、これにより $I_{cQ8} = I_{cQ9}$ となる。さらに、トランジスタ Q_5 と Q_7 はそのエミッタ面積比が $2:1$ されているため、

$$I_{cQ8} = I_{cQ9} = I_{cQ5}/2 = I_{cQ7} = I_{cQ10} = I_{cQ12} = VT(\ln N)/R_3 \quad \dots\dots (19)$$

であり、 I_{cQ7} は温度依存性のある電流となる。 $R_3 = R_4/10$ である。

【0032】

図3の回路では、直列のトランジスタ Q_{10} と Q_{12} が2乗回路を構成しており、これに前記トランジスタ Q_7 のコレクタ電流が流されることで、温度に依存した電圧 VT が2乗された電流 $I VT^2$ が生成され、カレントミラー回路でトランジスタ Q_{11} に転写される。

【0033】

上記ノードBから温度依存性のない電圧 V_B が引き出されて印加されたノードFと接地点との間に接続されたトランジスタ $Q_{20} \sim Q_{23}$ と抵抗 R_9 ， R_{10} は、図1における電圧 V_{BG} を発生する回路20に相当する回路を構成している。この回路内の抵抗 R_9 ， R_{10} は抵抗比が $2:1$ すなわち $R_9 = 2 \cdot R_{10}$ とされており、 Q_{20} ， Q_{21} ， Q_{22} のベース・エミッタ間電圧 V_{BE} はほぼ等しいすなわち $V_{BEQ20} = V_{BEQ22}$ とみなすことができる。

10

20

30

40

50

そのため、トランジスタQ 2 3に流れる電流 I cQ23は、次式

$$\begin{aligned} I_{cQ23} &= I_{cQ21} + I_{cQ22} = I_{cQ20} + I_{cQ22} \\ &= (2 \cdot V_{BG} - V_{BEQ20} - V_{BEQ22}) / R_9 + V_{BEQ20} / R_{10} \\ &= 2 \cdot V_{BG} / R_9 - 2 \cdot V_{BEQ20} / R_9 + 2 \cdot V_{BEQ20} / R_9 \\ &= 2 \cdot V_{BG} / R_9 \quad \dots\dots (20) \end{aligned}$$

で表わされる。

【0034】

そして、この回路で生成された電流 I cQ23（以下、I VBGと記す）が、上記トランジスタQ 2 3とカレントミラーをなすトランジスタQ 2 4に転写され、Q 2 4のコレクタ電流が上記トランジスタQ 1 1から引き抜かれることにより、トランジスタQ 1 5には上記2乗電流 I VT²を電流 I VBGで除算した値に相当する電流 I VT² / I VBGが流れる。つまり、Q 10, Q 11, Q 12, Q 15は乗除算器を構成しており、I cQ23 = I cQ24 = I cQ11であることから

$$I_{cQ15} = I_{cQ10} \cdot I_{cQ12} / I_{cQ11} = \{V_T^2 \cdot (\ln N)^2 \cdot R_9\} / (2 \cdot V_{BG} \cdot R_3^2) \quad \dots\dots (21)$$

となる。この電流がトランジスタQ 1 3とQ 1 4とからなるカレントミラーでQ 1 4に転写される。

【0035】

トランジスタQ 1 8, Q 1 9および抵抗R 1 1, R 1 2は図1における定数倍回路40に相当する回路を構成しており、Q 1 7のコレクタ電流 I cQ17は該定数倍回路により抵抗R 1 1, R 1 2の抵抗比に応じて定数倍され I cQ19として出力される。この電流 I cQ19は次式

$$\begin{aligned} I_{cQ19} &= R_{11} / R_{12} \cdot I_{cQ17} = R_{11} / R_{12} \cdot I_{cQ23} \\ &= 2 \cdot (R_{11} / R_{12}) \cdot (V_{BG} / R_9) \quad \dots\dots (22) \end{aligned}$$

で表わされる。

【0036】

そして、上記電流 I cQ14と I cQ19が流されるトランジスタQ 1 4とQ 1 9はコレクタ同士が結合されて電流加算回路を構成しているため、電流 I cQ14と I cQ19は共通コレクタで電流加算され、さらに抵抗R 7で電流から電圧に変換される為、ノードDの電位 V Dは次式

$$\begin{aligned} V_D &= R_7 \cdot (I_{cQ14} + I_{cQ19}) \\ &= R_7 \cdot [\{V_T^2 \cdot (\ln N)^2 \cdot R_9\} / (2 \cdot V_{BG} \cdot R_3^2) \\ &\quad + 2 \cdot (R_{11} / R_{12}) \cdot (V_{BG} / R_9)] \\ &= \{(R_7 / R_3) \cdot (R_9 / R_3) \cdot (\ln N)^2 / (2 \cdot V_{BG})\} \cdot V_T^2 \\ &\quad + 2 \cdot (R_{11} / R_{12}) \cdot (R_7 / R_9) \cdot V_{BG} \\ &= (R_7 / R_3) \cdot (R_9 / R_3) \cdot (\ln N)^2 / (2 \cdot V_{BG}) \cdot (k_B / q)^2 \cdot T^2 \\ &\quad + 2 \cdot (R_{11} / R_{12}) \cdot (R_7 / R_9) \cdot V_{BG} \quad \dots\dots (23) \end{aligned}$$

【0037】

上記式(23)の第1項の T²の項の係数はプロセスに依存しない定数と抵抗比のみであり、第2項も同様である。このため、抵抗R 2 ~ R 10をモノリシックIC内に同一種類の抵抗として形成すれば、ノードDの電位 V Dはプロセスのバラツキに対して極めて安定で所望の温度依存性を有する電圧となる。ノードDの電位 V Dを受けるトランジスタQ 2 9 ~ Q 3 4および抵抗R 1 3, R 1 4からなる回路70は、出力電圧を抵抗R 1 3, R 1 4で分割した電圧が反転入力端子(Q 3 0のベースにフィードバックされることで入力電圧(V D)に比例した電圧を出力するインピーダンス変換用のアンプである。

【0038】

ホール素子に十分な電力を供給できるようにするため、本実施例ではトランジスタ25のエミッタ側のノードEとグランドとの間にホール素子の電源端子を接続した。この場合も抵抗R 1 3とR 1 4を同一種類の抵抗とすればノードEとグランドとの間の電圧は、ノードDの電位と全く同じ温度依存性を有するようになる。図4に温度に対するノードEの電位すなわちホール素子の印加電圧を、また図5に本実施例の駆動回路を用いた場合のホ

ール素子の磁気－電気変換特性を示す。図5より十分な温度補償効果が得られていることが分かる。

【0039】

以上、ホール素子の駆動電圧を $Y = a T^2 + b$ とした場合を説明したが、ホール素子の駆動電圧を $Y = a T^2$ すなわち $b = 0$ としたり、 b を負とすることも可能である。 $Y = a T^2$ とした場合や b が負の場合には、 $Y = a T^2 + b$ で b が正の場合よりも大きい温度係数を得られる。したがって、ホール素子自体の温度依存性が大きい場合（低濃度の場合）に対応できるばかりでなく、多くの場合にアプリケーションに用いられる磁石の発生する磁場の温度依存性が通常では負であることを考慮すると、 $Y = a T^2$ または b を負とした方が、システムの温度依存性を安定にできる場合があるので、かかる方式も有効である。

10

【0040】

また、本実施例は回路構成を簡単かつ分かり易くすることを念頭において考えたため、図3の様な回路になったが、図3の回路では、各トランジスタのベース電流が誤差を発生することがある。したがって、乗除算器、加算（減算）器としてオペアンプ回路を用いた乗除算器、加算（減算）器などを用いればもっと高精度な回路を実現することができる。さらに、本実施例では、アナログ乗除算器を用いているが、アナログ乗算器を用いても良いし、デジタル乗除算回路もしくはデジタル乗算回路あるいはDSP（デジタル・シグナル・プロセッサ）などを用いても良い。

【0041】

次に、本発明の第2の実施形態を説明する。第2の実施形態は、ホール素子を電圧で駆動するとともに、 $Y = a T^2 + b T$ （ a 、 b は定数、 T は絶対温度）で表わされる温度依存性を持つ電圧を発生する回路を設け、該回路で発生された電圧をホール素子に駆動電圧として印加してホール素子の磁気－電気変換特性の温度依存性を補償するものである。

20

【0042】

具体的には、温度依存のあるVT電圧源を用いて、次式

$$V_i = a_1 \cdot (V_{\text{thermal}})^2 / V_{BG} + b_1 \cdot V_{\text{thermal}} \quad \dots \dots (13)$$

で表わされる電圧を発生してホール素子に駆動電圧として印加する。

【0043】

ここで、 a_1 、 b_1 は定数である。（13）式を変形して

$$V_i = \{a_1 \cdot (\ln N)^2 / V_{BG}\} \cdot VT^2 + b_1 \cdot (\ln N) VT \quad \dots \dots (14)$$

30

さらに、

$$V_i = \{a_1 \cdot (\ln N)^2 \cdot k B^2 / (q^2 \cdot V_{BG})\} \cdot T^2 + b_1 (k B / q) T \quad \dots \dots (15)$$

となる。ここで、 $\{a_1 \cdot (\ln N)^2 \cdot k B^2 / q^2 \cdot V_{BG}\}$ は定数であるので a とおき、同様に $b_1 (k B / q)$ を b とおくと、 a 、 b はプロセスに依存しない独立の定数とみなすことができる。

【0044】

ここで、式（14）又は（15）を温度 T で微分すると以下の式が得られる。

$$(dV_i / dT) / V_i = \{2 \cdot T + (b / a)\} / \{T^2 + (b / a) T\} \quad \dots \dots (16)$$

【0045】

基準温度 T_0 で（5）式を満たすとき、（5）、（16）式より、

$$(b / a) = - (2 T_0 + \alpha T_0^2) / (1 + \alpha T_0) \quad \dots \dots (17)$$

40

が得られる。この時の温度による微分式の計算は省略するが、 -25°C から 100°C までの使用温度範囲を想定して、基準温度を $T_0 = 310\text{ K}$ （約 37°C ）とし、ホール移動度 μ_{H0} の温度係数 α を $-0.0055 / ^\circ\text{C}$ 即ち $-5500\text{ ppm} / ^\circ\text{C}$ とすると、 $(b / a) = 130$ となる。この時、（2）式で表される磁気－電気変換率を計算により求めると、図6のようになり、十分な温度補償がなされていることが分かる。この第2実施形態の場合、 (b / a) は第1実施形態の（11）式の計算値よりかなり小さい。このことはホール素子の材料や回路方式の選択の幅を広げることを意味する。

【0046】

第2実施形態の $Y = a T^2 + b T$ で表わされる温度依存性を持つ電圧を発生する回路は

50

、図1のブロック図において、破線Aのように、VT発生回路10から加算器（減算器）50へ温度Tの一次関数で示される電流を供給することで可能であり、その具体的な回路は、図示しないが、図3の回路に若干の修正を加えることで実現することが可能である。

【0047】

以上、ホール素子の印加電圧を制御する方式を説明したが、ホール素子を温度依存性のない定電圧で駆動し、ホール素子の出力電圧を増幅するアンプのゲインにノードDの電圧と同じ温度依存性を持たせてもよい。この場合、ホール素子の出力電圧は温度依存性（＝ α ）を有したままであるが、アンプの出力では温度補償ができています。このようにゲインをコントロールする方法の具体的な一つの例として、コントロール可能な電流源を2つ有し、その電流比でゲインが決定されるようなアンプを用いる方法がある。

10

【0048】

図7にそのようなゲイン調整可能なアンプの具体例を示す。

図7の利得可変アンプは、入力電圧 V_{in} を次式

$$V_{out} = V_c + V_o = V_c + A \cdot (I_2 / I_1) \cdot R_o \cdot V_{in} \cdots \cdots (24)$$

で表わされる電圧に変換して出力する。ここで、 V_c はボルテージフォロワVFの非反転入力端子に印加される定電圧源からの電圧、 A はアンプのゲイン、 I_2 / I_1 は定電流源 I_1 、 I_2 の電流比、 R_o はボルテージフォロワVFの出力端子とアンプの出力ノードとの間に接続された抵抗の抵抗値である。式(24)より、定電流源 I_1 の電流値 I_1 を一定にして定電流源 I_2 の電流値 I_2 を変化させればアンプのゲインを変化させることができることが分かる。

20

【0049】

したがって、定電流源 I_1 、 I_2 の電流として、図3の実施例の回路のノードBの電位 V_B を電圧－電流変換した電流（換言すれば I_{cQ17} と相似の電流）とノードDの電位 V_D を電圧－電流変換した電流（換言すれば $I_{cQ14} + I_{cQ19}$ と相似の電流）を用いれば、図7のアンプの入力が温度依存性を有していなくても、アンプの出力に第1の実施形態と同様な $aT^2 + b$ の温度依存性を与えることが可能である。

【0050】

さらに、磁気入力に対し2値化出力をする方式の磁気センサにあっては、その磁気スレッシュホールドの値の温度依存性を補償するようにしても良い。図8には、そのような2値化出力をする方式の磁気センサの概略構成を示す。

30

【0051】

図8において、100は単結晶シリコンのような半導体チップ、110はこの半導体チップ上にn形エピタキシャル層として形成されたホール素子、120は前記ホール素子110の一方の端子に印加する駆動電圧を発生する定電圧電源回路、130は上記ホール素子2の一对の出力端子が差動入力端子に接続されホール素子の出力を増幅するアンプ、140はこのアンプ130の出力電圧と所定のスレッシュホールド値 V_{TH} とを比較するコンパレータ、150はコンパレータ140に供給されるスレッシュホールド値 V_{TH} を生成する回路である。

【0052】

コンパレータ140に入力された電圧が上記スレッシュホールド値 V_{TH} と比較され、その出力によってオープンコレクタ形式の出力バイポーラトランジスタQ0がオン、オフ駆動されて出力電流の形で出力端子OUTより外部へ出力される。出力端子OUTに接続された外付けの抵抗および容量はノイズを低減するための素子である。この実施例においては、コンパレータ140に供給されるスレッシュホールド値 V_{TH} が、図3のような回路により生成される $Y = aT^2 + b$ で示されるような電圧Yに基づいて、 $1/Y$ のような温度依存性を有するように制御される。このような方式によって、前記実施例と同様に、ホール素子の磁気－電気変換特性が温度に依存して変化したとしても温度に影響されない正確な検出出力を得ることができる。

40

【0053】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上

50

記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、ホール素子が周辺回路を構成する素子とともに1つの半導体チップ上に形成されたモノリシックIC磁気センサに適用した場合について説明したがこの発明はそれに限定されるものでなく、複数のICと電子部品からなるハイブリッドIC磁気センサに適用することができる。

【産業上の利用可能性】

【0054】

本発明は、車速度センサ、車輪速度センサ、クランク角センサ等の温度の変化が大きい環境で使用される磁気センサに適用すると最も有効であるが、自動車以外の用途、例えば洗濯機、エアコンなどのブラシレスモーターの回転子の位置検出などの家庭用電気製品における磁気センサ、その他、無接点マイクロスイッチ、流量計、車高調整やシフトレバーなどに代表されるポジションセンサなどにも利用することができる。

10

【図面の簡単な説明】

【0055】

【図1】温度補償された定電圧（ホール素子駆動電圧）を発生する定電圧発生回路の第1実施形態の構成例を示すブロック図である。

【図2】図1の定電圧発生回路により生成された電圧が印加されたホール素子の磁気－電気変換特性を示す特性図である。

【図3】図1の定電圧発生回路の具体的な回路例を示す回路図である。

【図4】図3の定電圧発生回路によりホール素子に印加される電圧の温度に対する関係を示すグラフである。

20

【図5】図3の定電圧発生回路により生成された電圧が印加されたホール素子の磁気－電気変換特性を示す特性図である。

【図6】第2実施形態の定電圧発生回路により生成された電圧が印加されたホール素子の磁気－電気変換特性を示す特性図である。

【図7】第3実施形態の磁気センサに用いられるホール素子の出力を増幅する可変利得アンプの回路例を示す回路図である。

【図8】第4実施形態の磁気センサの構成例を示すブロック図である。

【符号の説明】

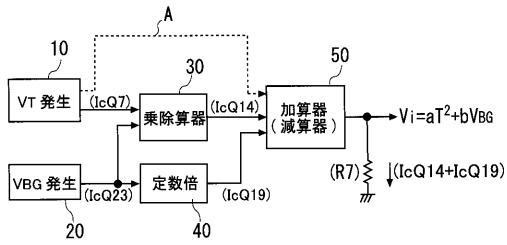
【0056】

30

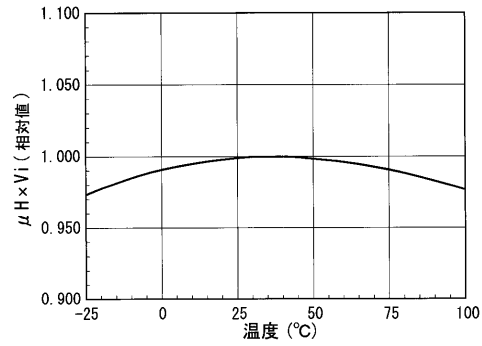
- 10 VT電圧発生回路
- 20 VBG電圧発生回路
- 30 乗除算器
- 40 定数倍回路
- 50 加算器（減算器）
- 100 半導体チップ
- 110 ホール素子
- 120 定電圧電源回路
- 130 定電流源
- 140 コンパレータ

40

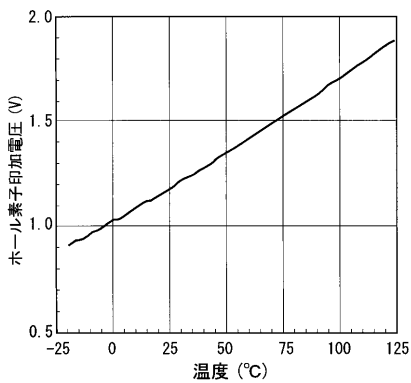
【図 1】



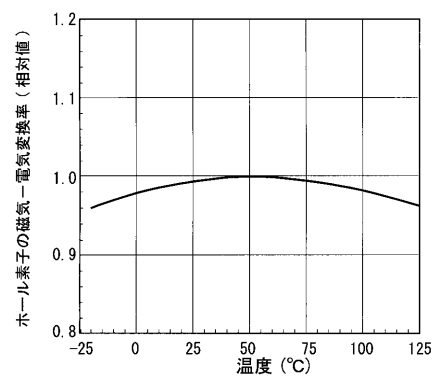
【図 2】



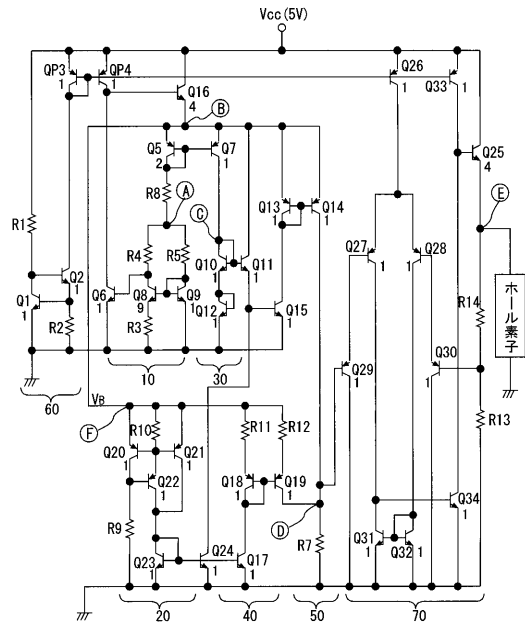
【図 4】



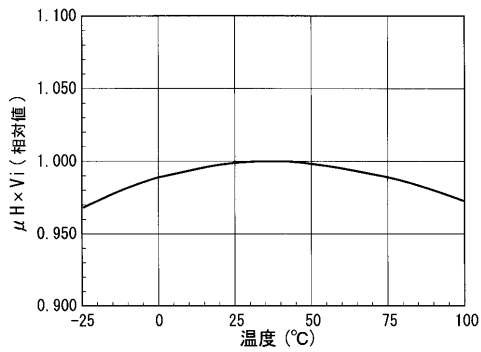
【図 5】



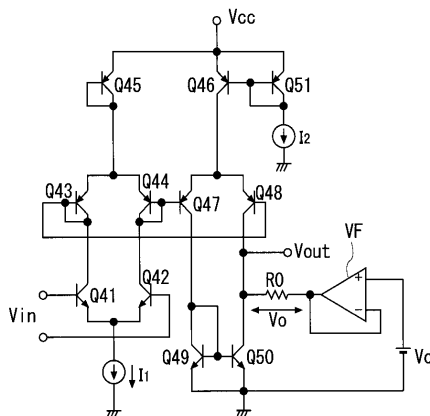
【図 3】



【図 6】



【図 7】



【図 8】

