

公告本

申請日期	90.10.2
案 號	901>4447
類 別	H03M 1/66

A4
C4

518831

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	利用 $\Sigma\Delta$ 迴圈及回授 DAC 模型之數位至類比轉換器
	英 文	DIGITAL TO ANALOG CONVERTER EMPLOYING SIGMA-DELTA LOOP AND FEEDBACK DAC MODEL
二、發明 創作人	姓 名	提摩西 W.西恩
	國 籍	美 國
	住、居所	美國麻州 02135 布來坦佛斯特街 160 號
三、申請人	姓 名 (名稱)	泰瑞丹公司
	國 籍	美 國
	住、居所 (事務所)	美國麻州 02118 波士頓哈瑞森大道 321 號
	代 表 人 姓 名	湯馬士 S.葛里爾克

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 2000.09.29 案號： 09/676,064 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明大致係有關於轉換數位輸入信號至類比輸出信號。更特定地，本發明係有關於利用一個 $\Sigma\Delta$ 迴圈以及其它的數位信號處理技術來增進用於自動化測試設備之工業用的數位至類比轉換器之效能。

本發明之背景

一項需求通常地出現在自動化測試設備(ATE)之中，以利用類比波形來激勵一個待測元件(DUT)。在習知的 ATE 範例中，測試程式係指定將被施加至一個 DUT 的類比波形。測試系統係施加該波形、並且監視由該 DUT 響應於該波形所產生之信號。該測試程式係根據來自該 DUT 之被監視的信號是否符合預期的、正確的響應達到一個充分的正確性位準來通過或是失敗。

一般用途的 ATE 系統較佳的是被配備用於測試涵蓋廣範圍的頻率之多種類型的裝置。然而，習知的數位至類比轉換器(DACs)一般係只在有限的頻率範圍上提供高的精確性。在高頻為精確的 DACs 易於在低頻為不精確的，而在低頻為精確的 DACs 易於在高頻為不精確的。這些限制已經引起 ATE 開發者來提供不同的電路拓撲用於產生涵蓋不同的頻率範圍之類比波形。例如，一種 ATE 系統可以利用一個用於產生低頻信號的電路拓撲、以及另一個用於產生較高頻信號的電路拓撲。

開發者已經嘗試藉由利用簡單、高速、低解析度的藉由 $\Sigma\Delta$ 迴圈所驅動之 DACs 來克服這些在 DAC 效能上的限制。圖 1 係顯示一種利用一個 $\Sigma\Delta$ 迴圈的 DAC 拓撲 100 之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (2)

一個例子。如圖 1 中所示，一個 DAC 116 係被配置來從一個 8 位元的數位輸入信號產生一個類比輸出信號。該 DAC 116 係被取樣在一個足夠快的速率下(亦即，至少該奈奎斯特(Nyquist)速率)，以產生一個具有充分的傳真度之輸出信號，並且一個低通濾波器 124 係平滑化該 DAC 116 的輸出以減少取樣的偽跡(artifacts)。

儘管該 DAC 只有 8 位元的解析度之事實，但是該電路 100 之有效的解析度係遠超過 8 位元，這是由於該 $\Sigma\Delta$ 迴圈的動作之緣故。在該 $\Sigma\Delta$ 迴圈中，一個具有相當高數值的解析度(例如，25 位元)之數位輸入信號“數位輸入”係被提供至一個加法器 110 的一輸入。該加法器 110 係從該數位輸入信號減去一個回授信號以產生一個誤差信號 E_s 。該誤差信號係接著被饋送至一個迴圈濾波器 112。該迴圈濾波器係助於穩定化該 $\Sigma\Delta$ 回授迴圈，並且一般係在時間上積分該誤差信號(例如，其係累積在不同的樣本上之 E_s)。一個量化器 114 接著係藉由簡單的捨位(truncation)來使得該迴圈濾波器 112 的輸出成爲一個 8 位元的信號。在時間上的任何瞬間，該誤差信號係代表在該數位輸入信號以及被輸入至該 DAC 116 之量化後的信號之間的差值。藉由回授的動作，該 $\Sigma\Delta$ 迴圈係易於驅使該誤差信號至 0，使得至該 DAC 之 8 位元的輸入精確地符合(在時間上)該高解析度的數位輸入信號。於是，來自該 DAC 116 的輸出信號係複製該數位輸入信號至一個遠高於該 DAC 116 的解析度之有效的解析度位準。

五、發明說明 (3)

因為該 DAC 116 固有地具有低解析度，因此其可以被建構只是來在一個廣範圍的頻率之上以相當高的準確性運作。因為它係與一個 $\Sigma\Delta$ 迴圈結合，因此它也可以達到高的有效解析度。

儘管有這些優點，吾人已經體認到該 DAC 本身係仍然受到超過對於自動化測試設備為所要的位準之誤差的影響。這些誤差包含例如是 DC 誤差、非線性、以及暫態誤差。儘管該 $\Sigma\Delta$ 迴圈大大地增進該 DAC 的有效解析度，但其不必然改進該 DAC 的準確性。因此，仍然需要有多種 DAC 拓撲，每種 DAC 拓撲係用於其本身特定的頻率範圍。

所需要的是用於從一個數位輸入信號產生一個類比輸出信號的單一種拓撲，其係可以在高的有效解析度以及高準確性之下涵蓋一個廣的頻率範圍。

本發明之概要

在理解了先前的背景之下，本發明之一目的係為在一個廣的頻率範圍之上，利用單一種電路拓撲來從數位輸入信號產生精確的類比輸出信號。

為了達到該先前之目的及其它之目的與優點，一種用於轉換一個數位輸入信號至一個類比輸出信號的電路係包含一個 DAC 以及一個 $\Sigma\Delta$ 迴圈，該 $\Sigma\Delta$ 迴圈係在其回授迴圈中具有一種 DAC 模型。該 $\Sigma\Delta$ 迴圈係比較一個高解析度的數位輸入信號與一個回授信號以產生一個誤差信號，並且一個迴圈濾波器係處理該誤差信號。該迴圈濾波器的輸出

五、發明說明（4）

係被量化，並且該量化後的信號係被饋送至該 DAC。該量化後的信號係也被饋送至該 DAC 模型，其係處理該量化後的信號並且產生該回授信號。響應於所儲存的有關該 DAC 之行爲資訊，該 DAC 模型係調整該回授信號來符合該 DAC 響應於該量化後的信號之預期的值。因此，該 DAC 模型係有效地模擬該 DAC，其係包含預期由該 DAC 所帶來的誤差。透過回授的動作，該等預期的誤差係實質上被降低，因而準確性係被改進。

圖式之簡要說明

本發明另外之目的、優點、以及新穎的特點從考量接下來的說明以及圖式將會變得明白，其中：

圖 1 係爲一種利用一個 $\Sigma\Delta$ 迴圈，用於轉換一個數位輸入信號至一個類比輸出信號之先前技術的電路之簡化的方塊圖；

圖 2 係爲根據本發明之一種用於轉換一個數位輸入信號至一個類比輸出信號的電路之簡化的方塊圖；

圖 3 係爲可以根據圖 2 的電路被使用之一種 DAC 模型概要的圖示；

圖 4 係爲可以根據圖 2 的電路被使用之一種逆 DAC 模型概要的圖示；

圖 5 係爲一種適合用於圖 2 的電路之雜訊成型的再次量化器之方塊圖；並且

圖 6 係爲一種適合用於圖 2 的電路之迴圈濾波器的方塊圖。

五、發明說明 (5)

主要部份代表符號之簡要說明

100 DAC 拓撲

110 加法器

112 迴圈濾波器

114 量化器

116 DAC

124 低通濾波器

200 拓撲

210 加法器

212 迴圈濾波器

214 量化器

216 DAC

218 逆 DAC 模型

220 加法器

222 DAC 模型

224 低通濾波器

310 查看表

410 查看表

610 加法器

612 暫存器

較佳實施例之說明

概要

圖 2 係描繪根據本發明之一種用於從一個數位輸入信號產生一個類比輸出信號的拓撲 200。圖 2 的拓撲係在許

五、發明說明 (6)

多方面類似於圖 1 的拓撲。例如，一個數位輸入信號“數位輸入”係被提供至一個加法器 210 的輸入。該加法器 210 係產生一個等於在該數位輸入信號以及一個回授信號之間的差值之誤差信號。該誤差信號係被饋送至一個迴圈濾波器 212 的輸入，並且該迴圈濾波器 212 的輸出係耦接至一個量化器 214 的輸入。一個 DAC 216 係轉換該量化後的信號成爲一個類比信號，並且一個低通濾波器 224 係平滑化該 DAC 216 的輸出以減少取樣的偽跡。因此，圖 2 的加法器 210、迴圈濾波器 212、量化器 214、DAC 216、以及濾波器 224 係在功能上類似於圖 1 之對應的單元 110、112、114、116、以及 124。

在其它方面，圖 2 的拓撲係不同於圖 1 的拓撲。例如，圖 2 係包含一個 DAC 模型 222、一個逆 DAC 模型 218、以及一個加法器 220，其係爲圖 1 所沒有的。該 DAC 模型 222 係耦接至該量化器 214 的輸出並且提供該回授信號至該加法器 210。該逆 DAC 模型係接收該數位輸入信號，並且產生一個經由該額外的加法器 220 來加到該迴圈濾波器的輸出之輸出信號。如同將會在以下更加詳細地討論，這些與該習知的 $\Sigma\Delta$ 之 DAC 拓撲的差異處係提供了顯著的益處。

吾人已經體認到在利用 $\Sigma\Delta$ 迴圈的 DAC 電路中之不精確性一般而言係起源於在該 DACs 本身中的不精確性。回到圖 1 之習知的拓撲，該量化器 114 係產生該數位輸入信號之一個幾乎完美的代表，就和該 $\Sigma\Delta$ 迴圈的回授可以做成

五、發明說明(7)

的一樣完美。吾人已經發現到誤差主要係起源於該 DAC 116 產生該量化後的信號之一個有瑕疵的類比代表之事實。

然而，該電路 100 整體欠缺準確性之原因係不只是該 DAC 為不精確的。吾人已經發現到一個更基本的原因是來自該 DAC 116 的類比信號並未完全地符合來自該量化器的回授信號。吾人已經推測出若該類比輸出信號以及該回授信號先以某種方式來加以相時，則來自該 DAC 116 的誤差將變成無關係的，因為該 $\Sigma\Delta$ 迴圈將易於驅使該 DAC 至該正確的輸出。在瞭解此之下，吾人已經做出結論為該電路 100 的誤差可以不只是藉由使得該 DAC 符合該回授信號(亦即，藉由使得該 DAC 完美的)，而且也藉由使得該回授信號符合該 DAC 而被降低。

為此目的，圖 2 的 DAC 模型 222 已經被導入該項調整該回授信號以精確地符合該 DAC 216 的輸出之意圖。該 DAC 模型 222 具有與該 DAC 216 相同的輸入(亦即，該量化器 214 的輸出)，並且理想地產生相同的輸出(只是以數位形成地)。

該 $\Sigma\Delta$ 迴圈的動作係確保該 DAC 216 的輸出精確地等於由該數位輸入信號所代表之位準，而不論 DAC 誤差為何。如同以圖 1 的拓撲，該 $\Sigma\Delta$ 迴圈係驅使該回授信號至一個在時間上精確地等於該數位輸入信號的值。然而，因為該回授信號符合該 DAC 216 的輸出，該迴圈也驅使該 DAC 的輸出精確地為由該數位輸入信號所代表的值，此使得該

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (8)

DAC 的輸出實質上沒有誤差。

儘管該 DAC 模型 222 可以校正由該 DAC 216 所帶來的誤差，它所能達到的校正係受限於該 $\Sigma\Delta$ 迴圈的頻寬。對於在該迴圈頻寬之外的頻率而言，該 $\Sigma\Delta$ 迴圈欠缺足夠的增益來校正在該回授信號中之誤差、以及因此在該 DAC 216 的輸出中之誤差。

該逆 DAC 模型 218 以及該加法器 220 已經被導入到圖 2 的電路以校正在高於該迴圈頻寬的頻率下的 DAC 之誤差。如在圖 2 中所示，該逆 DAC 模型 218 係直接注入一個前饋信號至該量化器 214 的輸入。該逆 DAC 模型的輸出係等於該數位輸入信號，但是被故意地失真以對抗預期之 DAC 216 的誤差。例如，若該 DAC 216 係已知響應於一個特定的數位輸入，來產生一個稍微過高的輸出位準，則該逆 DAC 模型係被配置來產生一個稍微過低的輸出。該降低的值稍微地降低該量化後的輸入至該 DAC 216，因而使得該 DAC 在實質上降低的誤差下產生輸出。

除了該 DAC 216 以及低通濾波器 224 之外，該整個電路 200 較佳的是被施行在單一的場可程式化閘極陣列 (FPGA) 之中。或者是，包含該 DAC 以及低通濾波器之整個電路 200 可以被施行在單一的特殊應用積體電路 (ASIC) 之中。

DAC 模型

圖 3 係以概要的型式描繪一種適用於該 $\Sigma\Delta$ 的 DAC 電路 200 之 DAC 模型 220 的一個例子。在圖 3 所示的例子中

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(9)

，該 DAC 模型 220 係由一個簡單的查看表 310 所組成。該查看表 310 較佳的是對於該 DAC 216 的每個輸入碼係具有一個不同的位址。例如，假設該 DAC 216 具有 16 位元的解析度，該查看表 310 較佳的是具有範圍從 0 至 65,535(亦即， $2^{16}-1$)的位址。對於該 DAC 216 的每個輸入碼，該查看表 310 較佳的是儲存一個對應於該 DAC 216 響應於該輸入碼之預期的輸出之值。

由於各種的 DAC 誤差，該 DAC 216 一般係產生不是均勻分布的輸出位準。該等輸出位準典型地係從其理想的 1 個 LSB(最低有效位元)之間隔偏離 1 個 LSB 的分數，並且有時偏離超過 1 個 LSB。為了精確地模擬該 DAC 116 的行為，該 DAC 模型 222 較佳的是提供具有解析度遠大於該 DAC 本身的解析度之輸出值。在該較佳實施例中，被儲存在該 DAC 模型中之值係具有 25 位元的解析度，以精確地解析一個 16 位元的 DAC 之 LSB。

被儲存在該 DAC 模型中之值較佳的是範圍從 0 至 $2^{25}-1(33,554,431)$ ，並且對應於範圍從 0 至 $2^{16}-1(65,535)$ 之 16 位元的 DAC 碼。這些 25 位元的值可以被視為包括一個涵蓋與該 DAC 碼相同的範圍之 16 位元的部分，加上一個代表該 DAC 模型施加至該 DAC 216 的每個 LSB 之解析度的 9 位元之分數的部分。

因為在該 DAC 輸出中之誤差可能是正的或是負的，一個超過該 25 位元的範圍之小的額外範圍(未顯示)較佳的是被提供，其係容許該 DAC 模型來產生稍微小於 0 以及稍

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (1°)

微大於最大的範圍之值。或者是，該 DAC 模型的 25 位元的範圍之部分可以專門用於代表負數，因而該 DAC 的範圍之最上面的部分可以被削減。

該 DAC 模型並不限於是一個簡單的查看表。例如，該 DAC 模型可以被配備有處理功能用於根據該 DAC 216 的一種數學模型來計算模擬的值。該 DAC 模型也可以被配備有額外的記憶體用於儲存 DAC 先前的狀態。藉由針對於目前的狀態以及先前的狀態，該 DAC 模型可以預測並且模擬該 DAC 216 的暫態誤差。

被儲存在該 DAC 模型中之資料較佳的是源自於該電路 200 所利用之特定的 DAC 216。較佳的是，一種校準程序係在運作時間被執行，並且有關該 DAC 的行為資訊係自動地被量測且被儲存在該 DAC 模型 220 之中。該校準程序較佳的是在定期的基礎上、或是經要求地被執行以確保高準確性，而不管該 DAC 的特性在時間以及溫度上之漂移為何。或者是，行為資訊可以在過去的特性描述期間從該 DAC 216 被取出並且永久地被儲存在一個該 DAC 模型可使用的非揮發性的記憶體之中。

吾人已經體認到該 DAC 216 的行為係高度地依據 DAC 被取樣的速率而定。因此，該 DAC 216 較佳的是被運作在一個固定的取樣速率下，並且該校準程序較佳的是被執行在此固定的取樣速率之下。若使用者希望程式化利用到一個可變的取樣速率之電路 200，較佳的是一個習知的取樣速率轉換器被包含來在該可變的取樣速率被施加至該

五、發明說明 (11)

$\Sigma\Delta$ 的 DAC 電路 200 之前，轉換該可變的取樣速率至一個固定的取樣速率。

逆 DAC 模型

圖 4 係描繪一種適用於該 $\Sigma\Delta$ 的 DAC 電路 200 之逆 DAC 模型 218 的一個例子。如同該 DAC 模型 222，在圖 4 中所示的逆 DAC 模型係由一個簡單的查看表 410 所組成。該查看表 410 具有一個位址範圍對應於該數位輸入信號“數位輸入”的範圍。例如，該逆 DAC 模型 218 較佳的是提供 2^{25} 個不同的位址，該數位輸入信號之每個可能的值係對應一個位址，該位址較佳的是 25 個位元。

對於每個位址，該逆 DAC 模型 218 係儲存一個大約等於該數位輸入信號的值，但是被失真來針對在該 DAC 216 中之誤差。例如，若該 DAC 216 被預期產生一個稍微低的輸出信號，則該逆 DAC 模型將會提供一個稍微高的值。該 DAC 216 接著回應於該稍微高的值以產生一個對於此輸入之 DAC 的誤差而被校正之輸出信號。

如同該 DAC 模型 222，該逆 DAC 模型 218 可以是任意複雜的，以針對一個寬範圍的靜態與動態兩者的 DAC 行為。因此，該逆 DAC 不應該被視為限於一個簡單的查看表。例如，該逆 DAC 模型可以被配備有處理能力來提供在作業中的計算。這些計算可以被使用來根據描述該 DAC 216 的行為之數學函數以失真該逆 DAC 模型的輸出。此外，該逆 DAC 模型可以被配備有額外的記憶體以針對該 DAC 216 先前的狀態，並且因此對於預期的暫態誤差提供校正。

五、發明說明 (12)

對於該逆 DAC 模型 218 的行為資訊較佳的是在運作時間利用一種自動化校準程序而被取得，該自動化校準程序係量測將被使用之實際的 DAC 216 之行為特性，並且儲存這些特性在一個記憶體之中。或者是，該行為資訊可以在過去的特性描述期間從該 DAC 216 被取出並且永久地被儲存在一個該逆 DAC 模型可使用的非揮發性的記憶體之中。

量化器

圖 5 係描繪適用於圖 2 之 $\Sigma\Delta$ 的 DAC 電路之量化器 214 的一個例子。相對於圖 1 之簡單的捨位量化器 114，圖 5 的量化器較佳的是一個雜訊成型的再次量化器或是“雜訊成型器”。

如同已知的，雜訊成型器係被使用來在不犧牲信號傳真度之下，轉換相當高解析度的數位信號至相當低解析度的數位信號。透過雜訊成型，捨位誤差係被儲存，並且接著被加至隨後的樣本、或是從隨後的樣本中減去。其淨效果係為重新分配一個再次被量化的信號之雜訊頻譜，從一個相當平的特性至一個在所專注的頻率具有大大減少的雜訊，而在更高的頻率則具有增加的雜訊之特性。該更高的頻率之雜訊一般而言可以被濾除，而留下具有整體雜訊為遠低於沒有提供雜訊成型的整體雜訊之信號。

雜訊成型至該 DAC 216 的輸入係容許該電路 200 受惠於來自該逆 DAC 模型 218 的値之高解析度。因為該雜訊成型器 214 有效地增加解析度藉由分佈量化誤差在許多樣本

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(13)

之上，該雜訊成型器係容許來自該逆 DAC 模型 218 之較高的解析度位元影響該 DAC 216 的輸出。因此，該雜訊成型器係藉由確保來自該逆 DAC 模型 218 之高解析度的校正並非只是被捨去來增進該電路 200 的準確性。

雜訊成型器是眾所週知，因而該雜訊成型器之特定的型式對於本發明而言並不重要。然而，吾人已經發現到一種例如是在圖 5 中所示之二階的雜訊成型器係提供了充足的效能，而無增加顯著的複雜性。帶有改良的效能之較高階的雜訊成型器可以被使用，但是也在複雜性上帶來相當的增加。

儘管該雜訊成型的再次量化器係改良了該電路 200 的效能，但是它對於本發明而言並不是完全必要的，因為它只影響到該電路 200 對於在該 $\Sigma\Delta$ 迴圈的頻寬之外的頻率之效能。

迴圈濾波器

圖 6 係描繪適用於圖 2 之 $\Sigma\Delta$ 的 DAC 電路之迴圈濾波器 212 的一個例子。在該迴圈濾波器 212 中，該誤差信號 E_s 係被提供至一個加法器 610 的一個輸入。該誤差信號係經由該加法器 610 被加至來自一個暫存器 612 的輸出之一個累加後的信號。在一個取樣時脈的每個有效的邊緣之上，該暫存器 612 係被更新來反映該暫存器之先前的內容之所累加以及該誤差信號目前的值之和。因為該 $\Sigma\Delta$ 迴圈的回授易於驅使該誤差信號至 0，因此該暫存器 612 的輸出易於歸零校正一個穩定的值之上。藉由在該取樣時脈的每

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

個邊緣上累加該誤差信號，該迴圈濾波器 212 係以一種類似於類比積分器的方式表現行爲，其係在時間上積分該誤差信號。

優點

從先前的說明，明顯可知的是根據本發明之 $\Sigma\Delta$ 的 DAC 電路 200 可以達到明顯大於圖 1 之習知的拓撲之準確性。因為 DAC 的誤差係有效地被補償，價錢相當低廉的 DACs 可以被使用來在一個寬的頻率範圍之上提供精確的效能。單一拓撲可以被使用來涵蓋一個廣的頻率範圍，該頻率範圍在從前係需要多個拓撲。因此，本發明降低 ATE 系統的成本並且較先前技術佔有較少的空間。

替代例

除了上述的較佳實施例以及變化之外，其它的實施例以及變化也可以達成。

例如，該迴圈濾波器 212 已經在以上被描述為一個簡單的數位累加器。然而，這只是一個例子。多個累加器也可以被串聯來有效地達成多個對於該誤差信號之積分。也可以對於該迴圈濾波器 212 做成其它的調整以增進穩定性以及迴圈效能。

如上所述的，該 $\Sigma\Delta$ 的 DAC 電路 200 較佳的是運作在一個固定的取樣速率下。或者是，該電路 200 可以被設置有不同的取樣速率之選擇性，因而不同的資訊可以被儲存在該 DAC 模型 222 以及逆 DAC 模型 218 之中，以在每個不同的取樣速率下對於 DAC 的行爲提供精確的校正。作為

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(15)

仍是另一種替代例，該 DAC 216 可以被操作在可變的取樣速率下，其中一組行為資訊係在不同的取樣速率下提供充足的(雖然不是最佳的)效能。

該 $\Sigma\Delta$ 的 DAC 電路 200 在以上被描述為包含一個 DAC 模型 222 以及一個逆 DAC 模型 218 兩者，其中該逆 DAC 模型 218 係提供在該 $\Sigma\Delta$ 迴圈的頻寬之外的校正。若在該迴圈的頻寬之外的校正是不必要的，則該逆 DAC 模型 218 可以被省略，因而該雜訊成型的再次量化器 214 可以用一個簡單的捨位量化器加以取代。吾人也已經發現到當通過該電路 200 的管線延遲被降低時，該逆 DAC 模型 218 的貢獻係較不重要的。例如，若在該電路 200 中之管線延遲的數目被降至 0，則該 DAC 模型 222 將會在 DAC 誤差被產生之際，校正所有的 DAC 誤差。該逆 DAC 模型 218 可以因此被省略，因而該雜訊成型器可以用一個簡單的量化器加以取代。

此外，在圖中所描繪並且在以上所述之特定的結構係欲在概念上的程度下顯示被執行在信號之上的動作以及信號流程。根據用於實施數位電路之習知的規則以及實務，實際的硬體實施可能會實質上與所指出的結構不同。

每個這些替代例與變化以及其它的替代例與變化都已經由發明人所思及，因而係欲落在本發明的範疇之中。因此，應瞭解的是先前的說明是藉由舉例，並且本發明應該只被所附的申請專利範圍之精神與範疇所限制。

四、中文發明摘要 (發明之名稱：)

利用 $\Sigma\Delta$ 迴圈及回授 DAC 模型之數位至類比轉換器

一種用於轉換一個數位輸入信號至一個類比輸出信號的電路拓撲及方法係利用一個改良的 $\Sigma\Delta$ 迴圈以及一個 DAC，並且在一個寬的頻率範圍上運作在改進的準確性之下。一個例如是數位累加器的迴圈濾波器係接收一個成比例於在一個數位輸入信號以及一個回授信號之間的差值之輸入信號。一個量化器係量化該迴圈濾波器的輸出，並且該 DAC 係轉換該量化後的信號成爲一個類比輸出信號。該量化後的信號也被提供至一個 DAC 模型。響應於該量化後的信號以及有關該 DAC 的行爲資訊，該 DAC 模型係修改該

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：DIGITAL TO ANALOG CONVERTER EMPLOYING SIGMA-DELTA LOOP AND FEEDBACK DAC MODEL)

A circuit topology and method for converting a digital input signal to an analog output signal employs a modified sigma-delta loop and a DAC, and operates with improved accuracy over a wide frequency range. A loop filter such as a digital accumulator receives an input signal proportional to the difference between a digital input signal and a feedback signal. A quantizer quantizes the output of the loop filter, and the DAC converts the quantized signal into an analog output signal. The quantized signal is also provided to a DAC model. In response to the quantized signal and behavioral information about the DAC, the DAC model varies the feedback signal to match expected output signals from the DAC, including errors introduced by the DAC. By the operation of the sigma-delta loop, the errors of the DAC are substantially reduced.

四、中文發明摘要（發明之名稱：

）

回授信號以符合來自該 DAC 之預期的輸出信號，該輸出信號係包含由該 DAC 所帶來的誤差。藉由該 $\Sigma\Delta$ 迴圈的動作，該 DAC 的誤差係實質上被降低。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：

）

六、申請專利範圍

1.一種用於從一個數位輸入信號產生一個類比輸出信號之電路，該數位輸入信號係代表該類比輸出信號，該電路係包括：

一個迴圈濾波器，其係具有一個傳遞響應於在該數位輸入信號以及一個回授信號之間的差值而變化之一個濾波後的信號之輸出；

一個 DAC，其係具有一個耦接至該迴圈濾波器的輸出之輸入並且產生一個類比輸出信號；以及

一個 DAC 模型，其係儲存有關該 DAC 之複數個行為資訊，該 DAC 模型係具有一個耦接至該迴圈濾波器的輸出之輸入、響應於該複數個行為資訊來產生該回授信號、並且模擬該類比輸出信號。

2.如申請專利範圍第 1 項所述之電路，其中該回授信號係包括具有一個解析度大於該 DAC 的解析度之數位值。

3.如申請專利範圍第 2 項所述之電路，其中被儲存在該 DAC 模型中之複數個行為資訊係針對該 DAC 的線性誤差。

4.如申請專利範圍第 2 項所述之電路，其中被儲存在該 DAC 模型中之複數個行為資訊係針對該 DAC 的暫態誤差。

5.如申請專利範圍第 2 項所述之電路，其中被儲存在該 DAC 模型中之複數個行為資訊係針對該 DAC 之至少一個先前的狀態。

6.如申請專利範圍第 1 項所述之電路，其更包括：

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

一個量化器，其係耦接在該迴圈濾波器的輸出以及該 DAC 與 DAC 模型的輸入之間。

7.如申請專利範圍第 6 項所述之電路，其中該量化器係為一個雜訊成型的再次量化器。

8.如申請專利範圍第 7 項所述之電路，其中該雜訊成型的再次量化器係具有 2 的階數。

9.如申請專利範圍第 7 項所述之電路，其更包括：

一個逆 DAC 模型，其係具有一個接收該數位輸入信號的輸入以及一個輸出，該輸出係提供一個被失真以補償該 DAC 的複數個誤差之信號；以及

一個加法器，其係提供該逆 DAC 模型的輸出以及該迴圈濾波器的輸出之一個和至該量化器的輸入。

10.如申請專利範圍第 9 項所述之電路，其中該逆 DAC 模型係儲存影響該類比輸出信號之相反於該 DAC 的複數個誤差之數位值，以有效地抵消該 DAC 的複數個誤差。

11.如申請專利範圍第 1 項所述之電路，其中該迴圈濾波器係包含至少一個數位累加器，其係用於成比例於一個在該數位輸入信號以及回授信號之間的差值之累加後的和來改變該濾波後的信號。

12.如申請專利範圍第 1 項所述之電路，其更包括一個耦接至該 DAC 的輸出之低通濾波器。

13.如申請專利範圍第 1 項所述之電路，其係以數位電路來實施之。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

14.如申請專利範圍第 13 項所述之電路，其中該數位電路係被實施在至少一個 FPGA 中。

15.一種用於從一個數位輸入信號產生一個類比輸出信號之方法，該數位輸入信號係代表該類比輸出信號，該方法係包括：

響應於一個在該數位輸入信號以及一個回授信號之間的差值來產生一個濾波後的信號；

量化該濾波後的信號；

轉換該量化後的信號成為該類比輸出信號；並且

賦予該轉換步驟模型以產生該回授信號，其係包含改變該回授信號以針對由該轉換步驟所帶來的誤差。

16.如申請專利範圍第 15 項所述之方法，其中該量化後的信號係具有一個解析度低於該數位輸入信號的解析度。

17.如申請專利範圍第 16 項所述之方法，其中該回授信號係具有一個解析度大於該量化後的信號之解析度。

18.如申請專利範圍第 16 項所述之方法，其中該量化的步驟係包含雜訊成型該濾波後的信號。

19.如申請專利範圍第 18 項所述之方法，其更包括：

產生該數位輸入信號之一個失真的版本，

其中該量化步驟係運作在該濾波後的信號以及該數位輸入信號之失真的版本之一個和之上。

20.如申請專利範圍第 19 項所述之方法，其中產生該失真的數位輸入信號之步驟係包含應用有關該轉換步驟的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

行為資訊以校正在該轉換步驟中之誤差。

21.如申請專利範圍第 15 項所述之方法，其中該產生步驟係包含一個累加在時間上不同的瞬間所取之數位輸入信號以及回授信號之間的差值之和的步驟。

22.如申請專利範圍第 15 項所述之方法，其中該賦予模型的步驟係包含應用所儲存之有關該轉換步驟的行為資訊來賦予該轉換步驟模型。

23.如申請專利範圍第 22 項所述之方法，其中該行為資訊係包含有關於該轉換步驟的線性之資訊。

24.如申請專利範圍第 22 項所述之方法，其中該行為資訊係包含有關於該轉換步驟的暫態行為之資訊。

25.如申請專利範圍第 22 項所述之方法，其中該行為資訊係包含有關於藉由該轉換步驟所產生之先前的位準之資訊。

26.如申請專利範圍第 15 項所述之方法，其更包括低通濾波該類比輸出信號。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

$q_{ol} = \phi\phi\phi$
1/3

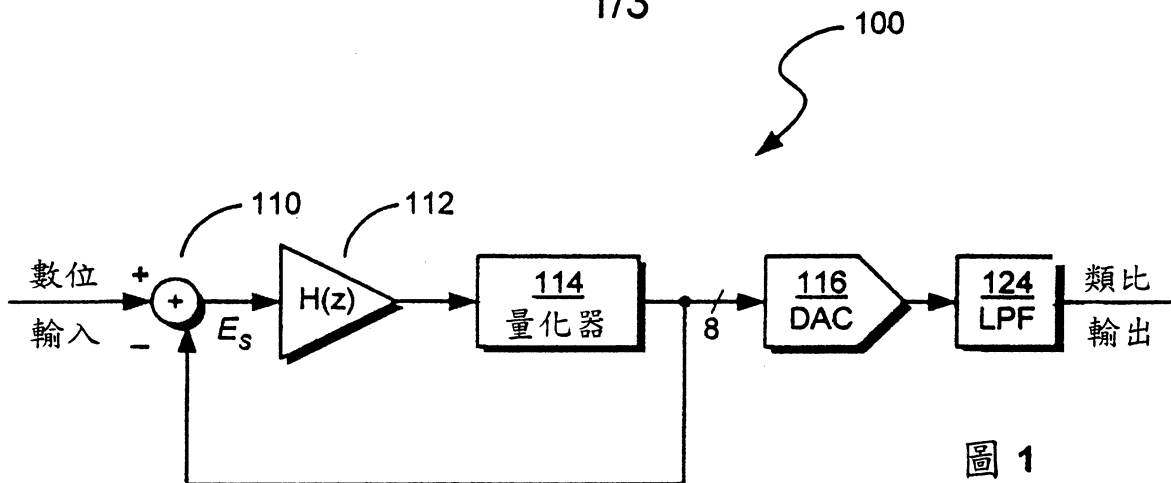


圖 1

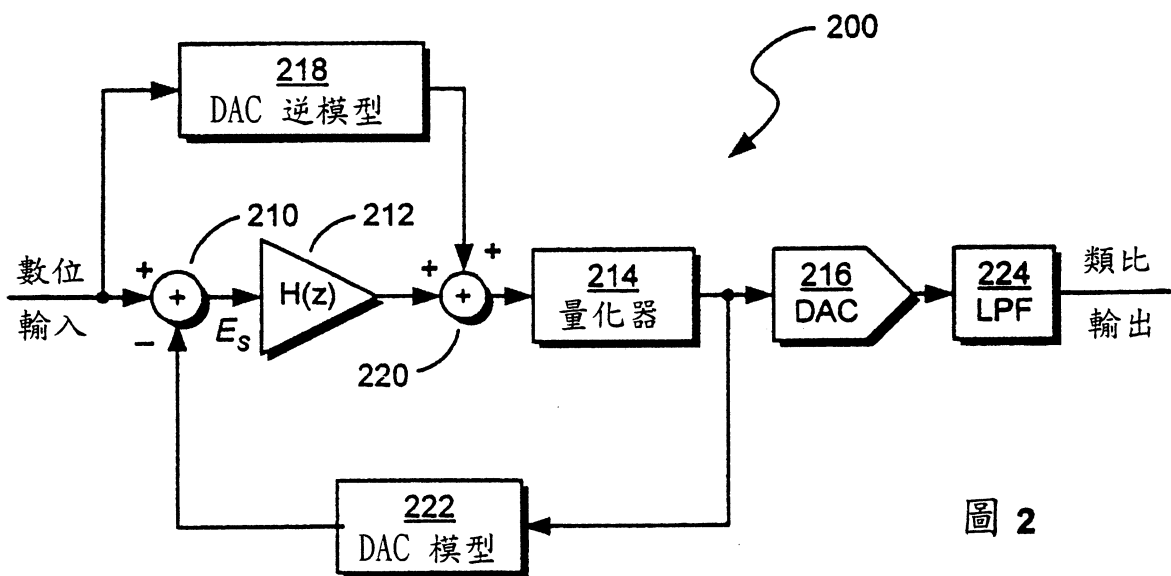


圖 2

2/3

222

DAC模型

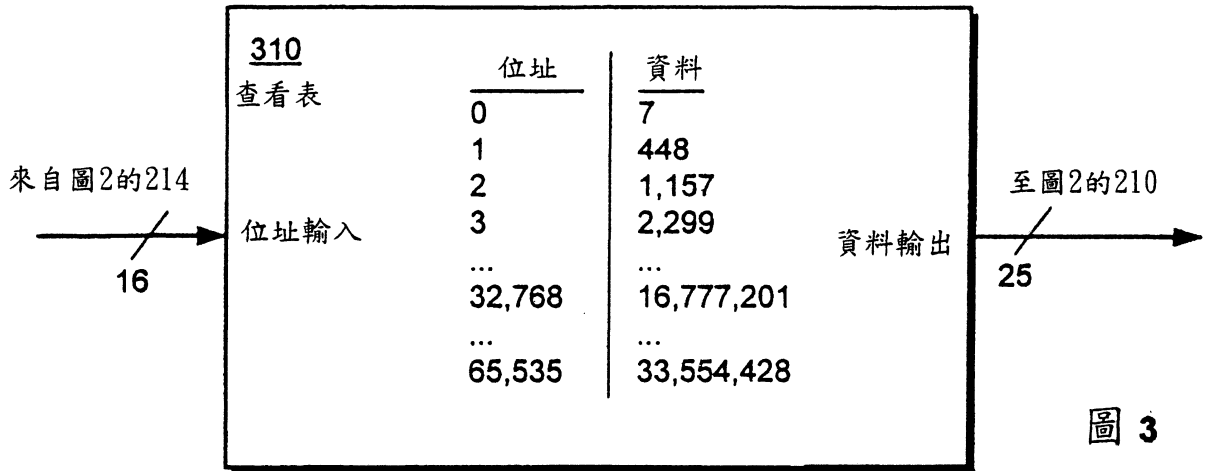


圖 3

218

DAC逆模型

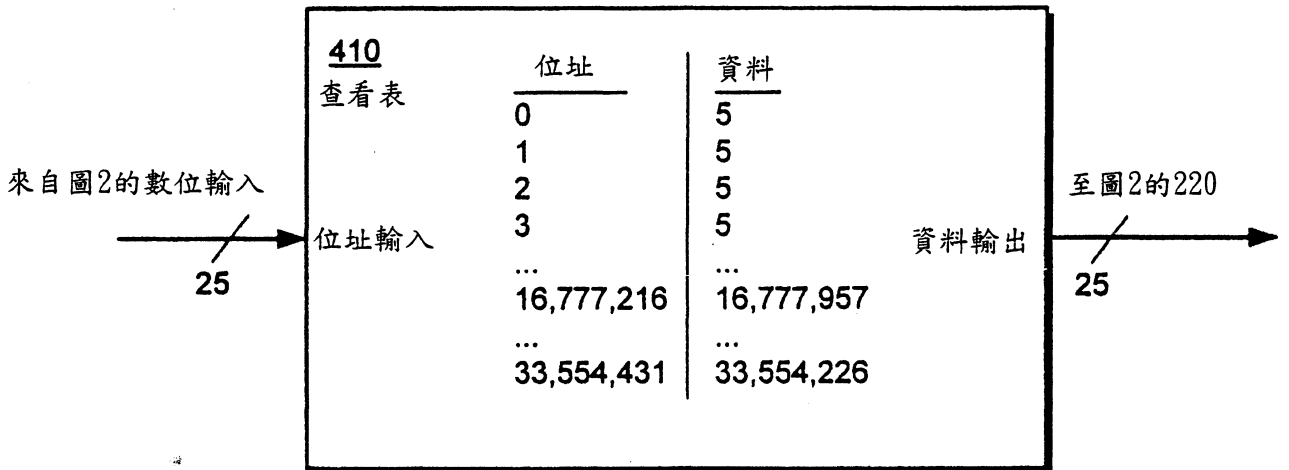


圖 4

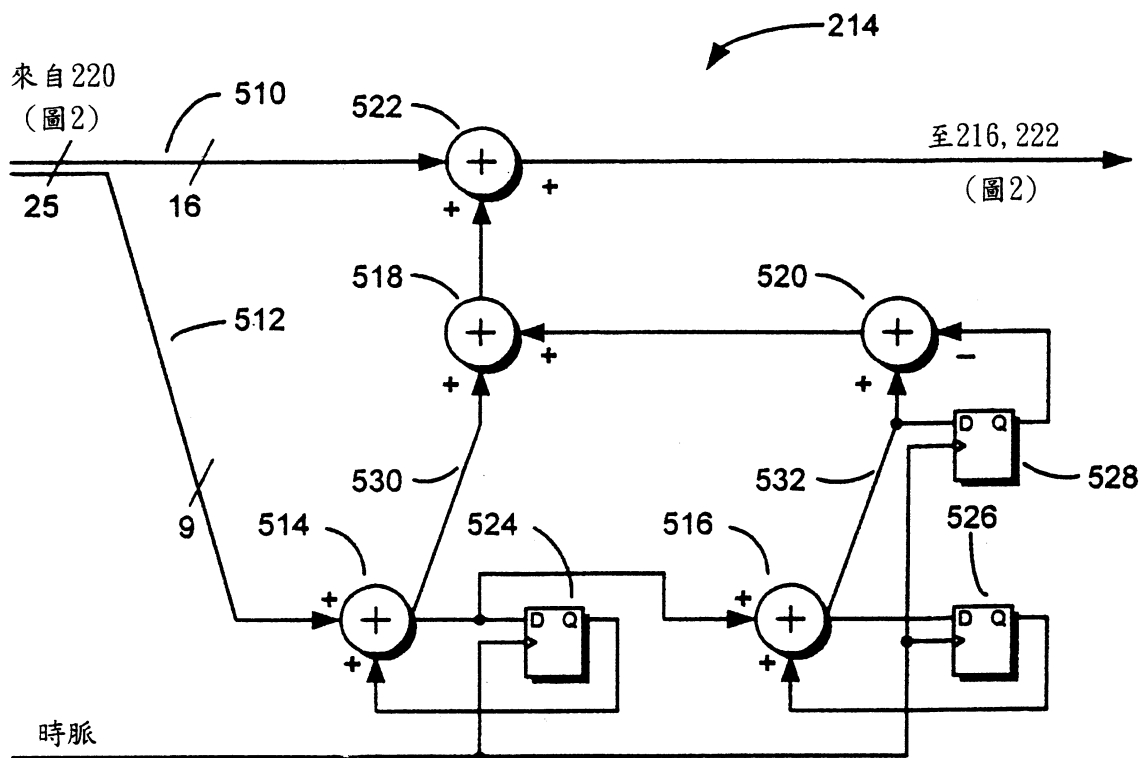


圖 5

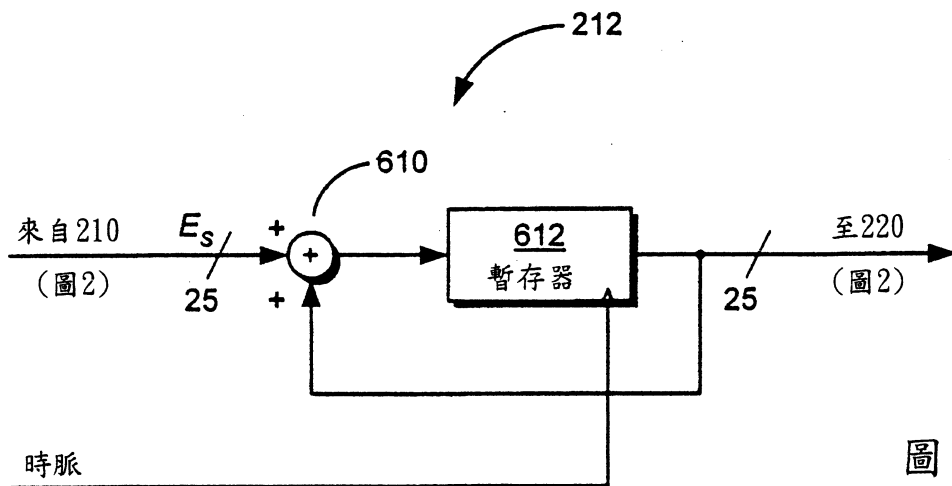


圖 6