

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-51152

(P2010-51152A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

H

テーマコード (参考)

5H730

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2008-215354 (P2008-215354)
 (22) 出願日 平成20年8月25日 (2008.8.25)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100068526
 弁理士 田村 恭生
 (74) 代理人 100098280
 弁理士 石野 正弘
 (72) 発明者 野田 一平
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 Fターム(参考) 5H730 AA04 AS01 AS05 BB13 BB57
 DD04 EE13 EE59 FD01 FG05

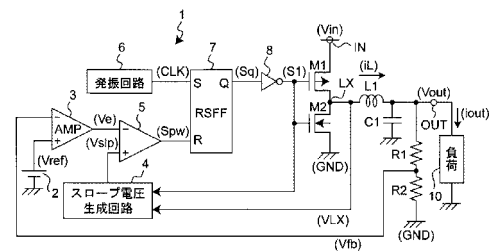
(54) 【発明の名称】 電流モード制御型スイッチングレギュレータ

(57) 【要約】

【課題】直線性のよいスロープ電圧を生成することができ、安定した動作を行うことができる電流モード制御型スイッチングレギュレータを得る。

【解決手段】インダクタL1に流れるインダクタ電流*i*_Lに応じた傾斜のスロープ電圧*V*_{s1p}を生成するスロープ電圧生成回路4が、インダクタ電流*i*_Lを電圧に変換して検出するスイッチドキャパシタ回路と、該スイッチドキャパシタ回路を所定の定電流で充電又は放電する定電流源と、前記スイッチドキャパシタ回路で変換された電圧を接地電圧基準の電圧に変換してスロープ電圧*V*_{s1p}を生成する電圧変換回路とで構成されるようにした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力端子に入力された入力電圧を、所定の定電圧に変換して出力端子から出力電圧として出力する電流モード制御型スイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングを行うスイッチトランジスタと、
該スイッチングトランジスタのスイッチングによって前記入力電圧による充電が行われるインダクタと、

該インダクタの放電を行う整流素子と、

前記インダクタの充電を行う際に該インダクタに流れるインダクタ電流に比例した電圧を生成しスロープ電圧として出力するスロープ電圧生成回路部と、

前記スロープ電圧に応じて前記スイッチングトランジスタのスイッチング制御を行うスイッチング制御回路部と、

を備え、

前記スロープ電圧生成回路部は、

前記スイッチングトランジスタの制御電極に入力される制御信号に応じてスイッチングを行い、前記インダクタ電流を電圧に変換して出力するスイッチドキャパシタ回路と、

該スイッチドキャパシタ回路に対して所定の定電流で充電又は放電を行う第 1 の定電流源と、

を備えることを特徴とする電流モード制御型スイッチングレギュレータ。

【請求項 2】

前記スイッチドキャパシタ回路は、

前記第 1 の定電流源からの定電流で充電又は放電が行われるコンデンサと、

該コンデンサの一端と前記インダクタにおける前記スイッチングトランジスタ側の一端との間に接続された第 1 のスイッチ素子と、

前記コンデンサの前記一端と前記入力電圧との間に接続された第 2 のスイッチ素子と、

前記コンデンサに並列に接続された第 3 のスイッチ素子と、

を備え、

前記コンデンサの他端と接地電圧との間に前記第 1 の定電流源が接続され、前記第 1 のスイッチ素子は、前記スイッチングトランジスタと同じスイッチング動作を行い、前記第 2 及び第 3 の各スイッチ素子は、前記スイッチングトランジスタと相反するスイッチング動作を行うことを特徴とする請求項 1 記載の電流モード制御型スイッチングレギュレータ。

【請求項 3】

前記スロープ電圧生成回路部は、前記コンデンサと前記第 1 の定電流源との接続部の電圧を前記スロープ電圧として出力することを特徴とする請求項 2 記載の電流モード制御型スイッチングレギュレータ。

【請求項 4】

前記スロープ電圧生成回路部は、前記コンデンサと前記第 1 の定電流源との接続部の電圧を接地電圧基準の電圧に変換して前記スロープ電圧として出力する電圧変換回路を備えることを特徴とする請求項 2 記載の電流モード制御型スイッチングレギュレータ。

【請求項 5】

前記電圧変換回路は、

前記コンデンサと前記第 1 の定電流源との接続部の電圧が一方の入力端に入力された演算増幅回路と、

制御電極が該演算増幅回路の出力端に接続されると共に、電流入力端が前記演算増幅回路の他方の入力端に接続された第 1 のトランジスタと、

前記入力電圧と該第 1 のトランジスタの電流入力端との間に接続された第 1 の抵抗と、

前記第 1 のトランジスタから出力された電流を電圧に変換して前記スロープ電圧を生成する第 2 の抵抗と、

を備えることを特徴とする請求項 4 記載の電流モード制御型スイッチングレギュレータ。

【請求項 6】

前記演算増幅回路は、少なくとも一方の入力端に所定のオフセット電圧が設けられることを特徴とする請求項 5 記載の電流モード制御型スイッチングレギュレータ。

【請求項 7】

前記電圧変換回路は、前記第 2 の抵抗に所定の定電流を供給する第 2 の定電流源を備えることを特徴とする請求項 5 記載の電流モード制御型スイッチングレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流モード制御型スイッチングレギュレータに関し、特に入出力電圧差が大きい場合にも安定した動作を行うことができる電流モード制御型スイッチングレギュレータに関する。

【背景技術】

【0002】

図 8 は、従来の同期整流方式で電流モード制御型の降圧型スイッチングレギュレータの例を示したブロック図である（例えば、特許文献 1 参照。）。

図 8 のスイッチングレギュレータ 100 は、入力端子 I N に入力された入力電圧 V_{in} を降圧して、出力端子 O U T から出力電圧 V_{out} として出力するものである。スイッチングレギュレータ 100 では、スイッチングトランジスタ M 101 と同期整流用トランジスタ M 102 が相補的にオン／オフ動作を行うことにより、インダクタ L 101 とコンデンサ C 101 にエネルギーを蓄え、蓄えたエネルギーを出力端子 O U T から出力電圧 V_{out} として出力し、負荷 200 に供給している。

【0003】

図 9 は、図 8 のスロープ電圧生成回路 120 の回路例を示した図である。

スイッチングトランジスタ M 101 がオンしているときにインダクタ L 101 に流れるインダクタ電流 i_L は、スイッチングトランジスタ M 101 のドレイン電流と等しいため、スイッチングトランジスタ M 101 のオン抵抗が分かっているならば、スイッチングトランジスタ M 101 の電圧降下を検出することによりインダクタ電流 i_L を検出することができる。

そこで、図 9 のインダクタ電流検出回路 120 A は、スイッチングトランジスタ M 101 がオンしているときの電圧降下を検出している。スイッチングトランジスタ M 101 がオンしている場合は、ゲート信号 S 101 はローレベルであり、このとき、PMOS トランジスタ M 122 がオフすると共に、PMOS トランジスタ M 123 がオンするため、演算増幅回路 121 の非反転入力端には図 8 の接続部 L X の電圧 V_{LX} が入力される。

【0004】

演算増幅回路 121 は、PMOS トランジスタ M 121 のソース電圧が電圧 V_{LX} と同じになるように PMOS トランジスタ M 121 のゲート電圧を制御することから、PMOS トランジスタ M 121 のドレイン電流はインダクタ電流 i_L に比例した電流になる。該ドレイン電流は、抵抗 R 122 によって電圧に変換され、該変換された電圧が抵抗 R 123 を介して出力される。

抵抗 R 121 と R 122 の各抵抗値が同じであるとする、PMOS トランジスタ M 121 のドレイン電圧 V_A は、下記 (a) 式のようになる。

$$V_A = V_{in} - V_{LX} \dots \dots \dots (a)$$

【0005】

なお、スイッチングトランジスタ M 101 がオフしているときは、ゲート信号 S 101 はハイレベルである。このとき、PMOS トランジスタ M 122 がオンすると共に PMOS トランジスタ M 123 がオフするため、演算増幅回路 121 の非反転入力端の電圧は入力電圧 V_{in} になり、演算増幅回路 121 は PMOS トランジスタ M 121 をオフさせることから、PMOS トランジスタ M 121 のドレイン電圧 V_A は 0 V になる。

ランプ電圧生成回路 120 B の NMOS トランジスタ M 124 は、ゲート信号 S 101

10

20

30

40

50

がハイレベルである間はオンしているため、定電流回路 i_{121} から出力される電流は NMOS トランジスタ M_{124} でバイパスされ、ランプコンデンサ C_{121} の端子電圧 V_B は 0 V になっている。

【0006】

ゲート信号 S_{101} がローレベルになると NMOS トランジスタ M_{124} はオフするため、ランプコンデンサ C_{121} は定電流回路 i_{121} の出力電流によって充電される。このことから、ランプコンデンサ C_{121} の端子電圧 V_B は直線的に上昇してランプ電圧となり、ランプ電圧 V_B は抵抗 R_{124} を介して出力される。インダクタ電流検出回路 $120A$ とランプ電圧生成回路 $120B$ の各出力電圧は抵抗 R_{123} と R_{124} で加算され、抵抗 R_{123} と R_{124} の接続部から出力される。抵抗 R_{123} と R_{124} の各抵抗値が同じであるとし、抵抗 R_{123} と R_{124} との接続部の電圧を V_C とすると、電圧 V_C は、下記 (b) 式のようになり、スロープ電圧出力回路 $120C$ の演算増幅回路 124 の非反転入力端に入力される。

$$V_C = (V_A + V_B) / 2 = (V_{in} - V_{LX} + V_B) / 2 \dots\dots\dots (b)$$

【0007】

演算増幅回路 124 は、NMOS トランジスタ M_{126} のソース電圧が電圧 V_C に等しくなるように NMOS トランジスタ M_{126} のゲート電圧を制御するため、NMOS トランジスタ M_{126} のドレイン電流は、電圧 V_C に比例した電流になる。該電流は PMOS トランジスタ M_{127} と M_{128} で構成されたカレントミラー回路を介して抵抗 R_{126} に供給され、抵抗 R_{126} で電圧に変換されてスロープ電圧 V_{slp} になる。抵抗 R_{126} の抵抗値を抵抗 R_{125} の抵抗値の K 倍であるとする、スロープ電圧 V_{slp} は、下記 (c) 式のようになる。

$$V_{slp} = K \times V_C = K \times (V_{in} - V_{LX} + V_B) / 2 \dots\dots\dots (c)$$

【0008】

一方、抵抗 R_{126} には、カレントミラー回路からの出力電流以外に、定電流回路 i_{122} から電流が供給されており、スロープ電圧生成回路 120 の出力電圧 V_{slp} には、定電流回路 i_{122} の出力電流 i_a に抵抗 R_{126} の抵抗値 r_{126} を乗じた電圧であるオフセット電圧 V_{of} ($= r_{126} \times i_a$) が加算されている。抵抗 R_{125} と R_{126} の抵抗値が同じであるとした場合のスロープ電圧生成回路 120 の出力電圧 V_{slp} は、下記 (d) 式のようになる。

$$V_{slp} = V_C + (r_{126} \times i_a) = (V_{in} - V_{LX} + V_B) / 2 + (r_{126} \times i_a) \dots\dots\dots (d)$$

前記 (d) 式から分かるように、スロープ電圧 V_{slp} は、インダクタ電流 ($V_{in} - V_{LX}$) に、スロープ補償電圧であるランプコンデンサの充電電圧 V_B とオフセット電圧 V_{of} を加えた電圧である。

【特許文献 1】特開 2006-246626 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、図 9 のスロープ電圧生成回路 120 では、スロープ電圧 V_{slp} の立ち上がり部分における直線性が悪いという問題があった。

図 10 は、図 8 のスロープ電圧生成回路 120 で生成されたスロープ電圧 V_{slp} の波形例を示した図である。図 10 から分かるように、スロープ電圧 V_{slp} は、ゲート信号 S_{101} がローレベルになった直後は緩やかに立ち上がり、時間の経過に伴って所望の傾斜に近づき、時間 T_{del} 後に該所望の傾斜になっていた。このように、スロープ電圧 V_{slp} の立ち上がりが緩やかになる原因は、電圧 V_C を演算増幅回路 124 による電圧-電流変換回路で電流に変換する際の遅延時間と、PMOS トランジスタ M_{127} と M_{128} で形成したカレントミラー回路を経由するときの遅延時間によるものである。

【0010】

スロープ電圧 V_{slp} の立ち上がりが緩やかになると、スイッチングトランジスタ M_{127}

01のオン時間が、時間 T_{del} より短くなる条件、例えば入力電圧 V_{in} と出力電圧 V_{out} の電圧差が大きい場合等においては、スイッチングレギュレータ100の動作が不安定になり、出力電圧 V_{out} が安定しない等の不具合が発生していた。

【0011】

更に、インダクタ電流 i_L を変換した電圧とランプ電圧とを加算する抵抗 R_{123} 及び R_{124} には電圧 V_A 及び V_B からの電流の流入がないことが前提であり、このような前提が成り立ったときのみ、インダクタ電流 i_L を正確に検出することができる。このため、抵抗 R_{123} 及び R_{124} は、電圧 V_A 及び V_B からの入力インピーダンスが十分に大きくなるように抵抗値が設定される必要があり、このことは加算回路の出力電圧 V_C において遅延時間の増大を招いていた。このような遅延時間を低減するために、抵抗 R_{123} 及び R_{124} の抵抗値を小さく設定すると、電圧 V_A 及び V_B から抵抗 R_{123} 及び R_{124} に電流が流入することによる誤差が発生し、インダクタ電流 i_L を正確に電圧に変換することができないため、スロープ電圧 V_{slp} の直線性が悪くなっていた。

10

【0012】

本発明は、このような問題を解決するためになされたものであり、直線性のよいスロープ電圧を生成することができ、安定した動作を行うことができる電流モード制御型スイッチングレギュレータを得ることを目的とする。

【課題を解決するための手段】

【0013】

この発明に係る電流モード制御型スイッチングレギュレータは、入力端子に入力された入力電圧を、所定の定電圧に変換して出力端子から出力電圧として出力する電流モード制御型スイッチングレギュレータにおいて、

20

制御電極に入力された制御信号に応じてスイッチングを行うスイッチトランジスタと、
該スイッチングトランジスタのスイッチングによって前記入力電圧による充電が行われるインダクタと、

該インダクタの放電を行う整流素子と、

前記インダクタの充電を行う際に該インダクタに流れるインダクタ電流に比例した電圧を生成しスロープ電圧として出力するスロープ電圧生成回路部と、

前記スロープ電圧に応じて前記スイッチングトランジスタのスイッチング制御を行うスイッチング制御回路部と、

30

を備え、

前記スロープ電圧生成回路部は、

前記スイッチングトランジスタの制御電極に入力される制御信号に応じてスイッチングを行い、前記インダクタ電流を電圧に変換して出力するスイッチドキャパシタ回路と、

該スイッチドキャパシタ回路に対して所定の定電流で充電又は放電を行う第1の定電流源と、

を備えるものである。

【0014】

具体的には、前記スイッチドキャパシタ回路は、

前記第1の定電流源からの定電流で充電又は放電が行われるコンデンサと、

40

該コンデンサの一端と前記インダクタにおける前記スイッチングトランジスタ側の一端との間に接続された第1のスイッチ素子と、

前記コンデンサの前記一端と前記入力電圧との間に接続された第2のスイッチ素子と、

前記コンデンサに並列に接続された第3のスイッチ素子と、

を備え、

前記コンデンサの他端と接地電圧との間に前記第1の定電流源が接続され、前記第1のスイッチ素子は、前記スイッチングトランジスタと同じスイッチング動作を行い、前記第2及び第3の各スイッチ素子は、前記スイッチングトランジスタと相反するスイッチング動作を行うようにした。

【0015】

50

また、前記スロープ電圧生成回路部は、前記コンデンサと前記第 1 の定電流源との接続部の電圧を前記スロープ電圧として出力するようにした。

【0016】

また、前記スロープ電圧生成回路部は、前記コンデンサと前記第 1 の定電流源との接続部の電圧を接地電圧基準の電圧に変換して前記スロープ電圧として出力する電圧変換回路を備えるようにしてもよい。

【0017】

この場合、前記電圧変換回路は、

前記コンデンサと前記第 1 の定電流源との接続部の電圧が一方の入力端に入力された演算増幅回路と、

制御電極が該演算増幅回路の出力端に接続されると共に、電流入力端が前記演算増幅回路の他方の入力端に接続された第 1 のトランジスタと、

前記入力電圧と該第 1 のトランジスタの電流入力端との間に接続された第 1 の抵抗と、

前記第 1 のトランジスタから出力された電流を電圧に変換して前記スロープ電圧を生成する第 2 の抵抗と、
を備えるようにした。

【0018】

また、前記演算増幅回路は、少なくとも一方の入力端に所定のオフセット電圧が設けられるようにした。

【0019】

また、前記電圧変換回路は、前記第 2 の抵抗に所定の定電流を供給する第 2 の定電流源を備えるようにしてもよい。

【発明の効果】

【0020】

本発明の電流モード制御型スイッチングレギュレータによれば、インダクタ電流を変換した電圧とランプ電圧とを加算する回路にスイッチドキャパシタ回路を使用するようにしたことから、従来のスロープ電圧生成回路で使用されていた、スロープ電圧の立ち上がり遅らせる電圧-電流変換回路、カレントミラー回路、及び抵抗素子で構成された加算回路を不要にすることができるため、スイッチングトランジスタがオンしてインダクタへの充電を開始した直後から、直線性のよいスロープ電圧を生成することができ、スイッチングトランジスタのオン時間が短い場合においても安定した動作を行うことができると共に、回路規模を大幅に縮小させることができる。

【発明を実施するための最良の形態】

【0021】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態.

図 1 は、本発明の第 1 の実施の形態における電流モード制御型スイッチングレギュレータの回路例を示した図である。

図 1 において、電流モード制御型スイッチングレギュレータ（以下、スイッチングレギュレータと呼ぶ）1 は、入力端子 I N に入力された入力電圧 V_{in} を所定の定電圧に降圧して出力電圧 V_{out} として出力端子 O U T から負荷 1 0 に出力する同期整流方式の降圧型スイッチングレギュレータをなしている。

【0022】

スイッチングレギュレータ 1 は、P M O S トランジスタからなるスイッチングトランジスタ M 1 と、N M O S トランジスタからなる同期整流用トランジスタ M 2 と、インダクタ L 1 と、平滑用のコンデンサ C 1 と、出力電圧 V_{out} を分圧して分圧電圧 V_{fb} を生成し出力する出力電圧検出用の抵抗 R 1 , R 2 とを備えている。更に、スイッチングレギュレータ 1 は、所定の基準電圧 V_{ref} を生成して出力する基準電圧発生回路 2 と、前記分圧電圧 V_{fb} と該基準電圧 V_{ref} との電圧差を増幅して誤差電圧 V_e を生成し出力する誤差増幅回路 3 と、スロープ電圧 V_{slp} を生成して出力するスロープ電圧生成回路 4 と

10

20

30

40

50

を備えている。

【0023】

また、スイッチングレギュレータ1は、誤差増幅回路3からの誤差電圧 V_e とスローブ電圧 V_{slp} との電圧比較を行い、誤差電圧 V_e に応じたパルス幅を有するPWM制御を行うためのパルス信号 S_{pw} を生成して出力するPWMコンパレータ5と、所定のクロック信号 CLK を生成して出力する発振回路6と、セット入力端 S に発振回路6からのクロック信号 CLK が、リセット入力端 R にPWMコンパレータ5からのパルス信号 S_{pw} がそれぞれ入力されたRSフリップフロップ回路7と、該RSフリップフロップ回路7からの出力信号 S_q に応じて、スイッチングトランジスタ M_1 及び同期整流用トランジスタ M_2 のスイッチング制御を行うための制御信号 S_1 を生成してスイッチングトランジスタ M_1 及び同期整流用トランジスタ M_2 を駆動するインバータ8とを備えている。

10

【0024】

なお、同期整流用トランジスタ M_2 は整流素子を、スローブ電圧生成回路4はスローブ電圧生成回路部をそれぞれなし、基準電圧発生回路2、誤差増幅回路3、PWMコンパレータ5、発振回路6、RSフリップフロップ回路7、インバータ8及び抵抗 R_1 、 R_2 はスイッチング制御回路部をなす。また、図1のスイッチングレギュレータ1では、インダクタ L_1 及びコンデンサ C_1 を除く各回路は、1つのICに集積されるようにしてもよい。

【0025】

入力電圧 V_{in} と同期整流用トランジスタ M_2 のドレインとの間にはスイッチングトランジスタ M_1 が接続され、同期整流用トランジスタ M_2 のソースは接地電圧 GND に接続されている。スイッチングトランジスタ M_1 のドレインと出力端子 OUT との間にインダクタ L_1 が接続され、出力端子 OUT と接地電圧 GND との間に抵抗 R_1 と抵抗 R_2 との直列回路及びコンデンサ C_1 が並列に接続されている。抵抗 R_1 と抵抗 R_2 との接続部の電圧である分圧電圧 V_{fb} は誤差増幅回路3の反転入力端に入力され、誤差増幅回路3の非反転入力端には基準電圧 V_{ref} が入力されている。

20

【0026】

また、PWMコンパレータ5の反転入力端には、誤差増幅回路3からの誤差電圧 V_e が入力され、PWMコンパレータ5の非反転入力端にはスローブ電圧 V_{slp} が入力されている。RSフリップフロップ回路7の出力信号 S_q は、インバータ8で信号レベルが反転されてスイッチングトランジスタ M_1 及び同期整流用トランジスタ M_2 の各ゲートにそれぞれ入力されると共に、スローブ電圧生成回路4にも入力されている。スローブ電圧生成回路4には、スイッチングトランジスタ M_1 と同期整流用トランジスタ M_2 との接続部 LX の電圧 V_{LX} も入力されている。

30

【0027】

次に、スイッチングレギュレータ1の動作について説明する。

図2は、図1に示したスイッチングレギュレータ1の各信号の波形例を示したタイミングチャートであり、図2を参照しながらスイッチングレギュレータ1の動作について説明する。なお、 i_{out} は出力端子 OUT から負荷 10 に出力される出力電流を示している。

40

発振回路6からRSフリップフロップ回路7のセット入力端 S には、所定の周期でハイレベルになるクロック信号 CLK が入力されており、クロック信号 CLK がハイレベルになるとRSフリップフロップ回路7の出力信号 S_q はハイレベルになる。

【0028】

このため、スイッチングトランジスタ M_1 及び同期整流用トランジスタ M_2 の各ゲートにはローレベルの制御信号 S_1 がそれぞれ入力され、スイッチングトランジスタ M_1 がオンして導通状態になると共に同期整流用トランジスタ M_2 がオフして遮断状態になる。この場合、インダクタ L_1 とコンデンサ C_1 との直列回路に入力電圧 V_{in} が印加され、インダクタ L_1 に流れる電流であるインダクタ電流 i_L は時間の経過とともに直線的に増加する。インダクタ電流 i_L が出力電流 i_{out} よりも大きくなると、コンデンサ C_1 に電

50

荷が蓄積され、出力電圧 V_{out} が上昇する。

【0029】

スローブ電圧生成回路4は、インダクタ電流 i_L を検出し、該検出したインダクタ電流 i_L を電圧に変換すると共に、サブハーモニック発振を防止するための補償電圧を生成する。更に、スローブ電圧生成回路4は、インダクタ電流 i_L を変換した電圧に該補償電圧を加算してスローブ電圧 V_{slp} を生成し出力する。スローブ電圧 V_{slp} は、スイッチングトランジスタM1がオンしている間、直線的に電圧が上昇する。一方、誤差増幅回路3は、分圧電圧 V_{fb} と基準電圧 V_{ref} との電圧差を増幅して誤差電圧 V_e を生成し出力する。PWMコンパレータ5は、誤差電圧 V_e とスローブ電圧 V_{slp} との電圧比較を行い、スローブ電圧 V_{slp} が誤差電圧 V_e よりも大きくなるとハイレベルの信号 S_{pw} を出力し、RSフリップフロップ回路7をリセットする。このため、RSフリップフロップ回路7の出力信号 S_q はローレベルに戻り、制御信号 S_1 はハイレベルになることから、スイッチングトランジスタM1はオフして遮断状態になると共に同期整流用トランジスタM2はオンして導通状態になる。

10

【0030】

スイッチングトランジスタM1がオフして同期整流用トランジスタM2がオンすると、インダクタL1に蓄えられていたエネルギーが放出され、これに伴って、インダクタ電流 i_L は時間と共に直線的に減少する。インダクタ電流 i_L が出力電流 i_{out} よりも小さくなると、コンデンサC1から負荷10へ電力が供給され、出力電圧 V_{out} が低下する。発振回路6からのクロック信号CLKの1周期後にクロック信号CLKは再びハイレベルになり、スイッチングトランジスタM1がオンすると共に同期整流用トランジスタM2がオフしてインダクタ電流 i_L が流れ、出力電圧 V_{out} が上昇する。

20

【0031】

ここで、時刻T0で出力電流 i_{out} が急激に増加すると出力電圧 V_{out} が低下し、誤差増幅回路3からの誤差電圧 V_e が上昇するため、スローブ電圧 V_{slp} が誤差電圧 V_e の電圧値を超えるまでの時間が長くなる。この結果、スイッチングトランジスタM1のオン時間が長くなり、インダクタL1に電力を供給している時間が長くなることから出力電圧 V_{out} は上昇する。逆に、出力電圧 V_{out} が上昇すると、スイッチングトランジスタM1のオン時間が短くなって出力電圧 V_{out} は低下する。このように、出力電圧 V_{out} の変動に応じてスイッチングトランジスタM1と同期整流用トランジスタM2を相補的にオン／オフさせる時間を制御することにより、出力電圧 V_{out} の電圧を安定化させている。

30

【0032】

次に、図3は、図1のスローブ電圧生成回路4の回路例を示した図である。

図3において、スローブ電圧生成回路4は、所定の定電流 i_{11} を供給する定電流源11、インバータ12、演算増幅回路13、PMOSトランジスタM11～M14、コンデンサC11及び抵抗R11、R12で構成されている。なお、定電流源11は第1の定電流源を、PMOSトランジスタM11～M13、コンデンサC11及びインバータ12はスイッチドキャパシタ回路をなし、演算増幅回路13、PMOSトランジスタM14及び抵抗R11、R12は電圧変換回路をなす。また、PMOSトランジスタM11は第1のスイッチ素子を、PMOSトランジスタM12は第2のスイッチ素子を、PMOSトランジスタM13は第3のスイッチ素子をそれぞれなし、PMOSトランジスタM14は第1のトランジスタを、抵抗R11は第1の抵抗を、抵抗R12は第2の抵抗をそれぞれなす。

40

【0033】

電圧 V_{LX} とコンデンサC11の一端との間にPMOSトランジスタM11が接続され、PMOSトランジスタM11のゲートには制御信号 S_1 が入力されている。コンデンサC11の他端と接地電圧GNDの間には定電流源11が接続され、入力電圧 V_{in} とコンデンサC11の該他端の間にはPMOSトランジスタM12及びM13が直列に接続されている。PMOSトランジスタM12とM13との接続部は、コンデンサC11の前

50

記一端に接続されており、PMOSトランジスタM12及びM13の各ゲートは接続され、該接続部にはインバータ12によって制御信号S1の信号レベルが反転された反転信号が入力されている。

【0034】

コンデンサC11と定電流源12との接続部の電圧をV1とし、コンデンサC11とPMOSトランジスタM11との接続部の電圧をV2とする。電圧V1は演算増幅回路13の非反転入力端に入力され、演算増幅回路13の出力端はPMOSトランジスタM14のゲートに接続されている。PMOSトランジスタM14のソースは演算増幅回路13の反転入力端に接続され、入力電圧VinとPMOSトランジスタM14のソースとの間には抵抗R11が接続されている。また、PMOSトランジスタM14のドレインと接地電圧GNDとの間には抵抗R12が接続され、PMOSトランジスタM14のドレインと抵抗R12との接続部からスロープ電圧Vslpが出力される。演算増幅回路13の反転入力端の電圧をV3とする。

PMOSトランジスタM11～M13、コンデンサC11及びインバータ12からなるスイッチドキャパシタ回路と定電流源11はインダクタ電流iLの検出を行っている。

【0035】

図4は、図3の各電圧の波形例を示した図であり、図4を参照しながら図3の回路の動作について説明する。

最初に、電流源回路11から定電流i11の供給がない場合の、制御信号S1に応じたPMOSトランジスタM11～M13及びコンデンサC11の動作について説明する。

制御信号S1がハイレベルのとき、PMOSトランジスタM11はオフして遮断状態になり、PMOSトランジスタM12及びM13がそれぞれオンして導通状態になるため、コンデンサC11の両端は入力電圧Vinで充電される。制御信号S1がローレベルのときは、PMOSトランジスタM11がオンすると共にPMOSトランジスタM12及びM13がそれぞれオフするため、コンデンサC11とPMOSトランジスタM11との接続部は電圧VLXで充電され、電圧V1は電圧VLXになる。

【0036】

次に、定電流源11によって定電流i11が供給されているときの電圧V1の状態について説明する。なお、PMOSトランジスタM11～M13の各オン抵抗は十分に小さく、定電流i11が流れても無視できるほどの小さな電圧降下しか発生しないものとする。

制御信号S1がハイレベルのときは、前記のようにPMOSトランジスタM11はオフすると共に、PMOSトランジスタM12及びM13がそれぞれオンするため、コンデンサC11の両端は入力電圧Vinで充電される。

【0037】

制御信号S1がローレベルのときは、PMOSトランジスタM11がオンすると共に、PMOSトランジスタM12及びM13がそれぞれオフするため、コンデンサC11とPMOSトランジスタM11との接続部は電圧VLXで充電され、同時にコンデンサC11と定電流源11との接続部は定電流i11によってコンデンサC11の電荷が放電される。

【0038】

ここで、制御信号S1がハイレベルからローレベルに切り換わったときの時刻をゼロとして、時刻Tにおける電圧V1をV1(T)とし、コンデンサC11の容量をc11とすると、電圧V1(T)は下記(1)式のようになる。

$$V1(T) = VLX - T \times i11 / c11 \dots \dots \dots (1)$$

前記(1)式の右辺第1項は、インダクタ電流iLを電圧に変換して検出していることを示し、右辺第2項は一定の傾きを持ったランプ電圧を減算していることを示している。したがって、電圧V1をスロープ電圧として出力することができる。

【0039】

次に、演算増幅回路13、PMOSトランジスタM14及び抵抗R11、R12は、電圧V1を接地電圧基準の電圧に変換して出力する電圧変換回路をなしており、演算増幅回

10

20

30

40

50

路 13 には、あらかじめ所定の入力オフセット電圧 V_{of} が設けられている。

演算増幅回路 13 は、電圧 V_1 からオフセット電圧 V_{of} を減算した電圧と電圧 V_3 が等しくなるように PMOS トランジスタ M14 のゲート電圧を制御する。抵抗 R11 に流れる電流を i_{r11} とすると、入力電圧 V_{in} から抵抗 R11 での電圧降下を減算した電圧 V_3 が、電圧 V_1 からオフセット電圧 V_{of} を減算した電圧に等しくなるように、PMOS トランジスタ M14 によって電流 i_{r11} が制御されるため、抵抗 R11 の抵抗値を r_{11} とすると下記 (2) 式が成り立つ。

$$\begin{aligned} V_{in} - r_{11} \times i_{r11} &= V_3 = V_1 - V_{of} \\ i_{r11} &= (V_{in} - V_1 + V_{of}) / r_{11} \dots \dots \dots (2) \end{aligned}$$

【0040】

更に、抵抗 R12 に電流 i_{r11} が流れるため、抵抗 R12 の抵抗値を r_{12} とすると、PMOS トランジスタ M14 と抵抗 R12 との接続部の電圧であるスロープ電圧 V_{slp} は、下記 (3) 式のようになる。

$$V_{slp} = i_{r11} \times r_{12} \dots \dots \dots (3)$$

【0041】

前記 (3) 式に前記 (1) 式及び (2) 式を代入すると、下記 (4) 式のようになる。

$$\begin{aligned} V_{slp} &= \{V_{in} - (V_{LX} - T \times i_{11} / c_{11}) + V_{of}\} / r_{11} \times r_{12} = \\ &= (V_{in} - V_{LX} + T \times i_{11} / c_{11}) / r_{11} \times r_{12} + V_{of} / r_{11} \times r_{12} \dots \dots \dots (4) \end{aligned}$$

前記 (4) 式の右辺第 1 項は、インダクタ電流を電圧に変換して一定の傾きを持ったランプ電圧を加算していることを表しており、右辺第 2 項はオフセット電圧を表している。

【0042】

図 5 は、図 3 の演算増幅回路 13 の回路例を示した図である。

図 5 において、演算増幅回路 13 は、NMOS トランジスタ M21、M22、PMOS トランジスタ M23、M24、所定の定電流 i_{21} を供給する定電流源 21 及びオフセット電圧 V_{of} を設けるための抵抗 R21 で構成されている。NMOS トランジスタ M21 及び M22 は差動対をなしており、NMOS トランジスタ M21 のゲートには電圧 V_1 が、NMOS トランジスタ M22 のゲートには電圧 V_3 がそれぞれ入力されている。PMOS トランジスタ M23 及び M24 はカレントミラー回路を形成しており、前記差動対の負荷をなしている。PMOS トランジスタ M23 及び M24 において、各ソースはそれぞれ入力電圧 V_{in} に接続され、各ゲートは接続され該接続部は PMOS トランジスタ M23 のドレインに接続されている。

【0043】

PMOS トランジスタ M23 のドレインは NMOS トランジスタ M21 のドレインに接続されており、PMOS トランジスタ M24 のドレインは NMOS トランジスタ M22 のドレインに接続され、該接続部は演算増幅回路 13 の出力端をなし PMOS トランジスタ M14 のゲートに接続されている。NMOS トランジスタ M21 のソースと接地電圧 GND との間には抵抗 R21 と定電流源 21 が直列に接続され、抵抗 R21 と定電流源 21 との接続部に NMOS トランジスタ M22 のソースが接続されている。

NMOS トランジスタ M21 と M22 に同一の電流が流れるようにするためには、抵抗 R21 で発生する電圧降下分だけ NMOS トランジスタ M21 のゲート電圧が NMOS トランジスタ M22 のゲート電圧よりも大きくななければならない。すなわち、抵抗 R21 で発生する前記電圧降下がオフセット電圧 V_{of} になり、演算増幅回路 13 は、抵抗 R21 を設けることにより入力端にオフセット電圧 V_{of} が設けられている。

【0044】

図 6 は、図 2 のスロープ電圧生成回路 4 で生成したスロープ電圧 V_{slp} の波形を拡大した図である。

図 6 から分かるように、従来よりもスロープ V_{slp} で発生していた遅延を削減することができるため、制御信号 S1 がローレベルになった直後からスロープ電圧 V_{slp} の直線性が保たれている。

【0045】

このように、本第1の実施の形態における電流モード制御型スイッチングレギュレータは、従来のスロープ電圧生成回路で使用されていた、スロープ電圧 V_{slp} の立ち上がりを遅らせる電圧-電流変換回路、カレントミラー回路、及び抵抗素子で構成された加算回路が不要であるため、図4及び図6で示したように、制御信号 S_1 がローレベルに変化した直後から、直線性のよいスロープ電圧 V_{slp} を生成することができ、スイッチングトランジスタ M_1 のオン時間が短い場合においても安定した動作を行うことができる。

更に、図9の従来回路から演算増幅回路124、NMOSトランジスタ M_{126} 、PMOSトランジスタ M_{127} 、 M_{128} 、抵抗 R_{123} 、 R_{124} 、 R_{125} 、 R_{126} 、及び電流源 i_{122} に相当する素子を削減することができるため、回路規模を半分以上にすることができる。

10

【0046】

なお、前記説明では、スロープ電圧生成回路4の演算増幅回路13にオフセット電圧 V_{of} を設けて前記電圧変換回路に所定のオフセット電圧 V_{of} を設けるようにしたが、演算増幅回路13にオフセット電圧 V_{of} を設ける代わりに、図7で示すように、入力電圧 V_{in} とPMOSトランジスタ M_{14} のドレインとの間に、所定の定電流 i_{14} を供給する定電流源14を設けるようにしてもよい。なお、定電流源14は第2の定電流源をなす。このようにした場合、PMOSトランジスタ M_{14} の出力電流に定電流 i_{14} が加算された電流が抵抗 R_{12} に流れるため、定電流 i_{14} が流れることによって抵抗 R_{12} で発生する電圧降下の増加分($i_{14} \times r_{12}$)がオフセット電圧 V_{of} になる。

20

【0047】

また、前記説明では、同期整流方式の降圧型スイッチングレギュレータを例にして説明したが、これは一例であり、本願発明は、同期整流用トランジスタ M_2 の代わりにダイオードを使用した非同期整流方式の降圧型スイッチングレギュレータや、昇圧型スイッチングレギュレータにも適用することができる。

【図面の簡単な説明】

【0048】

【図1】本発明の第1の実施の形態における電流モード制御型スイッチングレギュレータの回路例を示した図である。

【図2】図1の各信号の波形例を示したタイミングチャートである。

30

【図3】図1のスロープ電圧生成回路4の回路例を示した図である。

【図4】図3の各電圧の波形例を示した図である。

【図5】図3の演算増幅回路13の回路例を示した図である。

【図6】図2のスロープ電圧生成回路4で生成したスロープ電圧 V_{slp} の波形を拡大した図である。

【図7】図1のスロープ電圧生成回路4の他の回路例を示した図である。

【図8】従来の電流モード制御型スイッチングレギュレータの例を示したブロック図である。

【図9】図8のスロープ電圧生成回路120の回路例を示した図である。

【図10】図8のスロープ電圧生成回路120で生成されたスロープ電圧 V_{slp} の波形例を示した図である。

40

【符号の説明】

【0049】

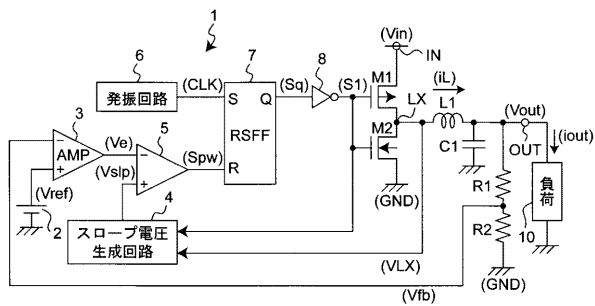
- 1 スwitchングレギュレータ
- 2 基準電圧発生回路
- 3 誤差増幅回路
- 4 スロープ電圧生成回路
- 5 PWMコンパレータ
- 6 発振回路
- 7 RSフリップフロップ回路

50

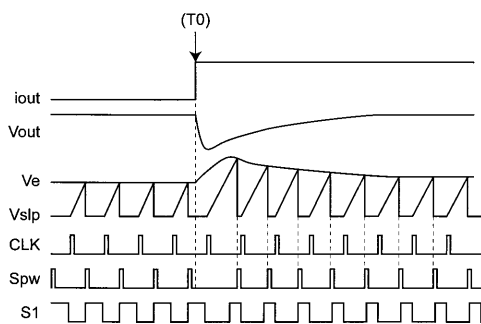
8, 12 インバータ
 10 負荷
 11, 14 定電流源
 13 演算増幅回路
 M1 スイッチングトランジスタ
 M2 同期整流用トランジスタ
 M11~M14 PMOSトランジスタ
 L1 インダクタ
 C1, C11 コンデンサ
 R1, R2, R11, R12 抵抗

10

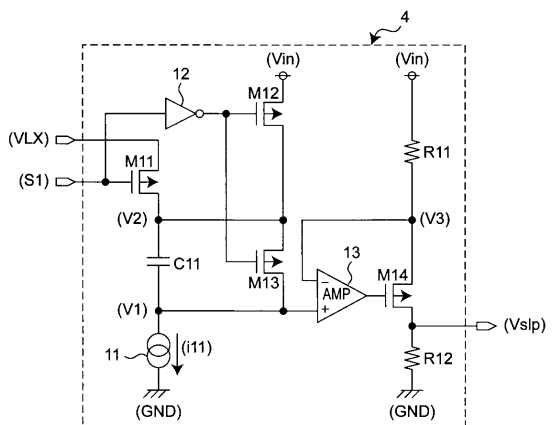
【図1】



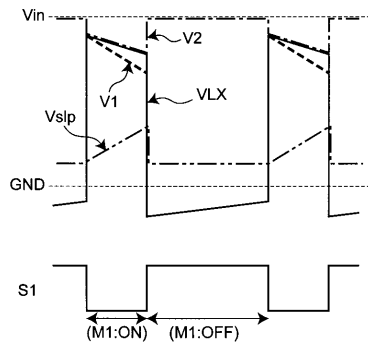
【図2】



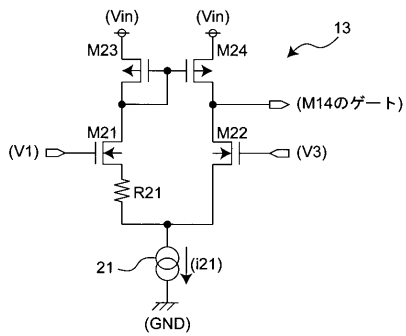
【図3】



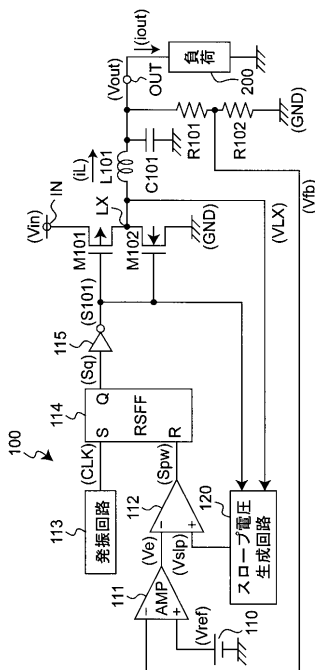
【図 4】



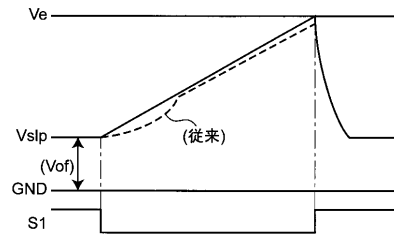
【図 5】



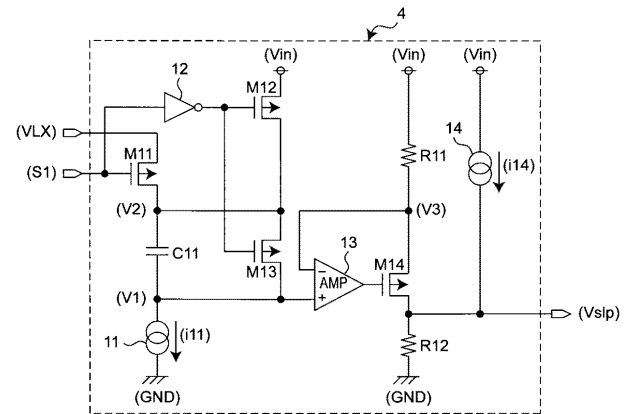
【図 8】



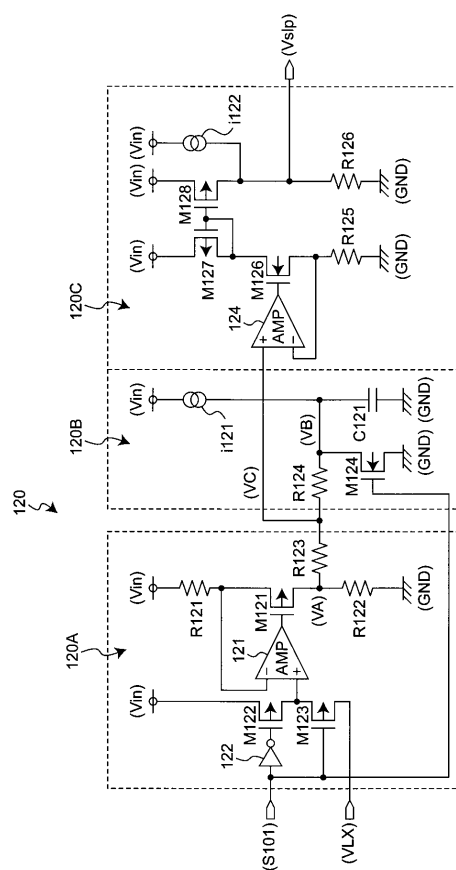
【図 6】



【図 7】



【図 9】



【図 10】

