

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 2 月 16 日 (2006.2.16)

【公表番号】特表 2002-511655 (P2002-511655A)

【公表日】平成 14 年 4 月 16 日 (2002.4.16)

【出願番号】特願 2000-544011 (P2000-544011)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 27/10 4 3 1

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成 17 年 12 月 16 日 (2005.12.16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 基板 (10) に設けられた半導体メモリ素子のマトリックスを有する半導体メモリ装置であって、
半導体基板 (10) と、絶縁層 (20) と、コンタクトホール (25) と、ビット固定領域 (30) と、コンタクトピン (40) と評価回路装置とを有しており、
前記半導体基板 (10) は、第 1 の導電型であり、
前記絶縁層 (20) は、前記半導体基板 (10) 上に設けられており、
前記コンタクトホール (25) は、各半導体メモリ素子毎に、前記絶縁層 (20) 内に設けられており、
前記ビット固定領域 (30) は、前記各コンタクトホール (25) の下側の前記半導体基板 (10) 内に設けられており、
前記コンタクトピン (40) は、前記コンタクトホール (25) 内に設けられていて、前記ビット固定領域 (30) と電氣的に接触接続されており、
前記半導体基板 (10) 内に、前記ビット固定領域 (30) の外側に設けられる別のコンタクト領域を有しており、
その際、前記ビット固定領域 (30) は、前記半導体基板 (10) と前記各コンタクトピン (40) との接触抵抗を、各半導体メモリ素子に記憶すべきビットに相応して決めるように構成されており、
前記評価回路装置により、前記各半導体メモリ素子の接触抵抗が評価される半導体メモリ装置において、
第 1 の群の半導体メモリ素子のビット固定領域 (30) は、接触抵抗を低くするために第 1 の導電型のドーピング材を有する、前記基板 (10) の表面に取り付けられたインプラントレーション領域であり、
第 2 の群の半導体メモリ素子のビット固定領域 (30) は、接触抵抗を高くするために第 2 の導電型のドーピング材を有する、前記基板 (10) の表面に取り付けられたインプラントレーション領域であり、
第 3 の群の半導体メモリ素子のビット固定領域 (30) は、前記半導体基板 (10) に相応している

ことを特徴とする半導体メモリ装置。

【請求項2】 半導体メモリ装置の製造方法において、

- a) 第1の導電型の基板(10)を形成するステップ、
 - b) 前記半導体基板(10)上に絶縁層(20)を設けるステップ、
 - c) 前記絶縁層(20)に相応する各半導体メモリ素子内にコンタクトホール(25)から前記半導体基板(10)へのマトリックスを設けるステップ、
 - d) 前記各コンタクトホール(25)の下側の、前記半導体基板(10)の表面領域に、各半導体メモリ素子内に、当該半導体メモリ素子のビット固定領域(30)として記憶すべきビットに相応する各接触抵抗を設けるステップ、
 - e) 前記ビット固定領域(30)と電氣的に接触接続している前記コンタクトホール(25)内にコンタクトピン(40)を設けるステップ、
 - f) 前記半導体基板(10)内の、前記ビット固定領域(30)の外側に設けられた別の接触領域を設けるステップ
- とを有する方法において、
- g) それ以外のコンタクトホール(25)のマスキング下で第1の群のコンタクトホール(25)内に第1の導電型のドーピング材の第1のインプランテーションを実行するステップ、
 - h) それ以外の前記コンタクトホール(25)のマスキング下で第2の群のコンタクトホール(25)内に第2の導電型のドーピング材の第2のインプランテーションを実行するステップ、
 - i) 第3の群のコンタクトホールでの基板ドーピングの際に、前記各コンタクトホール(25)の下側に位置している半導体基板(10)の表面領域をそのままにしておくステップ
- とを有していることを特徴とする方法。