(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0003507
(43) 공개일자 2017년01월09일

(51) 국제특허분류(Int. Cl.)
H01B 13/00 (2006.01) *C01B 31/04* (2006.01)
(52) CPC특허분류
H01B 13/0026 (2013.01)
C01B 31/0453 (2013.01)
(21) 출원번호 10-2016-0179974(분할)
(22) 출원일자 2016년12월27일
심사청구일자 2016년12월27일
(62) 원출원 특허 10-2014-0187725
원출원일자 2014년12월24일
심사청구일자 2014년12월24일
(30) 우선권주장
1020130165163 2013년12월27일 대한민국(KR)

(71) 출원인
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
정종완
서울특별시 동작구 서달로 91, 113동 1503호 (흑석동, 흑석한강센트레빌2차)
박재현
경기도 안양시 동안구 학의로 20, 111동 303호 (비산동, 관악동성아파트)
(74) 대리인
특허법인엠에이피에스

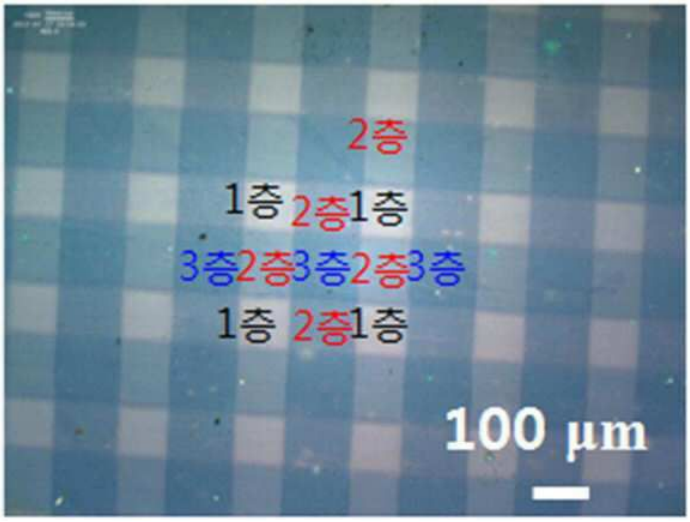
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **그래핀 적층 패턴 형성 방법**

(57) 요 약

그래핀의 적층 패턴 형성 방법에 관한 것이다.

대 표 도 - 도9



이 발명을 지원한 국가연구개발사업
과제고유번호 10035430
부처명 지식경제부
연구관리전문기관 한국산업기술평가관리원
연구사업명 전자정보디바이스 산업원천기술개발사업
연구과제명 초미세 고신뢰성 배선기술
기 여 율 1/2
주관기관 한국반도체연구조합
연구기간 2010.03.01 ~ 2015.02.28이 발명을 지원한 국가연구개발사업
과제고유번호 20100020207
부처명 교육과학기술부
연구관리전문기관 한국연구재단
연구사업명 기초연구기반구축
연구과제명 그래핀 나노복합구조 및 전자소자연구
기 여 율 1/2
주관기관 세종대학교 산학협력단
연구기간 2010.09.01 ~ 2019.04.30

명 세 서

청구범위

청구항 1

기재 상에 10 nm 내지 100 nm 두께의 금속 박막 패턴을 형성하는 것;

화학기상증착(chemical vapor deposition; CVD) 방법에 의해 상기 금속 박막 패턴 상에 그래핀 층을 증착함과 동시에 상기 금속 박막 패턴을 증발시켜, 상기 기재 상에 그래핀 패턴을 형성하는 것; 및,

상기 10 nm 내지 100 nm 두께의 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착함과 동시에 상기 금속 박막 패턴을 증발시키는 것을 2 회 이상 교번하여 수행함으로써 그래핀의 적층 패턴을 형성하는 것을 포함하는, 그래핀 적층 패턴 형성 방법으로서,

상기 그래핀 적층 패턴은, 상기 그래핀 층의 증착시 상기 금속 박막 패턴이 증발됨으로써 상기 증착되는 그래핀 층들이 서로 접촉되어 적층되어, 그래핀 매쉬 또는 그래핀 격자 모양으로 형성되는 것인,

그래핀 적층 패턴 형성 방법.

청구항 2

제 1 항에 있어서,

상기 그래핀 적층 패턴 형성 방법은, 상기 기재 상에 서로 상이한 형상을 가지는 그래핀 패턴들이 적층되어 형성되는 것을 포함하는 것인, 그래핀 적층 패턴 형성 방법.

청구항 3

제 1 항에 있어서,

상기 화학기상증착 방법은 고온 화학기상증착(rapid thermal chemical vapor deposition; RTCVD), 유도결합플라즈마 화학기상증착(inductively coupled plasma-chemical vapor deposition; ICP-CVD), 저압 화학기상증착(low pressure chemical vapor deposition; LPCVD), 상압 화학기상증착(atmospheric pressure chemical vapor deposition; APCVD), 금속 유기화학기상증착(metal organic chemical vapor deposition; MOCVD), 플라즈마 화학기상증착(plasma-enhanced chemical vapor deposition; PECVD), 및 이들의 조합들로 이루어지는 군에서 선택되는 방법을 포함하는 것인, 그래핀 적층 패턴 형성 방법.

청구항 4

제 1 항에 있어서,

상기 화학기상증착 방법은 300℃ 내지 2,000℃의 온도 범위에서 수행되는 것인, 그래핀 적층 패턴 형성 방법.

청구항 5

제 1 항에 있어서,

상기 기재는 실리콘, 그래핀, 유리, 석영, 산소, 탄소펠트, 사파이어, 질화실리콘, 탄화실리콘, 산화실리콘, 티타늄 코팅기판, 세라믹, 금속, 또는 플라스틱을 포함하는 것인, 그래핀 적층 패턴 형성 방법.

청구항 6

제 1 항에 있어서,

상기 금속 박막 패턴은 Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Mo, Rh, Si, Ta, Ti, W, U, V, Zr, Ge, 황동(brass), 청동(bronze), 백동, 스테인레스 스틸(stainless steel), 및 이들의 조합들로 이루어지는 군에서 선택되는 하나 이상의 금속 또는 합금을 포함하는 것인, 그래핀 적층 패턴 형성 방법.

청구항 7

제 1 항에 있어서,

상기 금속 박막 패턴은 원자층증착(atomic layer deposition; ALD), 스퍼터링(sputtering), 열증착(thermal evaporation), 전자빔 증착(e-beam evaporation), 분자빔 증착(molecular beam epitaxy; MBE), 펄스레이저증착(pulsed laser deposition; PLD), 화학기상증착(chemical vapour deposition; CVD), 졸겔(sol-gel) 방법, 및 이들의 조합들로 이루어지는 군에서 선택되는 방법에 의해 형성되는 것인, 그래핀 적층 패턴 형성 방법.

청구항 8

제 1 항에 있어서,

상기 그래핀 층은 상압, 저압, 또는 진공 하에 형성되는 것인, 그래핀 적층 패턴 형성 방법.

발명의 설명

기 술 분 야

[0001] 본원은, 그래핀의 적층 패턴 형성 방법에 관한 것이다.

배 경 기 술

[0002] 그래핀(graphene)은 탄소 원자들이 2 차원으로 결합되어 구성된 물질이며, 흑연과 달리 단층 내지 수 층으로 얇게 형성되어 있는 특징을 가진다. 이러한 그래핀은 유연하고 전기 전도도가 매우 높으며 투명하기 때문에, 투명하고 휘어지는 전극의 재료로서 사용하거나 전자 소자에서 전자 수송층과 같은 전자 전송 물질로서 활용하려는 연구가 진행되고 있다.

[0003] 그래핀은 빠른 전자이동도와 긴 평균 자유행로를 가진다. 상온에서 그래핀의 최대 전자이동도는 200,000 cm/Vs로서 실리콘보다 100 배 내지 200 배 빨라 고성능 반도체 소재로서 활용도가 매우 높다. 이는 그래핀의 경우 전자가 움직일 때 방해를 주는 산란 정도가 매우 작기 때문이며, 이로 인해 긴 평균 자유행로를 가지게 된다. 따라서 저항이 매우 낮은 구리보다도 35% 이상 낮은 저항값을 나타낸다.

[0004] 그래핀은 특히 태양 전지 또는 광검출기와 같이 빛을 받아 이를 전기로 전환하는 광기전력 원리를 이용하는 전자 소자의 전자 수송층 및 투명 전극으로서도 크게 주목 받고 있다. 전자 소자의 투명 전극으로는 ITO 등이 널리 사용되고 있으나, 주재료의 가격 상승 및 고갈 가능성으로 인하여 제조비용이 높아지고 있으며, 유연성이 없기 때문에 휘어지는 소자에 적용하기 곤란한 점이 있다.

[0005] 그래핀을 소자 제조 등에 실제로 응용하기 위해서는 그래핀을 이용하여 패턴을 형성할 필요성이 있다. 이러한 그래핀의 패턴 제조와 관련하여, "그라핀 필름 및 패턴 제조 방법 (대한민국 공개특허 제2013-0027195호)" 등의 연구가 있었다.

[0006] 그러나, 기존에는 일반적으로 그래핀 층을 형성한 다음, 마스크를 상기 그래핀 층 위에 형성한 뒤, 습식 혹은 건식 식각(wet and dry etching) 공정을 적용하여 마스크의 패턴을 따라 그래핀 패턴을 형성하고, 이후 마스크를 제거하여 최종적으로 그래핀 패턴을 얻는 등의 방법이 사용되었다.

[0007] 그러나, 이러한 그래핀 패턴 형성 방법은 여러 복잡한 단계를 필요로 하기 때문에 비용이 많이 들고, 패턴 형성 과정에서 그래핀 자체의 특성도 열화될 가능성이 높으며, 재현성 확보도 어려우므로 고성능 그라핀 패턴을 형성

하는 데에는 한계가 있었다. 또한, 일정한 두께의 그래핀을 성장시키는 기술 및 원하는 부분에만 일정량의 그래핀을 식각하는 기술 역시 아직 개발되지 못하였으므로, 두께 및 모양을 정밀하게 제어할 수 있는 그래핀 패턴 형성 기술의 개발이 요구되는 실정이다.

발명의 내용

해결하려는 과제

[0008] 본원은, 기재 상의 원하는 부분에 원하는 두께의 그래핀 층을 적층하여 원하는 형태의 그래핀 패턴을 형성할 수 있는 그래핀 적층 패턴 형성 방법을 제공하고자 한다.

[0009] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 본원의 제 1 측면에 따르면, 기재 상에 금속 박막 패턴을 형성하는 것; 상기 금속 박막 패턴 상에 그래핀 층을 증착함과 동시에 상기 금속 박막 패턴을 증발시켜, 상기 기재 상에 그래핀 패턴을 형성하는 것; 및, 상기 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것을 교번하여 수행함으로써 그래핀의 적층 패턴을 형성하는 것을 포함하는, 그래핀 적층 패턴 형성 방법을 제공할 수 있다.

발명의 효과

[0011] 본원의 일 구현예에 의하면, 그래핀을 기재 상의 원하는 부분에 원하는 두께로 적층하여 원하는 형태의 그래핀 패턴을 형성할 수 있다. 또한, 본원의 일 구현예에 의하면 그래핀 패턴의 적층 두께를 부분적으로 조절할 수 있으며, 종래의 다층 그래핀이 1 층에서 수 층 혹은 수십 층의 그래핀이 불규칙하게 적층되어 있는 것과 달리, 조절 가능한 층수 및 조절 가능한 두께를 가지는 그래핀 적층 패턴을 제조할 수 있다.

도면의 간단한 설명

[0012] 도 1은, 본원의 일 구현예에 따른 그래핀 적층 패턴 형성 방법을 설명하기 위한 순서도이다.

도 2a 내지 도 2d는, 본원의 일 구현예에 따른 그래핀의 적층 방법의 각 단계를 설명하기 위한 단면도이다.

도 3a 내지 도 3e는, 본원의 일 구현예에 따른 그래핀 적층 패턴 형성 방법의 각 단계를 설명하기 위한 개략도이다.

도 4는, 본원의 비교예에 따른 단층 그래핀의 TEM(투과전자현미경) 회절 패턴 분석 결과를 나타낸 이미지이다.

도 5는, 본원의 일 실시예에 따라 적층된 그래핀의 TEM 회절 패턴 분석 결과를 나타낸 이미지이다.

도 6은, 본원의 일 실시예에 따라 부분적으로 적층된 그래핀의 광학 이미지이다.

도 7a 및 도 7b는, 각각 본원의 비교예에 따른 단층 그래핀 및 본원의 일 실시예에 따른 적층된 그래핀의 라만 스펙트럼 분석 결과를 나타낸 것이다.

도 8은, 본원의 일 실시예에 따라 적층된 그래핀의 투과도를 측정하여 나타낸 것이다.

도 9는, 본원의 일 실시예에 따른 그래핀 적층 패턴의 광학 현미경 이미지이다.

도 10a는, 본원의 일 구현예에 따른 체크 형태의 그래핀 적층 패턴 형성 방법의 모식도이다.

도 10b 및 도 10c는, 본원의 일 실시예에 따른 체크 형태의 그래핀 적층 패턴의 광학 현미경 이미지이다.

도 10d는, 본원의 일 실시예에 따라 적층된 체크 패턴 그래핀의 라만 스펙트럼을 나타낸 것이다.

도 11은, 본원의 일 구현예에 있어서, 그래핀 패턴을 위한 그래핀 적층 성장 방법의 모식도이다.

도 12a 내지 도 12e는, 본원의 일 실시예에 있어서, 각각 1 층 내지 5 층으로 적층된 그래핀 패턴의 TEM 이미지이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 구현예 및 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0014] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.

[0015] 본원 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0016] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0017] 본 명세서에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

[0018] 본원 명세서 전체에서 사용되는 정도의 용어 “~ 하는 단계” 또는 “~의 단계”는 “~를 위한 단계”를 의미하지 않는다.

[0019] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 "이들의 조합(들)"의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.

[0020] 본원 명세서 전체에서, "A 및/또는 B"의 기재는, "A 또는 B, 또는 A 및 B"를 의미한다.

[0021] 본원 명세서 전체에서, "그래핀"이라는 용어는 복수개의 탄소 원자들이 서로 공유 결합으로 연결되어 폴리시클릭 방향족 분자를 형성한 것을 의미하는 것으로서, 상기 공유 결합으로 연결된 탄소 원자들은 기본 반복 단위로서 6 원환을 형성하나, 5 원환 및/또는 7 원환을 더 포함하는 것도 가능하다. 따라서, 상기 그래핀이 형성하는 시트는 서로 공유 결합된 탄소 원자들의 단일층으로서 보일 수 있으나, 이에 제한되지 않을 수 있다. 상기 그래핀이 형성하는 시트는 다양한 구조를 가질 수 있으며, 이와 같은 구조는 그래핀 내에 포함될 수 있는 5 원환 및/또는 7 원환의 함량에 따라 달라질 수 있다. 또한, 상기 그래핀이 형성하는 시트가 단일층으로 이루어진 경우, 이들이 서로 적층되어 복수층을 형성할 수 있으며, 상기 그래핀 시트의 측면 말단부는 수소 원자로 포화될 수 있으나, 이에 제한되지 않을 수 있다.

[0023] 이하, 본원의 구현예를 상세히 설명하였으나, 본원은 이에 제한되지 않을 수 있다.

[0025] 본원의 제 1 측면에 따르면, 기재 상에 금속 박막 패턴을 형성하는 것; 상기 금속 박막 패턴 상에 그래핀 층을 증착함과 동시에 상기 금속 박막 패턴을 증발시켜, 상기 기재 상에 그래핀 패턴을 형성하는 것; 및, 상기 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것을 교번하여 수행함으로써 그래핀의 적층 패턴을 형성하는 것을 포함하는, 그래핀 적층 패턴 형성 방법을 제공할 수 있다.

[0026] 예를 들어, 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것은 단일층의 그래핀 층을 증착하는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 단일층의 그래핀 층을 증착하는 것은 구리(Cu)를 포함하는 금속 박막 패턴을 이용하여 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0027] 구리를 상기 금속 박막 패턴에 포함하여 그래핀 층을 형성할 경우, 상기 금속 박막 패턴 상에 단일층의 그래핀이 균일하게 형성되기 때문에, 증착되는 그래핀의 층 수를 정밀하게 제어할 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 본원에 의하여 적층된 그래핀은 AB 적층(AB stacking)에 의하여 안정적으로 겹쳐 균일하게 적층된 그래핀 층을 포함할 수 있으나, 이에 제한되지 않을 수 있다. 상기 AB 적층(AB stacking)이란, 당업계에 일반적으로 알려져 있는 복수층 그래핀의 구조를 의미하는 것이다.

[0028] 예를 들어, 상기 금속 박막 패턴은, 당업계에서 일반적으로 사용되는 패터닝 방법을 제한 없이 사용하여 형성될

수 있다.

[0029] 예를 들어, 상기 금속 박막 패턴을 형성하는 것은, 일부분에 구멍이 뚫려 있는 섀도우 마스크를 이용하여 기재를 일부만 제외하고 가린 후 금속을 증착함으로써, 상기 섀도우 마스크의 구멍이 뚫려 있는 부분에 해당하는 기재 상에만 선택적으로 금속을 증착하는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 금속 박막 패턴을 형성하는 것은 리소그래피 방법을 이용하는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 리소그래피 방법은, 금속 박막을 먼저 증착하고 리소그래피를 한 후, 상기 금속 박막을 건식 식각 또는 습식 식각하는 것을 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0030] 예를 들어, 상기 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것을 서로 교대로 2 회 이상 수행하여 그래핀의 적층 패턴을 형성할 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것을 서로 교대로 수 회 내지 수십 회 이상 수행하여 그래핀의 적층 패턴을 형성할 수 있으나, 이에 제한되지 않을 수 있다.

[0031] 예를 들어, 상기 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것을 2 회 내지 100 회, 2 회 내지 80 회, 2 회 내지 60 회, 2 회 내지 40 회, 2 회 내지 20 회, 2 회 내지 10 회, 2 회 내지 5 회, 10 회 내지 100회, 20 회 내지 100 회, 40 회 내지 100 회, 60 회 내지 100 회, 또는 80 회 내지 100 회 수행하여 그래핀의 적층 패턴을 형성할 수 있으나, 이에 제한되지 않을 수 있다.

[0032] 예를 들어, 상기 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것을 서로 교대로 2 회 이상 수행하여 적층된 그래핀 패턴은 단일층의 그래핀이 수 층, 수십 층, 내지 수백 층 이상 적층된 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0033] 예를 들어, 본원의 그래핀의 적층 패턴 형성 방법은, 기재 상에 그래핀 층을 형성하는 단계; 상기 그래핀 층 상에 금속 박막을 형성하는 단계; 및 상기 금속 박막 상에 그래핀 층을 형성하는 단계를 포함하고, 상기 금속 박막 상에 그래핀 층을 형성하는 단계에서 상기 금속 박막이 증발되는 것인, 그래핀의 적층 방법을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 금속 박막이 증발됨으로써 상기 기재 상에 형성된 그래핀 층과 상기 금속 박막 상에 형성되는 그래핀 층이 서로 접촉되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0034] 예를 들어, 상기 기재는, 상기 기재 상에 형성된 그래핀을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0035] 도 1은 본원의 제 1 측면에 따른 그래핀 적층 패턴 형성 방법을 설명하기 위한 순서도이며, 도 2a 내지 도 2d는 본원의 일 구현예에 따른 그래핀의 적층 방법을 설명하기 위한 단면도이다.

[0036] 도 3a 내지 도 3e는 본원의 일 구현예에 따른 그래핀 적층 패턴 형성 방법을 설명하기 위한 개략도이다.

[0037] 이하에서는, 도 2a 내지 도 2d 및 도 3a 내지 도 3e를 참조하여 본원의 일 구현예에 따른 그래핀의 적층 방법에 대하여 상세히 설명하나, 본원은 이에 제한되지 않을 수 있다.

[0038] 본원의 일 구현예에 따르면, 상기 그래핀의 적층 방법은, 기재(110) 상에 금속 촉매층(130)을 형성하고 (도 2a), 상기 금속 촉매층(130) 상에 그래핀 층(150)을 형성하고 (도 2b), 상기 그래핀 층(150) 상에 금속 박막(170)을 형성하고 (도 2c), 이후 상기 금속 박막(170) 상에 그래핀 층을 형성함으로써 상기 금속 박막(170)을 증발시켜 상기 금속 촉매층(130) 상에 형성된 기존의 그래핀 층과 새로이 형성된 그래핀 층이 적층되어 그래핀 적층체(190)를 형성 할 수 있다 (도 2d).

[0039] 예를 들어, 상기 그래핀 층(150) 상의 상기 금속 박막(170)을 패턴 형태로 형성함으로써, 이후 상기 금속 박막(170) 상에 형성된 그래핀 층(170)이 상기 금속 박막(170)의 패턴과 동일한 패턴으로 형성되도록 할 수 있으나, 이에 제한되지 않을 수 있다.

[0040] 본원의 일 구현예에 따르면, 본원의 그래핀 적층 패턴 형성 방법은, 단층 그래핀(152)를 형성하고 (도 3a), 상기 단층 그래핀 상에 금속 박막 패턴(172)를 형성하고 (도 3b), 상기 금속 박막 패턴(172) 상에 그래핀 층을 증착함으로써 상기 금속 박막 패턴을 증발시켜, 상기 단층 그래핀(152) 상에 그래핀을 적층하여 2 층 그래핀(154)를 형성하고 (도 3c), 다시 금속 박막 패턴(172)를 형성하고 (도 3d), 상기 금속 박막 패턴(172) 상에 그래핀 층을 증착함으로써 상기 금속 박막 패턴을 증발시켜, 단층 그래핀(152), 적층된 2층 그래핀(154) 및 적층된 3층 그래핀(165)을 포함하는 그래핀 패턴을 형성 (도 3e)하는 것을 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0041] 본원의 일 구현예에 따르면, 본원의 그래핀 적층 패턴이 체크 형태로 형성되는 것을 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0042] 도 10a는 상기 체크 형태의 그래핀 적층 패턴의 형성 과정을 나타내는 모식도이고, 도 11은 그래핀 적층 패턴을 형성하기 위한 그래핀 성장 과정을 나타내는 모식도이다.

[0043] 상기 체크 형태의 그래핀 적층 패턴 형성 방법은, 예를 들어, 금속 기재 상에 CVD 등을 이용하여 1 층의 그래핀을 성장한 후, 체크 패턴을 형성하기 위해 수평으로 금속 박막을 증착하고[도 10a의 (a)], 다시 CVD를 이용하여 그래핀을 성장하여 2 층의 수평 그래핀 패턴을 형성하고[도 10a의 (b)], 다시 수직 패턴으로 구리를 증착하고[도 10a의 (c)], 다시 CVD를 이용하여 그래핀을 성장[도 10a의 (d)]하는 과정을 교번하여 수행함으로써 체크 형태의 그래핀 적층 패턴을 형성할 수 있으나, 이에 제한되지 않을 수 있다.

[0044] 또한, 그래핀 적층 패턴 형성 방법은, 예를 들어, 금속 기재 상에 1 차로 그래핀을 성장시키고[도 11의 (a)], 그래핀이 성장된 금속 기재 상에 열증착 등과 같은 방법을 사용하여 금속 박막을 증착시키고[도 11의 (b)], 2 차로 그래핀을 성장시키기 위해 상기 금속 박막이 증착된 기재 상에 CVD 등의 방법으로 그래핀을 증착시켜[도 11의 (c)] 그래핀 적층 패턴을 형성할 수 있으나, 이에 제한되지 않을 수 있다.

[0045] 본원의 일 구현예에 따르면, 상기 그래핀 적층 패턴 형성 방법은, 상기 기재 상에 서로 상이한 형상을 가지는 그래핀 패턴들이 적층되어 형성되는 것을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0046] 예를 들어, 상기 금속 박막 패턴을 형성하는 것 및 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것을 교대로 수행할 경우, 서로 상이한 금속 박막 패턴이 사용되면, 먼저 형성된 금속 박막 패턴과 다음으로 형성된 금속 박막 패턴이 겹치는 부분은 다층의 그래핀이 적층되며, 겹치지 않는 부분은 단층의 그래핀이 증착되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0047] 상기 그래핀 패턴은 그 종류 또는 모양에 제한되지 않으며, 예를 들어, 본원의 그래핀 적층 패턴 형성 방법에 의하여, 크고 작은 그래핀 메쉬(mesh) 또는 그래핀 격자(grating)를 형성할 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 그래핀 격자는 광학 필터로서 사용될 수 있으나, 이에 제한되지 않을 수 있다.

[0048] 예를 들어, 본원의 그래핀 적층 패턴 형성 방법은, 상기 기재 상에 서로 동일한 형상을 가지는 그래핀 패턴을 적층하는 것을 포함할 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 기재 상에 서로 동일한 형상을 가지는 그래핀 패턴을 적층하여 그래핀 적층 패턴을 형성할 경우, 상기 그래핀 패턴의 적층 횟수를 조절함으로써, 원하는 패턴, 원하는 그래핀 층 수, 및 원하는 그래핀 두께를 가지는 그래핀 패턴을 형성할 수 있으나, 이에 제한되지 않을 수 있다.

[0049] 예를 들어, 상기 금속 박막 패턴은 원자층증착(atomic layer deposition; ALD), 스퍼터링(sputtering), 열증착(thermal evaporation), 전자빔 증착(e-beam evaporation), 분자빔 증착(molecular beam epitaxy; MBE), 펄스 레이저증착(pulsed laser deposition; PLD), 화학기상증착(chemical vapour deposition; CVD), 졸-겔(sol-gel) 방법, 및 이들의 조합들로 이루어지는 군에서 선택되는 방법에 의해 수행될 수 있으나, 이에 제한되지 않을 수 있다.

[0050] 예를 들어, 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것은, 당업계에서 그래핀 성장을 위하여 통상적으로 사용하는 방법을 특별히 제한 없이 사용하여 수행될 수 있다. 예를 들어, PMMA 등의 유기물을 상기 금속 박막 패턴 상에 코팅한 뒤, 수소를 포함하는 분위기에서 어닐링하여 그래핀을 성장시키는 방법을 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0051] 본원의 일 구현예에 따르면, 상기 금속 박막 패턴 상에 그래핀 층을 증착하는 것은 화학기상증착(chemical vapor deposition; CVD) 방법에 의해 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0052] 본원의 일 구현예에 따르면, 상기 화학기상증착 방법은 고온 화학기상증착(rapid thermal chemical vapor deposition; RTCVD), 유도결합플라즈마 화학기상증착(inductively coupled plasma-chemical vapor deposition; ICP-CVD), 저압 화학기상증착(low pressure chemical vapor deposition; LPCVD), 상압 화학기상증착(atmospheric pressure chemical vapor deposition; APCVD), 금속 유기화학기상증착(metal organic chemical vapor deposition; MOCVD), 플라즈마 화학기상증착(plasma-enhanced chemical vapor deposition; PECVD), 및 이들의 조합들로 이루어지는 군에서 선택되는 방법을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0053] 본원의 일 구현예에 따르면, 상기 화학기상증착 방법은 약 300℃ 내지 약 2,000℃의 온도 범위에서 수행되는 것

일 수 있으나, 이에 제한되지 않을 수 있다.

[0054] 예를 들어, 상기 화학기상증착 방법은 약 300℃ 내지 약 2,000℃, 약 500℃ 내지 약 2,000℃, 약 800℃ 내지 약 2,000℃, 약 1,000℃ 내지 약 2,000℃, 약 1,500℃ 내지 약 2,000℃, 약 300℃ 내지 약 1,500℃, 약 300℃ 내지 약 1,000℃, 약 300℃ 내지 약 800℃, 약 800℃ 내지 약 1,300℃, 또는 약 800℃ 내지 약 1,000℃의 온도 범위에서 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0055] 예를 들어, 상기 그래핀 층을 증착하는 것은 상기 금속 박막 패턴 상에 탄소 소스를 포함하는 반응 가스 및 열을 제공하여 반응시키는 것을 포함할 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 탄소 소스는, 일산화탄소, 이산화탄소, 메탄, 에탄, 에틸렌, 에탄올, 아세틸렌, 프로판, 부탄, 부타디엔, 펜탄, 펜텐, 사이클로펜타디엔, 헥산, 사이클로헥산, 벤젠, 톨루엔, 알코올, 및 이들의 조합들로 이루어지는 군에서 선택되는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 탄소 소스를 기상으로 공급하면서 약 300℃ 내지 약 2,000℃의 온도로 열처리하면 상기 탄소 소스에 존재하는 탄소 성분들이 결합하여 6각형의 판상 구조를 형성하면서 그래핀 층이 성장되는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 열처리는 약 300℃ 내지 약 2,000℃, 약 500℃ 내지 약 2,000℃, 약 700℃ 내지 약 2,000℃, 약 900℃ 내지 약 2,000℃, 약 1,200℃ 내지 약 2,000℃, 약 1,500℃ 내지 약 2,000℃, 약 300℃ 내지 약 1,500℃, 약 300℃ 내지 약 1,200℃, 약 300℃ 내지 약 900℃, 또는 약 300℃ 내지 약 500℃의 온도에서 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0056] 예를 들어, 상기 금속 박막 패턴 상에 그래핀 층을 형성하는 것은 상압, 저압, 또는 진공 하에서 수행될 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상압 조건 하에서 상기 그래핀 층을 성장시키는 공정을 수행하는 경우, 헬륨 등을 캐리어 가스로 사용함으로써 고온에서 무거운 아르곤과의 충돌에 의해 야기되는 그래핀의 손상을 최소화할 수 있으나, 이에 제한되지 않을 수 있다. 또한, 상압 조건 하에서 상기 공정을 수행하는 경우, 저비용으로 간단한 공정에 의하여 대면적 그래핀을 제조할 수 있다는 장점이 있다. 예를 들어, 상기 공정이 저압 또는 진공 조건에서 수행되는 경우, 수소 가스를 분위기 가스로 사용하며, 온도를 올리면서 처리하여 주면 금속 촉매의 산화된 표면을 환원시키므로 고품질의 그래핀을 합성할 수 있다는 장점이 있으나, 이에 제한되지 않을 수 있다.

[0057] 본원의 일 구현예에 따르면, 상기 기재는 실리콘, 그래핀, 유리, 석영, 산소, 탄소펠트, 사파이어, 질화실리콘, 탄화실리콘, 산화실리콘, 티타늄 코팅기판, 세라믹, 금속, 또는 플라스틱을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0058] 예를 들어, 상기 기재는, 상기 기재 상에 형성된 그래핀을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 기재는 금속 촉매층 상에 형성된 그래핀을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 금속 촉매층은 그래핀의 성장을 용이하게 하기 위하여 형성되며, 상기 금속 촉매층의 표면에 그래핀이 성장될 수 있다.

[0059] 예를 들어, 상기 금속 촉매층은 Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Mo, Rh, Si, Ta, Ti, W, U, V, Zr, Ge, 황동(brass), 청동(bronze), 백동, 스테인레스 스틸(stainless steel), 및 이들의 조합들로 이루어지는 군에서 선택되는 하나 이상의 금속 또는 합금을 포함할 수 있으나, 이에 제한되지 않을 수 있다. 또한, 상기 금속 촉매층의 두께는 특별히 제한되지 않으며, 박막 또는 후막일 수 있다.

[0060] 예를 들어, 상기 금속 촉매층은 원자층증착(atomic layer deposition; ALD), 스퍼터링(sputtering), 열증착(thermal evaporation), 전자빔 증착(e-beam evaporation), 분자빔 증착(molecular beam epitaxy; MBE), 펄스 레이저증착(pulsed laser deposition; PLD), 화학기상증착(chemical vapour deposition; CVD), 졸-겔(Sol-Gel) 방법, 및 이들의 조합들로 이루어지는 군에서 선택되는 방법에 의해 수행될 수 있으나, 이에 제한되지 않을 수 있다.

[0061] 예를 들어, 상기 금속 촉매층 상에 그래핀을 형성하는 것은, 당업계에서 그래핀 성장을 위해 통상적으로 사용하는 방법을 특별히 제한 없이 사용하여 수행될 수 있으며, 본원의 일 구현예에 따르면, 화학기상증착(chemical vapor deposition; CVD) 방법을 이용할 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 화학기상증착 방법은 고온 화학기상증착(rapid thermal chemical vapor deposition; RTCVD), 유도결합플라즈마 화학기상증착(inductively coupled plasma-chemical vapor deposition; ICP-CVD), 저압 화학기상증착(low pressure chemical vapor deposition; LPCVD), 상압 화학기상증착(atmospheric pressure chemical vapor deposition; APCVD), 금속 유기화학기상증착(metal organic chemical vapor deposition; MOCVD), 플라즈마 화학기상증착

(plasma-enhanced chemical vapor deposition; PECVD), 및 이들의 조합들로 이루어지는 군에서 선택되는 방법을 포함할 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, PMMA 등의 유기물을 상기 금속 촉매층 위에 코팅한 뒤, 수소를 포함하는 분위기에서 어닐링하여 그래핀을 성장시키는 방법을 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0062] 예를 들어, 상기 금속 촉매층 상에 그래핀을 형성하는 것은 단일층의 그래핀을 형성하는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 단일층의 그래핀을 형성하는 것은 Cu(구리)를 포함하는 금속 촉매층을 이용하여 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, Cu를 금속 촉매층으로 사용하여 그래핀 층을 형성할 경우, 상기 금속 촉매층 상에 단일층의 그래핀이 균일하게 형성될 수 있으나, 이에 제한되지 않을 수 있다.

[0063] 예를 들어, 상기 그래핀 층은 기재 상에 전사된 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0064] 상기 그래핀 층은 당업계에서 그래핀 성장을 위해 통상적으로 사용하는 방법을 특별히 제한 없이 사용하여 형성된 것일 수 있으며, 예를 들어, 상기 그래핀은 화학기상증착(CVD) 방법, 에피택시(epitaxy)법, 또는 기계적 박리법에 의하여 형성된 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0065] 상기 그래핀 층의 전사는 당업계에서 그래핀 층의 전사를 위해 통상적으로 사용하는 방법을 제한 없이 사용하여 수행될 수 있다. 예를 들어, 상기 그래핀 층의 전사는 습식 전사 또는 건식 전사에 의하여 수행될 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 그래핀 층의 전사는 PDMS, PMMA, 또는 열 방출 테이프를 이용하거나, 롤(roll)을 이용하여 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0066] 예를 들어, 상기 그래핀 층을 상기 기재 상에 전사하는 것은 단일층의 그래핀을 전사하는 것을 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0067] 본원의 일 구현예에 따르면, 상기 금속 박막 패턴의 두께는 약 10 nm 내지 약 100 nm 일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 금속 박막 패턴의 두께는 약 10 nm 내지 약 100 nm, 약 10 nm 내지 약 80 nm, 약 10 nm 내지 약 50 nm, 약 10 nm 내지 약 30 nm, 약 30 nm 내지 약 100 nm, 약 50 nm 내지 약 100 nm, 약 80 nm 내지 약 100 nm, 또는 약 40 nm 내지 약 60 nm일 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 금속 박막 패턴의 두께가 약 10 nm 미만인 경우, 상기 금속 박막 패턴 상에 그래핀 층이 정상적으로 성장되지 않을 수 있으나, 이에 제한되지 않을 수 있다. 예를 들어, 상기 금속 박막 패턴의 두께가 약 100 nm 초과인 경우, 화학기상증착에 의한 그래핀 층 성장 과정에서 상기 금속 박막 패턴이 충분히 증발되지 못하여 상기 그래핀 층이 상기 기재와 충분히 접촉되지 않을 수 있으나, 이에 제한되지 않을 수 있다.

[0068] 본원의 일 구현예에 따르면, 상기 금속 박막 패턴은 Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Mo, Rh, Si, Ta, Ti, W, U, V, Zr, Ge, 황동(brass), 청동(bronze), 백동, 스테인레스 스틸(stainless steel), 및 이들의 조합들로 이루어지는 군에서 선택되는 하나 이상의 금속 또는 합금을 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0069] 예를 들어, 상기 금속 박막 패턴은 그래핀의 성장에 있어서 상기 금속 촉매층과 동일 또는 유사한 역할을 하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0070] 본원의 일 구현예에 따르면, 상기 금속 박막 패턴은 원자층증착(atomic layer deposition; ALD), 스퍼터링(sputtering), 열증착(thermal evaporation), 전자빔 증착(e-beam evaporation), 분자빔 증착(molecular beam epitaxy; MBE), 펄스레이저증착(pulsed laser deposition; PLD), 화학기상증착(chemical vapour deposition; CVD), 졸겔(Sol-Gel) 방법, 및 이들의 조합들로 이루어지는 군에서 선택되는 방법에 의해 형성되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0071] 본원의 일 구현예에 따르면, 상기 그래핀 층은 상압, 저압, 또는 진공 하에 형성되는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0072] 본원의 일 구현예에 따라 제조된 그래핀 적층 패턴은 박막 트랜지스터, 메모리 소자, 투명전극, 광 검출기, 반도체 소자, 또는 발광 다이오드 등을 제조하는 데에 사용될 수 있으나, 이에 제한되지 않을 수 있다.

[0074] 이하 실시예를 통하여 본 발명을 더욱 상세하게 설명하고자 하나, 하기의 실시예는 단지 설명의 목적을 위한 것이며 본원의 범위를 한정하고자 하는 것은 아니다.

[0076] **[실시예]**

[0077] **기재 상에 그래핀 층 형성**

[0078] 구리 호일을 수소가스 분위기(200 sccm) 하의 980℃의 온도 조건에서 10 분간 어닐링한 뒤, 메탄(CH_4)과 수소가스가 150 sccm 대 200 sccm로 존재하는 분위기 하에서 화학기상증착 공정에 의하여 30 분간 상기 구리 호일 상에 그래핀을 성장시켜 그래핀 층을 형성하였다.

[0080] **화학기상증착 공정에 의한 그래핀의 적층**

[0081] 상기 그래핀 층 상에 열증착 방법을 이용하여 50 nm 두께의 구리 박막을 증착시켰다.

[0082] 이후, 980℃에서 메탄과 수소가스가 150 sccm 대 200 sccm으로 존재하는 분위기 하에서 화학기상증착 공정에 의하여 상기 구리 박막 상에 그래핀 층을 성장시켰다. 이 때, 상기 구리 박막은 화학기상증착 공정 중에 적용되는 고온 열처리에 의하여 증발되고, 기존의 그래핀 층과 새로이 성장된 그래핀 층이 접촉하여 적층되었다.

[0084] **그래핀의 적층 패턴 형성**

[0085] 상기 실시예의 방법들과 동일한 방법에 의하여, 구리 호일 상에 그래핀 층을 형성하였다. 이후 상기 그래핀 층 상에서 적층하고자 하는 부위에 구리 박막 패턴을 형성하였다. 구체적으로, 섀도우 마스크(shadow mask)를 그래핀 상에 배치한 후, 열증착(thermal evaporation) 장비 및 99.997% 의 구리 펠렛을 이용하여 3.0×10^{-6} torr 의 압력에서 상기 섀도우 마스크에서 구멍이 뚫려 있는 부분에만 구리를 증착함으로써 구리 박막 패턴을 형성하였다. 증착된 구리 박막의 두께는 약 100 nm 미만이었다.

[0086] 상기 구리 박막 패턴 상에 상기 실시예와 동일하게 화학기상증착 방법에 의하여 그래핀을 증착하였다. 화학기상증착 방법 수행시 승온속도는 600℃/분이었으며 980℃에서 증착을 수행하였다. 어닐링 조건은 99.999% 수소 200 sccm 분위기 하의 980℃에서 10 분, 그래핀 성장시 99.999% 메탄 150 sccm 및 99.999% 수소 200 sccm 분위기 하의 980℃에서 30 분이었다. 이 과정에서 상기 구리 박막 패턴은 증발하여 사라지고, 상기 구리 박막이 위치하던 곳에 그래핀 층이 추가로 성장되어 기존의 그래핀 층과 적층됨으로써 1차적으로 그래핀 적층 패턴이 형성되었다.

[0087] 상기 그래핀 적층 패턴 상에 추가적으로 섀도우 마스크를 이용하여 구리 박막 패턴을 형성하고, 상기 구리 박막 패턴 상에 화학기상증착 방법에 의하여 그래핀을 증착하여 상기 구리 박막 패턴을 증발시키고 추가적인 그래핀 층을 적층함으로써 그래핀 적층 패턴을 형성하였다.

[0089] **적층된 그래핀의 회절패턴 분석**

[0090] 본 실시예에서는 투과전자현미경(TEM)을 이용하여 단층 그래핀과 적층된 그래핀의 회절 패턴을 분석하였다. 도 4의 상단 이미지 및 도 5의 상단 이미지는 각각 단층 그래핀과 2 층으로 적층된 그래핀의 회절 패턴을 나타낸 것이다. 또한, 도 4의 하단 그래프 및 도 5의 하단 그래프는 각각 단층 그래핀과 2 층으로 적층된 그래핀의 각 회절 점(도 4 및 도 5 각각의 상단 이미지에서 화살표 사이에 표시)에서의 회절 강도를 나타낸 것이다. 도 4 및 도 5 각각의 상단 이미지에서 화살표 사이에 표시된 4 개의 점의 회절 강도를 측정하여 적층 유무를 판단할 수 있는데, 단층 그래핀의 경우 가운데 두 개의 회절점의 회절강도가 더 높게 나타나지만, 2 층으로 적층된 그래핀의 경우에는 바깥쪽 두 개의 회절점의 회절 강도가 더욱 높게 나타났다. 이에 따라, 상기 적층된 그래핀의 성장은 AB 적층(AB stacking)에 의하여 성장되었음을 확인하였다.

[0092] **그래핀의 부분적 적층 확인**

[0093] 본 실시예에서는 그래핀의 일부에만 추가적으로 그래핀을 적층한 것을 관찰하였다. 도 6은 섀도마스크를 이용하여 그래핀의 특정 부위에만 구리 박막을 증착한 후 상기 구리 박막 상에 그래핀을 형성시킨 구조의 광학 현미

경 이미지이다. 도 6에서 적층된 그래핀 부분이 단층 그래핀 부분에 비하여 진한 색을 띠는 것으로 보아, 부분적인 금속 증착을 통하여 선택적으로 특정 부위에만 그래핀을 적층시킬 수 있음을 확인하였다.

[0095] **적층된 그래핀의 라만 스펙트럼 분석**

[0096] 본 실시예에서는 적층된 그래핀을 라만 분광기를 이용하여 라만 스펙트럼 분석을 수행하였다. 도 7a와 도 7b는 각각 단층 그래핀과 2 층으로 적층된 그래핀의 라만 스펙트럼 분석 결과이고, 도 10d는 1 층 내지 3 층으로 적층된 그래핀의 라만 스펙트럼 분석 결과이다.. 514 nm의 라만 분광기를 이용하여 측정하였으며, 도 7a 와 도 7b 각각의 상단 그래프는 각각 동일한 샘플에서 임의로 3 개의 포인트를 라만 스펙트럼 분석한 결과를 나타낸 것이다. 도 7a와 도 7b의 하단의 표는 라만 스펙트럼 분석 결과를 Lorentz 피팅(fitting)하여 얻은 결과 값을 나타낸 것이다.

[0097] 그래핀을 라만 스펙트럼 분석시, 그래핀의 층수가 올라갈수록 2D/G 비(ratio)가 감소하고 2D FWHM이 증가하는 현상이 나타난다. 본 실시예에서는 도 7b에서 나타난 결과가 도 7a에서 나타난 결과에 비하여 2D/G 비가 감소하였고 2D FWHM이 증가한 것으로 보아 도 7b가 적층된 그래핀의 분석 결과임을 확인할 수 있었다.

[0099] **그래핀의 투과도 측정**

[0100] 본 실시예에서는 적층된 그래핀의 투과도를 측정하였다. 도 8의 상단 그래프는 UV-가시광 스펙트럼 분석(UV-visible spectroscopy)을 이용하여 단층 그래핀과 2 층으로 적층된 그래핀의 투과도를 측정한 그래프이며, 하단의 표는 상기 측정 결과를 수치화하여 나타낸 것이다. 그래핀 한 층의 투과도는 약 97.7%로 알려져 있으므로, 그래핀 한 층당 약 2.3%의 빛이 흡수되는 것이다. 상기 측정 결과에 따르면, 단층 그래핀의 투과도는 약 97.9%, 및 2 층으로 적층된 그래핀의 투과도는 약 95.9%로 나타난 바, 적층된 그래핀이 2 층으로 적층된 것임을 확인하였다.

[0102] **그래핀 적층 패턴의 관찰**

[0103] 본 실시예에 의하여 형성된 그래핀 적층 패턴을 기판 상에 전사하기 전 광학현미경을 이용하여 관찰한 평면 사진을 도 10b에 나타내었으며, Si/SiO_2(300 nm) 기판 상에 전사한 후 광학 현미경을 이용하여 관찰한 평면 사진을 도 9 및 도 10c에 나타내었다. 도 9에서는 본원의 일 실시예에 의하여 형성된 그래핀 메쉬(mesh)를 관찰할 수 있었다. 가상 색깔이 옅은 부분이 1 층(단층) 그래핀이고, 가장 색깔이 짙은 부분이 3 층 그래핀이며, 중간 정도로 짙은 색깔을 띠는 부분이 2 층 그래핀이다. 구체적으로, 1 층 그래핀 상에 상하방향 및 좌우방향의 그래핀 패턴이 교차되어 적층됨으로써, 상기 상하방향 및 좌우방향의 그래핀 패턴이 교차하는 부분에서는 3 층 그래핀이, 교차하지 않는 부분에서는 2 층 그래핀이 적층되었음을 육안으로 확인할 수 있었다.

[0104] 또한, 도 12a 내지 도 12e는 각각 1 층 내지 5 층으로 적층된 그래핀을 전자투과현미경을 이용하여 관찰한 단면 사진을 나타내었다. 그래핀이 1 층에서 5 층까지 적층되었음을 육안으로 확인할 수 있었다.

[0106] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수도 있다.

[0107] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위, 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0108] 110: 기재

130: 금속 촉매층

150: 그래핀 층

152: 단층 그래핀

154: 2 층 그래핀

156: 3 층 그래핀

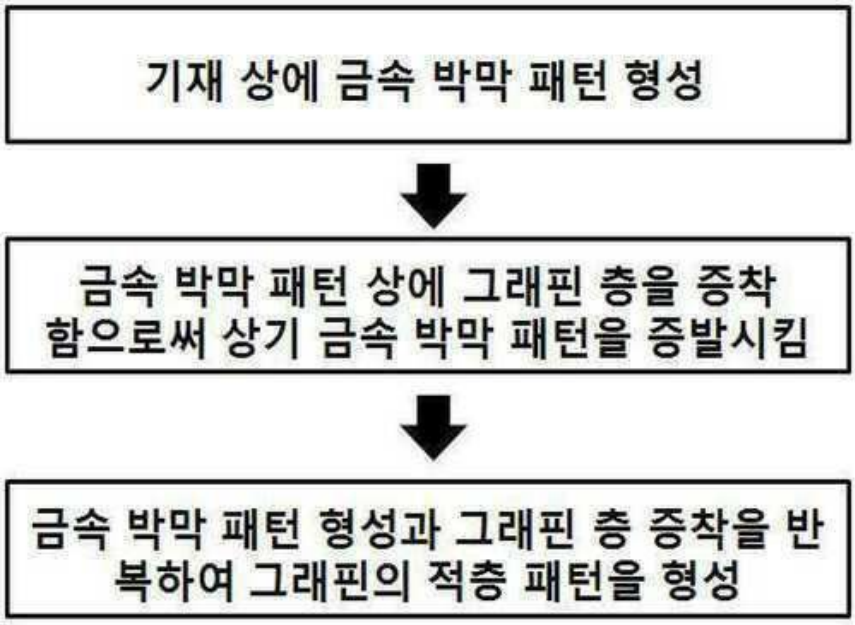
170: 금속 박막

172: 금속 박막 패턴

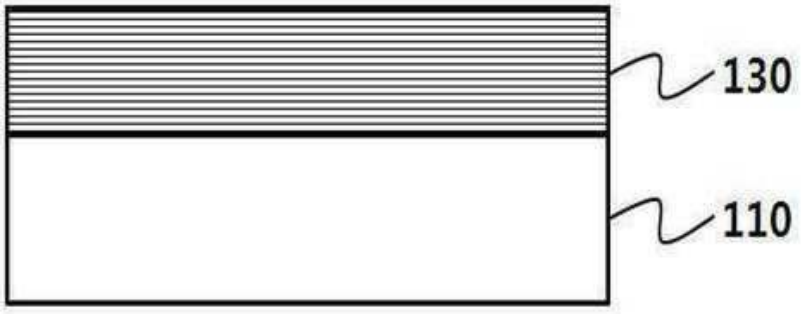
190: 그래핀 적층체

도면

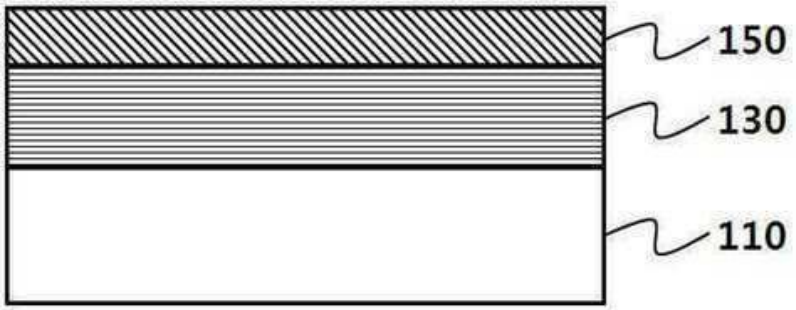
도면1



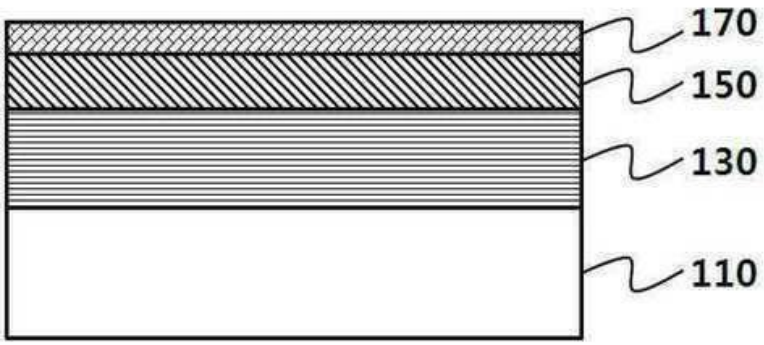
도면2a



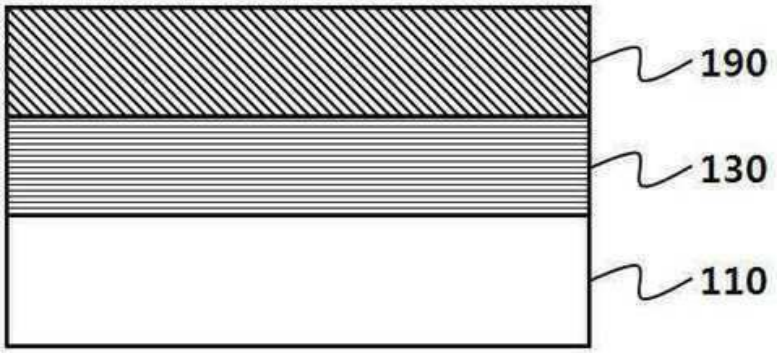
도면2b



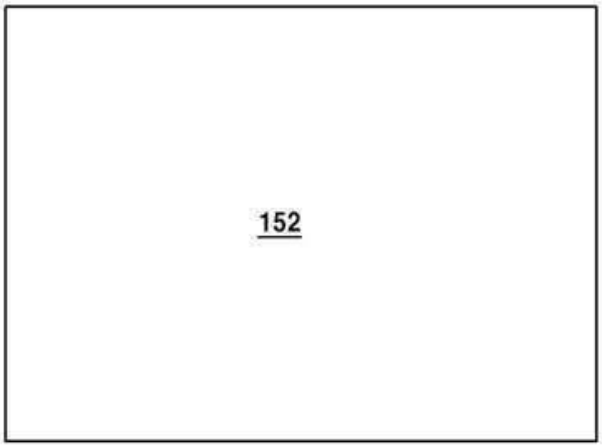
도면2c



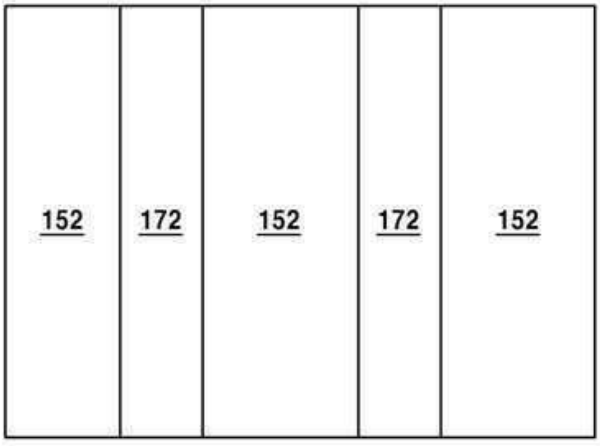
도면2d



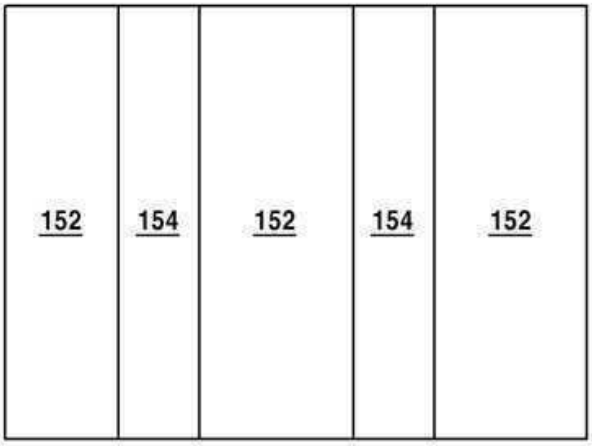
도면3a



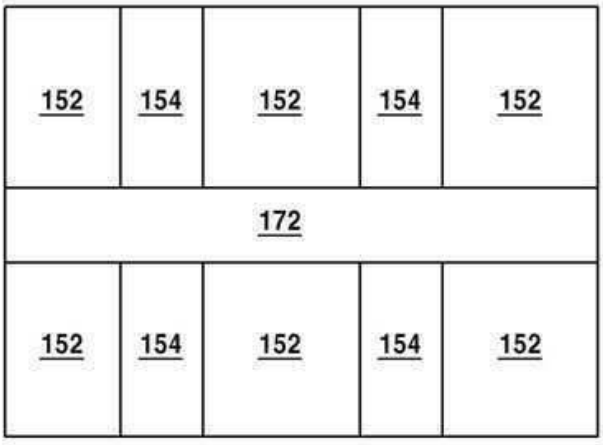
도면3b



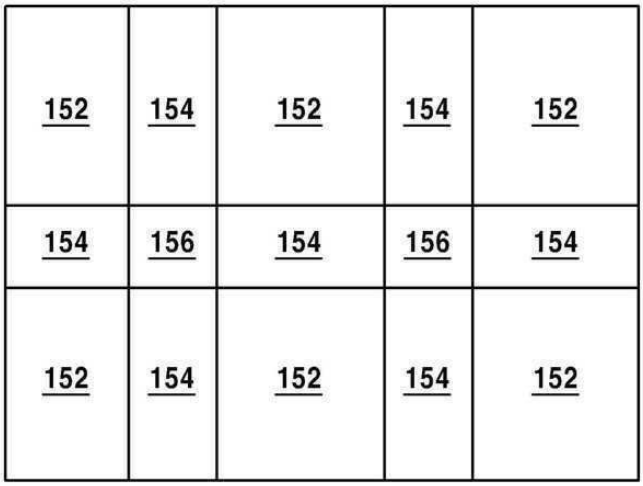
도면3c



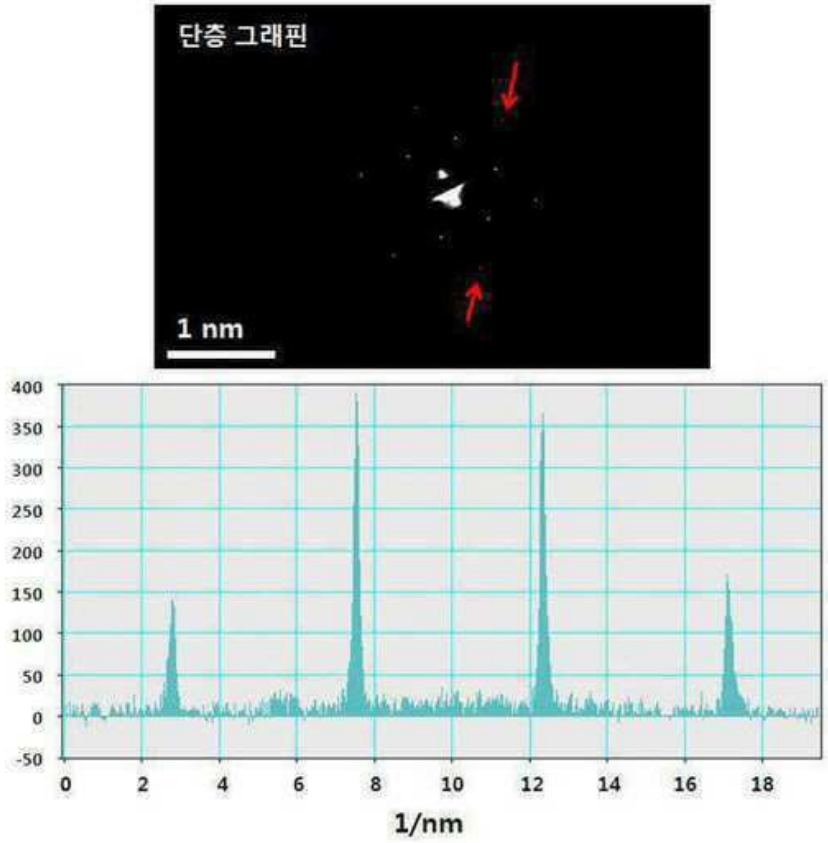
도면3d


152
154
152
154
152
172
152
154
152
154
152

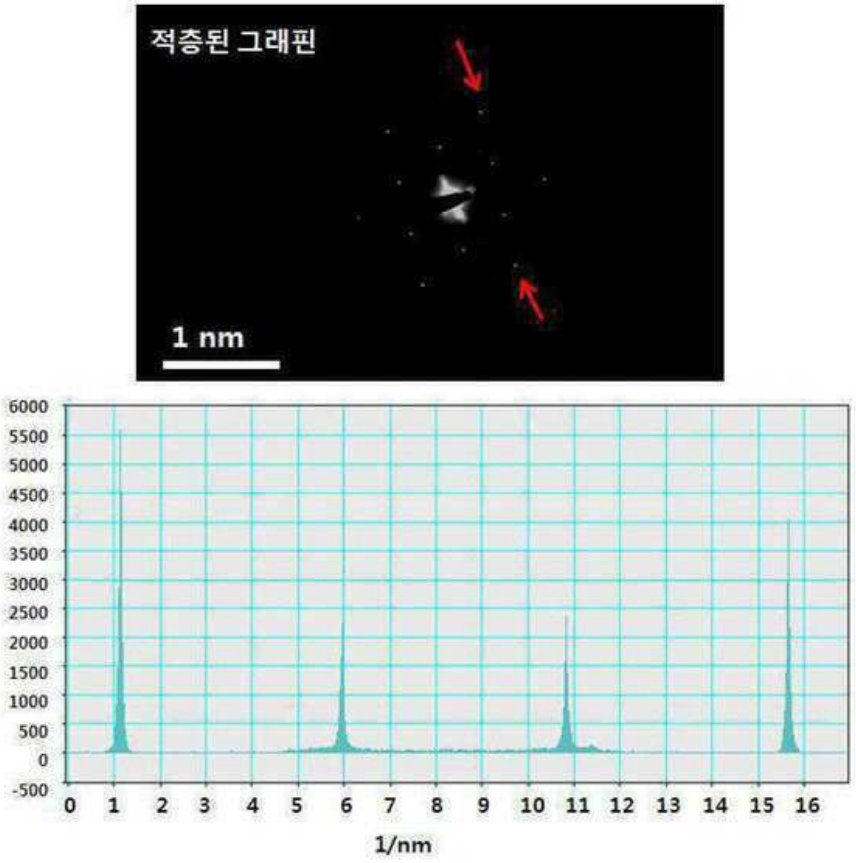
도면3e


152
154
152
154
152
154
156
154
156
154
152
154
152
154
152

도면4


단층 그래핀
1 nm
400
350
300
250
200
150
100
50
0
-50
0
2
4
6
8
10
12
14
16
18
1/nm

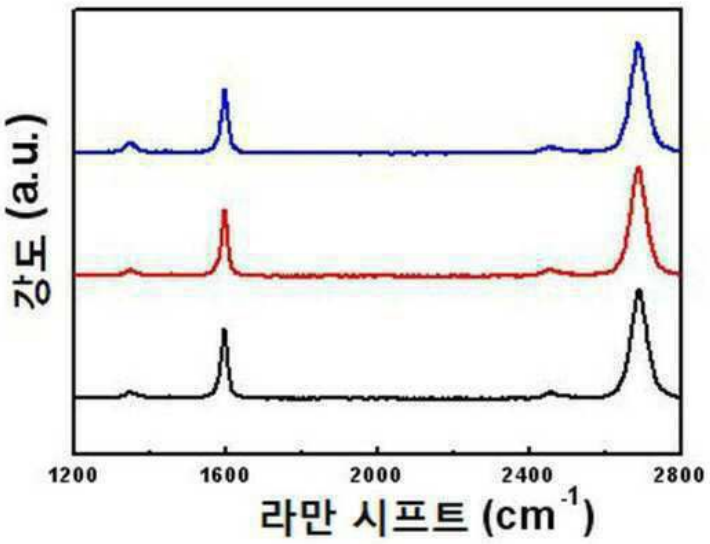
도면5


적층된 그래핀
1 nm
6000
5500
5000
4500
4000
3500
3000
2500
2000
1500
1000
500
0
-500
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
1/nm

도면6

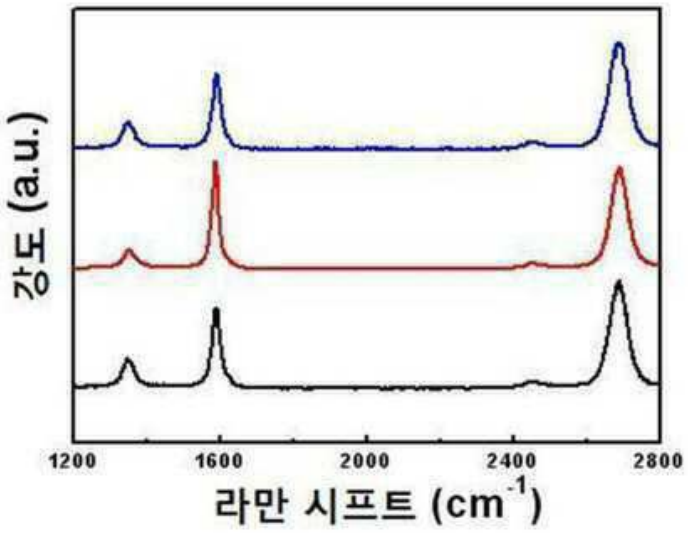


도면7a



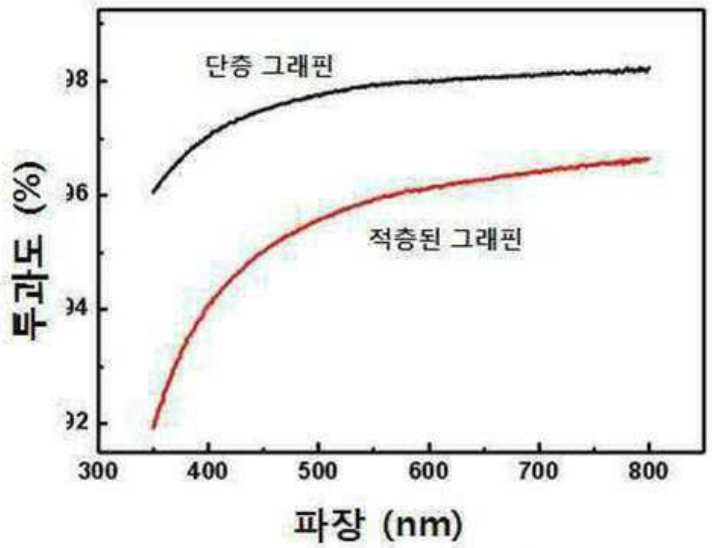
	2D FWHM	2D shift	2D/G	G FWHM	G shift
average	48.00406	2689.827	1.637029	19.00086	1596.452
max	48.67967	2690.794	1.717264	19.75227	1596.856
min	47.08754	2689.042	1.570099	17.70289	1595.913

도면7b



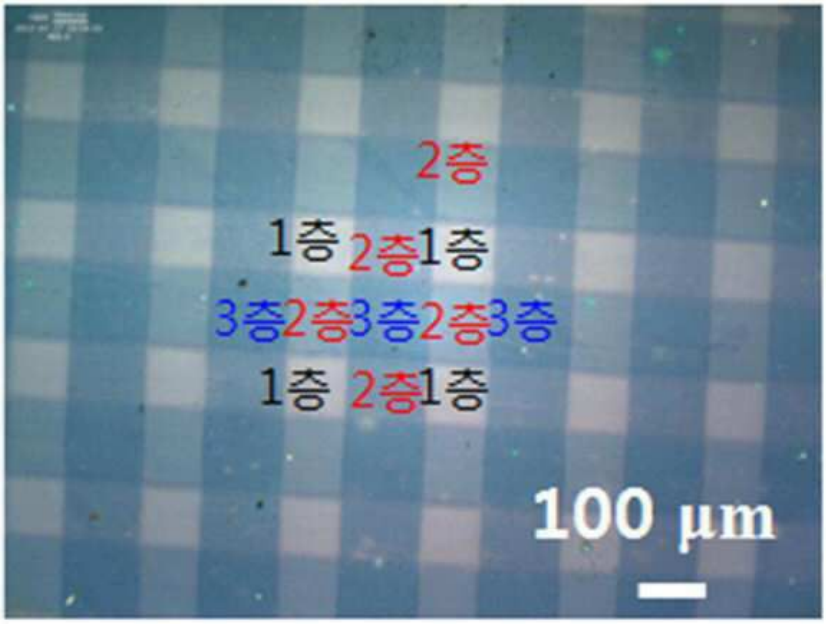
	2D FWHM	2D shift	2D/G	G FWHM	G shift
average	57.33098	2688.951	1.233245	25.39913	1588.68
max	62.59615	2690.373	1.441194	27.88325	1590.293
min	52.97115	2688.161	0.95356	21.51985	1586.514

도면8

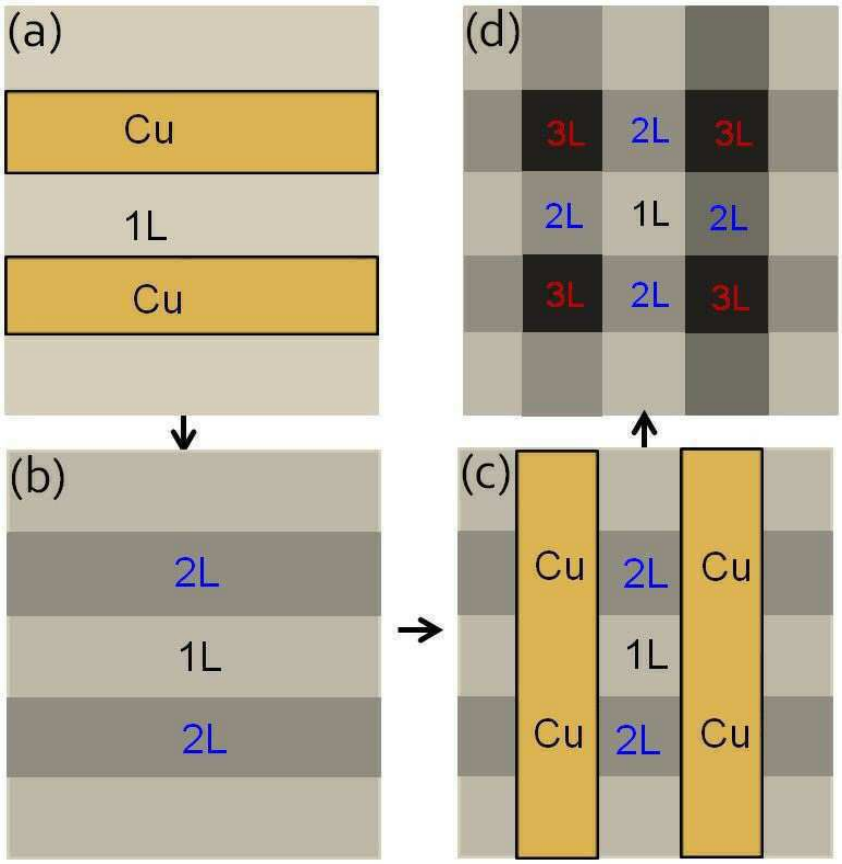


	단층 그래핀	적층된 그래핀
550nm	97.95462	95.9166

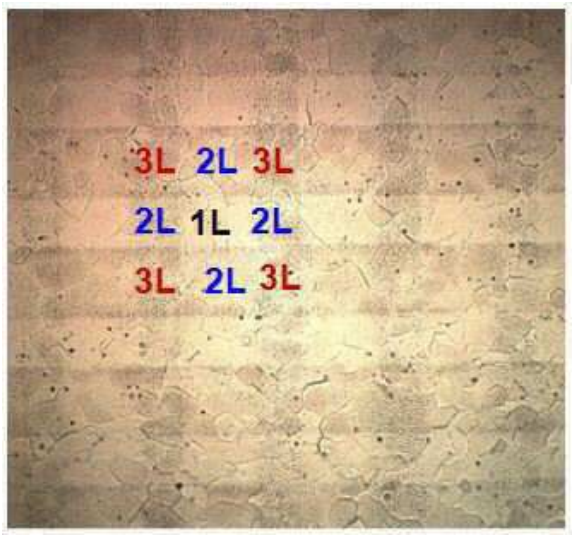
도면9


2층
1층 2층 1층
3층 2층 3층 2층 3층
1층 2층 1층
100 μm

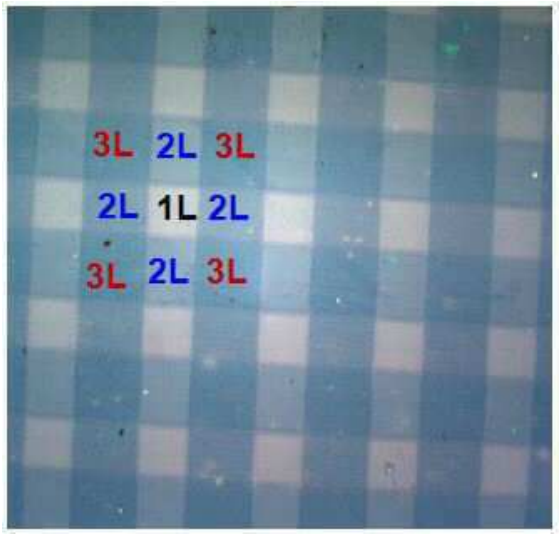
도면10a


(a)
Cu
1L
Cu
(b)
2L
1L
2L
(c)
Cu
2L
Cu
1L
Cu
2L
Cu
(d)
3L
2L
3L
2L
1L
2L
3L
2L
3L

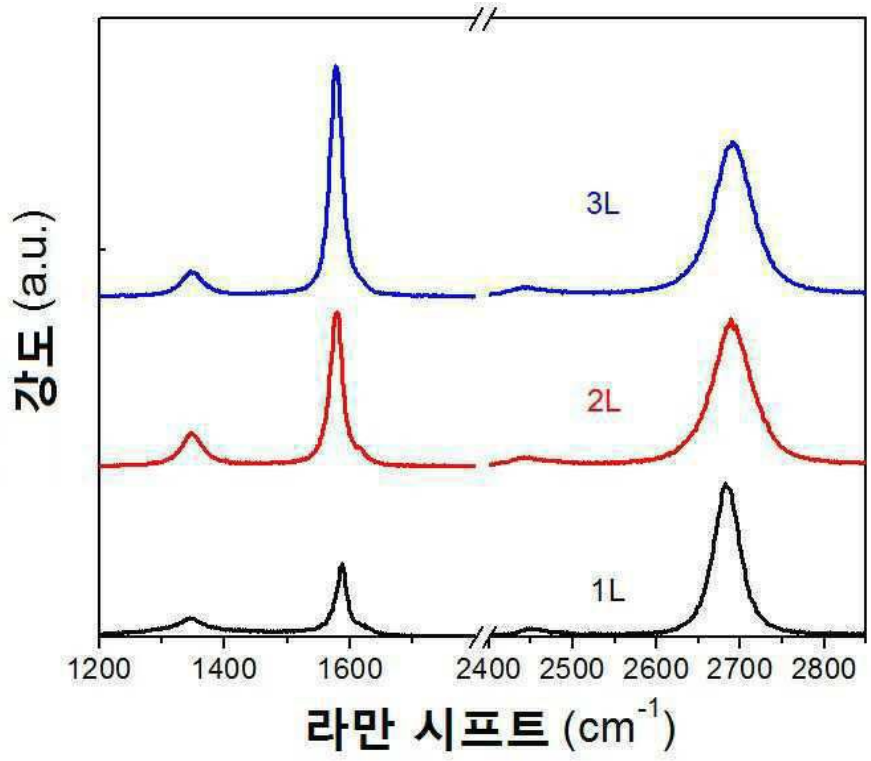
도면10b



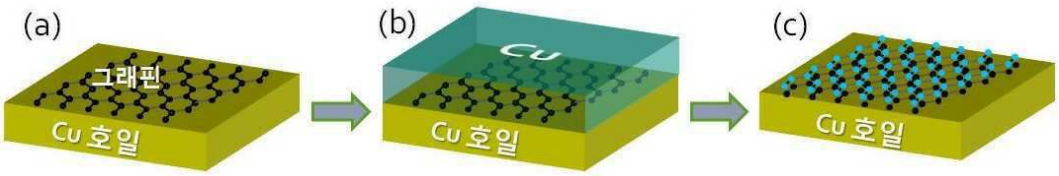
도면10c



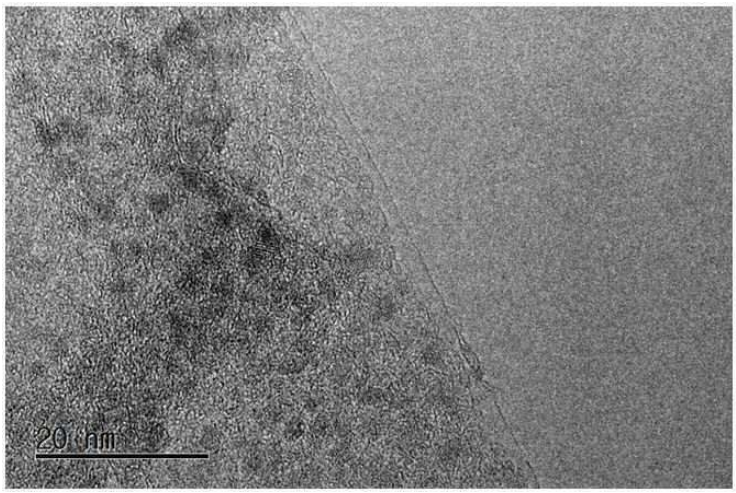
도면10d



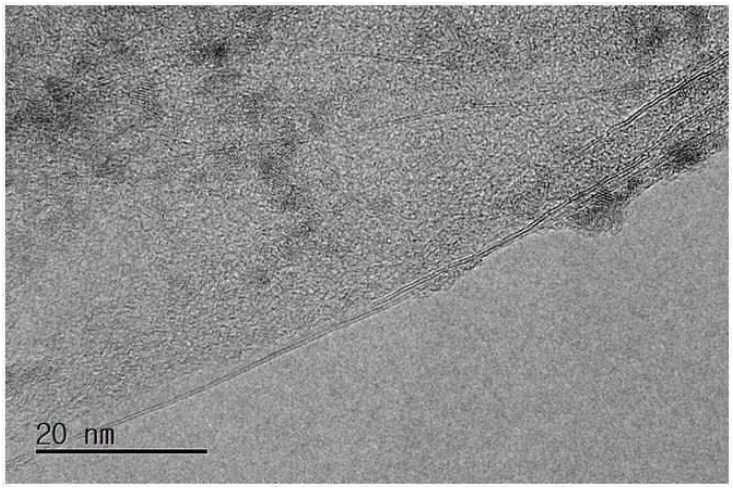
도면11



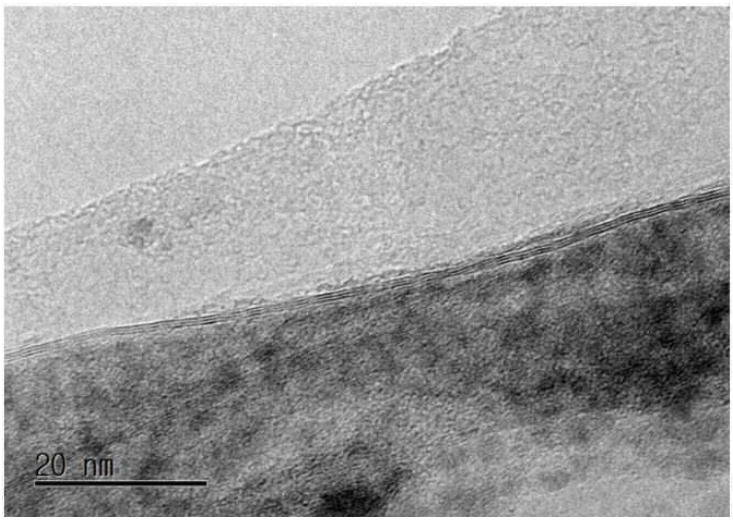
도면12a



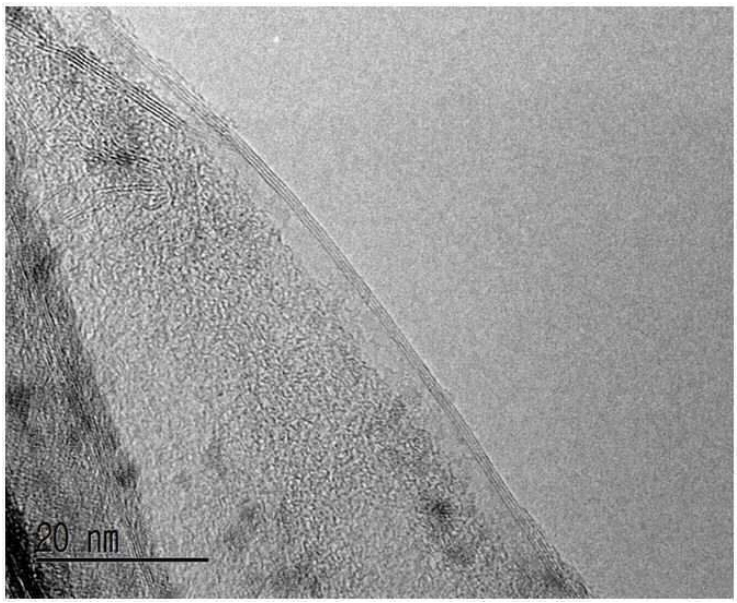
도면12b



도면12c



도면12d



도면12e

