

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5438216号  
(P5438216)

(45) 発行日 平成26年3月12日 (2014. 3. 12)

(24) 登録日 平成25年12月20日 (2013. 12. 20)

(51) Int. Cl.	F I				
GO 1 R 31/28 (2006. 01)	GO 1 R 31/28	U			
HO 1 L 21/822 (2006. 01)	HO 1 L 27/04	T			
HO 1 L 27/04 (2006. 01)	HO 1 L 27/04	A			

請求項の数 13 (全 24 頁)

(21) 出願番号	特願2012-519545 (P2012-519545)	(73) 特許権者	591025439
(86) (22) 出願日	平成22年2月19日 (2010. 2. 19)		ザイリンクス インコーポレイテッド
(65) 公表番号	特表2012-532331 (P2012-532331A)		X I L I N X I N C O R P O R A T E D
(43) 公表日	平成24年12月13日 (2012. 12. 13)		アメリカ合衆国 カリフォルニア州 95
(86) 国際出願番号	PCT/US2010/024682		1 2 4 - 3 4 0 0 サン ホセ ロジック
(87) 国際公開番号	W02011/008309		ドライブ 2 1 0 0
(87) 国際公開日	平成23年1月20日 (2011. 1. 20)	(74) 代理人	110001195
審査請求日	平成24年1月6日 (2012. 1. 6)		特許業務法人深見特許事務所
(31) 優先権主張番号	12/505, 215	(72) 発明者	ラーマン, アリフル
(32) 優先日	平成21年7月17日 (2009. 7. 17)		アメリカ合衆国、95124 カリフォル
(33) 優先権主張国	米国 (US)		ニア州、サン・ノゼ、ロジック・ドライブ
			、2100

最終頁に続く

(54) 【発明の名称】 積層ダイ構造の試験のための装置および方法

(57) 【特許請求の範囲】

【請求項 1】

集積回路装置であって、  
積層ダイと、

ベースダイとを備え、前記ベースダイは、前記ベースダイの背面に配置される第1の複数のコンタクトと、前記ベースダイの表面に配置される第2の複数のコンタクトと、前記第1の複数のコンタクトに結合されるとともに、前記ベースダイのプログラマブルロジックに結合される第1の複数のダイ貫通ビアとを有し、前記ベースダイは、テスト入力に結合するように構成された第1のプロープパッドと、テスト出力に結合するように構成された第2のプロープパッドと、制御信号に結合するように構成された第3のプロープパッドとを含む複数のプロープパッドと、前記集積回路装置の試験のための、前記積層ダイ中の第1のレジスタと前記ベースダイ中の第2のレジスタとを含むスキャンチェーンを実現するために前記積層ダイのさらなるテストロジックに結合するように構成されたテストロジックとをさらに有し、

前記積層ダイは、前記ベースダイの前記背面に積層されるとともに、前記第1の複数のコンタクトに接続され、

前記スキャンチェーンを実現するための前記ベースダイと前記積層ダイとの間での前記テスト入力、前記テスト出力、および前記制御信号の結合に、前記プログラマブルロジックの構成が必要とされないように、前記第1のプロープパッドと、前記第2のプロープパッドと、前記第3のプロープパッドとは、前記テストロジックに直接的に結合され、

前記ベースダイは、さらに、マルチプレクサを含み、

前記マルチプレクサは、前記ベースダイの前記プログラマブルロジックに結合される第1の入力と、第1のダイ貫通ビアによって前記第1のプロープパッドに結合される第2の入力と、前記第1の複数のコンタクトのうち1つのコンタクトに結合される出力と、第2のダイ貫通ビアによって前記第3のプロープパッドに結合される制御入力とを有し、

前記マルチプレクサは、前記プログラマブルロジックからの信号、または前記積層ダイのための前記第1のプロープパッドからのテスト入力を選択するように構成される、集積回路装置。

【請求項2】

前記複数のプロープパッドのうちすべての前記プロープパッドは、前記ベースダイの前記背面に配置される、請求項1に記載の集積回路装置。

10

【請求項3】

前記複数のプロープパッドのうちすべての前記プロープパッドは、前記ベースダイの前記表面に配置される、請求項1に記載の集積回路装置。

【請求項4】

前記複数のプロープパッドは、前記ベースダイの前記背面に配置される第1の複数のプロープパッドと、前記ベースダイの前記表面に配置される第2の複数のプロープパッドとを含む、請求項1に記載の集積回路装置。

【請求項5】

前記第1のプロープパッドと、前記第2のプロープパッドと、前記第3のプロープパッドとは前記ベースダイの前記背面に配置され、

20

前記ベースダイは、さらに、

前記集積回路ダイの試験に割当てられた第2の複数のダイ貫通ビアを備え、

前記第2の複数のダイ貫通ビアは、

前記テスト入力に結合するための前記第1のプロープパッドに電氣的に結合される前記第1のダイ貫通ビアと、

前記テスト出力に結合するための前記第2のプロープパッドに電氣的に結合される第3のダイ貫通ビアと、

前記制御信号に結合するための前記第3のプロープパッドに電氣的に結合される前記第3のダイ貫通ビアとを含み、

30

前記テストロジックは、前記複数のプロープパッドのうち各々の前記プロープパッドに結合され、前記第1の複数のダイ貫通ビアのうち各々の前記ダイ貫通ビアに結合され、前記第2の複数のダイ貫通ビアのうち各々の前記ダイ貫通ビアに結合される、請求項1に記載の集積回路装置。

【請求項6】

前記テストロジックは、

複数のマルチプレクサを含み、前記複数のマルチプレクサのうち各々の前記マルチプレクサは、前記制御信号を受信するための前記第2のダイ貫通ビアに電氣的に結合され、前記複数のマルチプレクサのうち各々の前記マルチプレクサは、前記第1の複数のダイ貫通ビアのうち1つの前記ダイ貫通ビアに結合され、

40

前記テストロジックは、

複数のレジスタをさらに含み、前記複数のレジスタのうち各々の前記レジスタは、前記第1の複数のダイ貫通ビアのうち1つの前記ダイ貫通ビアに結合される入力を含み、前記複数のレジスタのうち各々の前記レジスタは、前記複数のマルチプレクサのうち1つの前記マルチプレクサの入力に結合される出力を含む、請求項5に記載の集積回路装置。

【請求項7】

前記複数のマルチプレクサは、前記第1のダイ貫通ビアに結合される入力を有する前記第1のマルチプレクサと、前記第3のダイ貫通ビアに結合される出力を有する第2のマルチプレクサと、さらなるマルチプレクサとを含み、前記さらなるマルチプレクサの各々は

50

、前記レジスタのうちの1つの出力に結合される入力を有し、前記プログラマブルロジックに結合される入力を有し、前記第1の複数のダイ貫通ビアのうちの1つの前記ダイ貫通ビアに結合される出力を有する、請求項6に記載の集積回路装置。

【請求項8】

前記複数のプローブパッドは、クロック信号に結合するように構成された第4のプローブパッドを含み、前記第4のプローブパッドは、前記複数のマルチプレクサのうちの各々の前記マルチプレクサに結合されるとともに、前記レジスタの各々に電氣的に結合される、請求項6または請求項7に記載の集積回路装置。

【請求項9】

前記ベースダイは、プログラマブルロジックデバイスを備える、請求項1から8のいずれかに記載の集積回路装置。

【請求項10】

試験のための方法であって、

半導体ウェハに、前記半導体ウェハの背面側に配置される複数のコンタクトと、プログラマブル集積回路ダイとを形成するステップを備え、前記プログラマブル集積回路ダイは、プログラマブルロジックと、前記プログラマブル集積回路ダイのテストロジックに結合される第1の複数のダイ貫通ビアと、前記テストロジックに直接的に結合される第1、第2および第3のプローブパッドを少なくとも含む複数のプローブパッドと、マルチプレクサとを含み、前記マルチプレクサは、前記プログラマブルロジックに結合される第1の入力と、第1のダイ貫通ビアによって前記第1のプローブパッドに結合される第2の入力と、前記複数のコンタクトのうちの1つのコンタクトに結合される出力と、第2のダイ貫通ビアによって前記第3のプローブパッドに結合される制御入力とを有し、

方法は、さらに、積層ダイを前記プログラマブル集積回路ダイの背面に接続するステップを備え、前記積層ダイは、前記プログラマブル集積回路ダイの前記テストロジックに結合して、前記積層ダイ中の第1のレジスタと前記プログラマブル集積回路ダイ中の第2のレジスタとを含むスキャンチェーンを形成するさらなるテストロジックを含み、

前記マルチプレクサは、前記プログラマブルロジックからの信号、または前記積層ダイへの入力のための前記第1のプローブパッドからのテスト入力を選択するように構成され、

方法は、さらに、

スタンドアロン試験装置を前記複数のプローブパッドに結合するステップと、

前記プログラマブル集積回路ダイを試験するために前記スタンドアロン試験装置を動作させるステップを備え、前記動作させるステップは、前記プログラマブル集積回路ダイの構成なしに実行される、方法。

【請求項11】

前記動作させるステップは、前記プログラマブル集積回路ダイの分離に先立って実行され、前記複数のプローブパッドのすべては、前記プログラマブル集積回路ダイの前記背面にある、請求項10に記載の方法。

【請求項12】

半導体ウェハに、第1の複数のダイ貫通ビアを含むプログラマブル集積回路ダイを形成する前記ステップは、

前記第1の複数のダイ貫通ビアを形成するステップと、

前記第1の複数のダイ貫通ビアが前記半導体ウェハの表面に露出する、ウェハを薄くする工程の間にハンドリングウェハによって前記半導体ウェハを支持するステップとを備え、

積層ダイを接続する前記ステップと、スタンドアロン試験装置を結合するステップと、前記スタンドアロン試験装置を動作させるステップとは、前記半導体ウェハを前記ハンドリングウェハから分離することなく実行される、請求項10または請求項11に記載の方法。

【請求項13】

10

20

30

40

50

前記スタンドアロン試験装置を動作させる前記ステップは、  
前記スタンドアロン試験装置から前記第3のプローブパッドへと制御信号を送信するステップと、  
前記スタンドアロン試験装置から前記第1のプローブパッドへとテストデータを送信するステップと、  
前記第2のプローブパッドから前記スタンドアロン試験装置へとテスト出力を送信するステップと、  
前記スタンドアロン試験装置で前記テスト出力を分析して欠陥を特定するステップとを含む、請求項10から12のいずれかに記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

発明の分野

本発明の実施の形態は、概して集積回路設計に関し、より特定的には、積層ダイ集積回路アセンブリを試験するための方法および装置に関する。

【背景技術】

【0002】

背景技術

プログラマブルロジックデバイス(PLD)は、特定の論理機能を実行するためにユーザによってプログラム可能であり得る、周知の種類の集積回路(IC)として存在する。プログラマブルロジックアレイ(PLA)およびコンプレックスプログラマブルロジックデバイス(CPLD)といったような、異なる種類のプログラマブルロジックデバイスが存在する。フィールドプログラマブルゲートアレイ(FPGA)として知られている、一種のプログラマブルロジックデバイスは、容量、柔軟性、製品化までの時間、およびコストの優れた組合せにより、非常に一般的である。

20

【0003】

FPGAは、典型的には、コンフィギュラブルロジックブロック(CLB)と、プログラマブル入力/出力ブロック(IOB)と、メモリ、マイクロプロセッサおよびデジタル信号プロセッサ(DSP)などといった他の種類のロジックブロックとを含む。CLB、IOB、および他のロジックブロックは、プログラマブルインターコネクト構造によって相互接続される。CLB、IOB、ロジックブロックおよびインターコネクト構造は、コンフィギュレーションデータのストリーム(ビットストリームとして知られる)を内部構成メモリエルにロードすることによって典型的にプログラムされ、コンフィギュレーションデータは、CLB、IOB、ロジックブロック、およびインターコネクト構造をどのように構成するかを定義する。

30

【0004】

半導体技術が進歩するにつれて、PLD上で利用可能な論理回路の量および速度は、I/O接続の数および性能に比べて急速に増加した。その結果、ICダイ積層技術が発展したが、ICダイ積層技術では2以上のICが垂直方向に積層されて、それらの間で相互接続がなされる。従来の積層ダイ製造プロセスにおいて、半導体製造プロセスステップは、「ベースダイ(base die)」と典型的に呼ばれるウェハ上の多数のダイを形成するために、ウェハで実行される。ダイ貫通ビアがウェハを貫通するように形成される。次に、そのダイ貫通ビアが露出するようにウェハが薄くされて、その露出したダイ貫通ビアと接続するコンタクトのグリッドアレイがウェハの背面に形成される。典型的には、コンタクトのグリッドアレイは、また、ベースダイをパッケージ基板に結合するために、そのベースダイの表面に形成される。次に、1以上の積層ダイが、マイクロバンプを用いて各々のベースダイの背面に接続される。

40

【0005】

積層ダイ製造プロセスがFPGAのようなプログラマブルロジックデバイスを形成する場合、そのFPGAダイは、ベースダイであり、積層ダイはさらなる機能を提供する素子

50

である。たとえば、積層ダイは、さらなる記憶装置を追加するメモリ素子であり得る。

【0006】

従来のFPGAウェハ試験は、典型的には、試験装置がベースダイの表面のコンタクトのグリッドアレイに接続するように、その試験装置をウェハの表面に接続することによって実行される。次に、プログラマブルロジックにビットストリームをロードすること、すなわちダイを「プログラムする」ことによって、各FPGAダイの構成が実行される。テストデータが次にベースダイの表面のコンタクトを通じてダイにロードされ、そのベースダイのテスト回路を通じて移動されて欠陥が特定される。

【0007】

以下の文献は対応する米国特許出願および/またはPCT出願の審査過程において引用されたものである。以下の文献は、本特許出願の審査の促進のために提示したものであって、本願の先行技術(prior art)とされるものではない。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】米国特許出願公開第2004/0178819号明細書

【特許文献2】米国特許出願公開第2004/0262635号明細書

【特許文献3】米国特許出願公開第2006/0220672号明細書

【特許文献4】米国特許出願公開第2007/0051949号明細書

【特許文献5】米国特許出願公開第2007/0152708号明細書

20

【特許文献6】米国特許出願公開第2008/0042140号明細書

【特許文献7】米国特許第5781031号明細書

【特許文献8】米国特許第5825080号明細書

【特許文献9】米国特許第6337579号明細書

【特許文献10】米国特許第6781226号明細書

【特許文献11】米国特許第6875921号明細書

【特許文献12】米国特許第6917219号明細書

【特許文献13】米国特許第7084478号明細書

【特許文献14】米国特許第7098542号明細書

【特許文献15】米国特許第7224184号明細書

30

【特許文献16】米国特許第7233061号明細書

【特許文献17】米国特許第7327592号明細書

【特許文献18】米国特許第7518398号明細書

【特許文献19】米国特許第7605458号明細書

【特許文献20】米国特許第7768123号明細書

【特許文献21】米国特許第7973555号明細書

【非特許文献】

【0009】

【非特許文献1】BALIGA, JOHN et al., Through-Silicon Technology, Applications Growing, March 1, 2005, pp. 1-3, available from Semiconductor International, 2000 Clearwater Drive, Oak Brook, IL 60523 or www.semiconductor.net

40

【非特許文献2】GARROU, PHILLIP, Future ICs Go Vertical, February 1, 2005, pp. 1-10, available from Semiconductor International, 2000 Clearwater Drive, Oak Brook, IL 60523 or www.semiconductor.net

【非特許文献3】GUARINI, K. W. et al., "Electrical Integrity of State-of-the-Art 0.13  $\mu\text{m}$  SOI CMOS Devices and Circuits Transferred for Three-Dimensional (3D) Integrated Circuit (IC) Fabrication," Proc. of the 2002 IEEE International Electron Devices Meeting (IEDM '02), December 8-11, 2002, pp. 943-945, San Francisco, California, USA

【非特許文献4】IEONG, MEIKEL et al., "Three Dimensional CMOS Devices and Integ

50

rated Circuits, Proc. of the 2003 IEEE Custom Integrated Circuits Conference, September 21-24, 2003, pp. 207-213, San Jose, California, USA

【非特許文献5】RAHMAN, A. et al., "Die Stacking Technology for Terabit Chip-to-Chip Communications," Proc. of the 2006 IEEE Custom Integrated Circuits Conference, September 10-13, 2006, pp. 587-590, San Jose, California, USA

【発明の概要】

【発明が解決しようとする課題】

【0010】

従来の試験プロセスは、分離に先立って、欠陥のある積層ダイアセンブリを特定するために有効であるが、そのプロセスは時間を消費する。特に、構成プロセスは、かなりの量の時間を要し、その結果、製造コストを上昇させる。したがって、当該技術において、積層ダイアセンブリのより効率的な試験を可能にする方法および装置に対する必要性が存在する。

10

【課題を解決するための手段】

【0011】

概要

集積回路装置が開示され、集積回路装置は積層ダイとベースダイとを含み、ベースダイは、そのベースダイの背面に配置された第1の複数のコンタクトと、ベースダイの表面に配置された第2の複数のコンタクトと、前記第1の複数のコンタクトに結合されるとともにベースダイのプログラマブルロジックと結合される第1の複数のダイ貫通ビアとを有する。さらに、集積回路装置は複数のプローブパッドを含み、複数のプローブパッドは、テスト入力に結合されるように構成された第1のプローブパッドと、テスト出力に結合するように構成された第2のプローブパッドと、制御信号に結合するように構成された第3のプローブパッドとを含む。集積回路装置は、また、テストロジックを含み、テストロジックは、集積回路装置の試験のためのスキャンチェーンを実現するために、積層ダイのさらなるテストロジックに結合するように構成される。本発明の局面に従うと、スキャンチェーンを実現するためのベースダイと積層ダイとの間でのテスト入力、テスト出力および制御信号の結合に、プログラマブルロジックの構成が必要とされないように、第1のプローブパッドと、第2のプローブパッドと、第3のプローブパッドとはテストロジックに直接的に結合される。

20

30

【0012】

いくつかの実施の形態において、複数のプローブパッドのうちすべてのプローブパッドは、ベースダイの背面に配置され得る。他の実施の形態において、複数のプローブパッドのうちすべてのプローブパッドは、ベースダイの表面に配置され得る。さらに別の実施の形態において、複数のプローブパッドは、ベースダイの背面に配置された第1の複数のプローブパッドと、ベースダイの表面に配置された第2の複数のプローブパッドとを含み得る。

【0013】

いくつかの実施の形態において、第1のプローブパッドと、第2のプローブパッドと、第3のプローブパッドとはベースダイの背面に配置され得る。ベースダイは、集積回路ダイの試験のために割当てられた、第2の複数のダイ貫通ビアを含み得る。第2の複数のダイ貫通ビアは、テスト入力への結合のために第1のプローブパッドと電気的に結合される第1のダイ貫通ビアと、テスト出力への結合のために第2のプローブパッドと電気的に結合される第2のダイ貫通ビアと、制御信号への結合のために第3のプローブパッドと電気的に結合される第3のダイ貫通ビアとを含み得る。テストロジックは、複数のプローブパッドのうち各々のプローブパッドに結合され、第1の複数のダイ貫通ビアのうち各々のダイ貫通ビアに結合され、第2の複数のダイ貫通ビアのうち各々のダイ貫通ビアに結合され得る。

40

【0014】

テストロジックは、複数のマルチプレクサを含み得るが、複数のマルチプレクサのうち

50

の各々のマルチプレクサは、制御信号を受信するために第3のダイ貫通ビアに電氣的に結合され、複数のマルチプレクサのうちの各々のマルチプレクサは、第1の複数のダイ貫通ビアのうちの1つのダイ貫通ビアに結合される。テストロジックは、また複数のレジスタを含み得るが、複数のレジスタのうちの各々のレジスタは、第1の複数のダイ貫通ビアのうちの1つのダイ貫通ビアに結合される入力を含み、複数のレジスタのうちの各々のレジスタは、複数のマルチプレクサのうちの1つのマルチプレクサの入力に結合される出力を含む。

【0015】

いくつかの実施の形態において、複数のマルチプレクサは、第1のダイ貫通ビアに結合される入力を有する第1のマルチプレクサと、第2のダイ貫通ビアに結合される出力を有する第2のマルチプレクサと、さらなるマルチプレクサとを含み得る。さらなるマルチプレクサの各々は、レジスタのうちの1つの出力に結合される入力と、プログラマブルロジックに結合される入力と、第1の複数のダイ貫通ビアのうちの1つのダイ貫通ビアに結合される出力とを有し得る。

10

【0016】

いくつかの実施の形態において、複数のプローブパッドは、クロック信号と結合するように構成された第4のプローブパッドを含み得るが、第4のプローブパッドは複数のマルチプレクサのうちの各々のマルチプレクサに結合されるとともに、各々のレジスタに電氣的に結合される。

【0017】

ベースダイは、たとえば、フィールドプログラマブルゲートアレイのようなプログラマブルロジックデバイスであり得る。

20

【0018】

集積回路ダイが半導体ウェハに形成された場合の試験のための方法が開示される。集積回路ダイは、集積回路ダイのテストロジックと結合された複数のダイ貫通ビアと、テストロジックに直接的に結合された複数のプローブパッドとを含む。方法は、積層ダイを集積回路ダイの背面に接続するステップを含み、積層ダイは、集積回路ダイのテストロジックに結合されるさらなるテストロジックを含む。スタンドアロン試験装置がプローブパッドに結合されて、スタンドアロンテスト装置は集積回路ダイのルーティング構造を構成することなく、集積回路ダイを試験するために動作し得る。

30

【0019】

いくつかの実施の形態において、複数のプローブパッドのすべては、プログラマブル集積回路ダイの背面にあり、動作するステップは、プログラマブル集積回路ダイの分離に先立って実行され得る。

【0020】

いくつかの実施の形態において、半導体ウェハに、複数のダイ貫通ビアを含むプログラマブル集積回路を形成するステップは、複数のダイ貫通ビアを形成するステップと、複数のダイ貫通ビアが露出される、ウェハを薄くする処理の間に、ハンドリングウェハによってウェハを支持するステップを含み得る。積層ダイを接続するステップ、スタンドアロン試験装置を結合するステップ、およびスタンドアロン試験装置を動作させるステップは、半導体ウェハをハンドリングウェハから分離することなく実行され得る。

40

【0021】

いくつかの実施の形態において、プログラマブル集積回路ダイは、第1のプローブパッドと、第2のプローブパッドと、第3のプローブパッドとを含む。スタンドアロン試験装置を動作させるステップは、スタンドアロン試験装置から第3のプローブパッドへと制御信号を送信するステップと、スタンドアロン試験装置から第1のプローブパッドへとテストデータを送信するステップと、第2のプローブパッドからスタンドアロン試験装置へとテスト出力を送信するステップと、スタンドアロン試験装置でテスト出力を分析して欠陥を特定するステップとを含み得る。

【0022】

50

本発明の方法および装置は、ベースダイの構成を必要とすることのない、ベースダイおよび積層ダイの試験を提供する。それにより、試験処理は、ベースダイの構成を必要とする従来の処理に比べて大幅に少ない時間を要し、製造時間を節約し、その結果コストの節約をもたらす。本発明のこれらのおよび他の利点は、さまざまな図に示される、以下に続く好ましい実施の形態の詳細な説明を読んだ後の当業者にとって明らかとなるであろう。

### 【0023】

#### 図面の簡単な説明

添付の図面は、本発明の1以上の局面に従う例示的な実施の形態を示す。しかしながら、添付の図面は、示された実施の形態に本発明を制限するものとされるべきではなく、説明および理解のためのみのものである。

### 【図面の簡単な説明】

### 【0024】

【図1】ベースダイと、ベースダイに結合される積層ダイとを含む例示的な積層ダイアセンブリを示すブロック図である。

【図2】例示的なフィールドプログラマブルゲートアレイアーキテクチャを示すブロック図である。

【図3】例示的なインターフェイスタイルを示すブロック図である。

【図4】インターフェイスタイルと積層ダイとの間の接続を示す例示的なインターフェイスタイルのより詳細な実施の形態を示すブロック図である。

【図5】ベースダイの背面に位置するプローブパッドが、入力および出力をベースダイのテストロジックおよび積層ダイの対応するテストロジックに結合する、例示的な実施の形態を示すブロック図である。

【図6】積層ダイアセンブリを試験するための例示的な方法を示す図である。

【図7】ベースダイの表面に位置するプローブパッドがベースダイのテストロジックに結合する、例示的な実施の形態を示すブロック図である。

【図8】プローブパッドがベースダイの背面およびベースダイの表面の両方に位置する、例示的な実施の形態を示すブロック図である。

【図9】プローブパッドがベースダイの背面およびベースダイの表面の両方に位置し、コンフィギュラブルテストロジックがテストを実行するために用いられ得る、例示的な実施の形態を示すブロック図である。

### 【発明を実施するための形態】

### 【0025】

#### 詳細な説明

図1は、集積回路装置100を示し、集積回路装置100はベースダイ101と、ベースダイ101の背面に結合される積層ダイ102とを含む。ベースダイ101は、ベースダイ101の背面に形成された第1の組のコンタクト107と、ベースダイ101の表面に形成された第2の組のコンタクト106とを含む。この実施の形態において、積層ダイ102は、積層ダイ102の表面がベースダイ101の背面に実装され、ダイ101~102の両方がフリップチップ方式において表を下にして実装されるようにベースダイ101に垂直に積層される。

### 【0026】

1つの実施の形態において、コンタクト107はコンタクトのグリッドアレイであり、そのグリッドアレイは、マイクロバンプを用いて積層ダイ102の対応するコンタクトのグリッドアレイ108と結合される。ベースダイ101および積層ダイ102は、任意の種類デジタル、アナログ、または混合シグナル集積回路装置であり得る。1つの実施の形態において、ベースダイ101は積層ダイ102よりも大幅に大きな表面領域を有し、1よりも多くの積層ダイ102がベースダイ101の背面に結合される。

### 【0027】

ベースダイ101はトランジスタによって象徴的に示される選択的回路105を含み、選択的回路105は、半導体基板103に形成される。選択的回路105は、特定用途向

10

20

30

40

50



け集積回路装置、デジタル信号プロセッサなどを含むがこれに限定されない、任意の多数の異なる種類の集積回路装置を形成し得る。この実施の形態において、ベースダイ101はたとえばフィールドプログラマブルゲートアレイ(FPGA)ロジックデバイスのようなプログラマブルロジックデバイスである。この実施の形態において、ベースダイ101は選択的回路105を含み、選択的回路105は、ベースダイ101および積層ダイ102の通常の動作の間にベースダイ101に対する入力および出力を提供するためのコンタクト106~107に結合するプログラマブルロジックを含む。ダイ貫通ビア121~128, 131~133が半導体基板103を貫通する。第1の組のダイ貫通ビア121~128はコンタクトパッド107に結合し、ダイ貫通ビア121~128のいくつかまたはすべては、ベースダイ101のプログラマブルロジックに結合される。

10

#### 【0028】

図1を続けて、ベースダイ101はベースダイ101の背面に配置されるプローブパッド111~116を含む。第1のプローブパッド、すなわちテスト入力プローブパッド111は、テスト入力に結合するよう構成される。第2のプローブパッド、すなわちテスト出力プローブパッド112は、テスト出力に結合するよう構成される。第3のプローブパッド、すなわちテスト制御プローブパッド113は、制御信号に結合するよう構成される。プローブパッド114~116のような、さらなるプローブパッドは、他のテスト関連信号を、ベースダイ101および積層ダイ102に結合する。

#### 【0029】

ダイ貫通ビア131~133として表わされる第2の組のダイ貫通ビアは、ベースダイ101の試験に割当てられる。第2の組のダイ貫通ビアは、テスト入力に結合するためのプローブパッド111に接続された第1のダイ貫通ビア131と、テスト出力に結合するためのプローブパッド112に接続された第2のダイ貫通ビア132と、制御信号に結合するためのプローブパッド113に接続された第3のダイ貫通ビア133とを含む。

20

#### 【0030】

ベースダイ101はまた、トランジスタによって象徴的に表わされるテストロジック104を含み、テストロジック104は、半導体基板103に形成される。テストロジック104は集積回路装置100の試験のためのスキャンチェーンを実現するために積層ダイ102のさらなるテストロジックに結合されるよう構成される。さらに、プローブパッド111~113は、スキャンチェーンを実現するためのベースダイ101と積層ダイ102との間でのテスト入力、テスト出力および制御信号の結合に、プログラマブルロジックの構成が必要とされないように、テストロジックに直接的に結合される。

30

#### 【0031】

この発明の実施の形態は、ベースダイ101の表面に配置されたプローブパッド141~144を含む。第1のプローブパッド、すなわちテスト入力プローブパッド141は、テスト入力に結合するよう構成される。第2のプローブパッド、すなわち出力プローブパッド142は、テスト出力に結合するよう構成される。第3のプローブパッド、すなわちテスト制御プローブパッド143は、制御信号に結合するよう構成される。例示的なプローブパッド144のような、さらなるプローブパッドは、他のテスト関連信号をベースダイ101および積層ダイ102に結合し得る。

40

#### 【0032】

この実施の形態において、集積回路装置100はパッケージ基板150を用いてパッケージングされ、パッケージ基板150は、コンタクト106と対応するコンタクト109を含む。コンタクト106および109は、はんだボールによってともに結合される、対応するコンタクトパッドのグリッドアレイであり得る。コンタクトパッド106-109は、集積回路装置100の通常の動作を可能とするために、ベースダイ101と、積層ダイ102と、パッケージ基板150とをともに結合する。

#### 【0033】

図1では、ベースダイ101の背面にあり、対応するマイクロバンプと結合するコンタクト107を含むように示される。しかしながら、その代わりに、コンタクト107の必

50

要性をなくして、マイクロバンプがダイ貫通ビア121～128に直接的に結合し得ることが明らかである。

【0034】

図2に示された実施の形態において、ベースダイ101は、FPGAアーキテクチャ200を有するFPGAダイである。FPGAアーキテクチャ200は、多数の異なるプログラマブルタイルを含み、上記異なるプログラマブルタイルは、マルチギガビットトランシーバ(MGT201)、コンフィギュラブルロジックブロック(CLB202)、ランダムアクセスメモリブロック(BRAM203)、入力/出力ブロック(IOB204)、コンフィギュレーションおよびクロッキングロジック(CONFIG/CLOCKS205)、デジタル信号処理ブロック(DSP206)、専用入力/出力ブロック(I/O207)(たとえばコンフィギュレーションポートおよびクロックポート)、ならびに、デジタルクロックマネージャ、アナログ-デジタル変換器、システムモニタロジックなどのその他のプログラマブルロジック208を含む。いくつかのFPGAは、また、専用プロセッサブロック(PROC210)を含み得る。

10

【0035】

いくつかのFPGAでは、各々のプログラマブルタイルは、各々の隣接するタイル中の対応のインターコネク要素への、およびそれからの標準化された接続部を有するプログラマブルインターコネク要素(INT211)を含む。したがって、プログラマブルインターコネク要素は、図示されるFPGAのためのプログラマブルインターコネク構造を共に実現する。プログラマブルインターコネク要素(INT211)は、図2の上部に含まれる例によって示されるように、同じタイル内にプログラマブルロジック素子への、およびそれからの接続部も含む。

20

【0036】

たとえば、CLB202は、単一のプログラマブルインターコネク要素(INT211)と共にユーザロジックを実現するようにプログラム可能なコンフィギュラブルロジック要素(CLE212)を含むことができる。BRAM203は、1以上のプログラマブルインターコネク素子に加えて、BRAMロジック要素(BRL213)を含むことができる。典型的には、1つのタイルに含まれるインターコネク要素の数は、このタイルの高さに依存する。図示される実施の形態では、BRAMタイルは5つのCLBと同じ高さを有するが、他の数(たとえば6つ)を用いることも可能である。DSPタイル206は適切な数のプログラマブルインターコネク要素に加えてDSPロジック要素(DSPLE214)を含むことができる。IOB204は、たとえば、プログラマブルインターコネク要素(INT211)の1つのインスタンスに加えて入力/出力ロジック要素(IOL215)の2つのインスタンスを含むことができる。当業者には明らかなように、たとえばI/Oロジック要素215に接続される実際のI/Oパッドは、図示されているさまざまなロジックブロックよりも上に積層される金属を用いて製造され、典型的に、入力/出力ロジック要素215の領域に限られない。

30

【0037】

図示された実施の形態において、ダイの中心近くの列領域(図2において影付きで示す)は、構成、クロックおよび他の制御ロジックのために用いられる。この列から延在する水平方向の領域209は、FPGAの幅に亘ってクロック信号およびコンフィギュレーション信号を分配するのに用いられる。

40

【0038】

図2に図示されたアーキテクチャを利用するいくつかのFPGAは、FPGAの大部分を形成する規則的な列構造(columnar structure)を分離する、さらなるロジックブロックを含む。さらなるロジックブロックは、プログラマブルブロックおよび/または専用ロジックであり得る。たとえば、図2に示されたプロセッサブロック(PROC210)は、CLBおよびBRAMのいくつかの列に広がる。

【0039】

なお、図2は、ある例示的なFPGAアーキテクチャを図示することしか意図していな

50

い。1列の中のロジックブロックの数、列の相対的な幅、列の数および順序、列に含まれるロジックブロックの種類、ロジックブロックの相対的なサイズ、ならびに図2の上部に含まれるPROC210およびインターコネクト/ロジック実現例は、純粹に例示的なものである。たとえば、実際のFPGAでは、CLBの2つ以上の隣接するコラムは、CLBが現れる場所であればどこでも典型的に含まれて、ユーザロジックの効率的な実現を容易にするが、隣接するCLBコラムの数はFPGAの全体的なサイズによって変化する。

【0040】

FPGA200は、また、1つの列に配置された1以上のインターフェイススタイル250を含む。本実施の形態において、インターフェイススタイル250は、プログラブル異種統合(PHI)タイルと呼ばれうるが、FPGA200のダイの背面に積層された1以上の集積回路ダイへの相互接続のために動作可能である。示された実施の形態では、FPGAアーキテクチャ200は、インターフェイススタイル250の単一の列を含む。インターフェイススタイル250の単一の列のみが示されているが、FPGAアーキテクチャ200は、一般に、1以上の列のインターフェイススタイル250を含み得ることが理解されるべきである。他の実施の形態において、FPGA200は、全体の列よりも少ない列のインターフェイススタイル250を含み得る。

10

【0041】

本実施の形態において、各インターフェイススタイル250は、適切な数のプログラブルインターコネクト要素に加えて、プログラブルロジック要素251を含み、プログラブルロジック要素251は、以後、プログラブル異種ロジック要素(PHIL)と呼ばれうる。

20

【0042】

図3に示される実施の形態において、例示的なインターフェイススタイル250が示され、インターフェイススタイル250は1以上のプログラブルインターコネクト要素211と、プログラブルロジック要素251とを含み、プログラブルロジック要素251は、コンフィギュラブルロジック要素212と、インターフェイス回路304と、選択ロジック308と、複数のダイ貫通ビア310とを含む。インターフェイススタイル250は、FPGAのルーティング構造314へのインターフェイス312を含む。インターフェイス312は、FPGAルーティング構造314の部分形成するさまざまなルーティング導通部分を含む。インターフェイススタイル250は、積層ダイ102に対するインターフェイス316を含み、インターフェイス316は、たとえば、図1に示された方式におけるマイクロバンプを用いて積層ダイ102の導電性インターコネクトと電気的に結合されるコンタクト107を含み得る。

30

【0043】

プログラブルインターコネクト要素211の各々は、プログラブル多重構造を含み、プログラブル多重構造は、インターフェイススタイル250をインターフェイス312のルーティング導通部分に結合させる。コンフィギュラブルロジック要素212は、ロジックの1以上のスライスを含み、ロジックは、ルックアップテーブル(LUT)、マルチプレクサ、フリップフロップなどを有する。

【0044】

40

インターフェイス回路304は、ダイ貫通ビア310を通じてFPGAルーティング構造314と積層ダイ102との間の通信を容易にする。1つの実施の形態において、ダイ貫通ビア310はダイ貫通ビア121~128を含み、インターフェイス回路316はコンタクト107を含む。選択ロジック308はプログラブルロジックタイル(たとえばCLB)の機能とインターフェイス機能との間でインターフェイススタイル250の機能を選択的に変化させるように構成される。本実施の形態において、インターフェイス機能は、集積回路ダイ102をルーティング構造314に動作可能に結合する。たとえば、選択ロジック308は、FPGAルーティング構造314から受信した信号がコンフィギュラブルロジック要素212に結合され、コンフィギュラブルロジック要素212によって生成された信号がFPGAルーティング構造314に結合されるように構成され得る。すな

50

わち、選択ロジック308はインターフェイススタイル250をCLBタイル(たとえばCLB202)と同様に動作させる。その代わりに、選択ロジック308は、FPGAルーティング構造314から受信した信号が積層ダイ102に(インターフェイス回路304およびダイ貫通ビア310を通じて)結合され、積層ダイ102によって生成された信号がFPGAルーティング構造314に(インターフェイス回路304およびダイ貫通ビア310を通じて)結合されるように構成され得る。すなわち、選択ロジック308は、インターフェイススタイル250を、FPGAルーティング構造314と積層ダイ102との間のインターフェイスとして動作させる。選択ロジック308によって実現されるような、インターフェイススタイル250の機能は、FPGAのメモリセルの構成(図示せず)によって、またはインターネットタイル250の外部または内部の制御信号によって制御され得る。

10

**【0045】**

いくつかの実施の形態において、インターフェイス回路304は電圧レベル変換を与える。いくつかの場合では、インターフェイススタイル250とFPGAとは、積層ダイ102とは異なる供給電圧を用いて動作し得る。この実施の形態において、インターフェイス回路304はFPGAルーティング構造314から発せられて、積層ダイ102へ向けられた信号の電圧を、積層ダイ102により要求される電圧へと変換する。同様に、インターフェイス回路304は、積層ダイ102から発せられてFPGAルーティング構造314へ向けられた信号の電圧をFPGAによって要求される電圧へと変換する。いくつかの実施の形態において、インターフェイス回路304はまた、FPGAルーティング構造314から積層ダイ102へと結合された信号および積層ダイ102からFPGAルーティング構造314へと結合された信号の記録を提供する。

20

**【0046】**

図3を続けて、インターフェイス回路304はテストロジック305を含む。さらに、インターフェイススタイル250は、テストロジック305に直接的に結合されるプローブパッド306を含む。1つの実施の形態において、プローブパッド306の各々はテストロジック305の回路に接続される1以上の配線部分に接続される。プローブパッド306をテストロジック305に直接的に結合させることにより、プローブパッド306を通じて結合される信号はFPGAルーティング構造を通す必要がない。したがって、信号をテストロジック305に結合して集積回路装置の試験のためのスキャンチェーンを形成するために、構成を実行する必要がない。

30

**【0047】**

1つの実施の形態において、プローブパッド306のすべては集積回路装置の背面にある(たとえば図1のコンタクトパッド111~116)。この実施の形態は、試験装置がプローブパッド306に結合するように試験装置をウェハの背面に結合させることによって、集積回路装置の試験を可能にし、ベースダイの分離に先立ち、インターフェイススタイル250またはルーティング構造314のプログラマブルロジックの構成を必要とすることなく、ベースダイと積層ダイとの間の接続を容易に試験することを可能にする。

**【0048】**

別の実施の形態において、プローブパッド306のすべては集積回路装置の表面にある(たとえば図1のコンタクトパッド141~144)。この実施の形態は、試験装置がプローブパッド306に結合するように試験装置をウェハの前面に結合させることによって、集積回路装置の試験を可能にし、ベースダイの分離に先立ち、インターフェイススタイル250またはルーティング構造314のプログラマブルロジックの構成を必要とすることなく、ベースダイと積層ダイとの間の接続を容易に試験することを可能にする。

40

**【0049】**

さらに別の実施の形態において、プローブパッド306は集積回路装置の背面にある第1の組のプローブパッド(図1のプローブパッド111~116)と、集積回路装置の表面に配置される第2の組のプローブパッド(たとえば図1のプローブパッド141~144)とを含む。両方の組のプローブパッドはテストロジック305に直接的に結合される

50

。これは、試験装置をウェハの背面またはウェハの表面のいずれかに結合させることによって集積回路装置の試験を可能にする。それにより、試験が実行されるときに最も容易にアクセス可能なウェハのいずれかの側に試験装置を接続させることによって、試験を容易に実現することができる。これはプローブパッド306にアクセスするためにウェハをひっくり返す必要なく試験を行なうことを可能にする。

【0050】

いくつかの実施の形態において、プローブパッド306のいくつかはダイ貫通ビア310を通じてテストロジック305に結合される。より特定的には、個々のプローブパッド306は、ダイ貫通ビア310の一方端に接続される1以上の配線部分に接続し得るとともに、ダイ貫通ビア310の他方端はテストロジック305の回路に接続する1以上の配線部分に接合し得る。

10

【0051】

1つの実施の形態において、プローブパッド306は集積回路装置の背面に配置されて、ダイ貫通ビア310は第1の組のダイ貫通ビアと第2の組のダイ貫通ビアとを含む。第1の組のダイ貫通ビア（たとえばダイ貫通ビア121～128）は、集積回路装置の通常の動作の間にプログラマブル回路と積層ダイとの間で信号を結合する。第2の組のダイ貫通ビア（たとえばダイ貫通ビア131～133）は、試験のために割当てられて、1以上のプローブパッド306をテストロジック305に結合する。

【0052】

図4は、例示的なインターフェーススタイル250を示し、インターフェーススタイル250は、積層ダイ102の通常の動作の間にインターフェーススタイル250を積層ダイ102に結合する第1の組のビア428～432と、試験に割当てられた第2の組のダイ貫通ビア434～435とを含む。この実施の形態において、ビアの組は、例示的なビア435によって表わされるが、テストロジック305を対応するテストロジック405に結合し、例示的なビア434によって表わされる異なる組のビアは、プローブパッド306をテストロジック305に直接的に接続するために、プローブパッド306に結合する。

20

【0053】

図4を続けて、インターフェーススタイル250は、また、入力多重ロジック（IMUX402）と、出力多重ロジック（OMUX404）と、スリーステートバッファ406、408、410、412と、レジスタロジック414、416と、レベル変換回路418、420と、テストロジック305と、スライスロジック426と、ダイ貫通ビア428、430、432とを含む。図3に関し、スリーステートバッファ406～412は選択ロジック308を備える。レジスタロジック414～416と、レベル変換回路418～420と、テストロジック305とはインターフェイス回路304を備える。IMUX402とOMUX404とはプログラマブルインターコネクト要素211を備える。スライスロジック426はコンフィギュラブルロジック要素312を備える。

30

【0054】

IMUX402の入力はFPGAルーティング構造314に結合される。IMUX402の出力はスリーステップバッファ406、408の入力にそれぞれ結合される。IMUX402の出力は例示されるようにN端子を含むが、Nは0より大きい整数である（すなわちIMUX402はNのマルチプレクサを含む）。IMUX402は、FPGAルーティング構造の選択されたルーティング導通体をスリーステートバッファ406、408に結合するように構成される。

40

【0055】

スリーステートバッファ406の出力はスライスロジック426の入力に結合される。スライスロジック426は複数のスライスを含む。それらのスライスの各々は、LUT、フリップフロップ、組合せロジックなどを含むさまざまなロジック要素を含む。スリーステートバッファ408の出力はレジスタロジック414の入力に結合される。レジスタロジック414は複数のレジスタ（たとえばフリップフロップ）を含む。たとえば、レジスタロジック414はNのフリップフロップを含み得るが、それはIMUX402の出力の

50

各端子のためのものである。

【 0 0 5 6 】

スリーステートバッファ 4 0 6 の制御入力は、信号enable\_sliceを受信するように構成される。スリーステートバッファ 4 0 8 の制御入力は、信号enable\_PHIを受信するように構成される。信号enable\_sliceおよび信号enable\_PHIは、外部からインターフェイスタイル 2 5 0 へと生成され得るか、またはコンフィギュレーションメモリセルによって設定され得る。信号enable\_sliceが有効であるならば、IMUX 4 0 2 の出力はスライスロジック 4 2 6 に結合される。信号enable\_sliceが無効であるならば、スリーステートバッファ 4 0 6 はスライスロジック 4 2 6 に対して高インピーダンス出力を提供する。同様に、信号enable\_PHIが有効であるならば、IMUX 4 0 2 の出力はレジスタロジック 4 1 4 に結合される。信号enable\_PHIが無効であるならば、スリーステートバッファ 4 0 8 はレジスタロジック 4 1 4 に対して高インピーダンス出力を提供する。この方式において、信号enable\_sliceと信号enable\_PHIとは、IMUX 4 0 2 がスライスロジック 4 2 6 および/またはレジスタロジック 4 1 4 を駆動するか否かを制御する。1つの実施の形態において、スリーステートバッファ 4 0 6 および 4 0 8 は、IMUX 4 0 2 がスライスロジック 4 2 6 またはレジスタロジック 4 1 4 のいずれかを駆動するように構成される。

10

【 0 0 5 7 】

スライスロジック 4 2 6 の出力は、スリーステートバッファ 4 1 0 の入力に結合される。スライスロジック 4 2 6 の出力は例示的に示されるようにMの端子を有し、Mは0より大きい整数である。スリーステートバッファ 4 1 0 の出力はOMUX 4 0 4 の入力に結合される。OMUX 4 0 4 はMのマルチプレクサを含む。スリーステートバッファ 4 1 2 の出力はレジスタロジック 4 1 6 の入力に結合される。レジスタロジック 4 1 6 の出力はOMUX 4 0 4 の入力に結合される。レジスタロジック 4 1 6 は複数のレジスタ(たとえばフリップフロップ)を含む。たとえば、レジスタロジック 4 1 6 はMのフリップフロップを含み得る。スリーステートバッファ 4 1 0 の制御入力は、信号enable\_sliceを受信するように構成される。スリーステートバッファ 4 1 2 の制御入力は、信号enable\_PHIを受信するように構成される。スリーステートバッファ 4 1 0 , 4 1 2 は、スリーステートバッファ 4 0 6 , 4 0 8 と同様の方式で動作する。OMUX 4 0 4 の出力はFPGAルーティング構造 3 1 4 に結合される。

20

【 0 0 5 8 】

スリーステートバッファ 4 1 0 ~ 4 1 2 を用いることにより、インターフェイスタイル 2 5 0 はCLB、または積層ダイ 1 0 2 に相互接続するインターフェイスタイルとして機能し得る。スリーステートバッファ 4 1 6 , 4 1 0 は、有効になり得て、入力信号をIMUX 4 0 2 からスライスロジック 4 2 6 を通過させて、出力信号をスライスロジック 4 2 6 からOMUX 4 0 4 へと通過させる。代わりに、スリーステートバッファ 4 0 8 , 4 1 2 が有効になり得て、入力信号をIMUX 4 0 2 からレジスタロジック 4 1 4 、レベル変換回路 4 1 8 、テストロジック 3 0 5 、ダイ貫通ビア 4 2 8 を通じて積層ダイ 1 0 2 の回路 4 5 2 へと通過させ、ダイ貫通ビア 4 3 0 、テストロジック 3 0 5 、レベル変換回路 4 2 0 およびレジスタロジック 4 1 6 からOMUX 4 0 4 へと出力信号を通過させる。

30

【 0 0 5 9 】

レジスタロジック 4 1 4 の出力はレベル変換回路 4 1 8 の入力に結合される。レベル変換回路 4 1 8 の出力はテストロジック 3 0 5 を通じてダイ貫通ビア 4 2 8 に結合される。ダイ貫通ビア 4 2 8 は積層ダイ 1 0 2 において回路 4 5 2 と電気的に結合される。積層ダイ 1 0 2 は、インターフェイスタイル 2 5 0 を含むFPGAダイの、ダイの背面に電気的かつ機械的に結合される。本実施の形態において、ダイ貫通ビア 4 3 4 , 4 3 5 はインターフェイスタイル 2 5 0 の一部である。しかしながら、その代わりに、ダイ貫通ビア 4 3 4 , 4 3 5 はインターフェイスタイル 2 5 0 に対して外部に位置してもよい。直線 4 9 9 は、インターフェイスタイル 2 5 0 を含むFPGAダイと、積層ダイ 1 0 2 との間の境界を定める。

40

【 0 0 6 0 】

50

レベル変換回路418の1つの入力、電源電圧VDD2を受信するように構成される。FPGA（および、したがってインターフェイス250）が電源電圧VDD1を用いて動作し、積層ダイ102の回路452が電源電圧VDD2を用いて動作するものとする。レベル変換回路418は、レジスタロジック414から受信した信号の電圧をVDD1からVDD2へと変換するように構成される。これは、レジスタロジック414によって供給された信号が、回路452を適切に駆動することを可能にする。レベル変換回路420のもう1つの入力、電源電圧VDD1を受けするように構成される。レベル変換回路420は、第2のダイ218における回路452から受信した信号の電圧をVDD2からVDD1へと変換するように構成される。これは、第2のダイ218によって供給された信号が、VDD1の電源電圧を用いるFPGAにおける回路を適切に駆動することを可能にする。

10

**【0061】**

本実施例において、ダイ貫通ビア428は、積層ダイ102中の回路452にNの信号を供給するためのNのダイ貫通ビアを含む。本実施の形態において、ダイ貫通ビア430は、積層ダイ102中の回路452からMの信号を受信するためのMのダイ貫通ビアを含む。ダイ貫通ビア430は、インターフェイス250を含むFPGAダイの背面に電気的かつ機械的に結合される。レベル変換回路420の入力はダイ貫通ビア430に電気的に結合される。レベル変換回路420の出力はスリーステートバッファ412の入力に結合される。

**【0062】**

20

図5は、テストロジック305および405の例示的な実施の形態を示すブロック図である。直線499は、ベースダイ101と積層ダイ102との間の境界を定める。本実施例において、ベースダイ101はプログラマブルロジック550を含むFPGAダイである。図3に示された実施の形態において、プログラマブルロジック550はプログラマブルインターコネクト要素211とFPGAルーティン構造314とを含む。図2に示された実施の形態において、プログラマブルロジック550はFPGAアーキテクチャ200のいくつかまたはすべての特徴を含む。FPGAダイ中のプログラマブルロジック550は、コンタクトパッド107~108を通じて積層ダイ102のロジック552に結合される。

**【0063】**

30

テストロジック305は例示的なマルチプレクサ511~514によって表わされる複数のマルチプレクサを含み、マルチプレクサ511~514の各々は制御信号を受信するための第3のダイ貫通ビア133を介して電気的に結合される。マルチプレクサ511~514の各々はダイ貫通ビア428~430の1つに結合される。

**【0064】**

テストロジック305は例示的なレジスタ521~522によって表わされる複数のレジスタを含む。レジスタ521~522の各々は、ダイ貫通ビア430の1つに結合される入力を含み、レジスタ521~522の各々はマルチプレクサ512~513の1つの入力に結合されるとともにプログラマブルロジック550に結合される出力を含む。本実施の形態において、第1のマルチプレクサ511は、ダイ貫通ビア131に結合される入力と、プログラマブルロジック550に結合される入力と、ダイ貫通ビア428に結合される出力とを含む。第2のマルチプレクサ514は、ダイ貫通ビア132に結合される出力と、プログラマブルロジック550に結合される出力と、ダイ貫通ビア430に結合される入力とを有する。さらなるマルチプレクサ512は、レジスタ521の出力に結合される入力と、ロジック550に結合される入力と、ダイ貫通ビア428に結合される出力とを有する。同様に、さらなるマルチプレクサ513は、レジスタ522の出力に結合される入力と、ロジック550に結合される入力と、ダイ貫通ビア428に結合される出力とを有する。

40

**【0065】**

図5を続けて、テストロジック405は、レジスタ561~563とマルチプレクサ5

50

71～573とを含む。レジスタ561～563の各々は、ダイ貫通ビア428に結合される入力を含み、レジスタ561～563の各々は、マルチプレクサ571～573の1つの入力と、ロジック552に結合される出力を含む。マルチプレクサ571～573の各々は、ロジック552に結合される入力と、コンタクト107～108を介してダイ貫通ビア430に結合される出力とを有する。

【0066】

本実施の形態において、レジスタ521～522, 561～563の各々は単一のフリップフロップを含む。しかしながら、レジスタ521～522, 561～563の他の構成もまた用いられ得ることが明らかである。さらに、図5は2つのさらなるマルチプレクサ512～513および2つのレジスタ521～522を示すが、本発明の他の実施の形態は、より多くの組のレジスタ521～522およびマルチプレクサ512～513を含むであろう。さらに、各々のベースダイ101は、個々のスキャンチェーンを実現する、プローブパッド111～113およびダイ貫通ビア131～133の任意の数の組を含み得る。1つの実施の形態において、各プログラブルロジック要素251はスキャンチェーンを含む。その代わりに、隣接するインターフェイススタイル同士の各ペアがスキャンチェーンを形成するように、他のすべての隣接するインターフェイススタイルはプローブパッド111～113およびダイ貫通ビア131～133の組を含む。さらに別の実施の形態において、3つの隣接し合うインターフェイススタイルの各々の組がスキャンチェーンを形成するように、第3のインターフェイススタイル毎に、プローブパッド111～113およびダイ貫通ビア131～133の組が含まれる。さらに、第4、第5、第6他のインターフェイススタイル毎に、スキャンチェーンが所望のサイズを有して形成されるように、プローブパッド111～113およびダイ貫通ビア131～133が含まれ得る。1つの実施の形態において、各ベースダイ101は複数のスキャンチェーンを含むが、それらのいくつかは、異なるサイズおよび接続要求を有する積層ダイ102を提供するために、異なる数のプローブパッドを有する。1つの実施の形態において、テスト制御ロジック551は、任意の数のプログラブルロジック要素が試験可能なように、複数のCLEに及ぶスキャンチェーンを形成するためのロジックを含む。

【0067】

1つの実施の形態において、プローブパッド111～113に加え、テストロジック305はベースダイ101と、積層ダイ102への他の入力を提供するためのプローブパッド114～116およびダイ貫通ビア581～583とを含む。クロック信号プローブパッド114はダイ貫通ビア581に接続され、ダイ貫通ビア581はマルチプレクサ511～514の各々に結合されるとともに、テストロジック305および405の回路のクロックのためのレジスタ521～522の各々に電気的に結合される。電源プローブパッド115は電源信号を受信し、接地プローブパッド116はテストロジック305および405の動作のための接地信号を受信する。1つの実施の形態において、ダイ貫通ビア581～583は試験のために割当てられてコンタクト114～116の下部に位置する。その代わりに、コンタクト114～116はダイ貫通ビア121～128のうちのダイ貫通ビアに結合し得るが、ダイ貫通ビアは積層ダイ102の通常の動作の間、クロック信号、電源信号および接地信号を積層ダイ102に結合する。

【0068】

図6は本発明の実施の形態に従う試験のための方法を示す。ここでステップ601を参照して、プログラブルロジックデバイスダイが形成され、プログラブルロジックデバイスダイは、そのプログラブルロジックデバイスダイのテストロジックに結合するダイ貫通ビアの組と、テストロジックに直接的に結合される複数のプローブパッドとを含む。本実施の形態において、複数のプログラブルロジックデバイスダイが、従来のピアラスト(via-last)半導体製造プロセスを用いて半導体ウェハに形成され、各々のプログラブルロジックデバイスダイは、プログラブルロジックと、ダイ貫通ビアと、コンタクトと、プローブパッドとを含む。

【0069】

10

20

30

40

50



1つの実施の形態において、ステップ601が従来の半導体製造プロセスを用いて実行され、そのプロセスにおいて、複数のダイが各々の半導体ウェハに形成され、各々のダイは、プログラマブルロジックデバイスおよびテストロジックを形成するロジックを含む。1つの実施の形態において、従来のピアラスト製造プロセスがダイ貫通ビアを形成する場合に用いられ、ウェハの背面は、ウェハの厚みを低減してダイ貫通ビアを露出させるためにするために研磨されて、続いて、プローブパッドおよびコンタクトパッドをダイの背面に形成するために導電材料（たとえば金属）の層の蒸着およびパターンニングが行なわれる。

#### 【0070】

ステップ602に示されるように、積層ダイがプログラマブルロジックデバイスダイの背面に接続され、積層ダイは、プログラマブルロジックデバイスダイのテストロジックに結合するさらなるテストロジックを含む。本実施の形態において、プログラマブルロジックデバイスダイはFPGAダイであり、積層ダイは図1に示される方式によりプログラマブルロジックデバイスダイに結合される。

10

#### 【0071】

ここでステップ603を参照して、スタンドアロン試験装置が複数のプローブパッドに結合される。1つの実施の形態において、スタンドアロン試験装置は、各々のプローブパッドに接触するプローブを含む試験器具に電氣的に結合されるコンピュータである。

#### 【0072】

ステップ604に示されるように、スタンドアロン試験装置は、プログラマブルロジックデバイスダイを試験するために動作する。本実施の形態において、プログラマブルロジックデバイスのロジックは、ステップ604においてスタンドアロン試験装置を動作するのに先立っては構成されない。これは試験の前にプログラマブルロジックデバイスを構成しなければならない試験方法に比較して、大幅な時間と費用とを節約する。

20

#### 【0073】

1つの実施の形態において、プログラマブルロジックデバイスはフィールドプログラマブルゲートアレイ（FPGA）であり、ステップ604はさらに、スタンドアロン試験装置から第3のプローブパッドへと制御信号を送信するステップと、スタンドアロン試験装置から第1のプローブパッドへとテストデータを送るステップと、第2のプローブパッドからスタンドアロン試験装置へとテスト出力を送信するステップと、スタンドアロン試験装置でテスト出力を分析してプログラマブルロジックデバイスにおける欠陥を特定するステップとを含む。

30

#### 【0074】

本実施の形態において、ステップ604は半導体ウェハの分離に先立って半導体ウェハで実行される。それにより、製造者は、ダイの分離に先立って、各々のプログラマブルロジックデバイスダイがよいかどうかを判断することができる。

#### 【0075】

1つの実施の形態において、ステップ601は、プログラマブルロジックデバイスダイの背面にプローブパッドを形成するのみである。この実施の形態において、ステップ602は、試験装置がプローブパッドの各々と結合するように、試験装置を半導体ウェハの背面に結合することによって実行される。ステップ603の試験は、次に完全に実行されるが、試験は、プログラマブルロジックデバイスダイの分離に先立って、プログラマブルロジックデバイスダイの背面にあるプローブパッドのみを用いる。たとえば、図5に示された実施の形態において、スタンドアロン試験装置はプローブパッド111～116に結合して制御信号をプローブパッド113に送信し、制御信号は、スキャンチェーンが形成される場合に「テストモード」を開始するマルチプレクサ511～514への入力をテスト制御ロジック551に提供させる。1つの特定の形態において、テスト制御ロジックは回路を含み、その回路はマルチプレクサ511～514の各々の状態を決定するために制御信号と構成メモリ信号との間でのブール演算を実行するとともに、適切な制御信号をマルチプレクサ511～514の各々に送信するように動作可能である。テスト制御

40

50

ロジック551または積層ダイ102における対応するテスト制御ロジックのいずれかが、マルチプレクサ571～573への対応する制御入力を提供するように動作可能である。1つの実施の形態において、マルチプレクサ511がプローブパッド111から入力を選択し、マルチプレクサ571がレジスタ561から入力を選択し、マルチプレクサ512がレジスタ521から入力を選択し、マルチプレクサ572がレジスタ562から入力を選択し、マルチプレクサ513がレジスタ521から入力を選択し、マルチプレクサ573がレジスタ563から入力を選択し、マルチプレクサ514がプローブパッド112への出力を選択するように、論理「0」制御信号がマルチプレクサ511～514および571～573に送信される。それにより、スタンドアロン試験装置に結合されるプローブパッド112において出力が生成される。

10

#### 【0076】

ウェハの背面からダイ貫通ビアおよび、ベースダイ101と積層ダイ102との間のインターフェイスの他の構成要素を試験するための能力は、特に、ウェハを薄くすることが、試験目的のためにウェハの表面へのアクセスを防ぐ、支持「ハンドリングウェハ」の使用を必要とする実施の形態において有用である。1つの特定のな実施の形態において、半導体ウェハは、ウェハを薄くする工程の間にハンドリングウェハによって支持されて、FPGAウェハは、FPGAウェハをハンドリングウェハから分離する必要なく試験が実現されるように、ステップ602～604を通してハンドリングウェハによって支持されたままとなる。

#### 【0077】

20

図7に図示される別の実施の形態において、ステップ601はプログラブルロジックデバイスダイの表面にプローブパッドを形成するのみである。この実施の形態において、ステップ602は、試験装置がプローブパッドの各々に結合するように、試験装置を半導体ウェハの表面に結合されることによって実行される。ステップ603の試験は、次に完全に実行されるが、試験は、プログラブルロジックデバイスダイの分離に先立って、プログラブルロジックデバイスダイの表面にあるプローブパッドのみを用いて行なわれる。たとえば、1つの実施の形態において、図1のベースダイ101はプローブパッド141～144のみを含み、ベースダイ101の背面にあるプローブパッド111～116を含まない。この実施の形態において、テスト信号はプローブパッド701～706を介してテストロジック305に結合される。1つの実施の形態において、プローブパッド701はプローブパッド141であり、プローブパッド702はプローブパッド142であり、プローブパッド703はプローブパッド143であり、プローブパッド704～706はプローブパッド144と同一であり、プローブパッド701-706のすべては試験のために割当てられて、ベースダイ101および積層ダイ102の通常の動作の間は使用されない。ダイ貫通ビア713はテスト制御ロジックおよび制御信号を受信するためのプローブパッド702に結合され、制御信号はマルチプレクサ511～514および571～573の動作を制御するとともに、コンタクトパッド107を介してテストロジック405に結合される。プローブパッド701はテスト入力に結合し、プローブパッド703はマルチプレクサ514の出力に結合してテスト出力を提供する。プローブパッド704はクロック信号をレジスタ521～522、テスト制御ロジック551およびマルチプレクサ511-514に結合する。テストロジック305および405の動作のために、プローブパッド705は電源信号を受信しプローブパッド705は接地信号を受信する。本実施の形態において、プローブパッド701～706と、ダイ貫通ビア713, 581～583とは試験のために割当てられて、それゆえに積層ダイ102の通常の動作の間は、積層ダイ102に信号を結合しない。

30

40

#### 【0078】

図7に示された実施の形態が方法600を実行するために用いられる場合、スタンドアロン試験装置はプローブパッド701～706に結合されて、制御信号をプローブパッド702に送信するが、制御信号は、スキャンチェーンが形成される場合に「テストモード」を開始させる、マルチプレクサ511～514への入力をテスト制御ロジック551に

50

提供させる。テスト制御ロジック 5 5 1、または積層ダイ 1 0 2 における対応するテスト制御ロジックのいずれかが、対応する入力をマルチプレクサ 5 7 1 ~ 5 7 3 に提供するように動作可能である。この実施の形態において、マルチプレクサ 5 1 1 がプローブパッド 7 0 1 から入力を選択し、マルチプレクサ 5 7 1 がレジスタ 5 6 1 から入力を選択し、マルチプレクサ 5 1 2 がレジスタ 5 2 1 から入力を選択し、マルチプレクサ 5 7 2 がレジスタ 5 6 2 から入力を選択し、マルチプレクサ 5 1 3 がレジスタ 5 2 2 から入力を選択し、マルチプレクサ 5 7 3 がレジスタ 5 6 3 から入力を選択し、マルチプレクサ 5 1 4 がプローブパッド 7 0 3 への出力を選択するように、論理「0」制御信号がマルチプレクサ 5 1 1 ~ 5 1 4 および 5 7 1 ~ 5 7 3 へと送信される。それにより、スタンドアロン試験装置が結合されるプローブパッド 7 0 3 において出力が生成される。

10

**【0079】**

1つの代替的な実施の形態において、プローブパッド 7 0 4 ~ 7 0 6 はダイ貫通ビア 1 2 1 ~ 1 2 8 に結合され、ダイ貫通ビア 1 2 1 ~ 1 2 8 は、積層ダイ 1 0 2 の通常の動作の間、クロック信号、電源信号および接地信号を積層ダイ 1 0 2 に結合させる。この場合、試験のために割当てられたさらなるダイ貫通ビア 5 8 1 ~ 5 8 3 の必要性がなくなる。さらに、別の代替的な実施の形態において、プローブパッド 7 0 4 ~ 7 0 6 は、1以上のコンタクトパッド 1 0 6 を含む。たとえば、プローブパッド 7 0 4 は、通常の動作の間にクロック信号を積層ダイ 1 0 2 に結合させるコンタクトパッド 1 0 6 であり得る。コンタクトパッド 7 0 5 は、通常の動作の間ベースダイ 1 0 1 および/または積層ダイ 1 0 2 に電源信号を結合するコンタクトパッド 1 0 6 であり得る。コンタクトパッド 7 0 6 は通常

20

**【0080】**

図 8 に図示された別の実施の形態において、ステップ 6 0 1 は 2 つの組のプローブパッドを形成し、第 1 の組はプログラマブルロジックデバイスの背面にあり、第 2 の組はプログラマブルロジックデバイスの表面にある。この実施の形態において、ステップ 6 0 2 はベースダイ 1 0 1 の背面におけるプローブパッド 1 1 1 ~ 1 1 6 に試験装置を排他的に結合することにより、またはベースダイの表面におけるプローブパッド 7 0 1 ~ 7 0 6 にスタンドアロン試験装置を排他的に結合することにより実行され得る。本実施の形態において、テストロジック 3 0 5 は、図 5 および 7 に示されたテストロジックの特徴を組合せ、

30

図 5 を参照して議論される方式と同じ方式で背面から試験を実行し、図 7 を参照して議論される方式と同じ方式で表面から試験を実行する。これは、試験が実行されるときにアクセス可能なウェハのいずれかの側と結合することにより、試験を可能にする。それにより、試験を実行するために、ウェハキャリアからウェハを取出したり、あるいはウェハをひっくり返す必要がなくなる。

**【0081】**

図 8 を続けて、通常動作（「通常モード」）の間、図 5 ~ 8 における各々のマルチプレクサ 5 1 1 ~ 5 1 3 がプログラマブルロジック 5 5 0 から入力を選択し、マルチプレクサ 5 7 1 ~ 5 7 3 がロジック 5 5 2 から入力を選択し、マルチプレクサ 5 1 4 がプログラマブルロジック 5 5 0 への出力を選択するように、論理「1」が選択される。

40

**【0082】**

図 9 に図示された 1 つの実施の形態において、「通常モード」はまた、通常試験モードを含み、通常試験モードはコンフィギュラブルロジックを構成してスキャンチェーンを提供することによって取得され得るが、テスト信号はコンフィギュラブルロジック 5 5 0 を通じて結合される。

**【0083】**

図 9 を続けて、テスト制御ロジック 3 0 5 はマルチプレクサ 9 0 2 を含み、マルチプレクサ 9 0 2 は、コンタクトパッド 7 0 1 とコンタクトパッド 1 1 1 とに結合される入力と、コンフィギュラブルロジック 5 5 0 に結合される第 2 の入力と、マルチプレクサ 5 1 1 の入力に結合される出力とを含む。この実施の形態において、コンフィギュラブルロジック

50

ク550は、通常の動作の間の試験が可能となるように(たとえばコンフィギュレーションデータのビットストリームをロードすることによって)、制御テストロジック901を含むように構成され、制御テストロジック901は、入力をマルチプレクサ902に結合し、マルチプレクサ514からの出力をコンタクト106に結合させる。1つの実施の形態において、スキャンチェーンを形成するために論理1がマルチプレクサ511および514に与えられ、論理0がマルチプレクサ512~513および571~573に与えられるが、そのスキャンチェーンはプログラマブルロジック550を通じて結合されるテスト入力を受信し、プログラマブルロジック550を通じてテスト出力を与える。したがって、これまでの実施の形態のように、テスト信号はプローブパッド111~116または141~144を通じて結合せずに、制御テストロジック901を形成するコンフィギュラブルロジック550のプログラムされた部分を通じて結合される。1つの実施の形態において、パッケージ基板150、ベースダイ101および積層ダイ102を通じてテスト信号を伝送するために、ベースダイ101の構成の後でコンタクトパッド106および109を通じて結合される信号を用いて試験を行なうためのジョイントテストアクショングループ(JTAG)規格にスキャンチェーンが従うように、制御テストロジック901がプログラムされる。

10

**【0084】**

図9に示された実施の形態は、テストロジック305の使用によって、ベースダイ101の通常の動作モードにおいて動作可能なコンタクト106を用いた従来の試験の実行を可能にする。さらに、試験は、ベースダイ101の背面におけるプローブパッド111~116を用いて、ベースダイの構成に先立って実行され得て、試験はベースダイ101の表面におけるプローブパッド701~706を用いた構成に先立って実行され得る。

20

**【0085】**

したがって、本発明の方法および装置は、積層ダイをベースダイに結合させるインターコネクト構造を短時間かつ効率的に試験することを可能にする。特に、製造者は位置ずれした積層ダイ、はんだパンプの欠損または位置ずれ、コンタクトの欠損または位置ずれ、欠陥のダイ貫通ビア他を短時間で容易に特定することができる。

**【0086】**

上述の記載は、本発明の1以上の局面に従う例示的な実施の形態を記述するが、本発明の1以上の局面に従う他のおよびさらなる実施の形態が、その精神から逸脱することなく考案され得るが、それは以下に続く請求項およびその均等物によって決定される。ステップを記述するクレームは、そのステップのあらゆる順番を含むものではない。商標はそのそれぞれの所有者の財産である。

30

【図1】

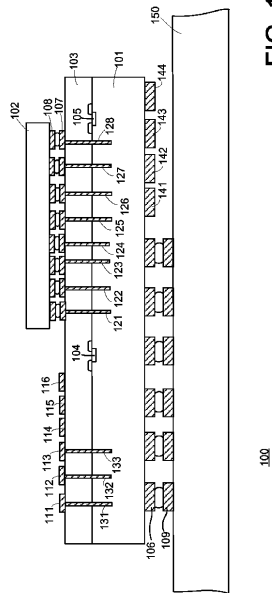


FIG. 1

【図2】

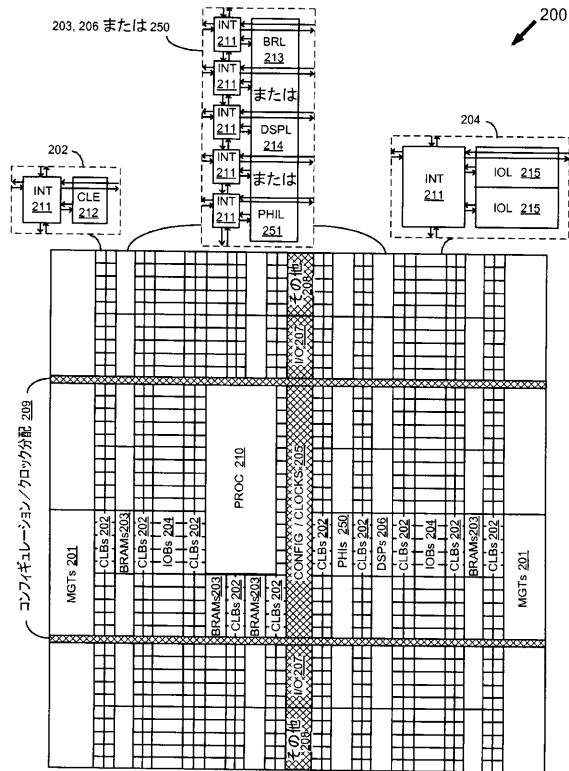


FIG. 2

【図3】

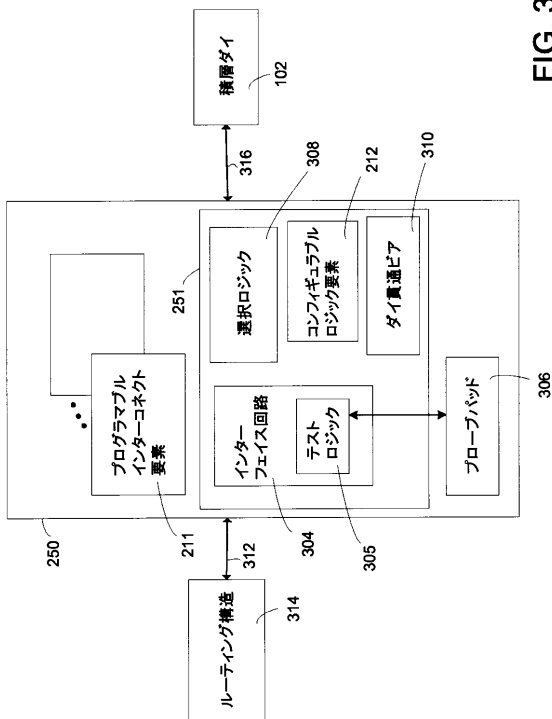


FIG. 3

【図4】

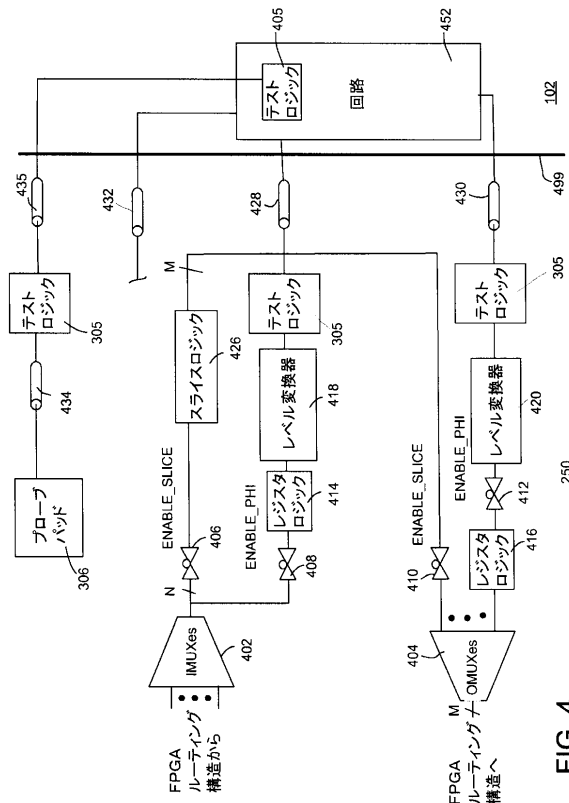


FIG. 4

【図5】

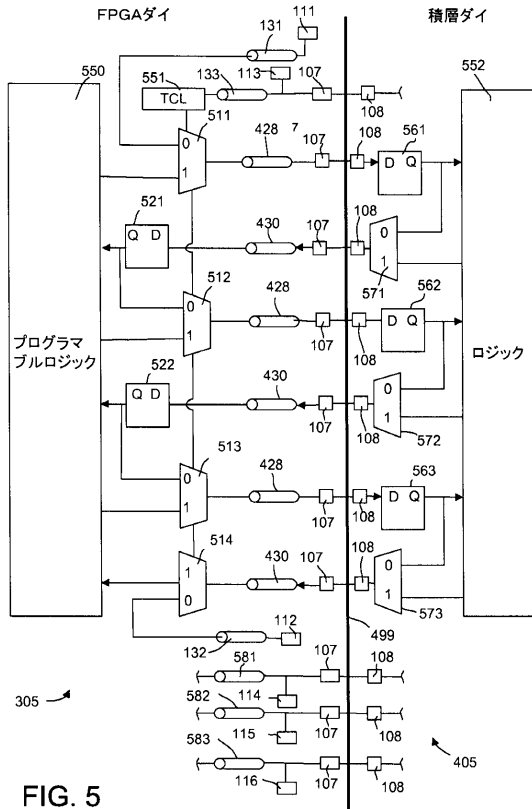


FIG. 5

【図6】

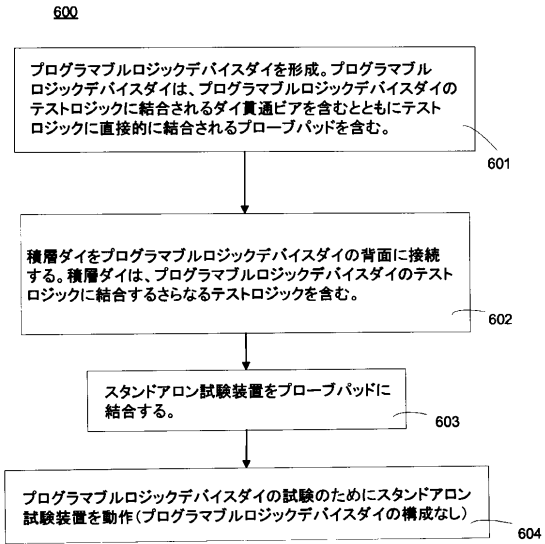


FIG. 6

【図7】

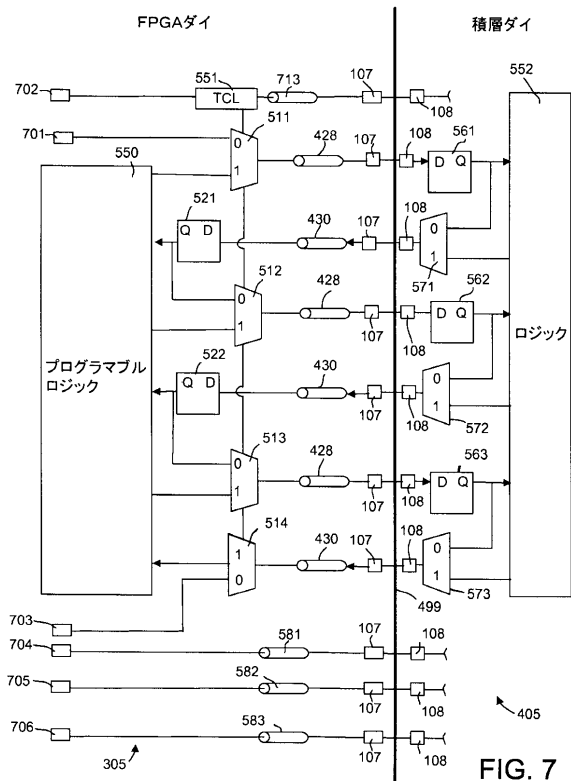


FIG. 7

【図8】

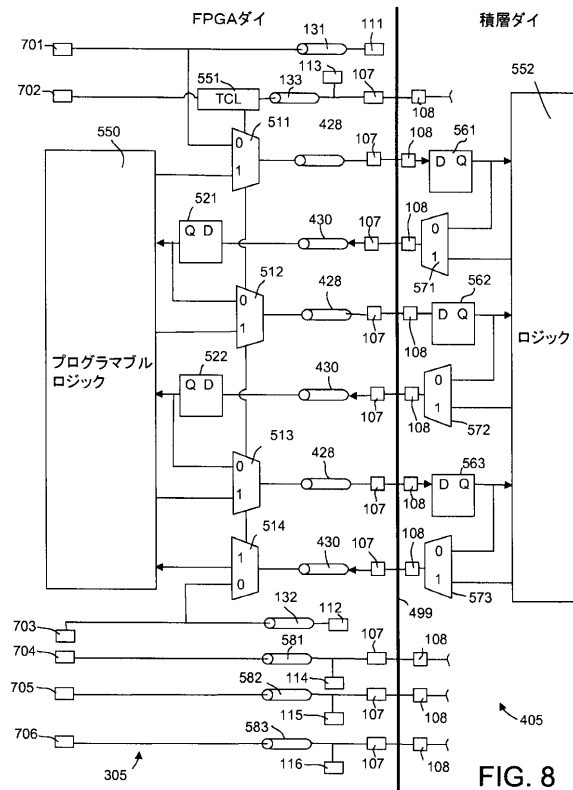


FIG. 8

【図9】

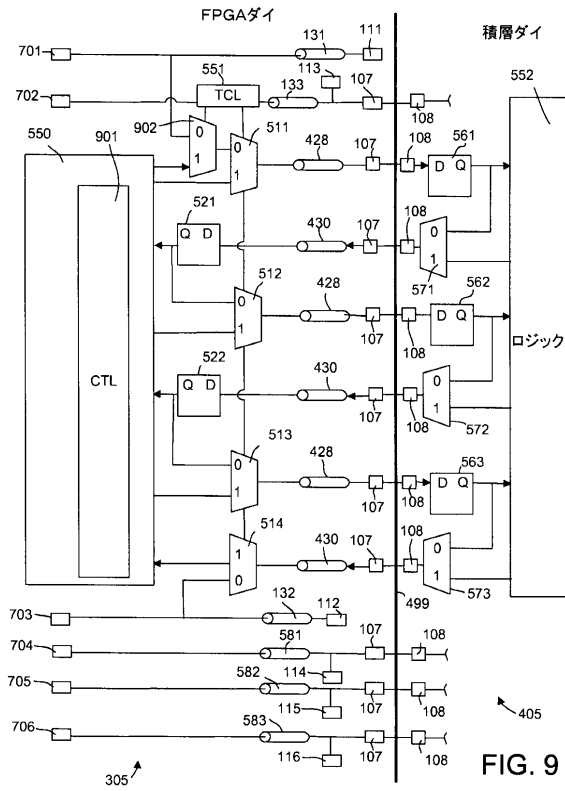


FIG. 9

## フロントページの続き

- (72)発明者 パン, ホン - ツー  
アメリカ合衆国、9 5 1 2 4 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2 1 0 0
- (72)発明者 グエン, バン - トゥ  
アメリカ合衆国、9 5 1 2 4 カリフォルニア州、サン・ノゼ、ロジック・ドライブ、2 1 0 0

審査官 吉岡 一也

- (56)参考文献 特開2003 - 309183 (JP, A)  
特開2004 - 128014 (JP, A)  
特開2005 - 308558 (JP, A)  
特開2002 - 217367 (JP, A)  
特開平11 - 168185 (JP, A)  
特開2007 - 067057 (JP, A)  
特開2002 - 042493 (JP, A)  
特開2004 - 047987 (JP, A)  
特開2004 - 361171 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 1 R 3 1 / 2 8  
H 0 1 L 2 1 / 8 2 2  
H 0 1 L 2 7 / 0 4