(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/011821 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2020/115739

(22) 国际申请日: 2020 年 9 月 17 日 (17.09.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010690981.2 2020年7月17日 (17.07.2020) CN

(71) 申请人: 武 汉 华 星 光 电 技 术 有 限 公 司 (**WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省 武 汉 市 东 湖 开 发 区 高 新 大 道 666 号 生 物 城C5栋, Hubei 430079 (CN)。

(72) 发明人: 曹 海 明 (**CAO, Haiming**); 中 国 湖 北 省 武 汉 市 东 湖 开 发 区 高 新 大 道 666 号 生 物 城C5栋, Hubei 430079 (CN)。

(74) 代理人: 深 圳 紫 藤 知 识 产 权 代 理 有 限 公 司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** PIXEL DRIVING CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 像素驱动电路及显示面板

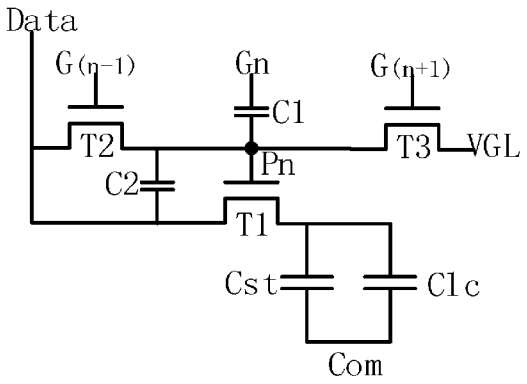

图 2

(57) **Abstract:** Provided are a pixel driving circuit and a display panel. After a first node (Pn) is precharged to a first potential (V1), the potential of the first node is raised to a second potential (V2) by means of a first capacitor (C1) by using a gate output signal (G(n)) of the current row, and is then raised to a third potential (V3), i.e., being higher than a high potential (V0) of the gate output signal (G(n)) of the current row, by means of a second capacitor (C2) by using a data signal (Data), so that a first transistor (T1) is turned on and data (Data) is written. A gate level of the first transistor (T1) can be raised to be greater than the gate output signal (G(n)) of the current row, and therefore, the original gate level is raised and the driving capability is stronger.

(57) 摘要: 提供了一种像素驱动电路及显示面板，第一节点(Pn)预充电为第一电位(V1)后，利用当前行栅极输出信号(G(n))通过第一电容(C1)提升为第二电位(V2)，再利用数据信号(Data)通过第二电容(C2)提升至第三电位(V3)即大于当前行栅极输出信号(G(n))的高电位(V0)而使第一晶体管(T1)打开并写入数据(Data)。由于能使第一晶体管(T1)的栅极准位提升至大于当前行栅极输出信号(G(n))，因此提升了原栅极准位，驱动能力更强。

WO 2022/011821 A1

[见续页]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

像素驱动电路及显示面板

技术领域

本申请涉及显示技术领域，尤其涉及一种一种像素驱动电路及显示面板。

背景技术

目前的显示技术要求同时适用于高频和低频的情况，以使显示面板不仅具有高频带来的画质流畅的优点，还具有低频带来的低功耗的优点，因此，动态帧频技术应运而生，该技术可以实时调节显示面板的刷新频率，由此同时满足超低频和超高频的显示需求。对于低频的显示需求，由于低频状态每帧画面的 holding 时间延长为原先的数十倍，因此要求显示面板的画面 Holding 能力强；对于高频的显示需求，由于每行像素的充电时间极短，因此需要显示面板的充电能力强，并且，如果用高刷新率显示静止或速度较低的物体影像，反而会造成显示面板逻辑功耗过高的问题。

传统的背板技术有 A-Si、LTPS、IGZO 技术，与 a-Si(非晶硅）技术相比，LTPS（低温多晶硅）和 IGZO（氧化铟镓锌）两种技术由于迁移率较高而被广泛应用。其中，由于 LTPS 技术比 IGZO 技术的迁移率更高、件所占面积更小，因此充电能力更强，更适合于高频时的应用；而 IGZO 技术比 LTPS 技术的均匀性更好、漏电流较小，因此更加省电、画面 holding 能力更强，更适合于低频时的应用。可以理解的是，传统的背板技术由于技术的单一性，导致性能优点的单一性，无法满足动态帧频的需求。

而复合型的 LTPO（低温多晶氧化物）技术由于结合了 LTPS 和 IGZO 两种技术的优点，使得显示面板同时具有强充电能力和低功耗的特点，同时满足高频和低频的使用需求，因此 LTPO 技术适用于动态帧频技术的需求，能达到提升用户视觉体验并且优化功耗的目的。

但是如前所述，由于 IGZO 较 LTPO 的迁移率低，因此在高频时由于充电时间较短，IGZO 往往会存在充电准位不够的问题，所以需

要将 IGZO 的充电电流提升，在较短的充电时间内达到充电准位。目前在 IGZO 有源层上提升充电电流有两种方式：第一种是增加薄膜晶体管 TFT 的宽长比，但是这种方法会使薄膜晶体管 TFT 的尺寸较大、占用空间过多，导致显示面板开口率降低的问题；第二种是增加显示面板的所有薄膜晶体管 TFT 的栅源极电压差 Vgs，但是这种方法会使得所有薄膜晶体管 TFT 受到的应力 Stress 增而使得薄膜晶体管 TFT 容易老化，从而影响驱动电路整体的稳定性，即不仅影响外围驱动电路的稳定性，还影响 AA 区驱动电路的稳定性。

参考图 1，图 1 为现有的 2T1C 结构的像素驱动电路图，该电路采用 1T2C 电路，包括驱动开关 T10、存储电容 Cst、液晶电容 Clc，其中，驱动开关 T10 的栅极的输入为当前行栅极输出信号 G（n），漏极与存储电容 Cst 和液晶电容 Clc 的一端电性连接，源极与数据线电性连接。当前行栅极输出信号 G（n）送入信号控制驱动开关 T10 的开关，当 T10 打开时数据线将液晶电容 Clc 和存储电容 Cst 充电到所需要的的电压后 T10 关闭，存储电容 Cst 放电来维持液晶电容 Clc 的电压保持到下一次更新。该 1T2C 电路工作时，由于驱动开关 T10 只能是单一类型的 TFT，而每种 TFT 都有其优点和缺点，在动态帧频技术中如果将其既应用于 LTPS 又应用于 IGZO，则在高频时很可能不能满足需要提高 IGZO 的充电电流的要求。

技术问题

因此，如何用较高的电压驱动 IGZO 来提高 IGZO 的充电电流，同时保证显示面板的驱动电路整体的稳定性，成为目前亟待解决的问题。

技术解决方案

为了解决目前的 GOA 电路在下拉维持阶段电路不稳定的问题，本申请提供一种像素驱动电路，包括：第一晶体管、第二晶体管、第三晶体管、第一电容、第二电容、存储电容和液晶电容，其中，所述第一晶体管、所述第二晶体管、所述第三晶体管均分别包括源极、栅

极和漏极，所述第一电容、所述第二电容、所述存储电容和所述液晶电容均分别包括第一端和第二端。

所述第一晶体管的栅极电性连接第一节点，源极电性连接所述第二电容的第一端，漏极分别电性连接所述存储电容的第一端和所述液晶电容的第一端；所述第二晶体管的栅极接入上一行栅极输出信号 G（n-1），源极电性接入数据信号，漏极电性连接第一节点；所述第三晶体管的栅极接入下一行栅极输出信号 G（n+1），源极电性连接第一节点，漏极电性连接恒压低电位 VGL；所述第一电容的第一端电性连接第一节点，第二端接入当前行栅极输出信号 G（n）；所述第二电容的第一端电性接入数据信号，第二端电性连接第一节点；所述存储电容的第二端和所述液晶电容的第一端分别电性连接所述第一晶体管的漏极，第二端分别电性接入公共信号。

在一些实施例中，所述像素驱动电路具有预充电阶段、第一升压阶段、第二升压阶段、过渡阶段和保持阶段。

若所述第一晶体管、所述第二晶体管和所述第三晶体管均为 N 型薄膜晶体管，则在所述预充电阶段 B0，所述第二晶体管打开，所述第三晶体管关闭，当前行栅极输出信号 G（n）通过所述第二晶体管将所述第一节点的电位充电至第一电位 V1。

在所述第一升压阶段 B1，所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第一高电位信号 S1，所述数据信号通过所述第一电容将所述第一节点的电位由所述第一电位 V1 提升至第二电位 V2。

在所述第二升压阶段 B2，所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第二高电位信号 S2，通过所述第二电容将所述第一节点的电位由所述第二电位 V2 提升至第三电位 V3 并向所述液晶电容写入第二高电位信号 S2；其中，所述第三电位 V3 高于所述栅极输出信号的高电位 V0。

在所述过渡阶段 B3，所述第一晶体管、所述第二晶体管关闭和所述第三晶体管均关闭，所述当前行栅极输出信号 G（n）通过第一

电容将所述第一节点的电位由第三电位 V3 降至第四电位 V4 后，所述下一行栅极输出信号 G（n+1）将所述第一节点的电位由第四电位 V4 降至恒压低电位 VGL。

在所述保持阶段 B4，所述第一晶体管和所述第二晶体管关闭，所述第三晶体管打开，所述下一行栅极输出信号 G（n+1）将所述第一节点的电位保持为恒压低电位 VGL。

在一些实施例中，所述第一晶体管、所述第二晶体管和所述第三晶体管均为氧化物半导体薄膜晶体管。

在一些实施例中，所述第一晶体管为氧化物半导体薄膜晶体管，所述第二晶体管和所述第三晶体管均为低温多晶硅薄膜晶体管。

在一些实施例中，在所述预充电阶段 B0，所述上一行栅极输出信号 G（n-1）在初始时段 A0 之前为高电位 V0 且在所述初始时段 A0 开始时转换为低电位、所述当前行栅极输出信号 G（n）为低电位，所述下一行栅极输出信号 G（n+1）为低电位，所述数据信号在所述第一时段 A1 之前为第一高电位信号 S1 且在所述第一时段 A1 开始时转换为低电位；其中，所述第一高电位信号 S1 与所述第一电位 V1 的电位相同。

在所述第一升压阶段 B1，所述上一行栅极输出信号 G（n-1）为低电位、所述当前行栅极输出信号 G（n）为高电位 V0，所述下一行栅极输出信号 G（n+1）为低电位，所述数据信号为低电位。

在所述第二升压阶段 B2，所述上一行栅极输出信号 G（n-1）为低电位、所述当前行栅极输出信号 G（n）为高电位 V0，所述下一行栅极输出信号 G（n+1）为低电位，所述数据信号为第二高电位信号 S2。

在所述过渡阶段 B3，所述上一行栅极输出信号 G（n-1）、所述当前行栅极输出信号 G（n）为低电位和所述当前行栅极输出信号 G（n）均为低电位，所述数据信号在第二时段 A2 之前保持所述第二高电位信号 S2 且在所述第二时段 A2 内转换为低电位。

在所述保持阶段 B4，所述上一行栅极输出信号 G（n-1）和所述

当前行栅极输出信号 G（n）为低电位、所述下一行栅极输出信号 G（n+1）为高电位 V0 的脉冲。

在一些实施例中，所述第一电位 V1 与所述第二电位 V2 之间的关系为公式一:

$$V_2=(V_0-VGL)\bullet\frac{C_1}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_1 \qquad \text{公式一}$$

其中，V_1 为第一电位 V1 的电位值，V_2 为第二电位 V2 的电位值，C_1 为第一电容的电容值，V_0 为栅极输出信号的高电位 V0 的值，C_2 为第二电容的电容值，VGL 为恒压低电位，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

在一些实施例中，所述第二电位 V2 与所述第三电位 V3 之间的关系为公式二:

$$V_3=(S_2-V_{COM})\bullet\frac{C_2}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_2 \qquad \text{公式二}$$

其中，V_2 为第二电位 V2 的电位值，V_3 为第二电位 V3 的电位值，C_1 为第一电容的电容值，S_2 为第二高电位 S2 的电位值，C_2 为第二电容的电容值，V_{COM} 为公共信号的电位值，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

在一些实施例中，所述第三电位 V3 高于所述栅极输出信号的高电位 V0 是基于所述公式一及所述公式二，根据所述第一高电位信号、所述第二高电位信号、栅极输出信号的高电位 V0、所述恒压低电位 VGL 和所述公共信号的电压值 V_{COM}，通过调节所述第一电容的电容值和所述第二电容的电容值实现的。

在一些实施例中，在所述保持阶段 B4，所述数据信号在第三时段 A3 内保持低电平，并在所述第三时段 A3 之后由低电平转变为第三高电位信号 S3；下一行栅极输出信号 G（n+1）由使能信号 EMn 替换，所述使能信号 EMn 在所述预充电阶段 B0、所述第一升压阶段

B1、所述第二升压阶段 B2 和所述过渡阶段 B3 均为低电位，且在所述保持阶段 B4 为高电位。

在一些实施例中，在所述保持阶段 B4，所述数据信号保持低电平。

本申请还提供一种显示面板，该显示面板包括如上所述的像素驱动电路，所述像素驱动电路包括：第一晶体管、第二晶体管、第三晶体管、第一电容、第二电容、存储电容和液晶电容，其中，所述第一晶体管、所述第二晶体管、所述第三晶体管均分别包括源极、栅极和漏极，所述第一电容、所述第二电容、所述存储电容和所述液晶电容均分别包括第一端和第二端。

所述第一晶体管的栅极电性连接第一节点，源极电性连接所述第二电容的第一端，漏极分别电性连接所述存储电容的第一端和所述液晶电容的第一端；所述第二晶体管的栅极接入上一行栅极输出信号 G（n-1），源极电性接入数据信号，漏极电性连接第一节点；所述第三晶体管的栅极接入下一行栅极输出信号 G（n+1），源极电性连接第一节点，漏极电性连接恒压低电位 VGL；所述第一电容的第一端电性连接第一节点，第二端接入当前行栅极输出信号 G（n）；所述第二电容的第一端电性接入数据信号，第二端电性连接第一节点；所述存储电容的第二端和所述液晶电容的第一端分别电性连接所述第一晶体管的漏极，第二端分别电性接入公共信号。

在一些实施例中，所述像素驱动电路具有预充电阶段 B0、第一升压阶段 B1、第二升压阶段 B2、过渡阶段（B3）和保持阶段 B4；所述第一晶体管、所述第二晶体管和所述第三晶体管均为 N 型薄膜晶体管。

在所述预充电阶段 B0，所述第二晶体管打开，所述第三晶体管关闭，当前行栅极输出信号 G（n）通过所述第二晶体管将所述第一节点的电位充电至第一电位 V1。

在所述第一升压阶段 B1，所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第一高电位信号 S1，所述数据信号通过所述

第一电容将所述第一节点的电位由所述第一电位 V1 提升至第二电位 V2。

在所述第二升压阶段 B2，所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第二高电位信号 S2，通过所述第二电容将所述第一节点的电位由所述第二电位 V2 提升至第三电位 V3 并向所述液晶电容写入第二高电位信号 S2；其中，所述第三电位 V3 高于所述栅极输出信号的高电位 V0。

在所述过渡阶段 B3，所述第一晶体管、所述第二晶体管关闭和所述第三晶体管均关闭，所述当前行栅极输出信号 G（n）通过第一电容将所述第一节点的电位由第三电位 V3 降至第四电位 V4 后，所述下一行栅极输出信号 G（n+1）将所述第一节点的电位由第四电位 V4 降至恒压低电位 VGL。

在所述保持阶段 B4，所述第一晶体管和所述第二晶体管关闭，所述第三晶体管打开，所述下一行栅极输出信号 G（n+1）将所述第一节点的电位保持为恒压低电位 VGL。

在一些实施例中，所述第一晶体管、所述第二晶体管和所述第三晶体管均为氧化物半导体薄膜晶体管。

在一些实施例中，所述第一晶体管为氧化物半导体薄膜晶体管，所述第二晶体管和所述第三晶体管均为低温多晶硅薄膜晶体管。

在一些实施例中，在所述预充电阶段 B0，所述上一行栅极输出信号 G（n-1）在初始时段 A0 之前为高电位 V0 且在所述初始时段 A0 开始时转换为低电位、所述当前行栅极输出信号 G（n）为低电位，所述下一行栅极输出信号 G（n+1）为低电位，所述数据信号在所述第一时段 A1 之前为第一高电位信号 S1 且在所述第一时段 A1 内为低电位；其中，所述第一高电位信号 S1 与所述第一电位 V1 的电位相同。

在所述第一升压阶段 B1，所述上一行栅极输出信号 G（n-1）为低电位、所述当前行栅极输出信号 G（n）为高电位 V0，所述下一行栅极输出信号 G（n+1）为低电位，所述数据信号为低电位；

在所述第二升压阶段（B2），所述上一行栅极输出信号 G（n-1）为低电位、所述当前行栅极输出信号 G（n）为高电位 V0，所述下一行栅极输出信号 G（n+1）为低电位，所述数据信号为第二高电位信号 S2。

在所述过渡阶段 B3，所述上一行栅极输出信号 G（n-1）、所述当前行栅极输出信号 G（n）为低电位和所述当前行栅极输出信号 G（n）均为低电位，所述数据信号在第二时段 A2 之前保持所述第二高电位信号 S2 且在所述第二时段 A2 开始时转换为低电位。

在所述保持阶段 B4，所述上一行栅极输出信号 G（n-1）和所述当前行栅极输出信号 G（n）为低电位、所述下一行栅极输出信号 G（n+1）为高电位 V0 的脉冲。

在一些实施例中，所述第一电位 V1 与所述第二电位 V2 之间的关系为公式一:

$$V_2=(V_0-VGL)\bullet\frac{C_1}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_1 \qquad \text{公式一}$$

其中，V_1 为第一电位 V1 的电位值，V_2 为第二电位 V2 的电位值，C_1 为第一电容 C1 的电容值，V_0 为栅极输出信号的高电位 V0 的值，C_2 为第二电容的电容值，VGL 为恒压低电位，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

在一些实施例中，所述第二电位 V2 与所述第三电位 V3 之间的关系为公式二:

$$V_3=(S_2-V_{COM})\bullet\frac{C_2}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_2 \qquad \text{公式二}$$

其中，V_2 为第二电位 V2 的电位值，V_3 为第二电位 V3 的电位值，C_1 为第一电容的电容值，S_2 为第二高电位 S2 的电位值，C_2 为第二电容的电容值，V_{COM} 为公共信号的电位值，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

在一些实施例中，所述第三电位 V3 高于所述栅极输出信号的高电位 V0 是基于所述公式一及所述公式二，根据所述第一高电位信号、所述第二高电位信号、栅极输出信号的高电位 V0、所述恒压低电位 VGL 和所述公共信号的电位值 V_{COM}，通过调节所述第一电容的电容值和所述第二电容的电容值实现的。

在一些实施例中，在所述保持阶段 B4，所述数据信号在第三时段 A3 内保持低电平，并在所述第三时段 A3 之后由低电平转变为第三高电位信号 S3。

下一行栅极输出信号 G（n+1）由使能信号 EMn 替换，所述使能信号 EMn 在所述预充电阶段 B0、所述第一升压阶段 B1、所述第二升压阶段 B2 和所述过渡阶段 B3 均为低电位，且在所述保持阶段 B4 为高电位。

在一些实施例中，在所述保持阶段 B4，所述数据信号保持低电平。

有益效果

本申请提供的像素驱动电路及显示面板中，该像素驱动电路采用 3T2C 结构，在对第一节点 Pn 预充电将其电位置为第一电位后，利用当前行栅极输出信号 G（n）通过第一电容 C1 将第一节点 Pn 的电位为从第一电位 V1 提升为第二电位 V2，再利用数据信号 data 通过第二电容 C2 将第一节点 Pn 的电位从第二电位 V2 提升至第三电位 V3，并且使第三电位 V3 大于当前行栅极输出信号 G（n）的高电位 V0 而使第一晶体管 T1 打开并向液晶电容 Clc 写入数据。由于该像素驱动电路可以使第一晶体管 T1 的栅极电位提升至大于当前行栅极输出信号 G（n）的高电位 V0 的电位，因此提升了原栅极准位，使第一晶体管 T1 的驱动能力更强，能够适用于高频时需要快速充电的要求，即使第一晶体管 T1 采用 IGZO 晶体管，因此该像素驱动电路能适用于动态帧频技术。

附图说明

图 1 为现有的 2T1C 结构的像素驱动电路图。

图 2 为本申请实施例的的像素驱动电路。

图 3 为本申请实施例的像素驱动电路的时序图。

图 4 为本申请实施例的像素驱动电路的另一种时序图，

图 5 为本申请实施例的另一种像素驱动电路。

图 6 为本申请实施例的另一种像素驱动电路的时序图。

本发明的实施方式

为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。

本申请所有实施例为区分晶体管处栅极之外的两极，将其中一极称为源极，另一极称为漏极。由于晶体管的源极和漏极是对称的，因此其源极和漏极是可以互换的。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外，本申请所有实施例采用的晶体管可以包括 P 型和/或 N 型晶体管两种，其中，P 型晶体管在栅极为低电位时打开，在栅极为高电位时关闭；N 型晶体管在栅极为高电位时打开，在栅极为低电位时关闭。

参考图 2，图 2 为本申请实施例的像素驱动电路，本申请实施例提供一种像素驱动电路，包括：第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第一电容 C1、第二电容 C2、存储电容 Cst 和液晶电容 Clc，其中，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 均分别包括源极、栅极和漏极，第一电容 C1、第二电容 C2、存储电容 Cst 和液晶电容 Clc 均分别包括第一端和第二端。

第一晶体管 T1 的栅极电性连接第一节点 Pn，源极电性连接第二电容 C2 的第一端，漏极分别电性连接存储电容 Cst 的第一端和液晶电容 Clc 的第一端。

第二晶体管 T2 的栅极接入上一行栅极输出信号 G（n-1），源极

电性接入数据信号 Data，漏极电性连接第一节点 Pn。

第三晶体管 T3 的栅极接入下一行栅极输出信号 G（n+1），源极电性连接第一节点 Pn，漏极电性连接恒压低电位 VGL。

第一电容 C1 的第一端电性连接第一节点 Pn，第二端接入当前行栅极输出信号 G（n）。

第二电容 C2 的第一端电性接入数据信号 Data，第二端电性连接第一节点 Pn。

存储电容 Cst 的第二端和液晶电容 Clc 的第一端分别电性连接第一晶体管 T1 的漏极，第二端分别电性接入公共信号 Com。

需要说明的是，本申请提供的像素驱动电路的主要作用是提高高频时的像素充电能力，因此根据低温多晶硅（LTPS）薄膜晶体管充电能力强但漏电流较高的特点，以及氧化物半导体（IGZO）薄膜晶体管漏电流较低但充电能力弱的特点，该像素驱动电路主要适用于两种类型的像素驱动电路。

第一种是全部采用 IGZO 薄膜晶体管的像素驱动电路，即第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均为 IGZO 晶体管。

另一种是采用 LTPO 技术的显示面板，即结合了 LTPS 和 IGZO 两种薄膜晶体管制备而成的显示面板的像素驱动电路。其中，由于第一晶体管 T1 的漏电流大小直接影响液晶电容 Clc 的电压大小，因此第一晶体管 T1 采用 IGZO 薄膜晶体管，减小漏电流，而第二晶体管 T2 和第三晶体管 T3 采用 LTPS 薄膜晶体管，提高充电能力和驱动能力。

可以理解的是，该像素驱动电路实际上也可以适用于第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均为 LTPS 薄膜晶体管的像素驱动电路，只是由于 LTPS 薄膜晶体管的充电能力本身较强，因此实际意义没有上述两种类型的像素驱动电路的实际意义大。

图 3 为本申请实施例的像素驱动电路的时序图，结合图 2 和图 3，下面以第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均为 N 型薄膜晶体管为例，对该像素驱动电路的工作流程进行详细说明。其中，

上一行栅极输出信号 G（n-1）、当前行栅极输出信号 G（n）、下一行栅极输出信号 G（n+1）和第一节点 Pn 的低电位为恒压低电位 VGL；上一行栅极输出信号 G（n-1）、当前行栅极输出信号 G（n）和下一行栅极输出信号 G（n+1）的高电位为 V0；数据信号 Data 的低电位为公共信号 Com 的电位值 V_{COM}。

该像素驱动电路具有预充电阶段 B0、第一升压阶段 B1、第二升压阶段 B2、过渡阶段 B3 和保持阶段 B4。

在预充电阶段 B0，上一行栅极输出信号 G（n-1）在初始时段 A0 之前为高电位 V0 且在初始时段 A0 之后为低电位、当前行栅极输出信号 G（n）为低电位，下一行栅极输出信号 G（n+1）为低电位，数据信号 Data 在第一时段 A1 之前为第一高电位信号 S1 且在第一时段 A1 开始时转换为低电位；其中，第一高电位信号 S1 为第一电位 V1，其中，第一高电位信号 S1 的电位与第一电位 V1 相同。

具体地，在初始时段 A0 之前，第二晶体管 T2 打开，第一晶体管 T1 和第三晶体管 T3 关闭，数据信号 Data 发出第一高电位信号 S1 通过第二晶体管 T2 将第一节点 Pn 的电位从低电位充电至第一电位 V1 即第一高电位信号 S1，同时第一电容 C1 也被充电；在初始时段 A0 开始时，第二晶体管 T2 关闭，第一电容 C1 在初始时段 A0 和第一时段 A1 保持第一节点 Pn 的电位为第一电位 V1。

在第一升压阶段 B1，上一行栅极输出信号 G（n-1）为低电位，使第二晶体管 T2 关闭；下一行栅极输出信号 G（n+1）为低电位，使第三晶体管 T3 关闭；数据信号 Data 为低电位不发出数据；当前行栅极输出信号 G（n）为高电位 V0，由于电容两端的是共同作用的，因此当前行栅极输出信号 G（n）会通过第一电容 C1 将第一节点 Pn 的电位由第一电位 V1 提升至第二电位 V2，其中，第二电位 V2 比第一电位 V1 提升的程度与栅极输出信号 G（n）的高电位 V0 和恒压低电位 VGL 之差有关。

在第二升压阶段 B2，上一行栅极输出信号 G（n-1）为低电位，第二晶体管 T2 关闭；下一行栅极输出信号 G（n+1）为低电位，第三

晶体管 T3 关闭；当前行栅极输出信号 G（n）保持高电位 V0，数据信号 Data 发出第二高电位信号 S2。与第一升压阶段 B1 中当前行栅极输出信号 G（n）通过第一电容 C1 将第一节点 Pn 的电位从第一电位 V1 提升到第二电位 V2 的原理相同，此时数据信号 Data 通过第二电容 C2 将第一节点 Pn 的电位由第二电位 V2 提升至第三电位 V3，第三电位 V3 高于栅极输出信号的高电位 V0，因此数据信号 Data 通过第二电容 C2 将第一节点 Pn 的电位由第二电位 V2 提升至第三电位 V3 并向存储电容 Cst 写入第二高电位信号 S2，由此，一次数据写入完成，其中，第三电位 V3 比第二电位 V2 提升的程度与第二高电位信号 S2 和公共信号 Com 的电位值 V_{COM} 之差有关。

需要说明的是，第三电位 V3 高于栅极输出信号 G（n）的高电位 V0 为根据电路元器件和各驱动信号设定的，具体而言，第三电位 V3 高于栅极输出信号 V0 的高电位是基于公式一及公式二，根据第一高电位信号 S1、第二高电位信号 S2、栅极输出信号 G（n）的高电位、恒压低电位 VGL 和公共信号 Com 电压 VCOM，通过调节第一电容 C1 的电容值和第二电容 C2 的电容值实现的。其中，公式一及公式二详见下文。

在过渡阶段 B3，上一行栅极输出信号 G（n-1）、当前行栅极输出信号 G（n）为低电位和当前行栅极输出信号 G（n）均为低电位，因此第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均关闭。数据信号 Data 在第二时段 A2 之前保持第二高电位信号 S2 且在第二时段 A2 开始时转换为低电位。因此，当前行栅极输出信号 G（n）转变为低电位时会通过第一电容 C1 将第一节点 Pn 的电位由第三电位 V3 降至第四电位 V4。

在保持阶段 B4，上一行栅极输出信号 G（n-1）和当前行栅极输出信号 G（n）为低电位、下一行栅极输出信号 G（n+1）为高电位 V0 的脉冲。此时，第一晶体管 T1 和第二晶体管 T2 关闭，第三晶体管 T3 打开，下一行栅极输出信号 G（n+1）将第一节点 Pn 的电位保持为恒压低电位 VGL。

本申请实施例在对第一节点 Pn 预充电将其电位置为第一电位后，利用当前行栅极输出信号 G（n）通过第一电容 C1 将第一节点 Pn 的电位为从第一电位 V1 提升为第二电位 V2，再利用数据信号 Data 通过第二电容 C2 将第一节点 Pn 的电位从第二电位 V2 提升至第三电位 V3，并且使第三电位 V3 大于当前行栅极输出信号 G（n）的高电位 V0 而使第一晶体管 T1 打开并向液晶电容 Clc 写入数据。由于该像素驱动电路可以使第一晶体管 T1 的栅极准位提升至大于当前行栅极输出信号 G（n）的高电位 V0 的电位，因此提升了原栅极准位，使第一晶体管 T1 的驱动能力更强，因此能够适用于高频时需要快速充电的要求，即使第一晶体管 T1 采用 IGZO 晶体管，因此该像素驱动电路能适用于动态帧频技术。

基于上述实施例，第一电位 V1 与第二电位 V2 之间的关系为公式一：

$$V_2 = (V_0 - VGL) \bullet \frac{C_1}{C_1 + C_2 + 2C_{gs1} + C_{gs2} + C_{gs3}} + V_1 \qquad \text{公式一}$$

其中，V_1 为第一电位 V1 的电位值，V_2 为第二电位 V2 的电位值，C_1 为第一电容 C1 的电容值，V_0 为栅极输出信号的高电位 V0 的值，C_2 为第二电容的电容值，VGL 为恒压低电位，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

在一些实施例中，第二电位 V2 与第三电位 V3 之间的关系为公式二：

$$V_3 = (S_2 - V_{COM}) \bullet \frac{C_2}{C_1 + C_2 + 2C_{gs1} + C_{gs2} + C_{gs3}} + V_2 \qquad \text{公式二}$$

其中，V_2 为第二电位 V2 的电位值，V_3 为第二电位 V3 的电位值，C_1 为第一电容的电容值，S_2 为第二高电位 S2 的电位值，C_2 为第二电容的电容值，V_{COM} 为公共信号 Com 的电位值，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

另外，还需要注意的是，在数据写入后，原则上第一节点 Pn 的电位在下一行栅极输出信号 G(n+1)为高电位而引入恒压低电位 VGL 后被拉低为低电位，但是数据信号 Data 的跳变会因为第二电容 C2、寄生电容和漏电流的影响导致液晶电容 Clc 的电压降低，即由于数据信号 Data 的跳变可能导致该像素驱动电路发生时钟馈通或串扰现象，由此导致画面 holding 能力变差，即 holding 时间变短。

例如，图 4 为本申请实施例的像素驱动电路的另一种时序图，参考图 4，在保持阶段 B4，如果数据信号 Data 在下一行栅极输出信号 G（n+1）引入恒压低电位 VGL 的第三时段 A3 之后发出第三高电位信号 S3，由于第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 的单侧寄生电容，会使第一晶体管 T1 中从漏电极即像素电极向源极即数据信号 Data 产生漏电流，使液晶电容 Clc 的电压降低，导致第二高电位信号 S2 对应的画面显示不准确。

甚至，数据信号 Data 跳变为第三高电位信号时若通过第二电容使得 Pn 节点的电位升高而使第一晶体管 T1 导通，则液晶电容会通过第一晶体管 T1 漏电，从而使得第二高电位信号 S2 对应的画面 holding 时间变短。

针对上述问题，本申请实施例还作了进一步改进。图 5 为本申请实施例的另一种像素驱动电路，图 6 为本申请实施例的另一种像素驱动电路的时序图，参考图 5 和图 6，在保持阶段 B4，数据信号 Data 在下一行栅极输出信号 G（n+1）转变为高电位之后，由低电平转变为第三高电位信号 S3；下一行栅极输出信号 G（n+1）由使能信号 EMn 替换，使能信号 EMn 在预充电阶段 B0、第一升压阶段 B1、第二升压阶段 B2 和过渡阶段 B3 均为低电位，且在保持阶段 B4 为高电位，由此使得第一节点 Pn 在保持阶段 B4 能稳定地保持为低电位，不会受到数据信号 Data 跳变的影响，从而使第二高电位信号 S2 对应的画面在保持阶段 B4 保持稳定，有效提升了画面 holding 能力。

或者直接如图 1 所示，在保持阶段 B4，使数据信号 Data 保持低电平，也可避免其跳变对第一节点 Pn 的影响，从而提升画面 holding

能力。

本申请还提供一种显示面板，包括上述像素驱动电路。该显示面板具有与前述实施例提供的像素驱动电路相同的结构和有益效果。由于前述实施例已经对该像素驱动电路的结构和有益效果进行了详细的描述，此处不再赘述。

可以理解的是，对本领域普通技术人员来说，可以根据本申请的技术方案及其发明构思加以等同替换或改变，而所有这些改变或替换都应属于本申请所附的权利要求的保护范围。

权 利 要 求 书

1、一种像素驱动电路，其包括:

第一晶体管、第二晶体管、第三晶体管、第一电容、第二电容、存储电容和液晶电容，其中，所述第一晶体管、所述第二晶体管、所述第三晶体管均分别包括源极、栅极和漏极，所述第一电容、所述第二电容、所述存储电容和所述液晶电容均分别包括第一端和第二端;

所述第一晶体管的栅极电性连接第一节点，源极电性连接所述第二电容的第一端，漏极分别电性连接所述存储电容的第一端和所述液晶电容的第一端;

所述第二晶体管的栅极接入上一行栅极输出信号（G（n-1））,源极电性接入数据信号，漏极电性连接第一节点;

所述第三晶体管的栅极接入下一行栅极输出信号（G（n+1））,源极电性连接第一节点，漏极电性连接恒压低电位（VGL）;

所述第一电容的第一端电性连接第一节点，第二端接入当前行栅极输出信号（G（n））;

所述第二电容的第一端电性接入数据信号，第二端电性连接第一节点;

所述存储电容的第二端和所述液晶电容的第一端分别电性连接所述第一晶体管的漏极，第二端分别电性接入公共信号。

2、如权利要求 1 所述的像素驱动电路，其中，所述像素驱动电路具有预充电阶段（B0）、第一升压阶段（B1）、第二升压阶段（B2）、过渡阶段（B3）和保持阶段（B4）; 所述第一晶体管、所述第二晶体管和所述第三晶体管均为 N 型薄膜晶体管;

在所述预充电阶段（B0）,所述第二晶体管打开，所述第三晶体管关闭，当前行栅极输出信号（G（n））通过所述第二晶体管将所述第一节点的电位充电至第一电位（V1）;

在所述第一升压阶段（B1）,所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第一高电位信号（S1）,所述数据信号通过

所述第一电容将所述第一节点的电位由所述第一电位（V1）提升至第二电位（V2）;

在所述第二升压阶段（B2），所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第二高电位信号（S2），通过所述第二电容将所述第一节点的电位由所述第二电位（V2）提升至第三电位（V3）并向所述液晶电容写入第二高电位信号（S2）；其中，所述第三电位（V3）高于所述栅极输出信号的高电位（V0）;

在所述过渡阶段（B3），所述第一晶体管、所述第二晶体管关闭和所述第三晶体管均关闭，所述当前行栅极输出信号（G（n））通过第一电容将所述第一节点的电位由第三电位（V3）降至第四电位（V4）后，所述下一行栅极输出信号（G（n+1））将所述第一节点的电位由第四电位（V4）降至恒压低电位（VGL）;

在所述保持阶段（B4），所述第一晶体管和所述第二晶体管关闭，所述第三晶体管打开，所述下一行栅极输出信号（G（n+1））将所述第一节点的电位保持为恒压低电位（VGL）。

3、如权利要求 1 所述的像素驱动电路，其中，所述第一晶体管、所述第二晶体管和所述第三晶体管均为氧化物半导体薄膜晶体管。

4、如权利要求 1 所述的像素驱动电路，其中，所述第一晶体管为氧化物半导体薄膜晶体管，所述第二晶体管和所述第三晶体管均为低温多晶硅薄膜晶体管。

5、如权利要求 2 所述的像素驱动电路，其中，

在所述预充电阶段（B0），所述上一行栅极输出信号（G（n-1））在初始时段（A0）之前为高电位 V0 且在所述初始时段（A0）开始时转换为低电位、所述当前行栅极输出信号（G（n））为低电位，所述下一行栅极输出信号（G（n+1））为低电位，所述数据信号在第一时段（A1）之前为第一高电位信号（S1）且在所述第一时段（A1）内为低电位；其中，所述第一高电位信号（S1）与所述第一电位（V1）的电位相同;

在所述第一升压阶段（B1），所述上一行栅极输出信号（G（n-1））

为低电位、所述当前行栅极输出信号（G（n））为高电位 V0，所述下一行栅极输出信号（G（n+1））为低电位，所述数据信号为低电位;

在所述第二升压阶段（B2），所述上一行栅极输出信号（G（n-1））为低电位、所述当前行栅极输出信号（G（n））为高电位 V0，所述下一行栅极输出信号（G（n+1））为低电位，所述数据信号为第二高电位信号（S2）;

在所述过渡阶段（B3），所述上一行栅极输出信号（G（n-1））、所述当前行栅极输出信号（G（n））为低电位和所述当前行栅极输出信号（G（n））均为低电位，所述数据信号在第二时段（A2）之前保持所述第二高电位信号（S2）且在所述第二时段（A2）开始时转换为低电位;

在所述保持阶段（B4），所述上一行栅极输出信号（G（n-1））和所述当前行栅极输出信号（G（n））为低电位、所述下一行栅极输出信号（G（n+1））为高电位 V0 的脉冲。

6、如权利要求 5 所述的像素驱动电路，其中，所述第一电位（V1）与所述第二电位（V2）之间的关系为公式一:

$$V_2=(V_0-VGL)\bullet\frac{C_1}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_1 \qquad \text{公式一}$$

其中，V_1 为第一电位 V1 的电位值，V_2 为第二电位 V2 的电位值，C_1 为第一电容的电容值，V_0 为栅极输出信号的高电位 V0 的值，C_2 为第二电容的电容值，VGL 为恒压低电位，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

7、如权利要求 6 所述的像素驱动电路，其中，所述第二电位（V2）与所述第三电位（V3）之间的关系为公式二:

$$V_3=(S_2-V_{COM})\bullet\frac{C_2}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_2 \qquad \text{公式二}$$

其中，V_2 为第二电位 V2 的电位值，V_3 为第二电位 V3 的电位值，C_1 为第一电容的电容值，S_2 为第二高电位 S2 的电位值，C_2 为第二电

容的电容值，V_{COM}为公共信号的电位值，C_{gs1}为第一晶体管的单侧寄生电容值，C_{gs2}为第二晶体管的单侧寄生电容值，C_{gs3}为第三晶体管的单侧寄生电容值。

8、如权利要求7所述的像素驱动电路，其中，所述第三电位（V3）高于所述栅极输出信号的高电位（V0）是基于所述公式一及所述公式二，根据所述第一高电位信号、所述第二高电位信号、栅极输出信号的高电位（V0）、所述恒压低电位（VGL）和所述公共信号的电位值（V_{COM}），通过调节所述第一电容的电容值和所述第二电容的电容值实现的。

9、如权利要求5所述的像素驱动电路，其中，在所述保持阶段（B4），所述数据信号在第三时段（A3）内保持低电平，并在所述第三时段（A3）之后由低电平转变为第三高电位信号（S3）;

下一行栅极输出信号（G（n+1））由使能信号（EMn）替换，所述使能信号（EMn）在所述预充电阶段（B0）、所述第一升压阶段（B1）、所述第二升压阶段（B2）和所述过渡阶段（B3）均为低电位，且在所述保持阶段（B4）为高电位。

10、如权利要求5所述的像素驱动电路，其中，在所述保持阶段（B4），所述数据信号保持低电平。

11、一种显示面板，其包括像素驱动电路，所述像素驱动电路包括:

第一晶体管、第二晶体管、第三晶体管、第一电容、第二电容、存储电容和液晶电容，其中，所述第一晶体管、所述第二晶体管、所述第三晶体管均分别包括源极、栅极和漏极，所述第一电容、所述第二电容、所述存储电容和所述液晶电容均分别包括第一端和第二端;

所述第一晶体管的栅极电性连接第一节点，源极电性连接所述第二电容的第一端，漏极分别电性连接所述存储电容的第一端和所述液晶电容的第一端;

所述第二晶体管的栅极接入上一行栅极输出信号（G（n-1）），源极电性接入数据信号，漏极电性连接第一节点;

所述第三晶体管的栅极接入下一行栅极输出信号（G（n+1））, 源极电性连接第一节点，漏极电性连接恒压低电位（VGL）;

所述第一电容的第一端电性连接第一节点，第二端接入当前行栅极输出信号（G（n））;

所述第二电容的第一端电性接入数据信号，第二端电性连接第一节点;

所述存储电容的第二端和所述液晶电容的第一端分别电性连接所述第一晶体管的漏极，第二端分别电性接入公共信号。

12、如权利要求 11 所述的显示面板，其中，所述像素驱动电路具有预充电阶段（B0）、第一升压阶段（B1）、第二升压阶段（B2）、过渡阶段（B3）和保持阶段（B4）; 所述第一晶体管、所述第二晶体管和所述第三晶体管均为 N 型薄膜晶体管;

在所述预充电阶段（B0）, 所述第二晶体管打开，所述第三晶体管关闭，当前行栅极输出信号（G（n））通过所述第二晶体管将所述第一节点的电位充电至第一电位（V1）;

在所述第一升压阶段（B1）, 所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第一高电位信号（S1），所述数据信号通过所述第一电容将所述第一节点的电位由所述第一电位（V1）提升至第二电位（V2）;

在所述第二升压阶段（B2）, 所述第二晶体管和所述第三晶体管关闭，所述数据信号发出第二高电位信号（S2），通过所述第二电容将所述第一节点的电位由所述第二电位（V2）提升至第三电位（V3）并向所述液晶电容写入第二高电位信号（S2）; 其中，所述第三电位（V3）高于所述栅极输出信号的高电位（V0）;

在所述过渡阶段（B3）, 所述第一晶体管、所述第二晶体管关闭和所述第三晶体管均关闭，所述当前行栅极输出信号（G（n））通过第一电容将所述第一节点的电位由第三电位（V3）降至第四电位（V4）后，所述下一行栅极输出信号（G（n+1））将所述第一节点的电位由第四电位（V4）降至恒压低电位（VGL）;

在所述保持阶段（B4），所述第一晶体管和所述第二晶体管关闭，所述第三晶体管打开，所述下一行栅极输出信号（G（n+1））将所述第一节点的电位保持为恒压低电位（VGL）。

13、如权利要求 11 所述的显示面板，其中，所述第一晶体管、所述第二晶体管和所述第三晶体管均为氧化物半导体薄膜晶体管。

14、如权利要求 11 所述的显示面板，其中，所述第一晶体管为氧化物半导体薄膜晶体管，所述第二晶体管和所述第三晶体管均为低温多晶硅薄膜晶体管。

15、如权利要求 12 所述的显示面板，其中，

在所述预充电阶段（B0），所述上一行栅极输出信号（G（n-1））在初始时段（A0）之前为高电位 V0 且在所述初始时段（A0）开始时转换为低电位、所述当前行栅极输出信号（G（n））为低电位，所述下一行栅极输出信号（G（n+1））为低电位，所述数据信号在第一时段（A1）之前为第一高电位信号（S1）且在所述第一时段（A1）内为低电位；其中，所述第一高电位信号（S1）与所述第一电位（V1）的电位相同；

在所述第一升压阶段（B1），所述上一行栅极输出信号（G（n-1））为低电位、所述当前行栅极输出信号（G（n））为高电位 V0，所述下一行栅极输出信号（G（n+1））为低电位，所述数据信号为低电位；

在所述第二升压阶段（B2），所述上一行栅极输出信号（G（n-1））为低电位、所述当前行栅极输出信号（G（n））为高电位 V0，所述下一行栅极输出信号（G（n+1））为低电位，所述数据信号为第二高电位信号（S2）；

在所述过渡阶段（B3），所述上一行栅极输出信号（G（n-1））、所述当前行栅极输出信号（G（n））为低电位和所述当前行栅极输出信号（G（n））均为低电位，所述数据信号在第二时段（A2）之前保持所述第二高电位信号（S2）且在所述第二时段（A2）开始时转换为低电位；

在所述保持阶段（B4），所述上一行栅极输出信号（G（n-1））

和所述当前行栅极输出信号（G（n））为低电位、所述下一行栅极输出信号（G（n+1））为高电位 V0 的脉冲。

16、如权利要求 15 所述的显示面板，其中，所述第一电位（V1）与所述第二电位（V2）之间的关系为公式一:

$$V_2=(V_0-VGL)\bullet\frac{C_1}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_1 \qquad \text{公式一}$$

其中，V_1 为第一电位 V1 的电位值，V_2 为第二电位 V2 的电位值，C_1 为第一电容 C1 的电容值，V_0 为栅极输出信号的高电位 V0 的值，C_2 为第二电容的电容值，VGL 为恒压低电位，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

17、如权利要求 16 所述的显示面板，其中，所述第二电位（V2）与所述第三电位（V3）之间的关系为公式二:

$$V_3=(S_2-V_{COM})\bullet\frac{C_2}{C_1+C_2+2C_{gs1}+C_{gs2}+C_{gs3}}+V_2 \qquad \text{公式二}$$

其中，V_2 为第二电位 V2 的电位值，V_3 为第二电位 V3 的电位值，C_1 为第一电容的电容值，S_2 为第二高电位 S2 的电位值，C_2 为第二电容的电容值，V_{COM} 为公共信号的电位值，C_{gs1} 为第一晶体管的单侧寄生电容值，C_{gs2} 为第二晶体管的单侧寄生电容值，C_{gs3} 为第三晶体管的单侧寄生电容值。

18、如权利要求 17 所述的显示面板，其中，所述第三电位（V3）高于所述栅极输出信号的高电位（V0）是基于所述公式一及所述公式二，根据所述第一高电位信号、所述第二高电位信号、栅极输出信号的高电位（V0）、所述恒压低电位（VGL）和所述公共信号的电位值（V_{COM}），通过调节所述第一电容的电容值和所述第二电容的电容值实现的。

19、如权利要求 15 所述的显示面板，其中，在所述保持阶段（B4），所述数据信号在第三时段（A3）内保持低电平，并在所述第三时段（A3）之后由低电平转变为第三高电位信号（S3）;

下一行栅极输出信号（G（n+1））由使能信号（EMn）替换，所述使能信号（EMn）在所述预充电阶段（B0）、所述第一升压阶段（B1）、所述第二升压阶段（B2）和所述过渡阶段（B3）均为低电位，且在所述保持阶段（B4）为高电位。

20、如权利要求15所述的显示面板，其中，在所述保持阶段（B4），所述数据信号保持低电平。

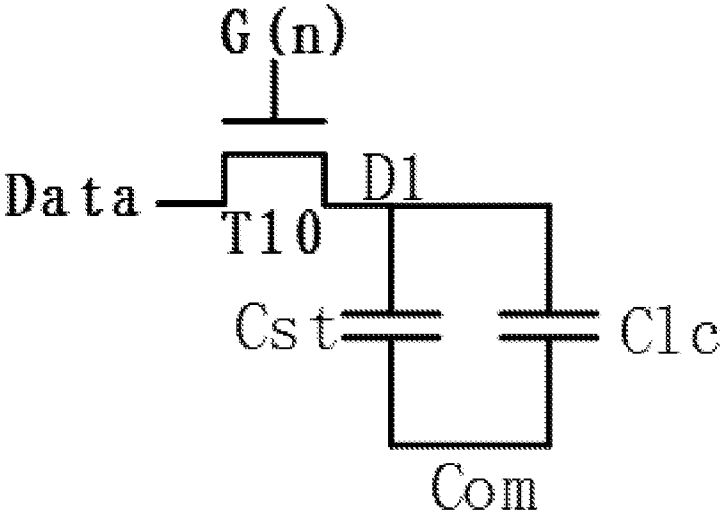
G(n)
Data
D1
T10
Cst
Clc
Com

图 1

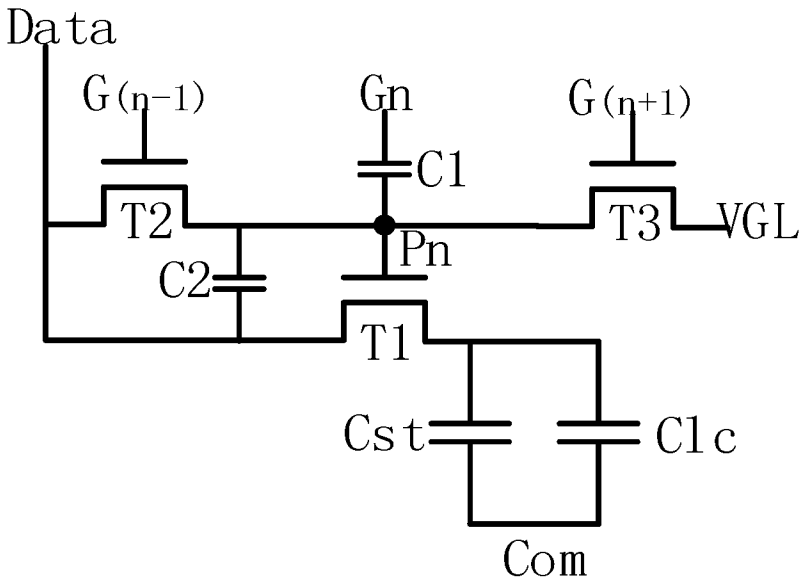
Data
G(n-1)
Gn
G(n+1)
C1
T2
T3
VGL
Pn
C2
T1
Cst
Clc
Com

图 2

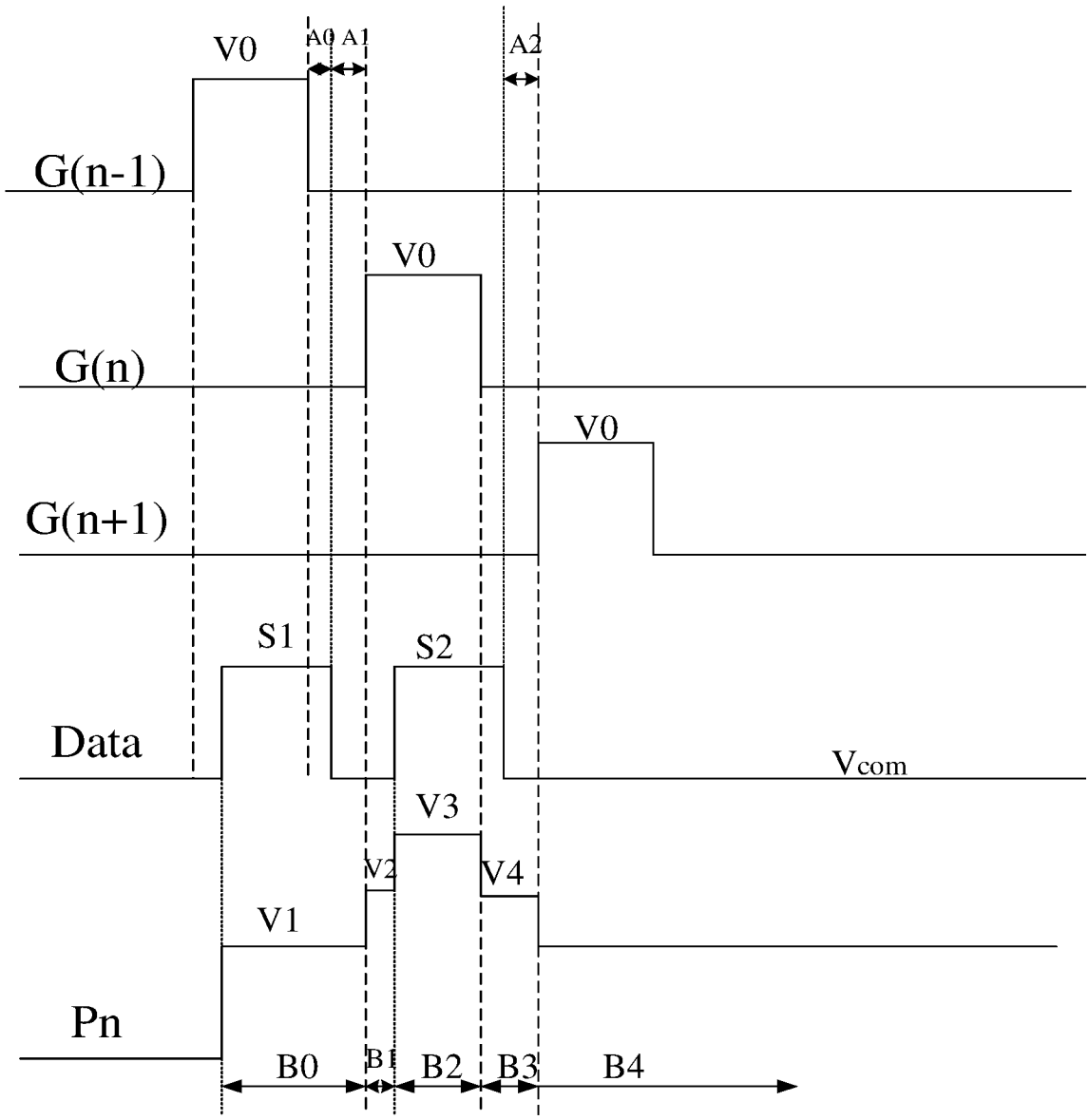
V0
A0
A1
A2
G(n-1)
V0
G(n)
V0
G(n+1)
S1
S2
Data
Vcom
V3
V2
V4
V1
Pn
B0
B1
B2
B3
B4

图 3

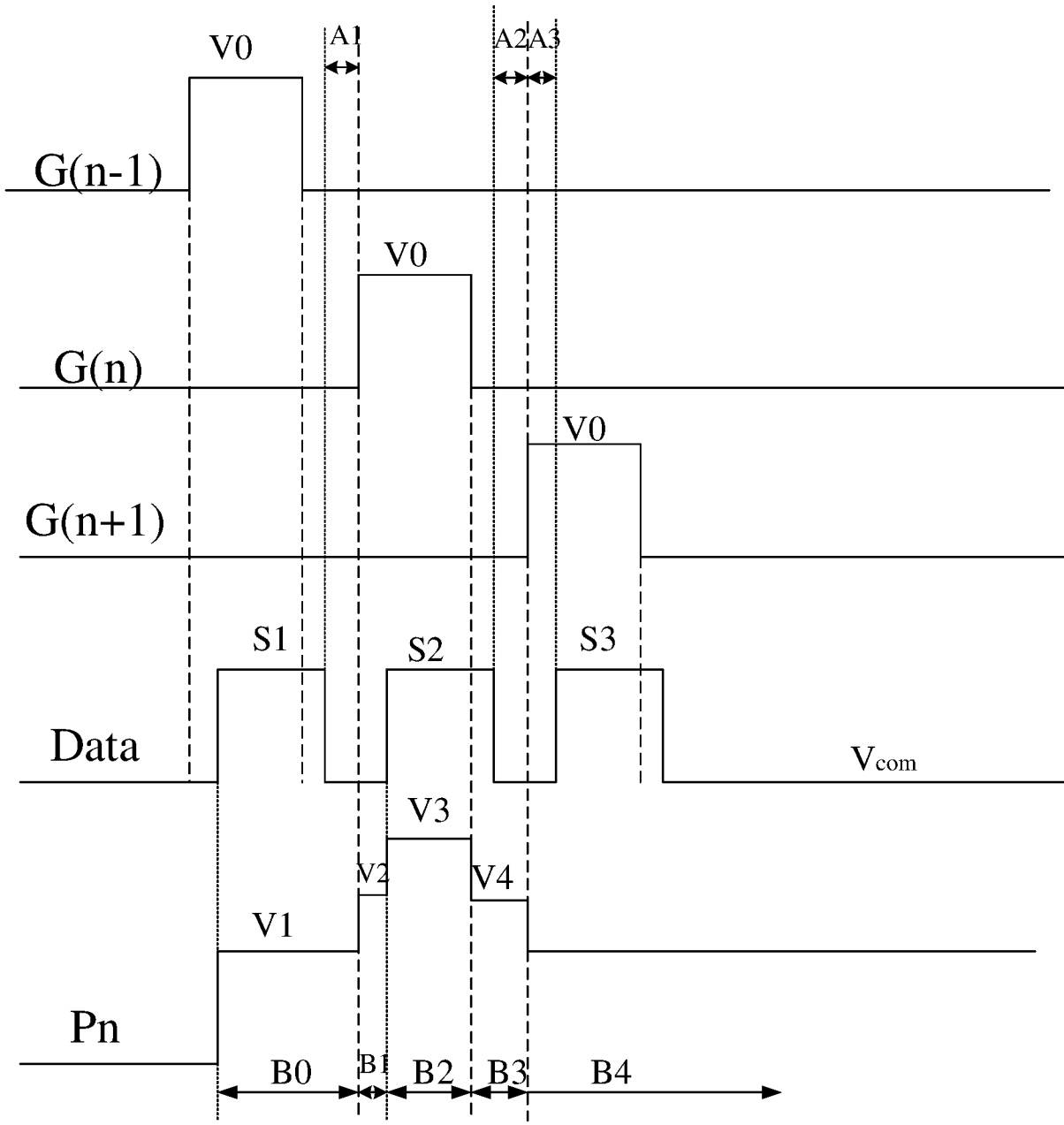
V0
A1
A2
A3
G(n-1)
V0
G(n)
V0
G(n+1)
S1
S2
S3
Data
Vcom
V3
V2
V4
V1
Pn
B0
B1
B2
B3
B4

图 4

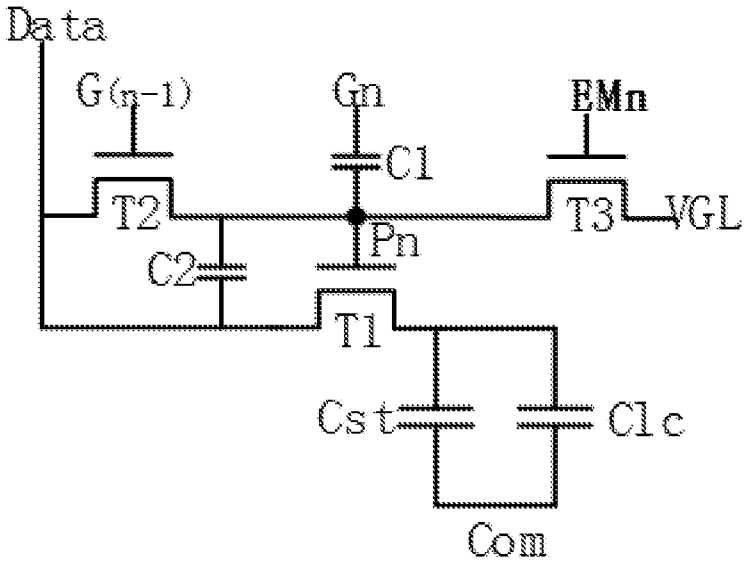

图 5

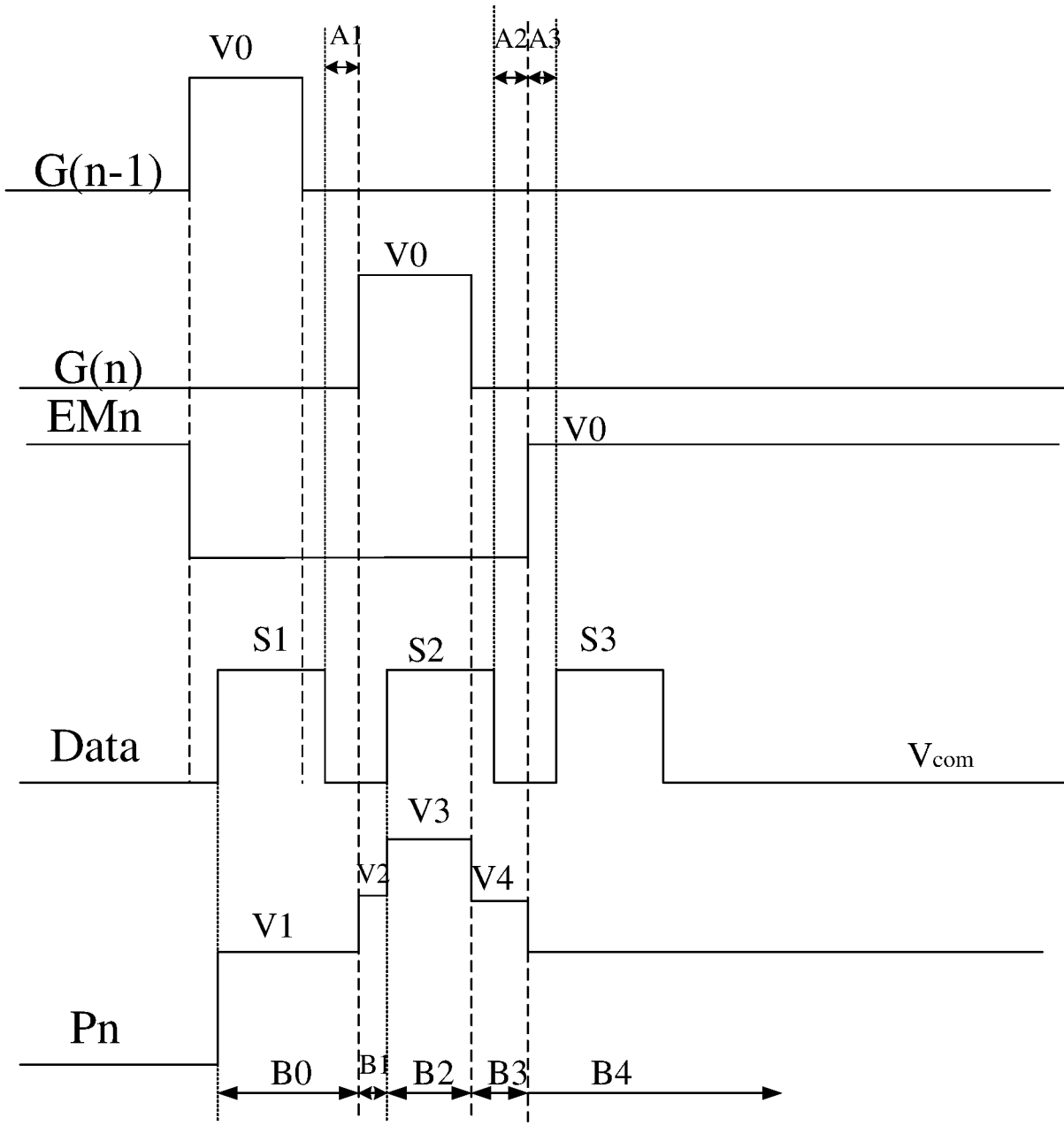
V0
A1
A2
A3
G(n-1)
V0
G(n)
EMn
V0
S1
S2
S3
Data
Vcom
V3
V2
V4
V1
Pn
B0
B1
B2
B3
B4

图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/115739

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F; H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 像素, 象素, 驱动, 晶体管, 开关, 预充电, 补偿, 拉高, 栅极, 扫描, 行, 上, 下, 级, 前, 后, pixel, drive, transistor, swicth, pre, charge, compensate, up, high, scan, gate, row, previous, stage, behind, below

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 111312187 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 19 June 2020 (2020-06-19) description, paragraphs [0002]-[0065], and figures 1-5	1-20
Y	CN 106531111 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 March 2017 (2017-03-22) description, paragraphs [0002]-[0077], and figures 1-9	1-20
A	TW 201533725 A (AU OPTRONICS CORPORATION) 01 September 2015 (2015-09-01) entire document	1-20
A	US 2017154591 A1 (AU OPTRONICS CORPORATION) 01 June 2017 (2017-06-01) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 April 2021	**16 April 2021**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2020/115739

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111312187	A	19 June 2020	None			
CN	106531111	A	22 March 2017	CN	106531111	B	12 November 2019
TW	201533725	A	01 September 2015	TW	I521498	B	11 February 2016
				CN	103971654	A	06 August 2014
				CN	103971654	B	03 May 2017
US	2017154591	A1	01 June 2017	CN	105679264	A	15 June 2016
				TW	201719621	A	01 June 2017
				CN	105679264	B	14 August 2018
				US	9799291	B2	24 October 2017
				TW	I569252	B	01 February 2017

国际检索报告

国际申请号
PCT/CN2020/115739

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G02F; H04N

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,VEN: 像素、象素、驱动、晶体管、开关、预充电、补偿、拉高、栅极、扫描、行、上、下、级、前、后、 pixel,drive,transistor,swicth,pre,charge,compensate,up,high,scan,gate,row,previous,stage,behind,below

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 111312187 A (深圳市华星光电半导体显示技术有限公司) 2020年 6月 19日 (2020-06-19) 说明书第[0002]-[0065]段、附图1-5	1-20
Y	CN 106531111 A (京东方科技集团股份有限公司等) 2017年 3月 22日 (2017-03-22) 说明书第[0002]-[0077]段、附图1-9	1-20
A	TW 201533725 A (AU OPTRONICS CORP) 2015年 9月 1日 (2015-09-01) 全文	1-20
A	US 2017154591 A1 (AU OPTRONICS CORP) 2017年 6月 1日 (2017-06-01) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2021年 4月 8日	2021年 4月 16日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	聂莹莹
传真号 (86-10)62019451	电话号码 62089873

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2020/115739

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111312187	A	2020年 6月 19日	无			
CN	106531111	A	2017年 3月 22日	CN	106531111	B	2019年 11月 12日
TW	201533725	A	2015年 9月 1日	TW	I521498	B	2016年 2月 11日
				CN	103971654	A	2014年 8月 6日
				CN	103971654	B	2017年 5月 3日
US	2017154591	A1	2017年 6月 1日	CN	105679264	A	2016年 6月 15日
				TW	201719621	A	2017年 6月 1日
				CN	105679264	B	2018年 8月 14日
				US	9799291	B2	2017年 10月 24日
				TW	I569252	B	2017年 2月 1日