

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>8</sup> G11C 7/10 (2006.01)		(45) 공고일자	2006년01월10일
		(11) 등록번호	10-0541045
		(24) 등록일자	2005년12월28일
(21) 출원번호	10-2003-0030350	(65) 공개번호	10-2004-0098147
(22) 출원일자	2003년05월13일	(43) 공개일자	2004년11월20일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	장성진 경기도성남시분당구이매동122금강아파트104-704  전영현 서울특별시강남구대치동미도아파트205동1105호  곽진석 경기도수원시팔달구매탄동1282번지주공그린빌504동1402호
(74) 대리인	박상수

심사관 : 오웅기

### (54) 듀얼 뱅크 시스템, 이 시스템에 사용을 위한 메모리, 및 이 메모리의 온 다이 종단 방법

#### 요약

본 발명은 듀얼 뱅크 시스템, 이 시스템에 사용을 위한 메모리, 및 이 메모리의 온 다이 종단 방법을 공개한다. 메모리는 선택신호가 활성화되고 라이트 명령을 나타내는 명령신호들이 입력되면 라이트 신호를 발생하고, 리드 명령을 나타내는 명령신호들이 입력되면 리드 신호를 발생하고, 선택신호가 비활성화되고 라이트 명령을 나타내는 명령신호들이 입력되면 더미 라이트 신호를 발생하고, 리드 명령을 나타내는 명령신호들이 입력되면 더미 리드 신호를 발생하는 명령어 디코더, 라이트 신호 또는 더미 라이트 신호에 응답하여 온 다이 종단 제어신호를 활성화하고, 리드 신호 또는 더미 리드 신호에 응답하여 온 다이 종단 제어신호를 비활성화하는 온 다이 종단 제어회로, 및 온 다이 종단 제어신호의 활성화에 응답하여 온 다이 종단 동작을 수행하여 외부로부터 인가되는 신호를 종단하는 온 다이 종단 회로로 구성되어 있다. 따라서, 메모리들로 데이터가 입력되는 기간에 온 다이 종단 동작을 인에이블하여 신호를 종단함으로써 온 다이 종단 회로를 통하여 흐르는 누설 전류를 방지할 수 있다.

#### 대표도

도 2

#### 명세서

#### 도면의 간단한 설명

도1은 본 발명의 듀얼 뱅크 시스템의 구성을 나타내는 것이다.

도2는 본 발명의 듀얼 뱅크 시스템에 사용을 위한 메모리의 실시예의 구성을 나타내는 블록도이다.

도3은 도2에 나타난 온 다이 종단 제어신호 발생부의 실시예의 회로도이다.

도4는 본 발명의 실시예의 온 다이 종단 회로의 회로도이다.

도5a, b는 본 발명의 듀얼 뱅크 시스템의 전면부와 후면부의 메모리들의 동작을 설명하기 위한 동작 타이밍도이다.

도6a, b는 본 발명의 듀얼 뱅크 시스템의 전면부와 후면부의 메모리들의 동작을 설명하기 위한 동작 타이밍도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 듀얼 뱅크 시스템에 관한 것으로, 특히 듀얼 뱅크 시스템, 이 시스템에 사용을 위한 메모리, 및 이 메모리의 신호 종단 방법에 관한 것이다.

종래의 신호 종단 기술은 시스템 보드상에 배치되는 신호 라인들에 종단 저항과 종단 전압을 연결하여 신호를 종단한다. 그러나, 시스템 보드상에 배치되는 신호 라인들이 많아지게 되고, 이에 따라, 시스템 보드상에 종단 회로를 배치하는 것이 어려워지게 되었다.

이와같은 문제를 해결하기 위하여 온 다이 종단 기술이 개발되었다. 온 다이 종단 기술은 시스템 보드상에 종단 회로를 배치하여 신호를 종단하는 것이 아니라, 다이상에 종단 회로를 배치하여 신호를 종단하는 것이다. 따라서, 시스템 보드상에 종단 회로를 배치하지 않아도 됨으로 인해서 시스템 보드상에 신호 라인들의 배치가 용이하게 된다.

종래의 듀얼 뱅크 시스템에 사용되는 메모리의 온 다이 종단 방법은 전원전압이 인가되면 온 다이 종단 회로가 항상 인에이블되어 종단 전압을 데이터 입출력(또는, 입력) 패드들에 연결함으로써 신호를 종단한다.

따라서, 종래의 듀얼 뱅크 시스템에 사용되는 메모리의 온 다이 종단 제어방법은 간단하지만, 신호 종단이 필요한 기간, 즉, 외부로부터 데이터가 입력되는 기간이 아닌 기간에도 온 다이 종단 회로가 동작하게 됨으로써 온 다이 종단 회로를 통한 전류 소모가 많아지게 된다는 문제점이 있었다.

일반적으로, 메모리의 온 다이 종단 회로들의 수는 데이터 입출력(또는, 입력) 패드들의 수와 동일하다. 따라서, 메모리의 데이터 입출력(또는, 입력) 패드들의 수가 많아지게 되면 온 다이 종단 회로들의 수도 많아지게 되는데, 많은 수의 온 다이 종단 회로들이 신호 종단이 필요한 기간이외의 기간에도 동작을 수행하게 되면, 온 다이 종단 회로들을 통하여 소모되는 전류가 무시할 수 없을 정도로 커지게 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 듀얼 뱅크 시스템에 사용되는 메모리의 온 다이 종단 회로를 통한 누설 전류를 줄일 수 있는 듀얼 뱅크 시스템을 제공하는데 있다.

본 발명의 다른 목적은 상기 목적을 달성하기 위한 듀얼 뱅크 시스템에 사용을 위한 메모리를 제공하는데 있다.

본 발명의 또 다른 목적은 상기 목적을 달성하기 위한 듀얼 뱅크 시스템에 사용을 위한 메모리의 온 다이 종단 방법을 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 듀얼 뱅크 시스템은 제1선택신호에 응답하여 선택되는 복수개의 제1메모리들, 제2선택신호에 응답하여 선택되는 복수개의 제2메모리들, 및 상기 제1, 제2선택신호들을 발생하고, 상기 복수개의 제1 및 제

2메모리들로 명령신호들을 출력하고, 상기 복수개의 제1 및 제2메모리들 각각의 대응하는 메모리들과 데이터를 입출력하는 제어수단을 구비하고, 상기 복수개의 제1 및 제2메모리들 각각은 상기 제1 또는 제2선택신호의 활성화 또는 비활성화에 관계없이 상기 명령신호들이 라이트 명령을 나타내면 라이트 신호 또는 더미 라이트 신호를 발생하고, 상기 명령신호들이 리드 명령을 나타내면 리드 신호 또는 더미 리드 신호를 발생하는 명령어 디코더, 상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 중단 제어신호를 활성화하고, 상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 상기 온 다이 중단 제어신호를 비활성화하는 온 다이 중단 제어회로, 및 상기 온 다이 중단 제어신호의 활성화에 응답하여 온 다이 중단 동작을 수행하여 외부로부터 인가되는 신호를 중단하는 온 다이 중단 회로를 구비하는 것을 특징으로 한다.

상기 다른 목적을 달성하기 위한 본 발명의 듀얼 बैं크 시스템에 사용을 위한 메모리는 선택신호가 활성화되고 라이트 명령을 나타내는 명령신호들이 입력되면 라이트 신호를 발생하고, 리드 명령을 나타내는 상기 명령신호들이 입력되면 리드 신호를 발생하고, 선택신호가 비활성화되고 상기 라이트 명령을 나타내는 상기 명령신호들이 입력되면 더미 라이트 신호를 발생하고, 상기 리드 명령을 나타내는 상기 명령신호들이 입력되면 더미 리드 신호를 발생하는 명령어 디코더, 상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 중단 제어신호를 활성화하고, 상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 상기 온 다이 중단 제어신호를 비활성화하는 온 다이 중단 제어회로, 및 상기 온 다이 중단 제어신호의 활성화에 응답하여 온 다이 중단 동작을 수행하여 외부로부터 인가되는 신호를 중단하는 온 다이 중단 회로를 구비하는 것을 특징으로 한다.

상기 목적과 다른 목적을 달성하기 위한 본 발명의 듀얼 बैं크 시스템 및 이 시스템에 사용을 위한 메모리의 온 다이 중단 제어회로는 상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 중단 인에이블 신호를 발생하는 온 다이 중단 인에이블 신호 발생회로, 상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 온 다이 중단 디스에이블 신호를 발생하는 온 다이 중단 디스에이블 신호 발생회로, 및 상기 온 다이 중단 인에이블 신호가 활성화되면 상기 온 다이 중단 제어신호를 활성화하고, 상기 온 다이 중단 인에이블 신호가 비활성화되거나, 상기 온 다이 중단 디스에이블 신호가 활성화되면 상기 온 다이 중단 제어신호를 비활성화하는 온 다이 중단 제어신호 발생회로를 구비하는 것을 특징으로 하고, 상기 온 다이 중단 회로는 상기 온 다이 중단 제어신호가 활성화되면 온되어 전원전압을 전송하는 풀업 트랜지스터, 상기 풀업 트랜지스터와 중단 노드 사이에 연결된 풀업 저항, 상기 온 다이 중단 제어신호가 활성화되면 온되어 접지전압을 전송하는 풀다운 트랜지스터, 및 상기 중단 노드와 상기 풀다운 트랜지스터 사이에 연결된 풀다운 저항을 구비하는 것을 특징으로 한다.

상기 또 다른 목적을 달성하기 위한 본 발명의 듀얼 बैं크 시스템에 사용을 위한 메모리의 온 다이 중단 방법은 선택신호가 활성화되고 라이트 명령을 나타내는 명령신호들이 입력되면 라이트 신호를 발생하고, 리드 명령을 나타내는 상기 명령신호들이 입력되면 리드 신호를 발생하고, 선택신호가 비활성화되고 상기 라이트 명령을 나타내는 상기 명령신호들이 입력되면 더미 라이트 신호를 발생하고, 상기 리드 명령을 나타내는 상기 명령신호들이 입력되면 더미 리드 신호를 발생하는 명령어 디코딩 단계, 상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 중단 제어신호를 활성화하고, 상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 상기 온 다이 중단 제어신호를 비활성화하는 온 다이 중단 제어신호 발생 단계, 및 상기 온 다이 중단 제어신호의 활성화에 응답하여 온 다이 중단 동작을 수행하여 외부로부터 인가되는 신호를 중단하는 온 다이 중단 단계를 구비하는 것을 특징으로 한다.

## 발명의 구성 및 작용

이하, 첨부한 도면을 참고로 하면 본 발명의 듀얼 बैं크 시스템 및 이 시스템에 사용을 위한 메모리 및 이 메모리의 온 다이 중단 방법을 설명하기 전에 일반적인 듀얼 बैं크 시스템을 먼저 설명하면 다음과 같다.

도1은 일반적인 듀얼 बैं크 시스템의 구성을 나타내는 것으로, 제어부(10), 및 메모리 모듈(20)로 구성되어 있다. 메모리 모듈(20)은 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)로 구성되고, 메모리들(20-11 ~ 20-1n)은 메모리 모듈(20)의 전면부에 배치되고, 메모리들(20-21 ~ 20-2n) 각각은 메모리 모듈(20)의 후면부에 메모리들(20-11 ~ 20-1n) 각각의 마주보는 위치에 배치된다.

도1에 나타난 일반적인 듀얼 बैं크 시스템의 제어부(10)와 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)사이의 신호 전송 방법을 살펴보면 다음과 같다.

제1반전 칩 선택신호 라인(cs1bl)은 제어부(10)의 제1반전 칩 선택신호 단자(CS1B)를 통하여 출력되는 제1반전 칩 선택신호(cs1b)를 메모리들(20-11 ~ 20-1n)의 반전 칩 선택신호 단자(CSB)로 전송하고, 제2반전 칩 선택신호 라인(cs2bl)은 제어부(10)의 제2반전 칩 선택신호 단자(CS2B)를 통하여 출력되는 제2반전 칩 선택신호(cs2b)를 메모리들(20-21 ~ 20-2n)의 반전 칩 선택신호 단자(CSB)로 전송한다. 반전 로우 어드레스 스트로우브 신호 라인(rasbl), 반전 컬럼 어드레스 스트로우브 신호 라인(casbl), 반전 라이트 인에이블 신호 라인(web), 및 어드레스 신호 라인(addl)은 제어부(10)의 반

전 로우 어드레스 스트로우브 신호 단자(RASB), 반전 컬럼 어드레스 스트로우브 신호 단자(CASB), 반전 라이트 인에이블 신호 단자(WEB), 및 어드레스 신호 단자(ADD)를 통하여 출력되는 반전 로우 어드레스 스트로우브 신호(rasb), 반전 컬럼 어드레스 스트로우브 신호(casb), 반전 라이트 인에이블 신호(web), 및 어드레스 신호(add)를 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)의 반전 로우 어드레스 스트로우브 신호 단자(RASB), 반전 컬럼 어드레스 스트로우브 신호 단자(CASB), 반전 라이트 인에이블 신호 단자(WEB), 및 어드레스 신호 단자(ADD)로 전송한다. 그리고, 데이터 입출력 라인들(dq11)은 제어부(10)의 데이터 입출력 단자(DQ1)를 통하여 출력되는 데이터(dq1)를 메모리들(20-11, 20-21)의 데이터 입출력 단자(DQ)로 전송하고, 데이터 입출력 라인들(dq21)은 제어부(10)의 데이터 입출력 단자(DQ2)를 통하여 출력되는 데이터(dq2)를 메모리들(20-12, 20-22)의 데이터 입출력 단자(DQ)로 전송한다. 마찬가지로, 데이터 입출력 라인들(dqn1)은 제어부(10)의 데이터 입출력 단자(DQn)를 통하여 출력되는 데이터(dqn)를 메모리들(20-1n, 20-2n)의 데이터 입출력 단자(DQ)로 전송한다.

도1에 나타난 듀얼 뱅크 시스템은 제어부(10)가 "로우"레벨의 반전 칩 선택신호(cs1b)를 발생하면 메모리 모듈(20)의 전면부의 메모리들(20-11 ~ 20-1n)이 선택되고, 제어부(10)가 "로우"레벨의 반전 라이트 인에이블 신호(web)와 함께 데이터(dq1 ~ dqn)를 발생하면 메모리 모듈(20)의 전면부와 후면부의 메모리들((20-11, 20-21), (20-12, 20-22), ..., (20-1n, 20-2n))로 데이터(dq1 ~ dqn)가 동시에 입력된다. 즉, 듀얼 뱅크 시스템은 메모리 모듈(20)의 전면부의 메모리들(20-11 ~ 20-1n)이 선택되어 데이터를 라이트하는 경우에 후면부의 메모리들(20-21 ~ 20-2n)로도 데이터가 인가된다. 마찬가지로, 메모리 모듈(20)의 후면부의 메모리들(20-21 ~ 20-2n)이 선택되어 데이터를 라이트하는 경우에 전면부의 메모리들(20-11 ~ 20-1n)로도 데이터가 인가된다. 결과적으로, 데이터를 라이트하는 경우에 메모리 모듈(20)의 전면부의 메모리들(20-11 ~ 20-1n) 뿐만 아니라, 메모리 모듈(20)의 후면부의 메모리들(20-21 ~ 20-2n)로도 데이터가 인가된다.

도2는 본 발명의 듀얼 뱅크 시스템에 사용을 위한 메모리의 실시예의 구성을 나타내는 블록도로서, 명령어 디코더(30), OR게이트들(OR1, OR2), 및 온 다이 종단(ODT) 제어신호 발생부(32)로 구성되어 있다.

도2에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.

명령어 디코더(30)는 외부로부터 인가되는 명령 신호들(clk, csb, rasb, casb, web)을 디코딩하여 라이트 신호(WE), 더미 라이트 신호(DWE), 더미 리드 신호(DRD), 및 리드 신호(RD)을 발생한다. OR게이트(OR1)는 라이트 신호(WE)와 더미 라이트 신호(DWE)를 논리합하여 온 다이 종단 인에이블 신호(ODTEN)을 발생한다. OR게이트(OR2)는 더미 리드 신호(DRD)와 리드 신호(RD)를 논리합하여 온 다이 종단 디스에이블 신호(ODTDIS)를 발생한다. ODT 제어신호 발생부(32)는 온 다이 종단 인에이블 신호(ODTEN)에 응답하여 온 다이 종단 제어신호(PODT)를 활성화하고, 온 다이 종단 디스에이블 신호(ODTDIS)에 응답하여 온 다이 종단 제어신호(PODT)를 비활성화한다.

본 발명의 명령어 디코더(30)는 라이트 신호(WE), 및 리드 신호(RD) 외에 더미 라이트 신호(DWE), 및 더미 리드 신호(DRD)를 추가적으로 발생한다.

아래의 표 1은 도2에 나타난 구성의 동작을 설명하기 위한 것으로, 아래의 표를 이용하여 도2에 나타난 구성의 동작을 설명하면 다음과 같다.

**【표 1】**

외부 명령어 내부 명령어	csb	rasb	casb	web	ODTEN	ODTDIS	PODT
WE	L	H	L	L	H	L	H
RD	L	H	L	H	L	H	L
DWE	H	H	L	L	H	L	H
DRD	H	H	L	H	L	H	L

상기 표 1에서, L은 "로우"레벨을, H는 "하이"레벨을 각각 나타낸다.

명령어 디코더(30)는 반전 칩 선택신호(csb)가 "로우"레벨이고, 외부로부터 인가되는 명령 신호들(rasb, casb, web) 각각이 "하이"레벨, "로우"레벨, "로우"레벨이면, 즉, 외부로부터 라이트 명령이 인가되면 라이트 신호(WE)을 발생하고, 반전 칩 선택신호(csb)가 "하이"레벨이고, 외부로부터 인가되는 명령 신호들(rasb, casb, web)이 "하이"레벨, "로우"레벨, "로우"레벨이면 더미 라이트 신호(DWE)을 발생한다. OR게이트(OR1)는 "하이"레벨의 라이트 신호(WE) 또는 더미 라이트 신호(DWE)이 발생되면 "하이"레벨의 온 다이 종단 인에이블 신호(ODTEN)를 발생한다. ODT 제어신호 발생부(32)는 "하이"레벨의 온 다이 종단 인에이블 신호(ODTEN)가 입력되면 "하이"레벨의 온 다이 종단 제어신호(PODT)를 발생한다.

또한, 명령어 디코더(30)는 반전 칩 선택신호(csb)가 "로우"레벨이고, 외부로부터 인가되는 명령 신호들(csb, rasb, casb, web) 각각이 "하이"레벨, "로우"레벨, "하이"레벨이면, 즉, 외부로부터 리드 명령이 인가되면 리드 신호(RD)을 발생하고, 반전 칩 선택신호(csb)가 "하이"레벨이고, 외부로부터 인가되는 명령 신호들(csb, rasb, casb, web) 각각이 "하이"레벨, "로우"레벨, "하이"레벨이면, 더미 리드 신호(DRD)을 발생한다. OR게이트(OR2)는 "하이"레벨의 더미 리드 신호(DRD)이 발생되면 "하이"레벨의 온 다이 종단 디스에이블 신호(ODTDIS)를 발생한다. ODT 제어신호 발생부(32)는 "하이"레벨의 온 다이 종단 디스에이블 신호(ODTDIS)가 입력되면 "로우"레벨의 온 다이 종단 제어신호(PODT)를 발생한다.

즉, 본 발명의 듀얼 बैं크 시스템에 사용을 위한 메모리들은 반전 칩 선택신호의 활성화 또는 비활성화에 관계없이 외부로부터 라이트 명령이 인가되면 온 다이 종단 제어신호(PODT)를 활성화하고, 외부로부터 리드 명령이 인가되면 온 다이 종단 제어신호(PODT)를 비활성화한다.

이에 따라, 메모리들은 데이터 입출력 패드들을 통하여 데이터가 입력되는 기간에 맞추어서 온 다이 종단 회로가 인에이블되어 동작을 수행하기 때문에 온 다이 종단 회로를 통하여 소모되는 전류를 줄일 수 있다.

따라서, 본 발명의 메모리를 도1에 나타낸 듀얼 बैं크 시스템에 사용하게 되면, 데이터를 라이트하는 경우에 도1에 나타낸 메모리 모듈(20)의 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n) 내부의 온 다이 종단 회로를 모두 인에이블하여 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)로 인가되는 신호를 중단한다.

즉, 듀얼 बैं크 시스템이 실제적인 라이트 동작을 수행하는 메모리와 실제적인 라이트 동작을 수행하지 않는 메모리로 데이터가 공통으로 인가되게 구성되어 있기 때문에 실제적인 라이트 동작을 수행하지 않는 메모리로 인가된 데이터가 실제적인 라이트 동작을 수행하는 메모리로 반사되는 것을 방지하기 위하여 실제적인 라이트 동작을 수행하지 않는 메모리 내부의 온 다이 종단 회로를 동시에 인에이블하여 신호를 중단한다.

도3은 도2에 나타낸 온 다이 종단 제어신호 발생부의 실시예의 회로도로서, 지연 회로(40), 반전 및 지연회로(42), NOR게이트(NOR), 및 인버터(I1)로 구성되어 있다.

도3에 나타낸 회로의 기능을 설명하면 다음과 같다.

지연 회로(40)는 온 다이 종단 인에이블 신호(ODTEN)를 제1소정 시간만큼 지연한다. 지연 및 반전 회로(42)는 온 다이 종단 디스에이블 신호(ODTDIS)를 제2소정 시간만큼 지연한다. NAND게이트(NAND)와 인버터(I1)는 지연 회로(40)와 지연 및 반전 회로(42)의 출력신호를 논리곱하여 온 다이 종단 제어신호(PODT)를 발생한다. 온 다이 종단 제어신호(PODT)는 온 다이 종단 인에이블 신호(ODTEN)의 활성화에 응답하여 활성화되고, 온 다이 종단 인에이블 신호(ODTEN)의 비활성화에 응답하여 비활성화되거나, 온 다이 종단 디스에이블 신호(ODTDIS)의 활성화에 응답하여 강제적으로 비활성화된다. 즉, 온 다이 종단 제어신호(PODT)는 데이터가 입력되는 기간동안 인에이블된다. 이는 지연 회로(40)와 지연 및 반전 회로(42)의 제1소정 시간과 제2소정 시간을 적절히 조절함에 의해서 가능하다.

도3에 나타낸 실시예의 온 다이 종단 제어신호 발생부는 지연 회로(40) 및 반전 및 지연회로(42)를 구비하는 구성을 나타내었으나, 경우에 따라서는 지연 회로(40) 및 반전 및 지연회로(42)를 구비하지 않는 구성도 가능하다.

도4는 본 발명의 실시예의 온 다이 종단 회로의 회로도로서, 인버터(I2), PMOS트랜지스터(P), NMOS트랜지스터(N), 및 저항들(Ru, Rd)로 구성되어 있다.

도4에서, 종단 노드(A)는 데이터 입출력(또는, 입력) 패드(미도시)에 연결된다.

도4에 나타낸 회로의 동작을 설명하면 다음과 같다.

온 다이 종단 제어신호(PODT)가 인에이블되어, "하이"레벨로 천이하면, 인버터(I2)는 "로우"레벨의 신호를 발생한다. 이에 따라, NMOS트랜지스터(N)와 PMOS트랜지스터(P)가 온된다. 따라서, 저항들( $R_u$ ,  $R_d$ )로 전원전압(VCC)과 접지전압이 공급되어 종단 노드(A)의 전압이 전압(VCC/2) 레벨로 되어 신호를 종단한다.

도5a, b는 본 발명의 듀얼 뱅크 시스템의 전면부와 후면부의 메모리들의 동작을 설명하기 위한 동작 타이밍도로서, 메모리들이 더블 데이터 레이트(DDR:Double Data Rate)로 동작하고, 라이트 레이턴시가 4이고, 캐스 레이턴시가 5이고, 버스트 길이가 4인 경우의 라이트 명령과 리드 명령이 연속적으로 인가되는 경우의 동작을 설명하기 위한 동작 타이밍도이다.

클럭신호(clk)의 상승 엣지에 응답하여 상기 표에 나타난 바와 같이 "로우"레벨, "하이"레벨, "로우"레벨, "로우"레벨의 제1반전 칩 선택신호(cs1b), 반전 로우 어드레스 스트로우브 신호(rasb), 반전 컬럼 어드레스 스트로우브 신호(casb), 및 반전 라이트 인에이블 신호(web)가 각각 인가되면 전면부의 메모리들(20-11 ~ 20-1n)은 도5a에 나타난 바와 같이 라이트 신호(WE)를 발생한다. 그리고, 이때, 후면부의 메모리들(20-21 ~ 20-2n)은 도5b에 나타난 바와 같이 더미 라이트 신호(DWE)를 발생한다. 그러면, 전면부의 메모리들(20-11 ~ 20-1n)은 도5a에 나타난 바와 같이 라이트 신호(WE)에 응답하여 온 다이 종단 인에이블 신호(ODTEN)를 "하이"레벨로 천이하고, 후면부의 메모리들(20-21 ~ 20-2n)은 도5b에 나타난 바와 같이 더미 라이트 신호(DWE)에 응답하여 온 다이 종단 인에이블 신호(ODTEN)를 "하이"레벨로 천이한다. 따라서, 도5a, b에 나타난 바와 같이 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n) 각각은 온 다이 종단 인에이블 신호(ODTEN)에 응답하여 온 다이 종단 제어신호(PODT)를 "하이"레벨로 천이한다. 이에 따라, 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)의 온 다이 종단 회로가 동작하여 신호를 종단한다. 즉, 후면부의 메모리들(20-21 ~ 20-2n)은 실제적인 라이트 동작을 수행하지는 않지만, 전면부의 메모리들(20-11 ~ 20-1n)로 인가되는 데이터가 후면부의 메모리들(20-21 ~ 20-2n)로도 인가되기 때문에 온 다이 종단 동작을 수행하여 신호를 종단한다.

라이트 명령이 인가된 후 2클럭 주기 후에 상기 표에 나타난 바와 같이 "로우"레벨, "하이"레벨, "로우"레벨, "하이"레벨의 제1반전 칩 선택신호(cs1b), 반전 로우 어드레스 스트로우브 신호(rasb), 반전 컬럼 어드레스 스트로우브 신호(casb), 및 반전 라이트 인에이블 신호(web)가 각각 인가되면 전면부의 메모리들(20-11 ~ 20-1n)은 도5a에 나타난 바와 같이 리드 신호(RD)를 발생한다. 그리고, 이때, 후면부의 메모리들(20-21 ~ 20-2n)은 도5b에 나타난 바와 같이 더미 리드 신호(DRD)를 발생한다. 그러면, 전면부의 메모리들(20-11 ~ 20-1n)은 도5a에 나타난 바와 같이 리드 신호(RD)에 응답하여 온 다이 종단 디스에이블 신호(ODTDIS)를 "로우"레벨로 천이하고, 후면부의 메모리들(20-21 ~ 20-2n)은 도5b에 나타난 바와 같이 더미 리드 신호(DRD)에 응답하여 온 다이 종단 디스에이블 신호(ODTDIS)를 "로우"레벨로 천이한다. 따라서, 도5a, b에 나타난 바와 같이 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n) 각각은 온 다이 종단 디스에이블 신호(ODTDIS)에 응답하여 온 다이 종단 제어신호(PODT)를 "로우"레벨로 천이한다. 이에 따라, 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)의 온 다이 종단 회로가 동작을 중지한다. 즉, 후면부의 메모리들(20-21 ~ 20-2n)은 실제적인 리드 동작을 수행하지는 않지만, 내부적으로 더미 리드 신호(DRD)를 발생하여 온 다이 종단 동작을 중지한다.

즉, 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)은 라이트 신호 후에 리드 신호가 발생되면, 라이트 신호에 응답하여 온 다이 종단 제어신호(PODT)를 인에이블하고, 리드 신호에 응답하여 온 다이 종단 제어신호(PODT)를 강제로 디스에이블한다.

도6a, b는 본 발명의 듀얼 뱅크 시스템의 전면부와 후면부의 메모리들의 동작을 설명하기 위한 동작 타이밍도로서, 메모리들이 더블 데이터 레이트(DDR:Double Data Rate)로 동작하고, 라이트 레이턴시가 4이고, 캐스 레이턴시가 5이고, 버스트 길이가 4인 경우에 라이트 명령이 인가되는 경우의 동작을 설명하기 위한 동작 타이밍도이다.

클럭신호(clk)의 상승 엣지에 응답하여 상기 표에 나타난 바와 같이 "로우"레벨, "하이"레벨, "로우"레벨, "로우"레벨의 제1반전 칩 선택신호(cs1b), 반전 로우 어드레스 스트로우브 신호(rasb), 반전 컬럼 어드레스 스트로우브 신호(casb), 및 반전 라이트 인에이블 신호(web)가 각각 인가되면 전면부의 메모리들(20-11 ~ 20-1n)은 도6a에 나타난 바와 같이 라이트 신호(WE)를 발생한다. 그리고, 라이트 신호(WE)에 응답하여 온 다이 종단 제어신호(PODT)가 "하이"레벨로 천이한다. 라이트 신호(WE)가 발생하는 경우의 동작은 상술한 도5a, b의 설명을 참고로 하면 쉽게 이해될 것이다.

그리고, 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)은 라이트 신호(WE)가 "로우"레벨로 천이하면 라이트 명령(WE)에 응답하여 온 다이 종단 인에이블 신호(ODTEN)를 "로우"레벨로 천이한다. 그러면, 온 다이 종단 인에이블 신호(ODTEN)에 응답하여 온 다이 종단 제어신호(PODT)가 "로우"레벨로 천이한다. 이에 따라, 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)이 온 다이 종단 동작을 중지한다.

즉, 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)의 온 다이 종단 제어신호(PODT)는 라이트 신호(WE)가 활성화되면 활성화되고, 라이트 신호(WE)가 비활성화되면 비활성화된다.

따라서, 본 발명의 듀얼 뱅크 시스템은 전면부와 후면부의 메모리들(20-11 ~ 20-1n, 20-21 ~ 20-2n)로 데이터가 입력되는 기간에 맞추어서 온 다이 종단 회로가 동작되게 함으로써 온 다이 종단 회로를 통하여 흐르는 누설 전류를 방지할 수 있다.

상술한 실시예에서는 본 발명의 듀얼 뱅크 시스템, 이 시스템에 사용을 위한 메모리, 및 이 메모리의 온 다이 종단 제어방법을 DDR 메모리를 이용하여 설명하였지만, DDR 메모리가 아닌 다른 종류의 메모리에도 본 발명의 방법을 적용하는 것이 가능하다.

또한, 상술한 실시예에서는 듀얼 뱅크 시스템의 메모리 모듈의 전면부와 후면부에 메모리들이 장착되는 경우를 예로 들어 설명하였으나, 시스템 보드의 전면부와 후면부에 메모리들이 장착되는 경우에도 본 발명의 온 다이 종단 제어방법이 적용될 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 발명의 효과

따라서, 본 발명의 듀얼 뱅크 시스템, 이 시스템에 사용을 위한 메모리, 및 이 메모리의 온 다이 종단 방법은 메모리들로 데이터가 입력되는 기간에 맞추어서 온 다이 종단 동작을 인에이블하여 신호를 종단함으로써 온 다이 종단 회로를 통하여 소모되는 전류를 줄일 수 있다.

### (57) 청구의 범위

#### 청구항 1.

제1선택신호에 응답하여 선택되는 복수개의 제1메모리들;

제2선택신호에 응답하여 선택되는 복수개의 제2메모리들; 및

상기 제1, 제2선택신호들을 발생하고, 상기 복수개의 제1 및 제2메모리들로 명령신호들을 출력하고, 상기 복수개의 제1 및 제2메모리들 각각의 대응하는 메모리들과 데이터를 입출력하는 제어수단을 구비하고,

상기 복수개의 제1 및 제2메모리들 각각은

상기 제1 또는 제2선택신호의 활성화 또는 비활성화에 관계없이 상기 명령신호들이 라이트 명령을 나타내면 라이트 신호 또는 더미 라이트 신호를 발생하고, 상기 명령신호들이 리드 명령을 나타내면 리드 신호 또는 더미 리드 신호를 발생하는 명령어 디코더;

상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 종단 제어신호를 활성화하고, 상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 상기 온 다이 종단 제어신호를 비활성화하는 온 다이 종단 제어회로; 및

상기 온 다이 종단 제어신호의 활성화에 응답하여 온 다이 종단 동작을 수행하여 외부로부터 인가되는 신호를 종단하는 온 다이 종단 회로를 구비하는 것을 특징으로 하는 듀얼 뱅크 시스템.

#### 청구항 2.

제1항에 있어서, 상기 복수개의 제1메모리들 각각의 상기 명령어 디코더는

상기 제1선택신호가 활성화되고 상기 명령신호들이 라이트 명령을 나타내면 상기 라이트 신호를 발생하고, 상기 리드 명령을 나타내면 상기 리드 신호를 발생하고, 상기 제1선택신호가 비활성화되고 상기 명령신호들이 라이트 명령을 나타내면 상기 더미 라이트 신호를 발생하고, 상기 리드 명령을 나타내면 상기 더미 리드 신호를 발생하는 것을 특징으로 하는 듀얼 뱅크 시스템.

### 청구항 3.

제2항에 있어서, 상기 복수개의 제2메모리들 각각의 상기 명령어 디코더는

상기 제2선택신호가 활성화되고 상기 명령신호들이 라이트 명령을 나타내면상기 라이트 신호를 발생하고, 상기 리드 명령을 나타내면 상기 리드 신호를 발생하고, 상기 제2선택신호가 비활성화되고 상기 명령신호들이 라이트 명령을 나타내면 상기 더미 라이트 신호를 발생하고, 상기 리드 명령을 나타내면 상기 더미 리드 신호를 발생하는 것을 특징으로 하는 듀얼 뱅크 시스템.

### 청구항 4.

제3항에 있어서, 상기 온 다이 종단 제어회로는

상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 종단 인에이블 신호를 발생하는 온 다이 종단 인에이블 신호 발생회로;

상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 온 다이 종단 디스에이블 신호를 발생하는 온 다이 종단 디스에이블 신호 발생회로; 및

상기 온 다이 종단 인에이블 신호가 활성화되면 상기 온 다이 종단 제어신호를 활성화하고, 상기 온 다이 종단 인에이블 신호가 비활성화되거나, 상기 온 다이 종단 디스에이블 신호가 활성화되면 상기 온 다이 종단 제어신호를 비활성화하는 온 다이 종단 제어신호 발생회로를 구비하는 것을 특징으로 하는 듀얼 뱅크 시스템.

### 청구항 5.

제1항에 있어서, 상기 온 다이 종단 회로는

상기 온 다이 종단 제어신호가 활성화되면 온되어 전원전압을 전송하는 풀업 트랜지스터;

상기 풀업 트랜지스터와 종단 노드사이에 연결된 풀업 저항;

상기 온 다이 종단 제어신호가 활성화되면 온되어 접지전압을 전송하는 풀다운 트랜지스터; 및

상기 종단 노드와 상기 풀다운 트랜지스터사이에 연결된 풀다운 저항을 구비하는 것을 특징으로 하는 듀얼 뱅크 시스템.

### 청구항 6.

선택신호가 활성화되고 라이트 명령을 나타내는 명령신호들이 입력되면 라이트 신호를 발생하고, 리드 명령을 나타내는 상기 명령신호들이 입력되면 리드 신호를 발생하고, 선택신호가 비활성화되고 상기 라이트 명령을 나타내는 상기 명령신호들이 입력되면 더미 라이트 신호를 발생하고, 상기 리드 명령을 나타내는 상기 명령신호들이 입력되면 더미 리드 신호를 발생하는 명령어 디코더;

상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 종단 제어신호를 활성화하고, 상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 상기 온 다이 종단 제어신호를 비활성화하는 온 다이 종단 제어회로; 및

상기 온 다이 종단 제어신호의 활성화에 응답하여 온 다이 종단 동작을 수행하여 외부로부터 인가되는 신호를 종단하는 온 다이 종단 회로를 구비하는 것을 특징으로 하는 메모리.

## 청구항 7.

제6항에 있어서, 상기 온 다이 종단 제어회로는

상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 종단 인에이블 신호를 발생하는 온 다이 종단 인에이블 신호 발생회로;

상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 온 다이 종단 디스에이블 신호를 발생하는 온 다이 종단 디스에이블 신호 발생회로; 및

상기 온 다이 종단 인에이블 신호가 활성화되면 상기 온 다이 종단 제어신호를 활성화하고, 상기 온 다이 종단 인에이블 신호가 비활성화되거나, 상기 온 다이 종단 디스에이블 신호가 활성화되면 상기 온 다이 종단 제어신호를 비활성화하는 온 다이 종단 제어신호 발생회로를 구비하는 것을 특징으로 하는 메모리.

## 청구항 8.

제7항에 있어서, 상기 온 다이 종단 회로는

상기 온 다이 종단 제어신호가 활성화되면 온되어 전원전압을 전송하는 풀업 트랜지스터;

상기 풀업 트랜지스터와 종단 노드사이에 연결된 풀업 저항;

상기 온 다이 종단 제어신호가 활성화되면 온되어 접지전압을 전송하는 풀다운 트랜지스터; 및

상기 종단 노드와 상기 풀다운 트랜지스터사이에 연결된 풀다운 저항을 구비하는 것을 특징으로 하는 메모리.

## 청구항 9.

선택신호가 활성화되고 라이트 명령을 나타내는 명령신호들이 입력되면 라이트 신호를 발생하고, 리드 명령을 나타내는 상기 명령신호들이 입력되면 리드 신호를 발생하고, 선택신호가 비활성화되고 상기 라이트 명령을 나타내는 상기 명령신호들이 입력되면 더미 라이트 신호를 발생하고, 상기 리드 명령을 나타내는 상기 명령신호들이 입력되면 더미 리드 신호를 발생하는 명령어 디코딩 단계;

상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 종단 제어신호를 활성화하고, 상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 상기 온 다이 종단 제어신호를 비활성화하는 온 다이 종단 제어신호 발생단계; 및

상기 온 다이 종단 제어신호의 활성화에 응답하여 온 다이 종단 동작을 수행하여 외부로부터 인가되는 신호를 종단하는 온 다이 종단 단계를 구비하는 것을 특징으로 하는 메모리의 온 다이 종단 방법.

## 청구항 10.

제9항에 있어서, 상기 온 다이 종단 제어신호 발생단계는

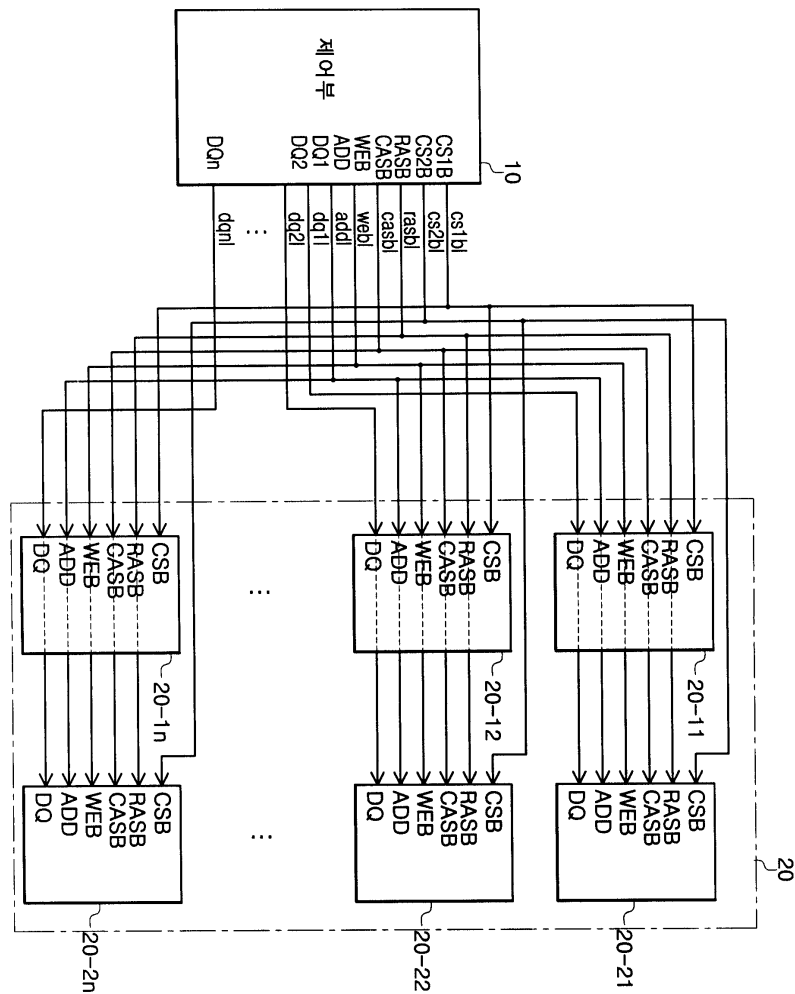
상기 라이트 신호 또는 상기 더미 라이트 신호에 응답하여 온 다이 종단 인에이블 신호를 발생하는 단계;

상기 리드 신호 또는 상기 더미 리드 신호에 응답하여 온 다이 종단 디스에이블 신호를 발생하는 단계; 및

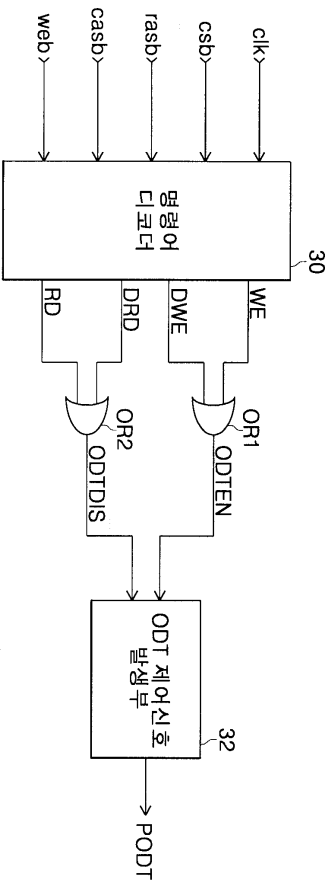
상기 온 다이 종단 인에이블 신호가 활성화되면 상기 온 다이 종단 제어신호를 활성화하고, 상기 온 다이 종단 인에이블 신호가 비활성화되거나, 상기 온 다이 종단 디스에이블 신호가 활성화되면 상기 온 다이 종단 제어신호를 비활성화하는 단계를 구비하는 것을 특징으로 하는 메모리의 온 다이 종단 방법.

도면

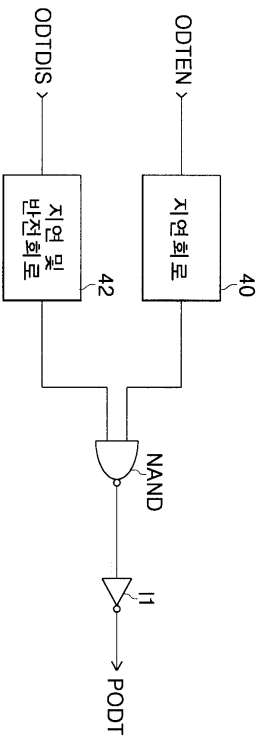
도면1



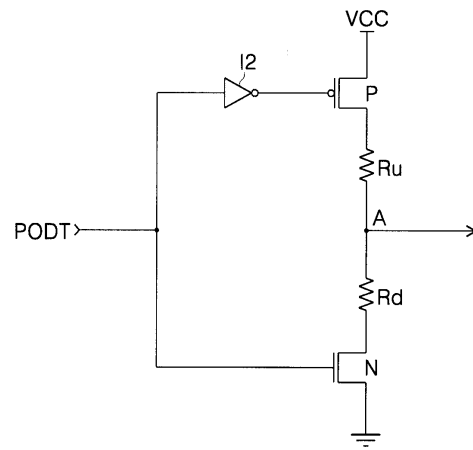
도면2



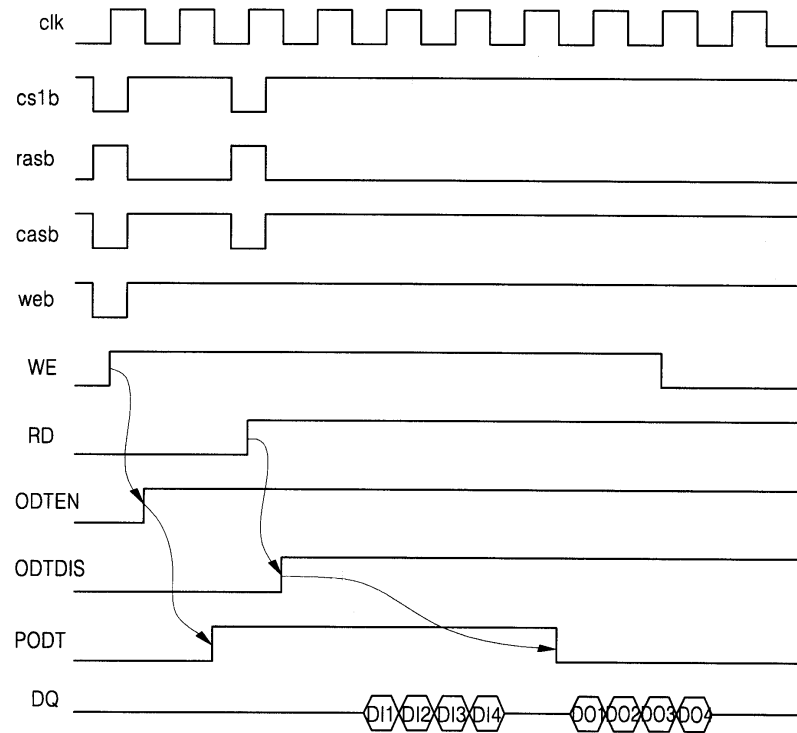
도면3



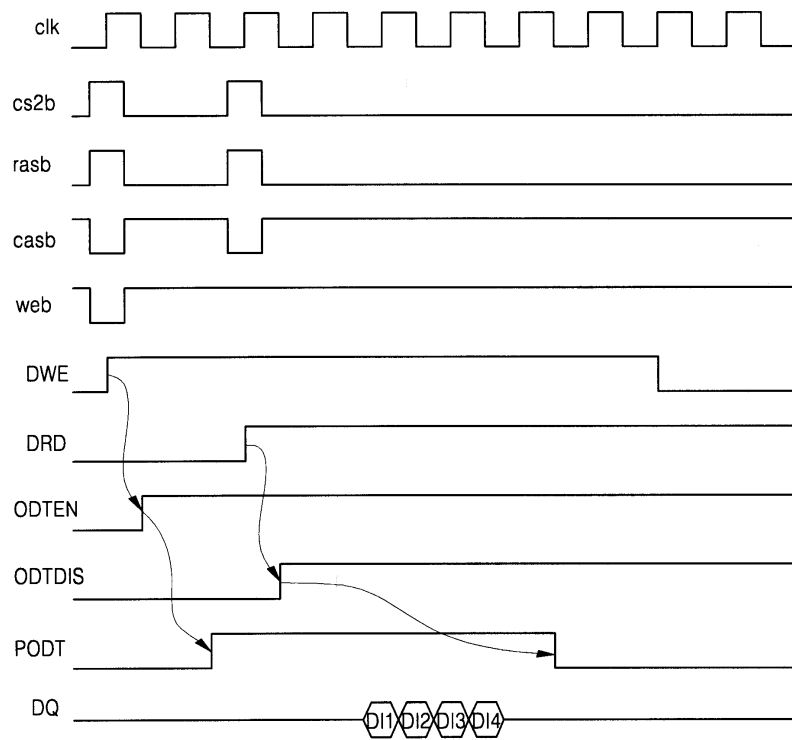
도면4



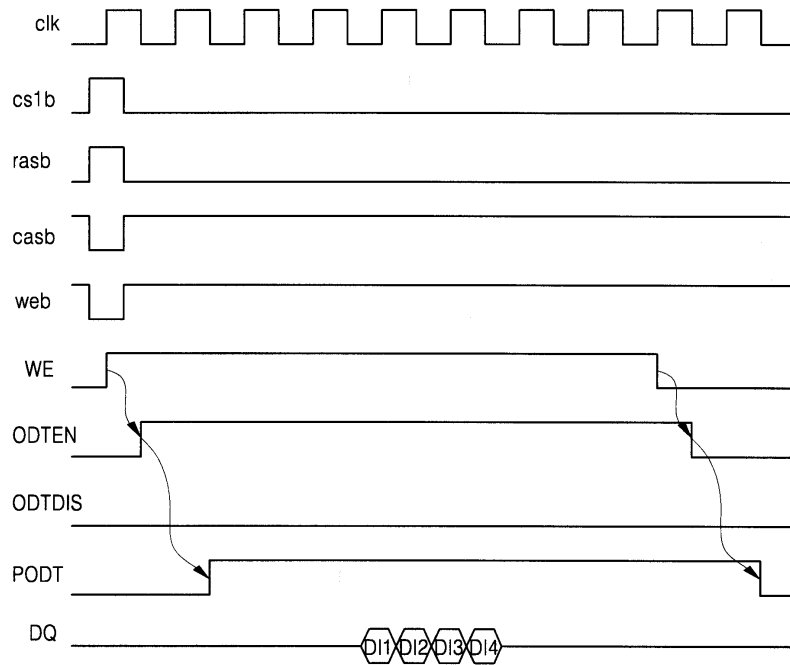
도면5a



도면5b



도면6a



도면6b

