



# (12)发明专利申请

(10)申请公布号 CN 107919326 A

(43)申请公布日 2018.04.17

(21)申请号 201610884463.8

(22)申请日 2016.10.10

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 李勇

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 高静 吴敏

(51)Int. Cl.

H01L 21/8238(2006.01)

H01L 27/092(2006.01)

H01L 29/06(2006.01)

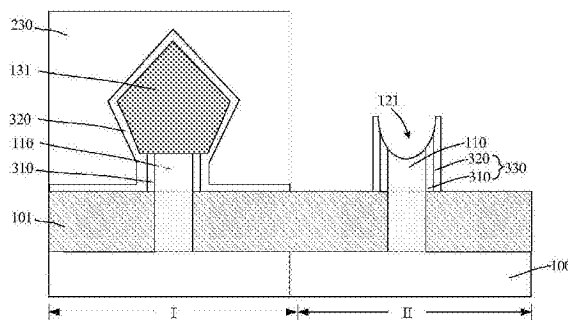
权利要求书3页 说明书11页 附图5页

## (54)发明名称

鳍式场效应管及其形成方法

## (57)摘要

一种鳍式场效应管及其形成方法,方法包括:提供具有多个分立鳍部的衬底,衬底包括NMOS区域;形成横跨鳍部且覆盖部分鳍部顶部表面和侧壁表面的栅极结构;刻蚀NMOS区域栅极结构两侧部分厚度鳍部,在NMOS区域鳍部内形成NMOS区域凹槽,沿垂直于鳍部延伸方向上,NMOS区域凹槽的剖面形状为U形;在NMOS区域凹槽中形成具有N型掺杂离子的原位掺杂外延层。本发明在NMOS区域栅极结构两侧鳍部内形成NMOS区域凹槽,沿垂直于鳍部延伸方向上NMOS区域凹槽的剖面形状为U形,U形NMOS区域凹槽露出的鳍部表面为<100>晶向;原位掺杂外延层沿<100>晶向生长,因此原位掺杂外延层的位错较少。



1. 一种鳍式场效应管的形成方法,其特征在于,包括:  
提供衬底,所述衬底上具有多个分立的鳍部,所述衬底包括NMOS区域;  
形成横跨所述鳍部的栅极结构,且所述栅极结构覆盖部分鳍部顶部表面和侧壁表面;  
刻蚀所述NMOS区域栅极结构两侧部分厚度的鳍部,在所述NMOS区域鳍部内形成NMOS区域凹槽,且沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形;  
在所述NMOS区域凹槽中形成原位掺杂外延层,所述原位掺杂外延层中具有N型掺杂离子。
2. 如权利要求1所述的鳍式场效应管的形成方法,其特征在于,在所述NMOS区域鳍部内形成NMOS区域凹槽的步骤包括:采用第一刻蚀工艺,去除第一厚度的所述鳍部;  
采用第二刻蚀工艺,去除第二厚度的所述鳍部形成所述NMOS区域凹槽,其中,在垂直于鳍部延伸方向上,所述第二刻蚀工艺对所述鳍部中心的刻蚀速率大于对所述鳍部侧壁的刻蚀速率。
3. 如权利要求2所述的鳍式场效应管的形成方法,其特征在于,在垂直于鳍部延伸方向上,沿所述鳍部侧壁指向鳍部中心的方向上,所述第二刻蚀工艺对所述鳍部的刻蚀速率逐渐增加。
4. 如权利要求2所述的鳍式场效应管的形成方法,其特征在于,所述第一刻蚀工艺为干法刻蚀工艺;  
所述第一刻蚀工艺的参数包括:主刻蚀气体为HBr,功率为300W至500W,偏压为50V至200V,工艺温度为40℃至60℃。
5. 如权利要求2所述的鳍式场效应管的形成方法,其特征在于,所述第一厚度为5nm至15nm。
6. 如权利要求2所述的鳍式场效应管的形成方法,其特征在于,所述第二刻蚀工艺为干法刻蚀工艺;  
所述第二刻蚀工艺的参数包括:主刻蚀气体为Cl<sub>2</sub>和NF<sub>3</sub>,功率为100W至500W,偏压为0V至10V,工艺温度为40℃至60℃。
7. 如权利要求2所述的鳍式场效应管的形成方法,其特征在于,所述第二厚度为5nm至10nm。
8. 如权利要求1所述的鳍式场效应管的形成方法,其特征在于,所述原位掺杂外延层的材料为SiP或SiCP。
9. 如权利要求1所述的鳍式场效应管的形成方法,其特征在于,形成所述NMOS区域凹槽后,形成填充满所述NMOS区域凹槽的原位掺杂外延层之前,所述形成方法还包括:对所述NMOS区域凹槽进行清洗工艺。
10. 如权利要求1所述的鳍式场效应管的形成方法,其特征在于,形成横跨所述鳍部的栅极结构后,刻蚀所述NMOS区域栅极结构两侧部分厚度的鳍部之前,所述形成方法还包括:在所述NMOS区域鳍部的顶部和侧壁上形成第一掩膜层;  
刻蚀所述NMOS区域栅极结构两侧部分厚度的鳍部的步骤包括:刻蚀位于所述NMOS区域栅极结构两侧鳍部顶部上的第一掩膜层,暴露出NMOS区域栅极结构两侧的鳍部顶部表面,且还刻蚀NMOS区域部分厚度的鳍部,刻蚀后的NMOS区域鳍部与所述第一掩膜层围成的凹槽呈U形。

11. 如权利要求1所述的鳍式场效应管的形成方法,其特征在于,提供衬底的步骤中,所述衬底还包括PMOS区域;

形成所述栅极结构后,所述形成方法还包括:刻蚀所述PMOS区域栅极结构两侧部分厚度的鳍部,在所述PMOS区域鳍部内形成PMOS区域凹槽;在所述PMOS区域凹槽内形成应力层;在所述应力层内形成P型源漏掺杂区。

12. 如权利要求11所述的鳍式场效应管的形成方法,其特征在于,在所述应力层内形成P型源漏掺杂区的步骤包括:在形成所述应力层的工艺过程中,原位自掺杂P型离子以形成所述P型源漏掺杂区;

或者,

形成所述应力层后,对所述应力层进行P型离子掺杂以形成P型源漏掺杂区。

13. 如权利要求11所述的鳍式场效应管的形成方法,其特征在于,形成所述栅极结构后,刻蚀所述PMOS区域栅极结构两侧部分厚度的鳍部之前,所述形成方法还包括:在所述PMOS区域鳍部顶部和侧壁上形成第二掩膜层;

刻蚀所述PMOS区域栅极结构两侧部分厚度的鳍部的步骤包括:刻蚀位于所述PMOS区域栅极结构两侧鳍部顶部上的第二掩膜层,暴露出PMOS区域栅极结构两侧的鳍部顶部表面,且还刻蚀PMOS区域部分厚度的鳍部,在刻蚀后的PMOS区域鳍部内形成PMOS区域凹槽。

14. 如权利要求11所述的鳍式场效应管的形成方法,其特征在于,形成所述原位掺杂外延层和P型源漏掺杂区的步骤包括:

在所述PMOS区域的鳍部顶部和侧壁上形成第二掩膜层,所述第二掩膜层还位于所述NMOS区域的鳍部顶部和侧壁上;

刻蚀位于所述PMOS区域栅极结构两侧鳍部顶部上的第二掩膜层,暴露出PMOS区域栅极结构两侧的鳍部顶部表面,且还刻蚀部分厚度的PMOS区域鳍部,在刻蚀后的PMOS区域鳍部内形成PMOS区域凹槽;

在所述PMOS区域凹槽内形成应力层;

在所述应力层内形成P型源漏掺杂区;

形成所述P型源漏掺杂区后,在所述NMOS区域的第二掩膜层上形成第三掩膜层,其中,位于所述NMOS区域的第二掩膜层和第三掩膜层作为第一掩膜层;

刻蚀位于所述NMOS区域栅极结构两侧鳍部顶部上的第一掩膜层,暴露出NMOS区域栅极结构两侧的鳍部顶部表面,且还刻蚀部分厚度的NMOS区域鳍部,在刻蚀后的NMOS区域鳍部内形成NMOS区域凹槽;

在所述NMOS区域凹槽中形成原位掺杂外延层。

15. 一种鳍式场效应管,其特征在于,包括:

衬底,所述衬底上具有多个分立的鳍部,所述衬底包括NMOS区域;

栅极结构,横跨所述鳍部且覆盖部分鳍部顶部表面和侧壁表面;

位于所述NMOS区域栅极结构两侧鳍部内的NMOS区域凹槽,其中,沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形;

位于所述NMOS区域凹槽内的原位掺杂外延层,所述原位掺杂外延层中具有N型掺杂离子。

16. 如权利要求15所述的鳍式场效应管,其特征在于,所述原位掺杂外延层的材料为

SiP或SiCP。

17. 如权利要求15所述的鳍式场效应管,其特征在于,所述鳍式场效应管还包括:位于所述NMOS区域鳍部侧壁上的第一掩膜层,所述NMOS区域鳍部与所述第一掩膜层围成的凹槽呈U形。

18. 如权利要求15所述的鳍式场效应管,其特征在于,所述衬底还包括PMOS区域;  
所述鳍式场效应管还包括:位于所述PMOS区域栅极结构两侧鳍部内的P型源漏掺杂区。

## 鳍式场效应管及其形成方法

### 技术领域

[0001] 本发明涉及半导体领域,尤其涉及一种鳍式场效应管及其形成方法。

### 背景技术

[0002] 在半导体制造中,随着超大规模集成电路的发展趋势,集成电路特征尺寸持续减小。为了适应特征尺寸的减小,MOSFET的沟道长度也相应不断缩短。然而,随着器件沟道长度的缩短,器件源极与漏极间的距离也随之缩短,因此栅极对沟道的控制能力随之变差,栅极电压夹断(pinch off)沟道的难度也越来越大,使得亚阈值漏电(subthreshold leakage)现象,即所谓的短沟道效应(SCE:short-channel effects)更容易发生。

[0003] 因此,为了更好的适应特征尺寸的减小,半导体工艺逐渐开始从平面MOSFET向具有更高功效的三维立体式的晶体管过渡,如鳍式场效应管(FinFET)。FinFET中,栅至少可以从两侧对超薄体(鳍部)进行控制,与平面MOSFET相比,栅极对沟道的控制能力更强,能够很好的抑制短沟道效应;且FinFET相对于其他器件,与现有集成电路制造具有更好的兼容性。

[0004] 但是,现有技术形成的鳍式场效应管的电学性能有待提高。

### 发明内容

[0005] 本发明解决的问题是提供一种鳍式场效应管及其形成方法,优化鳍式场效应管的电学性能。

[0006] 为解决上述问题,本发明提供一种鳍式场效应管的形成方法,包括:提供衬底,所述衬底上具有多个分立的鳍部,所述衬底包括NMOS区域;形成横跨所述鳍部的栅极结构,且所述栅极结构覆盖部分鳍部顶部表面和侧壁表面;刻蚀所述NMOS区域栅极结构两侧部分厚度的鳍部,在所述NMOS区域鳍部内形成NMOS区域凹槽,且沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形;在所述NMOS区域凹槽中形成原位掺杂外延层,所述原位掺杂外延层中具有N型掺杂离子。

[0007] 相应的,本发明还提供一种鳍式场效应管,包括:衬底,所述衬底上具有多个分立的鳍部,所述衬底包括NMOS区域;栅极结构,横跨所述鳍部且覆盖部分鳍部顶部表面和侧壁表面;位于所述NMOS区域栅极结构两侧鳍部内的NMOS区域凹槽,其中,沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形;位于所述NMOS区域凹槽内的原位掺杂外延层,所述原位掺杂外延层中具有N型掺杂离子。

[0008] 与现有技术相比,本发明的技术方案具有以下优点:

[0009] 本发明在NMOS区域栅极结构两侧的鳍部内形成NMOS区域凹槽,沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形,因此U形NMOS区域凹槽暴露出的鳍部表面为<100>晶向,所述鳍部表面具有良好的界面态;在后续形成原位掺杂外延层的过程中,所述原位掺杂外延层沿<100>晶向生长,因此使得所述原位掺杂外延层的位错较少,晶格完整性较好,从而可以提高所形成鳍式场效应管的电学性能。

[0010] 本发明提供一种鳍式场效应管,所述鳍式场效应管包括位于所述NMOS区域栅极结

构两侧鳍部内的NMOS区域凹槽,其中沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形,U形NMOS区域凹槽底部的鳍部表面为<100>晶向,因此位于所述NMOS区域凹槽内的原位掺杂外延层是沿<100>晶向生长而成的,所述原位掺杂外延层的位错较少,且晶格完整性较好,从而使得所述鳍式场效应管具有良好的电学性能。

### 附图说明

[0011] 图1是一种鳍式场效应管的电镜图;

[0012] 图2至图12是本发明鳍式场效应管的形成方法一实施例中各步骤对应的剖面结构示意图。

### 具体实施方式

[0013] 由背景技术可知,现有技术形成的鳍式场效应管的电学性能有待提高。这一问题,对于N型鳍式场效应管而言更为显著。分析其原因在于:

[0014] 结合参考图1,示出了一种鳍式场效应管的电镜图,对于N型鳍式场效应管而言,目前主要的形成方法包括在栅极结构(图未示)两侧的鳍部10内形成凹槽(图未示);通过选择性外延工艺在所述凹槽中形成原位掺杂外延层20,所述原位掺杂外延层20中具有N型掺杂离子。

[0015] 但是由于所述凹槽暴露出的鳍部10表面为<111>晶向,因此在选择性外延工艺过程中,所述原位掺杂外延层20沿<111>晶向生长;而<111>晶向难以在所述外延生长工艺过程中提供良好的界面态,且所述原位掺杂外延层20中具有N型掺杂离子,从而导致所形成原位掺杂外延层20中的位错(stacking faults)现象较为严重、晶格完整性较差,进而导致所形成鳍式场效应管的电学性能较差。

[0016] 为了解决所述技术问题,本发明提供一种鳍式场效应管的形成方法,包括:提供衬底,所述衬底上具有多个分立的鳍部,所述衬底包括NMOS区域;形成横跨所述鳍部的栅极结构,且所述栅极结构覆盖部分鳍部顶部表面和侧壁表面;刻蚀所述NMOS区域栅极结构两侧部分厚度的鳍部,在所述NMOS区域鳍部内形成NMOS区域凹槽,且沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形;在所述NMOS区域凹槽中形成原位掺杂外延层,所述原位掺杂外延层中具有N型掺杂离子。

[0017] 本发明在NMOS区域栅极结构两侧的鳍部内形成NMOS区域凹槽,沿垂直于鳍部的延伸方向上,所述NMOS区域凹槽的剖面形状为U形,因此U形NMOS区域凹槽暴露出的鳍部表面为<100>晶向,所述鳍部表面具有良好的界面态;在后续形成原位掺杂外延层的过程中,所述原位掺杂外延层沿<100>晶向生长,因此使得所述原位掺杂外延层的位错较少,晶格完整性较好,从而可以提高所形成鳍式场效应管的电学性能。

[0018] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0019] 图2至图12是本发明鳍式场效应管的形成方法一实施例中各步骤对应结构示意图。

[0020] 参考图2,提供衬底100,所述衬底100上具有多个分立的鳍部110,所述衬底100包括NMOS区域II。

[0021] 所述衬底100为后续形成鳍式场效应管提供工艺平台。

[0022] 本实施例中,以所形成的鳍式场效应管为CMOS器件为例,所述衬底100还包括PMOS区域I,所述PMOS区域I和NMOS区域II的衬底100上均具有分立的鳍部110。在其他实施例中,所形成的鳍式场效应管仅包括NMOS器件时,所述衬底仅包括NMOS区域。

[0023] 本实施例中,所述PMOS区域I和NMOS区域II为相邻区域。在其他实施例中,所述PMOS区域和NMOS区域还可以相隔离。

[0024] 本实施例中,所述衬底100为硅衬底。在其他实施例中,所述衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟,所述衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底。

[0025] 所述鳍部110的材料与所述衬底100的材料相同。本实施例中,所述鳍部110的材料为硅。在其他实施例中,所述鳍部的材料还可以是锗、锗化硅、碳化硅、砷化镓或镓化铟。

[0026] 具体地,形成所述衬底100和鳍部110的工艺步骤包括:提供初始衬底;在所述初始衬底表面形成第一硬掩膜层200;以所述第一硬掩膜层200为掩膜刻蚀所述初始衬底,形成衬底100以及凸出于所述衬底100表面的鳍部110。

[0027] 本实施例中,所述鳍部110的侧壁与所述衬底100表面相垂直,即所述鳍部110的顶部尺寸等于底部尺寸。在其他实施例中,所述鳍部的顶部尺寸还可以小于底部尺寸。

[0028] 本实施例中,形成所述衬底100和鳍部110后,保留位于所述鳍部110顶部的第一硬掩膜层200。所述第一硬掩膜层200的材料为氮化硅,后续在进行平坦化处理工艺时,所述第一硬掩膜层200顶部表面用于定义平坦化处理工艺的停止位置,并起到保护鳍部110顶部的作用。在其他实施例中,所述第一硬掩膜层的材料还可以为氮氧化硅、碳化硅或氮化硼。

[0029] 结合参考图3,需要说明的是,形成所述衬底100和鳍部110后,所述形成方法还包括:在相邻所述鳍部110之间的衬底100上形成隔离结构101,所述隔离结构101的顶部低于所述鳍部110的顶部。

[0030] 所述隔离结构101作为半导体器件的隔离结构,用于对相邻器件起到隔离作用。本实施例中,所述隔离结构101的材料为氧化硅。在其他实施例中,所述隔离结构的材料还可以为氮化硅或氮氧化硅。

[0031] 具体地,形成所述隔离结构101的步骤包括:在相邻所述鳍部110之间的衬底100上形成隔离膜,所述隔离膜的顶部高于所述第一硬掩膜层200顶部;研磨去除高于所述第一硬掩膜层200顶部的隔离膜;回刻蚀部分厚度的剩余隔离膜以形成隔离结构101,所述隔离结构101的顶部低于所述鳍部110顶部;形成隔离结构101后,去除所述第一硬掩膜层200。

[0032] 本实施例中,采用流动性化学气相沉积工艺(FCVD,Flowable Chemical Vapor Deposition)形成所述隔离膜,使得所形成隔离结构101在所述衬底100和鳍部110之间的拐角处的填充效果较好。在另一实施例中,还可以采用高纵宽比化学气相沉积工艺,形成所述隔离膜。

[0033] 本实施例中,采用湿法刻蚀工艺,去除所述第一硬掩膜层200;所述第一硬掩膜层200的材料为氮化硅,去除所述第一硬掩膜层200所采用的刻蚀液体为磷酸溶液。

[0034] 参考图4,形成横跨所述鳍部110的栅极结构102,且所述栅极结构102覆盖部分鳍部110顶部表面和侧壁表面。

[0035] 本实施例中,在所述NMOS区域II和PMOS区域I的隔离结构101上形成所述栅极结构

102。具体的,所述PMOS区域I的栅极结构102位于PMOS区域I的部分隔离结构101表面,且所述PMOS区域I的栅极结构102横跨PMOS区域I鳍部110,还覆盖PMOS区域I鳍部110部分顶部表面和侧壁表面;所述NMOS区域II的栅极结构102位于NMOS区域II的部分隔离结构101表面,且所述NMOS区域II的栅极结构102横跨NMOS区域II鳍部110,还覆盖NMOS区域II鳍部110部分顶部表面和侧壁表面。

[0036] 本实施例中,采用后形成高k栅介质层后形成栅电极层(high k last metal gate last)的工艺,所述栅极结构102为伪栅结构(dummy gate),所述栅极结构102为后续所形成鳍式场效应管的实际栅极结构占据空间位置。

[0037] 所述栅极结构102为单层结构或叠层结构。所述栅极结构102包括伪栅层;或者所述栅极结构102包括伪氧化层以及位于所述伪氧化层上的伪栅层。其中,所述伪栅层的材料为多晶硅、氧化硅、氮化硅、氮氧化硅、碳化硅、碳氮化硅、碳氮氧化硅或非晶碳,所述伪氧化层的材料为氧化硅或氮氧化硅。

[0038] 具体地,形成所述栅极结构102的步骤包括:在所述隔离结构101上形成伪栅膜,所述伪栅膜横跨所述鳍部110,且覆盖鳍部110顶部表面和侧壁表面;在所述伪栅膜表面形成第二硬掩膜层210,所述第二硬掩膜层210定义出待形成的栅极结构102的图形;以所述第二硬掩膜层210为掩膜,图形化所述伪栅膜,在所述PMOS区域I隔离结构101上形成栅极结构102,且还在NMOS区域II隔离结构101上形成栅极结构102。

[0039] 在其他实施例中,所述栅极结构还能够为后续所形成鳍式场效应管的实际栅极结构,所述栅极结构包括栅介质层以及位于栅介质层表面的栅电极层,其中,所述栅介质层的材料为氧化硅或高k栅介质材料,所述栅电极层的材料为多晶硅或金属材料,所述金属材料包括Ti、Ta、TiN、TaN、TiAl、TiAlN、Cu、Al、W、Ag或Au中的一种或多种。

[0040] 需要说明的是,本实施例中,形成所述栅极结构102后,保留位于所述栅极结构102顶部上的第二硬掩膜层210。所述第二硬掩膜层210的材料为氮化硅,所述第二硬掩膜层210在后续工艺过程中用于对所述栅极结构102顶部起到保护作用。在其他实施例中,所述第二硬掩膜层的材料还可以为氮氧化硅、碳化硅或氮化硼。

[0041] 还需要说明的是,在形成所述栅极结构102之后,所述形成方法还包括:在所述栅极结构102侧壁上形成偏移侧墙(offset spacer)(图未示);以所述PMOS区域I的偏移侧墙为掩膜,在所述PMOS区域I栅极结构102两侧的鳍部110内形成P型源漏轻掺杂区;以所述NMOS区域II的偏移侧墙为掩膜,在所述NMOS区域II栅极结构102两侧的鳍部110内形成N型源漏轻掺杂区。

[0042] 后续步骤还包括:刻蚀所述NMOS区域栅极结构两侧部分厚度的鳍部,在所述NMOS区域鳍部内形成NMOS区域凹槽;在所述NMOS区域凹槽内形成原位掺杂外延层;刻蚀所述PMOS区域栅极结构两侧部分厚度的鳍部,在所述PMOS区域鳍部内形成PMOS区域凹槽;在所述PMOS区域凹槽内形成应力层;在所述应力层内形成P型源漏掺杂区。

[0043] 本实施例中,以先形成所述P型源漏掺杂区、后形成所述原位掺杂外延层作为示例进行详细说明。

[0044] 结合参考图5至图8,图5为图4基础上的剖面结构示意图,图5和图6为同一立体结构图中沿不同切割线切割得到的剖面结构示意图,本实施例中,形成所述栅极结构102后,所述形成方法还包括:刻蚀所述PMOS区域I栅极结构102两侧部分厚度的鳍部110,在所述



PMOS区域I鳍部110内形成PMOS区域凹槽111(如图7所示);在所述PMOS区域凹槽111内形成应力层(图未示);在所述应力层内形成P型源漏掺杂区131(如图8所示)。

[0045] 需要说明的是,如图5和图6所示,刻蚀所述PMOS区域I栅极结构102两侧部分厚度的鳍部110之前,所述形成方法还包括:在所述PMOS区域I鳍部110顶部和侧壁上形成第二掩膜层310,所述第二掩膜层310还位于所述NMOS区域II的鳍部110顶部和侧壁上。

[0046] 本实施例中,所述第二掩膜层310还位于PMOS区域I的栅极结构102顶部和侧壁、NMOS区域II的栅极结构102顶部和侧壁上,且还位于所述隔离结构101上,可以采用化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺形成所述第二掩膜层310。本实施例中,采用原子层沉积工艺形成所述第二掩膜层310。

[0047] 所述第二掩膜层310的作用包括:后续刻蚀PMOS区域I部分厚度的鳍部110时,以位于PMOS区域I鳍部110侧壁上的第二掩膜层310作为掩膜,使得后续所形成的PMOS区域凹槽111与前述形成的P型源漏掺杂区之间具有一定距离,避免P型源漏掺杂区被完全刻蚀去除;并且,位于鳍部110侧壁上的第二掩膜层310能够起到保护鳍部110侧壁的作用,避免后续在所述PMOS区域I和NMOS区域II的鳍部110侧壁上进行外延生长工艺;此外,位于NMOS区域II的第二掩膜层310后续还将作为NMOS区域II的掩膜层的一部分。

[0048] 所述第二掩膜层310的材料可以为氮化硅、氧化硅、氮化硼或氮氧化硅。所述第二掩膜层310的材料与鳍部110的材料不同,所述第二掩膜层310的材料与所述隔离结构101的材料也不相同。本实施例中,所述第二掩膜层310的材料为氮化硅。

[0049] 如无特别说明,后续工艺过程中提供的剖面结构示意图均为在图6基础上的示意图。

[0050] 如图7所示,刻蚀所述PMOS区域I栅极结构102(如图5所示)两侧部分厚度的鳍部110,在所述PMOS区域I鳍部110内形成PMOS区域凹槽111。

[0051] 具体地,刻蚀位于所述PMOS区域I栅极结构102两侧鳍部110顶部上的第二掩膜层310,暴露PMOS区域I栅极结构102两侧的鳍部102顶部表面,且还刻蚀所述PMOS区域I栅极结构102两侧部分厚度的鳍部110,在刻蚀后的PMOS区域I鳍部110内形成PMOS区域凹槽111。

[0052] 需要说明的是,在刻蚀位于PMOS区域I栅极结构102两侧鳍部110顶部上的第二掩膜层310之前,还在所述NMOS区域II上形成第一图形层220,所述第一图形层220覆盖所述NMOS区域II的第二掩膜层310。所述第一图形层220起到保护NMOS区域II第二掩膜层310的作用,所述第一图形层220还可以覆盖PMOS区域I中不希望被刻蚀的区域。

[0053] 本实施例中,所述第一图形层220的材料为光刻胶材料。在形成所述PMOS区域凹槽111之后,采用湿法去胶或灰化工艺去除所述第一图形层220。

[0054] 具体地,采用干法刻蚀工艺刻蚀去除位于PMOS区域I栅极结构102两侧鳍部110顶部上的第二掩膜层310;其中,在刻蚀位于所述PMOS区域I栅极结构102两侧鳍部110顶部上的第二掩膜层310的工艺过程中,还刻蚀位于PMOS区域I栅极结构102顶部上以及部分隔离结构101上的第二掩膜层310;在所述PMOS区域I栅极结构102两侧的鳍部110顶部被暴露出来后,继续刻蚀所述PMOS区域I部分厚度的鳍部110,形成所述PMOS区域凹槽111。

[0055] 本实施例中,采用各向异性刻蚀工艺刻蚀去除部分厚度的鳍部110,所述各向异性刻蚀工艺为反应离子刻蚀工艺,所述反应离子刻蚀工艺的参数包括:反应气体包括CF<sub>4</sub>、SF<sub>6</sub>和Ar,CF<sub>4</sub>流量为50sccm至100sccm,SF<sub>6</sub>流量为10sccm至100sccm,Ar流量为100sccm至

300sccm,源功率为50W至1000W,偏置功率为50W至250W,腔室压强为50mTorr至200mTorr,腔室温度为20℃至90℃。

[0056] 需要说明的是,本实施例中,为了增加后续在所述PMOS区域凹槽111内所形成P型源漏掺杂区的体积,在刻蚀所述PMOS区域I鳍部110的同时,还刻蚀位于所述PMOS区域I鳍部110侧壁上的第二掩膜层310,使得形成PMOS区域凹槽111后,位于所述PMOS区域I鳍部110侧壁上的第二掩膜层310与所述鳍部110顶部齐平。

[0057] 如图8所示,在所述PMOS区域凹槽111(如图7所示)内形成应力层(图未示);在所述应力层内形成P型源漏掺杂区131。

[0058] 本实施例中,采用选择性外延工艺,在所述PMOS区域凹槽111内形成应力层,且在形成所述应力层的工艺过程中,原位自掺杂P型离子以形成所述P型源漏掺杂区131。具体地,所述P型源漏掺杂区131的材料为P型掺杂的Si或SiGe。

[0059] 所述应力层为PMOS区域I的沟道区提供压应力作用,从而提高PMOS区域I载流子迁移率。所述P型源漏掺杂区131的顶部高于所述PMOS区域凹槽111的顶部。

[0060] 在其他实施例中,还可以在所述PMOS区域凹槽内形成应力层后,对所述应力层进行P型离子掺杂形成P型源漏掺杂区。

[0061] 需要说明的是,本实施例中,所述P型源漏掺杂区131的顶部高于所述PMOS区域凹槽111的顶部,且由于选择性外延工艺的特性,高于所述PMOS区域凹槽111的P型源漏掺杂区131侧壁表面具有向远离鳍部110方向突出的顶角。在其他实施例中,所述P型源漏掺杂区顶部还可以与所述PMOS区域凹槽顶部齐平。

[0062] 还需要说明的是,为了避免后续工艺对所述P型源漏掺杂区131表面造成工艺损伤,在形成所述P型源漏掺杂区131之后,所述形成方法还包括:对所述P型源漏掺杂区131表面进行氧化处理,在所述P型源漏掺杂区131表面形成氧化保护层(图未示),所述氧化处理可以为干氧化、湿氧化或水汽氧化。

[0063] 结合参考图9至图11,刻蚀所述NMOS区域II栅极结构102(如图5所示)两侧部分厚度的鳍部110,在所述NMOS区域II鳍部110内形成NMOS区域凹槽121(如图11所示),且沿垂直于鳍部110的延伸方向上,所述NMOS区域凹槽121的剖面形状为U形。

[0064] 所述NMOS区域凹槽121为后续形成NMOS区域II的原位掺杂外延层提供空间位置;且沿垂直于鳍部110的延伸方向上,所述NMOS区域凹槽121的剖面形状为U形,所述NMOS区域凹槽121的U形形貌,有利于减少后续所形成原位掺杂外延层的位错,提高原位掺杂外延层的晶格完整性。

[0065] 需要说明的是,如图9和图10所示,刻蚀所述NMOS区域II栅极结构102两侧部分厚度的鳍部110之前,所述形成方法还包括:在所述NMOS区域II鳍部110的顶部和侧壁上形成第一掩膜层330(如图10所示)。

[0066] 具体的,形成所述第一掩膜层330的步骤包括:形成所述P型源漏掺杂区131之后,在所述NMOS区域II的第二掩膜层310上形成第三掩膜层320,其中,位于所述NMOS区域II的第二掩膜层310和第三掩膜层320作为所述第一掩膜层330。相应的,所述第一掩膜层330位于所述NMOS区域II鳍部110顶部和侧壁上以及NMOS区域II栅极结构102顶部和侧壁上,且还位于NMOS区域II的隔离结构101上。

[0067] 本实施例中,所述第三掩膜层320还位于P型源漏掺杂区131上以及PMOS区域I的隔

离结构101上,且还位于PMOS区域I的栅极结构102侧壁和顶部上。

[0068] 有关所述第三掩膜层320的材料和形成工艺可参考前述第一掩膜层310的相关描述,在此不再赘述。

[0069] 本实施例中,所述第三掩膜层320的材料为氮化硅,采用原子层沉积工艺形成所述第三掩膜层320。

[0070] 所述第三掩膜层320的作用包括:一方面,所述第三掩膜层320与所述第二掩膜层310构成叠层结构的第一掩膜层330,后续刻蚀所述NMOS区域II栅极结构102两侧部分厚度的鳍部110时,以所述第一掩膜层330作为掩膜,因此通过所述第三掩膜层320可以增加后续所形成NMOS区域凹槽121(如图11所示)与沟道区的距离,有利于改善短沟道效应。

[0071] 本实施例中,刻蚀所述NMOS区域II栅极结构102两侧部分厚度的鳍部110的步骤包括:刻蚀位于所述NMOS区域II栅极结构102两侧鳍部110顶部上的第一掩膜层330,暴露出NMOS区域II栅极结构102两侧的鳍部110顶部,且还刻蚀NMOS区域II部分厚度的鳍部110,刻蚀后的NMOS区域II鳍部110与所述第一掩膜层330围成的凹槽呈U形。

[0072] 需要说明的是,在刻蚀位于所述NMOS区域II栅极结构102两侧鳍部110顶部上的第一掩膜层330之前,还在所述PMOS区域I上形成第二图形层230(如图10所示),所述第二图形层230覆盖所述P型源漏掺杂区131,所述第二图形层230还覆盖所述PMOS区域I的栅极结构102。所述第二图形层230形成于所述PMOS区域I的第三掩膜层320上,所述第二图形层230可以起到保护PMOS区域I的作用,所述第二图形层230还可以覆盖NMOS区域II中不期望被刻蚀的区域。

[0073] 本实施例中,所述第二图形层230的材料为光刻胶材料。在形成所述NMOS区域凹槽121之后,采用湿法去胶或灰化工艺去除所述第二图形层230。

[0074] 还需要说明的是,在刻蚀位于所述NMOS区域II栅极结构102两侧鳍部110顶部上的第一掩膜层330之前,所述第一掩膜层330还位于所述NMOS区域II的栅极结构102和隔离结构101上;因此,刻蚀位于所述NMOS区域II栅极结构102两侧鳍部110顶部上的第一掩膜层330的步骤中,还刻蚀位于所述NMOS区域II栅极结构102顶部上的第一掩膜层330,还刻蚀部分NMOS区域II隔离结构101上的第一掩膜层330。在所述NMOS区域II栅极结构102两侧的鳍部110顶部被暴露出来后,继续刻蚀所述NMOS区域II部分厚度的鳍部110,以形成所述NMOS区域凹槽121。

[0075] 本实施例中,沿垂直于所述鳍部110的延伸方向上,所述NMOS区域凹槽121的剖面形状为U形,且为了满足所述鳍部110的去除量,通过两步刻蚀工艺形成所述NMOS区域凹槽121。

[0076] 具体地,如图10和图11所示,形成所述NMOS区域凹槽121的步骤包括:采用第一刻蚀工艺,去除第一厚度的所述鳍部110;采用第二刻蚀工艺,去除第二厚度的所述鳍部110形成所述NMOS区域凹槽121,其中,在垂直于鳍部110延伸方向上,所述第二刻蚀工艺对所述鳍部110中心的刻蚀速率大于对所述鳍部110侧壁的刻蚀速率。

[0077] 如图10所示,通过所述第一刻蚀工艺,在垂直于所述衬底100的方向上,去除第一厚度的所述鳍部110。

[0078] 需要说明的是,所述第一厚度不宜过小,也不宜过大。如果所述第一厚度过小,为了使后续第二刻蚀工艺后剩余鳍部110的最终厚度满足工艺需求,后续第二刻蚀工艺的刻

蚀量相应过大,即第二厚度相应过大,然而所形成的NMOS区域凹槽121的剖面形状为U形,第二厚度过大容易对所述NMOS区域凹槽121的深度和形貌产生不良影响,进而影响后续在所述NMOS区域凹槽121中形成的原位掺杂外延层的质量;如果所述第一厚度过大,为了使后续第二刻蚀工艺后剩余鳍部110的最终厚度满足工艺需求,后续第二刻蚀工艺的刻蚀量相应过小,从而导致所述NMOS区域凹槽121的深度相应过小,而后续还需在所述NMOS区域凹槽121内形成原位掺杂外延层,因此相应会降低所形成原位掺杂外延层的质量,甚至在严重的情况下,后续难以形成所述原位掺杂外延层。为此,本实施例中,所述第一厚度为5nm至15nm。

[0079] 本实施例中,所述第一刻蚀工艺为干法刻蚀工艺,所述第一刻蚀工艺的参数包括:主刻蚀气体为HBr,功率为300W至500W,偏压为50V至200V,工艺温度为40℃至60℃。其中,气体流量和刻蚀时间根据所述第一厚度而定。

[0080] 还需要说明的是,为了向后续第二刻蚀工艺提供良好的工艺基础,在刻蚀所述NMOS区域II鳍部110的同时,还刻蚀位于所述NMOS区域II鳍部110侧壁上的第一掩膜层330,使所述第一刻蚀工艺达到第一厚度去除量后,位于所述NMOS区域II鳍部110侧壁上的第一掩膜层330与所述鳍部110顶部齐平,也就是说,所述鳍部110顶面和位于所述鳍部110侧壁上的第一掩膜层330顶面构成平面。

[0081] 本实施例中,刻蚀位于所述NMOS区域II鳍部110侧壁上的第一掩膜层330的工艺为干法刻蚀工艺。所述第一掩膜层330的材料为氮化硅,所述干法刻蚀工艺的刻蚀气体包括 $\text{CHF}_3$ 。

[0082] 如图11所示,通过所述第二刻蚀工艺,去除第二厚度的所述鳍部110,且沿垂直于鳍部110的延伸方向上,使所形成NMOS区域凹槽121的剖面形状为U形。

[0083] 本实施例中,为了使所述NMOS区域凹槽121表面均匀光滑,在垂直于鳍部110延伸方向上,沿所述鳍部110侧壁指向鳍部110中心的方向上,所述第二刻蚀工艺对所述鳍部110的刻蚀速率逐渐增加。

[0084] 具体地,所述第二刻蚀工艺为干法刻蚀工艺,所述第二刻蚀工艺的参数包括:主刻蚀气体为 $\text{Cl}_2$ 和 $\text{NF}_3$ ,功率为100W至500W,偏压为0V至10V,工艺温度为40℃至60℃。其中,气体流量和刻蚀时间根据所述第二厚度而定。此外,所述第二厚度指的是所述NMOS区域鳍部110顶部至所述NMOS区域凹槽121底部的距离,即所述NMOS区域鳍部110内的NMOS区域凹槽121深度。

[0085] 需要说明的是,所述第二厚度不宜过小,也不宜过大。如果所述第二厚度过小,所述NMOS区域凹槽121的深度相应也过小,容易导致后续在所述NMOS区域凹槽121内形成的原位掺杂外延层的质量较差,甚至后续难以形成所述原位掺杂外延层;如果所述第二厚度过大,所述NMOS区域凹槽121的深度相应也过大,容易导致所述NMOS区域凹槽121的形貌质量变差,相应也会影响后续原位掺杂外延层的形成质量。为此,本实施例中,所述第二厚度为5nm至10nm。

[0086] 还需要说明的是,刻蚀所述NMOS区域II部分厚度的鳍部110的过程中,还刻蚀位于所述NMOS区域II鳍部110侧壁上的第一掩膜层330,在垂直于鳍部110延伸方向上,且沿所述鳍部110侧壁指向鳍部110中心的方向上,所述刻蚀工艺对所述第一掩膜层330的刻蚀速率也逐渐增加;因此刻蚀后的NMOS区域II鳍部110与所述第一掩膜层330围成的凹槽也呈U形,

也就是说,暴露出的鳍部110表面和位于所述鳍部110侧壁上的第一掩膜层顶面构成凹陷面,且所述NMOS区域凹槽121为碗状凹槽,刻蚀后的NMOS区域II鳍部110与所述第一掩膜层330围成的凹槽也为碗状凹槽。

[0087] 需要说明的是,形成所述NMOS区域凹槽121后,所述形成方法还包括:对所述NMOS区域凹槽121进行清洗工艺。所述清洗工艺既用于去除所述NMOS区域凹槽121表面的杂质,还用于去除位于所述鳍部110表面的氧化层(图未示)。

[0088] 所述清洗工艺采用的清洗溶液可以是氨水、双氧水和水的混合溶液(SC1溶液)以及稀释氢氟酸(DHF)的组合,也可以是臭氧水、SC1溶液和DHF的组合。

[0089] 参考图12,在所述NMOS区域凹槽121(如图11所示)中形成原位掺杂外延层132,所述原位掺杂外延层132中具有N型掺杂离子。

[0090] 具体地,在所述NMOS区域II鳍部110与所述第一掩膜层330围成的凹槽中形成所述原位掺杂外延层132。

[0091] 本实施例中,所述原位掺杂外延层132的顶部高于所述NMOS区域凹槽121的顶部。

[0092] 本实施例中,采用选择性外延工艺形成所述原位掺杂外延层132;所述原位掺杂外延层132的材料为SiP或SiCP。

[0093] 由于沿垂直于鳍部110的延伸方向上,所述NMOS区域凹槽121的剖面形状为U形,因此所述NMOS区域凹槽121暴露出的鳍部110表面为<100>晶向,所述鳍部110表面具有良好的界面态;在选择性外延工艺过程中,所述原位掺杂外延层132沿<100>晶向生长,因此使得所述原位掺杂外延层132的位错(stacking faults)较少,晶格完整性较好。

[0094] 此外,由于所述原位掺杂外延层132中具有N型掺杂离子,因此在采用选择性外延工艺形成所述原位掺杂外延层132的过程中,选择性外延工艺的薄膜生长速率较快;而由于所述第一掩膜层330顶部高于刻蚀后的鳍部110顶部,因此所述第一掩膜层330可以起到限制原位掺杂外延层132过度生长的作用,将位于所述NMOS区域凹槽121内的原位掺杂外延层132限制在所述第一掩膜层330和NMOS区域II鳍部110围成的区域内,避免NMOS区域II鳍部110上的原位掺杂外延层132宽度尺寸过大。

[0095] 并且,本实施例中NMOS区域II鳍部110与所述第一掩膜层330围成所述NMOS区域的凹槽121呈U形,从而使得所围成的凹槽的宽度尺寸增加,因此在所围成的凹槽内生长的原位掺杂外延层132宽度尺寸也将增加,进而使得高于所述NMOS区域凹槽121的原位掺杂外延层132的顶部表面面积相对较大;具体地,使得高于所述NMOS区域凹槽121顶部的原位掺杂外延层132形貌呈球形,相应可以减小所述原位掺杂外延层132表面与后续所形成金属硅化物之间的接触电阻,同时仍能够满足第一掩膜层330起到限制原位掺杂外延层132过度生长的作用。

[0096] 需要说明的是,本实施例中以先形成P型源漏掺杂区131(如图8所示)后形成原位掺杂外延层132(如图12所示)为例,在其他实施例中,还可以先形成原位掺杂外延层后形成P型源漏掺杂区,相应的,形成所述原位掺杂外延层和P型源漏掺杂区的步骤包括:

[0097] 在所述NMOS区域的鳍部顶部和侧壁上形成第一掩膜层,所述第一掩膜层还位于PMOS区域的鳍部顶部和侧壁上;刻蚀位于所述NMOS区域栅极结构两侧鳍部顶部上的第一掩膜层,且还刻蚀所述NMOS区域鳍部,在所述NMOS区域鳍部内形成NMOS区域凹槽;在所述NMOS区域凹槽中形成原位掺杂外延层,所述原位掺杂外延层中具有N型掺杂离子;位于所述PMOS

区域的第一掩膜层作为第二掩膜层；刻蚀位于所述PMOS区域栅极结构两侧鳍部顶部上的第二掩膜层，且还刻蚀所述PMOS区域鳍部，在所述PMOS区域鳍部内形成PMOS区域凹槽；在所述PMOS区域凹槽中形成应力层；在所述应力层中形成P型源漏掺杂区。

[0098] 其中，在形成所述NMOS区域凹槽之前，在所述PMOS区域上形成第一图形层，所述第一图形层覆盖所述PMOS区域的第一掩膜层；在形成所述NMOS区域凹槽后，去除所述第一图形层；在形成所述PMOS区域凹槽之前，在所述NMOS区域上形成第二图形层，所述第二图形层覆盖所述原位掺杂外延层；在形成所述PMOS区域凹槽后，去除所述第二图形层。

[0099] 本实施例中，在NMOS区域II栅极结构102(如图5所示)两侧的鳍部110内形成NMOS区域凹槽121(如图11所示)，沿垂直于鳍部110的延伸方向上，所述NMOS区域凹槽121的剖面形状为U形，因此U形NMOS区域凹槽121暴露出的鳍部110表面为<100>晶向，所述鳍部110表面具有良好的界面态；在后续形成原位掺杂外延层132(如图12所示)的过程中，原位掺杂外延层132沿<100>晶向生长因此使得所述原位掺杂外延层132的位错较少，晶格完整性较好，从而可以提高所形成鳍式场效应管的电学性能。

[0100] 继续参考图12，相应的，本发明还提供一种鳍式场效应管，包括：

[0101] 衬底100，所述衬底100上具有多个分立的鳍部110，所述衬底100包括NMOS区域II；

[0102] 栅极结构102(如图5所示)，横跨所述鳍部110且覆盖部分鳍部110顶部表面和侧壁表面；

[0103] 位于所述NMOS区域II栅极结构102两侧鳍部110内的NMOS区域凹槽121(如图11所示)，其中，沿垂直于鳍部110的延伸方向上，所述NMOS区域凹槽121的剖面形状为U形；

[0104] 位于所述NMOS区域凹槽121内的原位掺杂外延层132，所述原位掺杂外延层132中具有N型掺杂离子。

[0105] 本实施例中，以所述鳍式场效应管为CMOS器件为例，所述衬底100还包括PMOS区域I，所述PMOS区域I和NMOS区域II的衬底100上均具有分立的鳍部110。在其他实施例中，例如所述鳍式场效应管仅包括NMOS器件时，所述衬底仅包括NMOS区域。

[0106] 相应的，所述鳍式场效应管还包括：位于所述PMOS区域I栅极结构102两侧鳍部110内的P型源漏掺杂区。

[0107] 本实施例中，所述PMOS区域I和NMOS区域II为相邻区域。在其他实施例中，所述PMOS区域和NMOS区域还可以相隔离。

[0108] 本实施例中，所述衬底100为硅衬底。在其他实施例中，所述衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟，所述衬底还能够为绝缘体上的硅衬底或者绝缘体上的锗衬底。

[0109] 所述鳍部110的材料与所述衬底100的材料相同。本实施例中，所述鳍部110的材料为硅。在其他实施例中，所述鳍部的材料还可以是锗、锗化硅、碳化硅、砷化镓或镓化铟。

[0110] 所述鳍式场效应管还包括位于相邻所述鳍部110之间衬底100上的隔离结构101。所述隔离结构101作为半导体器件的隔离结构，用于对相邻器件起到隔离作用。本实施例中，所述隔离结构101的材料为氧化硅。在其他实施例中，所述隔离结构的材料还可以为氮化硅或氮氧化硅。

[0111] 本实施例中，所述栅极结构102包括栅介质层以及位于栅介质层表面的栅电极层，其中，所述栅介质层的材料为氧化硅或高k栅介质材料，所述栅电极层的材料为多晶硅或金

金属材料,所述金属材料包括Ti、Ta、TiN、TaN、TiAl、TiAlN、Cu、Al、W、Ag或Au中的一种或多种。

[0112] 本实施例中,所述原位掺杂外延层132的材料为SiP或SiCP。

[0113] 需要说明的是,本实施例中,所述鳍式场效应管还包括:位于所述NMOS区域II鳍部110侧壁上的第一掩膜层330,所述第一掩膜层330顶部高于所述NMOS区域II鳍部110顶部,所述鳍部110与所述第一掩膜层330围成的凹槽呈U形。也就是说,所述鳍部110顶面和位于所述鳍部110侧壁上的第一掩膜层330顶面构成凹陷面,且所述NMOS区域凹槽121为碗状凹槽,所述鳍部110与所述第一掩膜层330围成的凹槽也为碗状凹槽。

[0114] 相应的,所述原位掺杂外延层132位于所述鳍部110与位于所述鳍部110侧壁上的第一掩膜层330所围成的凹槽内。

[0115] 其中所述第一掩膜层330的作用包括:一方面,所述第一掩膜层330用于增加所述NMOS区域凹槽121与沟道区的距离,有利于改善短沟道效应;另一方面,所述第一掩膜层330用于对所述NMOS区域II的鳍部110侧壁起到保护作用,避免形成所述原位掺杂外延层132时在所述NMOS区域II的鳍部110侧壁上进行外延生长工艺。

[0116] 所述第一掩膜层330的材料可以为氮化硅、氧化硅、氮化硼或氮氧化硅。所述第一掩膜层330的材料与鳍部110的材料不同,所述第一掩膜层330的材料与所述隔离结构101的材料也不相同。本实施例中,所述第一掩膜层330的材料为氮化硅。

[0117] 需要说明的是,由于所述第一掩膜层330高于刻蚀后的NMOS区域II鳍部110顶部,因此在所述第一掩膜层330的限制下,将所述原位掺杂外延层132限制在所述第一掩膜层330和NMOS区域II鳍部110围成的区域内,从而可以避免出现NMOS区域II鳍部110上的原位掺杂外延层132宽度尺寸过大的问题。

[0118] 还需要说明的是,由于所述鳍部110与所述第一掩膜层330所围成的凹槽的剖面形状为U形,因此位于所述凹槽内的原位掺杂外延层132的宽度尺寸也可以相应增加,使得高于所述NMOS区域凹槽121的原位掺杂外延层132的顶部表面面积相对较大,相应可以减小所述原位掺杂外延层132表面与金属硅化物(图未示)之间的接触电阻,同时仍能够满足第一掩膜层330起到限制原位掺杂外延层132过度生长的作用。

[0119] 本实施例所述的鳍式场效应管包括位于所述NMOS区域II栅极结构102两侧鳍部110内的NMOS区域凹槽121,其中沿垂直于鳍部110的延伸方向上,所述NMOS区域凹槽121的剖面形状为U形,U形NMOS区域凹槽121底部的鳍部表面为<100>晶向,因此位于所述NMOS区域凹槽121内的原位掺杂外延层132是沿<100>晶向生长而成的,所述原位掺杂外延层132的位错较少,且晶格完整性较好,从而使得所述鳍式场效应管具有良好的电学性能。

[0120] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

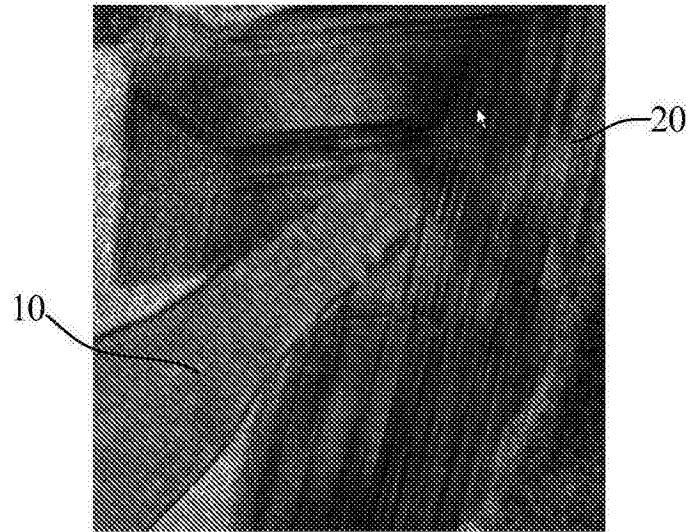


图1

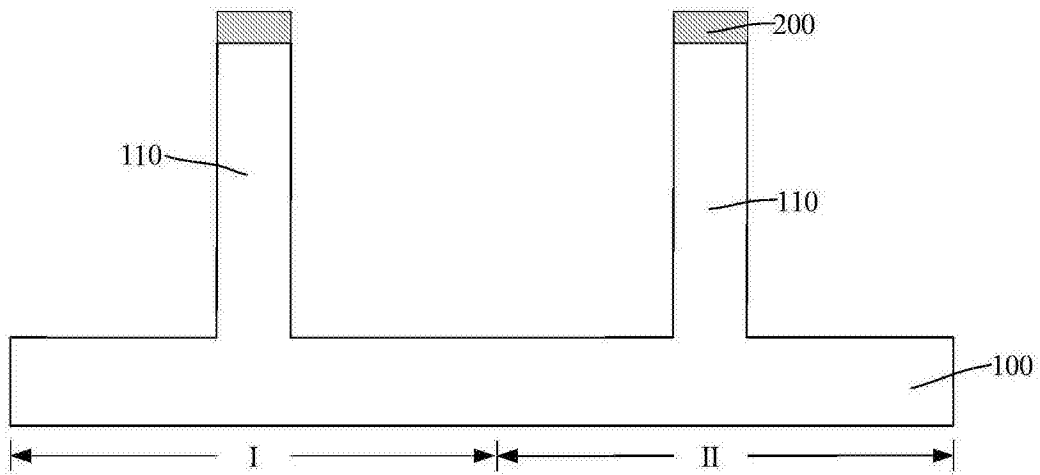


图2

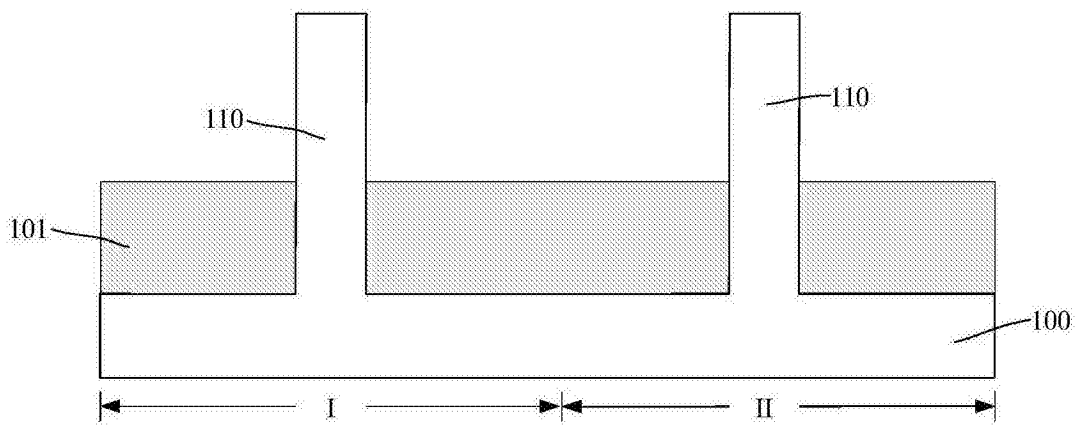


图3



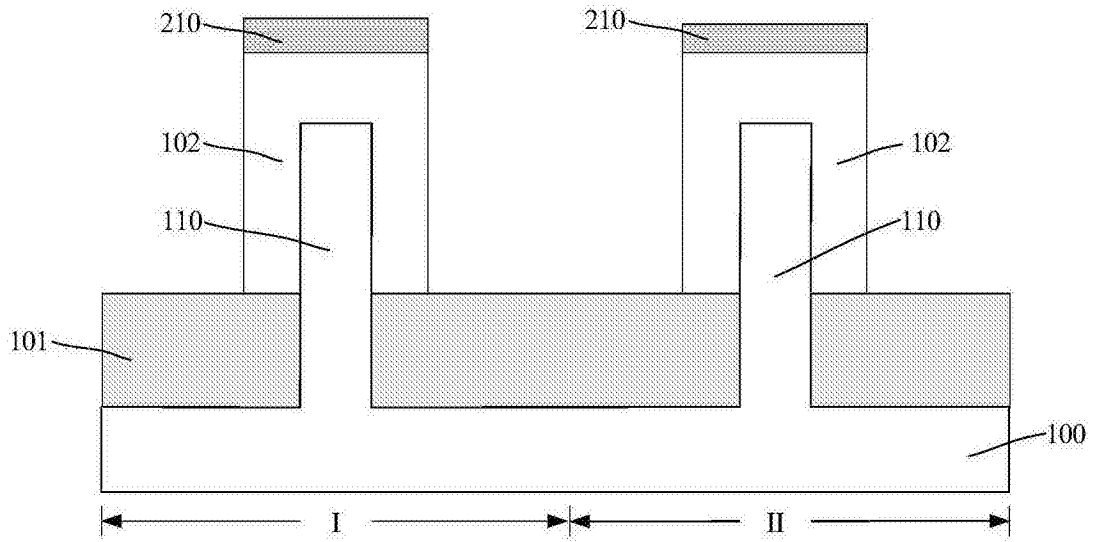


图4

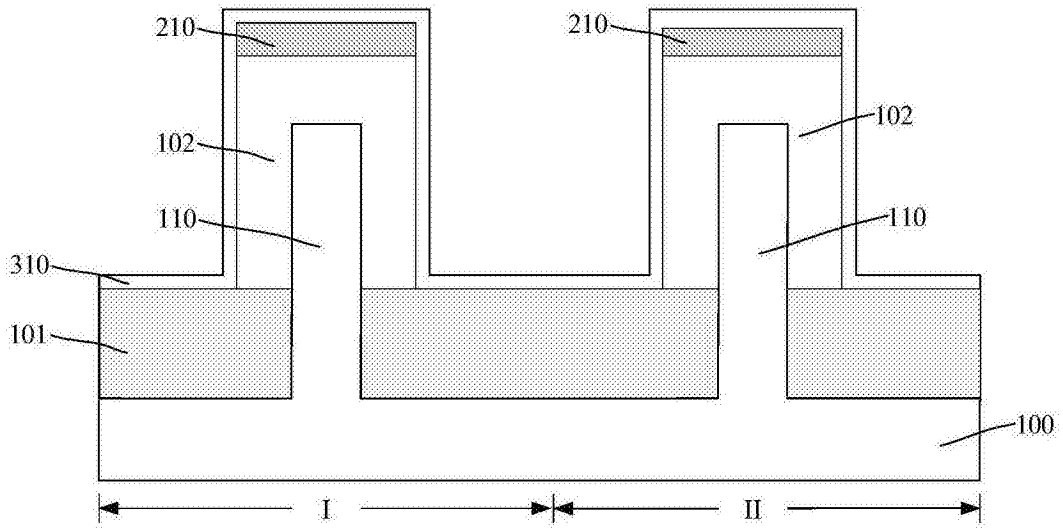


图5

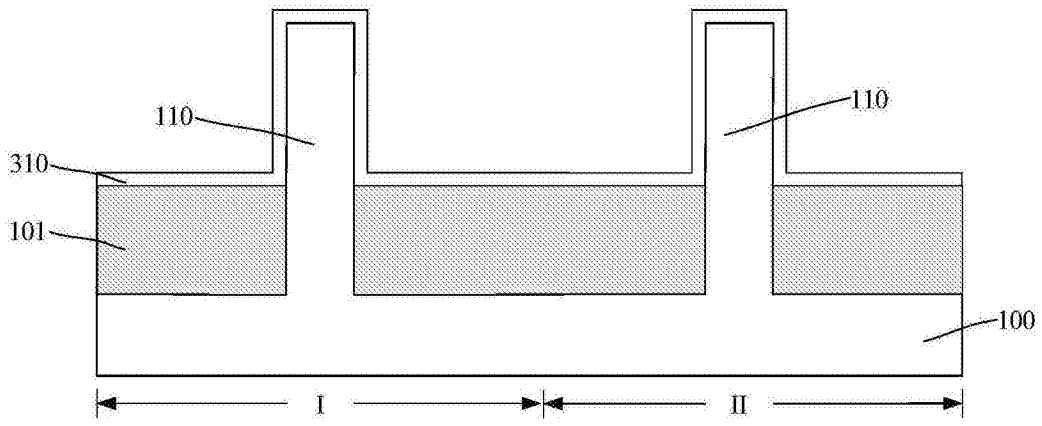


图6

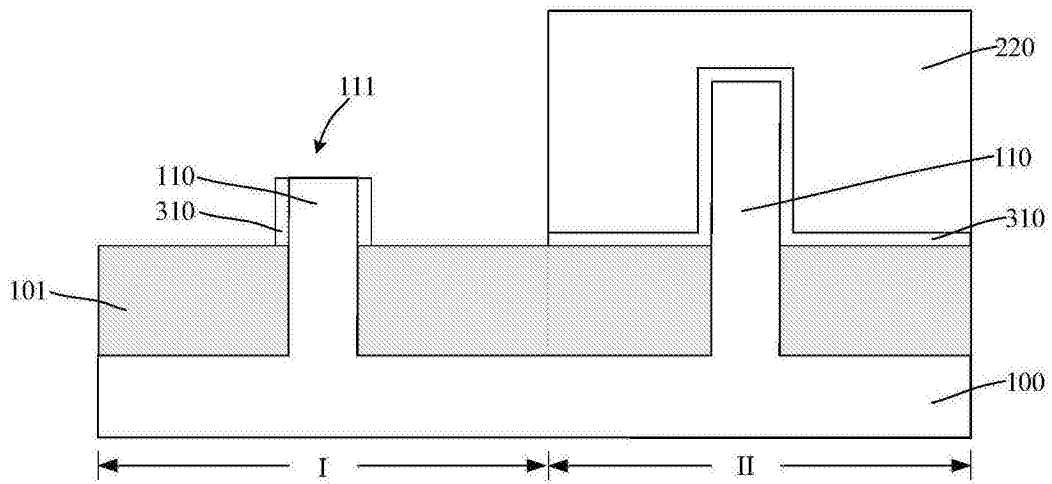


图7

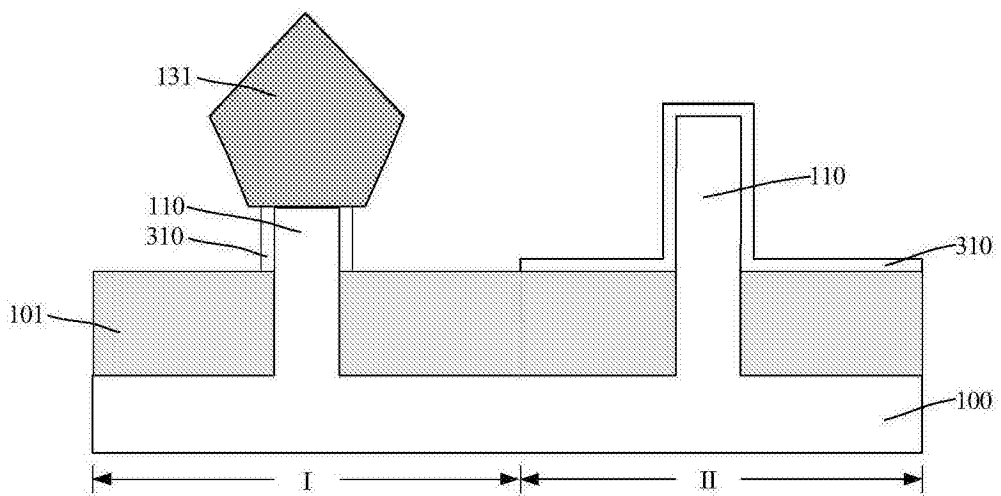


图8

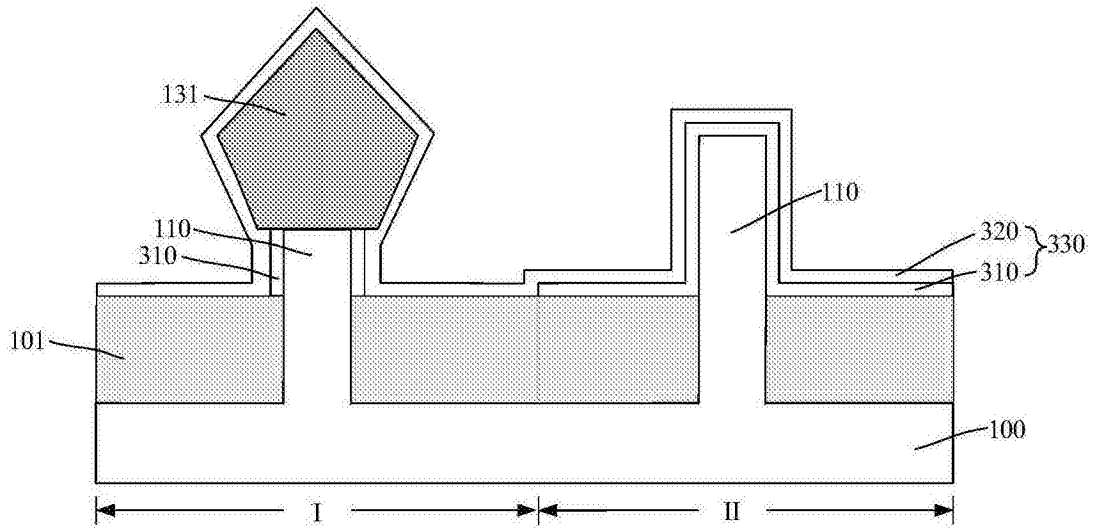


图9

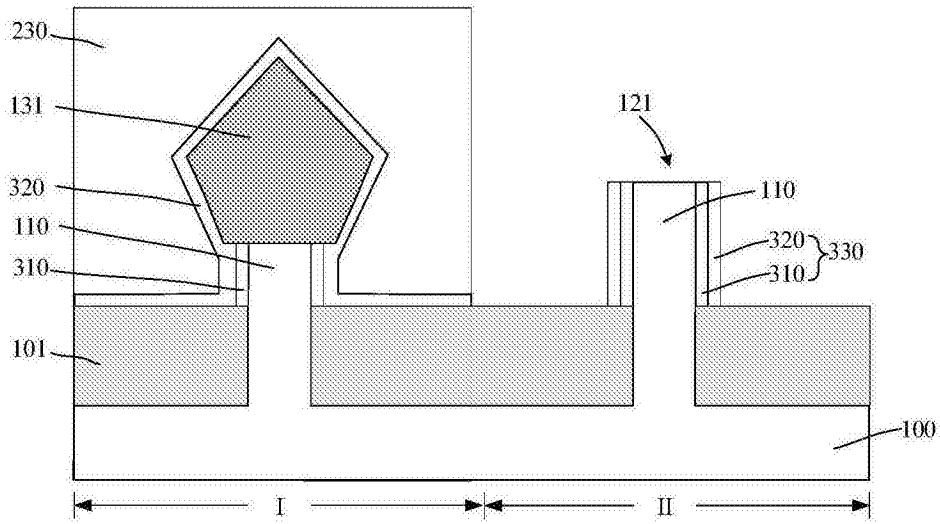


图10

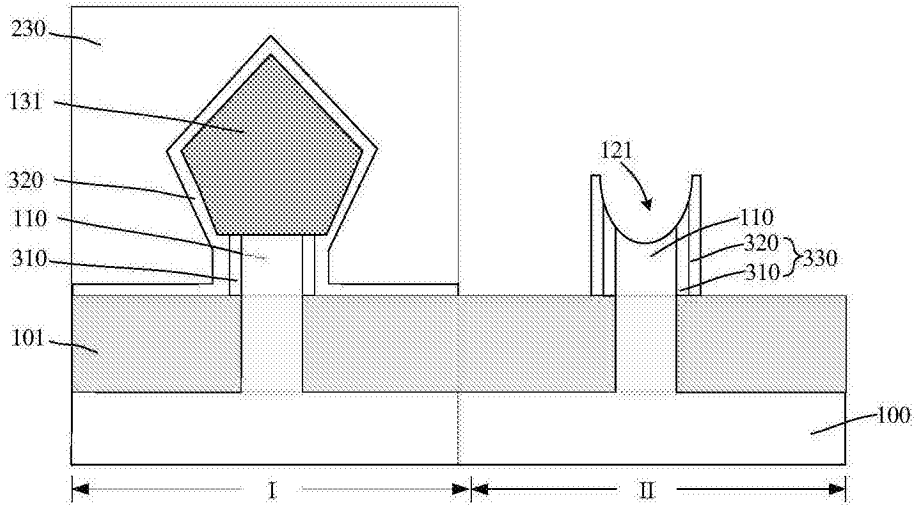


图11

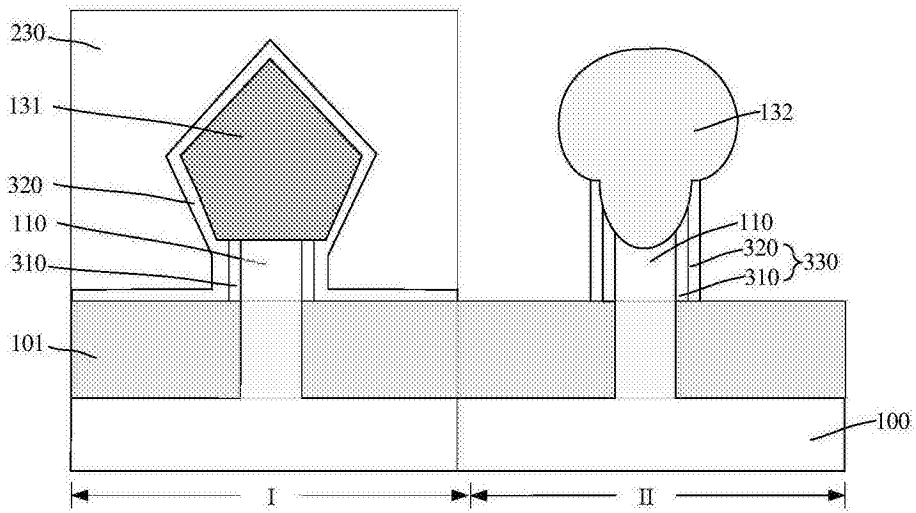


图12