(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 11/407

(45) 공고일자 2004년11월10일
(11) 등록번호 10-0445952
(24) 등록일자 2004년08월17일

(21) 출원번호 10-1996-0051809
(22) 출원일자 1996년11월04일

(65) 공개번호 10-1997-0029835
(43) 공개일자 1997년06월26일

(30) 우선권주장 60/005,502 1995년11월09일 미국(US)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

(72) 발명자
기츠카와 고로
일본국 도쿄도 니시타마군 히노데마치 히라이 2196-468

아키바 다케사다
일본국 도쿄도 다치카와시 이치반쵸 2-26-1

오토리 히로시
일본국 도쿄도 오우메시 가베쵸 5-25-7

맥키 윌리엄 알.
미합중국 텍사스주 75075 플라노 파피트 1529

콜링 제프리
미합중국 텍사스주 75252 달라스 프레스톤가 APT. 522 19019

헌든 트로이 에치.
미합중국 텍사스주 75080 리차드슨 밸리 크릭 플레이스 242

(74) 대리인
장수길
이중희
구영창

심사관 : 안병일

(54) 셀어레이상에전원및신호버스가메시형상으로배치된시스템

요약

반도체메모리집적회로에 있어서 전원 및 신호버스를 상호 접속하는 방법 및 장치에 적용해서 유효한 기술에 관한 것으로서, 회로의 사이즈를 최소로 하는 어레이타입의 집적회로상의 메시형상 전원 및 신호버스를 제공하기 위해, 메시시스템을 위한 스루홀은 주변회로뿐만 아니라 서브어레이(18a), (18b)에도 배치되고, 메시시스템의 전원버스 및 신호버스는 어레이를 횡단해서 수직 및 수평의 양방향으로 연장하고 있고, 모든 수직버스는 1개의 금속층M3에, 또 모든 수평버스는 다른 금속층M2에 놓여져 있으며, 1개의 층의 버스는 어레이에 배치된 스루홀에 의해 다른 층의 적절한 버스에 접속되어 있고, 접속된 버스는 적절한 센스앰프 드라이버로 연장하고 있는 구성으로 하였다.

이러한 구성으로 하는 것에 의해, 메시형상의 전원시스템의 저저항설계를 충분히 달성할 수 있고, 신호버스와 전원버스의 양쪽이 수평방향 및 수직방향 중의 어느쪽으로도 자유롭게 연장할 수 있으며, 단차가 큰 어레이상에서도 스루홀 형성의 제조효율이 개선되어 속도가 빠르고, 센스앰프의 점유면적을 축소할 수 있다는 효과가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 특징을 구현화한 256Mbit DRAM의 블럭도,
도 2는 도 1의 DRAM의 2개의 서브어레이, 그것을 둘러싸는 센스앰프 및 서브디코더의 블럭도,
도 3은 도 2에 도시된 1개의 서브어레이, 2개의 센스앰프 및 서브디코더와 서브어레이를 횡단하는 메시형상의 전원 및 신호시스템의 블럭도,
도 4는 도 3의 서브어레이상의 메시형상의 전원 및 신호시스템의 개략도,
도 5a는 도 4의 메시형상 전원시스템에 사용되는 2개의 금속층을 접속하는 스루홀을 구비한 도 3의 서브어레이의 메모리셀의 단면도,
도 5b는 도 3의 서브어레이의 메모리셀의 상세한 회로도,
도 6a는 도 4의 메시형상 시스템의 확대부의 레이아웃도,
도 6b는 도 4의 메시형상 시스템의 확대부의 레이아웃도,
도 6c는 도 4의 메시형상 시스템의 확대부의 레이아웃도,
도 7a는 도 3의 교차영역, 센스앰프, 서브디코더, 메모리어레이에 포함되는 회로의 개략도,
도 7b는 도 3의 교차영역, 센스앰프, 서브디코더, 메모리어레이에 포함되는 회로의 개략도,
도 8은 도 7의 서브디코더회로의 도면,
도 9a는 Noda의 계층적인 워드선을 나타내는 선행기술의 서브디코더 회로의 개략도,
도 9b는 계층적인 워드선을 조합한 1개의 서브디코더 회로의 개략도,
도 9c는 본 발명의 계층적인 워드선을 도시한 적절한 서브디코더회로의 개략도,
도 10a는 도 7a의 2개의 센스앰프회로의 회로도,
도 10b는 도 10a의 센스앰프회로의 레이아웃도,
도 11a는 종래의 센스앰프의 이퀄라이저부에 사용되는 회로의 레이아웃도,
도 11b는 도 7a의 센스앰프회로의 이퀄라이저부에 사용되는 회로로서, 본 발명의 서로 다른 T자형의 게이트영역을 사용한 것의 레이아웃도,
도 12a는 도 7a의 센스앰프회로의 래치부에 사용되는 회로로서, 도 10b의 H자형의 활성층영역을 사용한 것의 레이아웃도,
도 12b는 도 12a의 H자형의 활성층영역의 단순화된 도면,
도 13a는 종래의 센스앰프부분의 금속레이아웃도,
도 13b는 본 발명의 잡음감소법을 사용한 도 7a의 센스앰프의 개선된 부분의 금속레이아웃도,
도 13c는 본 발명의 잡음감소법을 사용한 도 7a의 센스앰프의 개선된 부분의 금속레이아웃도,
도 14a는 3중웰구조를 사용한 센스앰프의 제 1 단면도,
도 14b는 3중웰구조를 사용한 도 2의 센스앰프의 제 2 단면도,
도 14c는 3중웰구조를 사용한 도 2의 서브디코더의 단면도,
도 15a는 도 2의 센스앰프에 사용되는 4개의 퓨즈와 2개의 추가된 센스앰프를 도시한 블럭도,
도 15b는 도 2의 센스앰프에 사용되는 4개의 퓨즈와 2개의 추가된 센스앰프를 도시한 회로도.
[부호의 설명]
10 메모리 디바이스 12 어레이블럭
14a~14d 어드레스 패드 14e, 14f 전원패드
16a 메인어드레스 디코더(열디코더)
16b 메인어드레스 디코더(행디코더)
16c 메인어드레스 디코더(열디코더)
16d 메인어드레스디코더(열디코더)
16e 메인어드레스 디코더(행디코더)
16f 메인어드레스 디코더(열디코더)
16g 메인어드레스 디코더(열디코더)
16h 메인어드레스 디코더(행디코더)
16i 메인어드레스 디코더(열디코더)

16j 메인어드레스 디코더(열디코더)
16k 메인어드레스 디코더(행디코더)
161 메인어드레스 디코더(열디코더)
18a, 18b 서브어레이
20a 20d 어드레스 서브디코더
22a~22c 센스앰프 24a~24f 영역
26 VSS전원버스 28 VDD전원버스
30 제 1 VDD버스 30a~30d VDD버스
32 제 1 VSS버스 32a~32d VSS버스
34 제 1 신호버스 35 제 1 열선택(YS)버스
35 a 35d YS버스
36 제 1 서브디코더(DXB)버스 37a 제2 VDD버스
37b 제 2 VSS버스 37c 제2 신호버스
38 제 3 VDD버스 38a 38d VDD버스
40 제 3 VSS버스 40a 40d VSS버스
42 제 3 신호버스
44 제 2 서브디코더버스(DXB버스)
44a 서브디코더버스DXB1 44b DXB3
44c DXB5 44d DXB7버스
45, 46, 47, 48, 50, 52, 54 교점 54 VDD메시
56 VSS메시 58 신호메시
60 서브디코더메시 61a 열요소버스(CF버스)
61b, 61c, 61d 열요소버스 62 스루홀
64 메모리셀회로 65 캐패시터
66 플레이트 68 축적노드
69 트랜지스터 70 비트선버스
72a 서브워드선(SW)버스 72b~72h 서브워드선버스
74 폭 76 제 1 섹션
80, 82, 84 폭 86, 86a 86d MWB버스
88, 90, 92 폭 94,96 섹션
98a 센스앰프회로 98b 센스앰프회로
100a 센스앰프 드라이버 100b 회로
102a, 102b 메로리셀 104a~104c 비트선버스
106a~106h 서브디코더회로 108 커넥터버스
110a 110d 서브디코더 드라이버
114a 반전 서브디코더버스DX1
114b 반전 서브디코더버스DX3
114c 반전 서브디코더버스DX5
114d 반전 서브디코더버스DX7
116, 118 서브디코더회로 120a~120c 트랜지스터
122a, 122b 래치부 124a, 124b 이퀄라이저부
126a, 126b NMOS트랜지스터 128 제1 래치버스
130a, 130b PMOS트랜지스터 132 제2 래치버스
134a 134c NMOS트랜지스터 136 등화신호버스
137 절연거리 138a, 138b 게이트영역
140, 142 폭 144a, 144b 게이트영역
146 활성영역
148a, 148b 트랜지스터게이트
150 횡단점 152 커넥팅버스
154a 제1 버스 154b 제2 버스
154c 제3 버스 156a 156d 버스
158a 158d 버스 160 3중웰구조
162a, 162b p웰(PW)
164a, 164b n형의 얕은 웰(DW)
166 p-기판(P-Sub) 167a VBBA
167b VPP 167c VBB
167d VDD 170 센스앰프
172a, 172b, 174 아이솔레이션 n웰(NW)
176 PMOS트랜지스터 177c VBB

178a, 178b PW 180a 180c 트랜지스터
182 3중웰구조 184a, 184b PW
186a, 186b DW 188 P-Sub
190a, 190b 아이솔레이션NW 192 PW
194 3중웰구조 198 PW
200 NW 202a 202d 퓨즈
M1 제1 금속층 M2 제2 금속층
M3 제3 금속층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체회로설계에 관한 것으로서, 특히 반도체메모리집적회로에 있어서 전원 및 신호버스를 상호 접속하는 방법 및 장치에 적용해서 유효한 기술에 관한 것이다.
반도체기술의 발전에 따라서 단일의 집적회로 즉 「칩」에 포함되는 트랜지스터의 수는 더욱 증대하고, 그 때문에 설계를 파라미터의 값은 더욱 작아지고 있다. 이들 2개의 면에서의 진전은 금속층의 저항을 증대시키고, 또 이 저항의 증대가 새로운 문제를 일으킨다. 이와 같은 문제의 예로서는 전원선 전위의 변동, 크로스토크 노이즈, 회로의 지연을 들 수 있다. 이들의 문제 모두는 칩의 동작을 지연시키고 칩에 저장되어 있는 데이타를 파손시키는 일도 있을 수 있다. 금속층의 저항의 증대의 영향을 제거하는 것은 다이나믹 랜덤 액세스 메모리(DRAM)의 설계도 포함해서 대부분의 반도체설계의 분야에서 중요한 설계상의 문제로 되고 있다.
이 문제에 대한 1개의 해결책으로서 Yamada, A64-Mb DRAM with Meshed Power Line, 26 IEEE Journal of Solid-State Circuits 11(1991)에 설명되어 있는 바와 같이, 칩에 대한 메시(mesh)형상의 전원버스시스템이 개발되었다. 메시형상 전원버스시스템은 DRAM과 같은 집적회로에 의해 용이하게 실현할 수 있다. 이것은 그와 같은 집적회로에서는 메모리셀이 거대한 어레이로 되어 있고, 센스앰프 드라이버(sense amplifier driver)가 분산해서 존재하고 있기 때문이다. 메시시스템에서는 다수의 전원버스가 어레이상을 수평 및 수직의 양방향으로 연장해서 마련되어 있으므로, 충분한 전력이 분산된 센스앰프 드라이버로 공급된다.

발명이 이루고자 하는 기술적 과제

Yamada의 메시형상시스템은 종래의 CMOS(complementary metal oxide semiconductor)기술을 사용해서 실현할 수 있는 것으로서, 서로 전기적으로 절연된 제1, 제2 및 제3 금속층을 갖고 있고, 제1 금속층은 최하층의 금속층, 제3 금속층은 최상층의 금속층으로 되어 있으며 제2 금속층은 제1과 제3 금속층 사이에 끼워져 있다. Yamada의 메시형상 시스템은 제2 및 제3 금속층으로 형성되어 있고, 플러스의 공급전압(VDD)의 메시와 마이너스의 공급전압(VSS)의 메시를 포함하고, 이들은 각각 VDD전원버스와 VSS전원버스에 대응하고 있다. 이 종래설계의 메시에서는 전원버스는 메모리어레이상에 연장해서 센스앰프영역에 배치된 스루홀을 이용하여 센스앰프상의 배선으로 변환되어 센스앰프 드라이버로 급전된다. 그러나, 센스앰프자체에는 VDD전원버스 및 VSS전원버스가 존재할 필요는 없다. 왜냐하면, 그들의 회로는 웰 바이어스(well bias)를 위해 제거해서 VDD전원 또는 VSS전원 중의 어느쪽도 필요로 하지 않기 때문이다.
그 결과, 센스앰프는 그 사이즈가 비교적 작고 또 많은 신호버스 및 전원버스가 부수되어 있으므로, Yamada의 메시형상시스템에 의해 불리한 영향을 받는다. 즉, 여분의 전원 및 신호버스에 의해 센스앰프는 복잡해져 버린다. 이것에 부가해서, 센스앰프상의 스루홀을 피복하는데 필요한 금속배선의 폭은 금속배선의 최소폭보다 크므로, 금속배선층의 폭을 더 한층 증가시킨다. 그 결과, 센스앰프상의 금속배선층이 센스앰프회로의 사이즈의 결정요인으로 된다. 그 때문에, 센스앰프의 사이즈의 감소는 금속폭을 좁게하는 것에 의해 실현하지 않으면 안되어 필연적으로 저항을 증대시켜 동작을 지연시키게 한다.
Yamada의 메시형상시스템과는 별도로 종래의 DRAM설계에 대한 다른 제안도 이루어져 왔다. 근래, K. Noda et Al., a Boosted Dual Word-line Decoding Scheme for 256 Mbit DRAM's, 1992 Symp. on VLSI Circuit Dig. of Tech. Papers, pp. 112-113(1992)에 있어서, 계층적인 워드선구조가 제안되었다. Noda안은 제2 금속배선층에 형성된 메인워드선과 다결정실리콘에 형성된 서브워드선을 포함하는 것이다. Noda안은 8개의 서브워드선마다 2개의 메인워드선(True, Bar)을 마련하는 것이고, 그 때문에 메인워드선의 피치를 서브워드선의 피치의 4배로 완화할 수 있다. 그러나, 이 금속배선피치에서는 새로운 금속배선을 마련하여 메시형상의 전원 및 신호버스시스템의 개선에 공헌할 수는 없을 것이다.
그래서, 어레이형태의 집적회로에 있어서의 메시형상의 전원 및 신호버스시스템에서 메시의 스루홀접속을 센스앰프 영역상으로만 제약하지 않고, 어레이의 다른 위치에서의 그와 같은 접속을 가능하게 하고, 그 결과 센스앰프상에서의

금속폭 을 축소할 수 있어 전원버스의 저항이 보다 작은 것이면서 칩의 총면적을 감속시킬 수 있는 것이 요구되고 있다.
또, 개선된 메시형상의 전원 및 신호버스시스템을 지지하는 메인워드선의 피치가 서브워드선의 피치의 4배이상인 계층적인 워드선안이 요구되고 있다.
본 발명의 목적은 메시의 스루홀접속을 센스앰프영역상으로만 제약하지 않고, 어레이의 다른 위치에서 이들의 접속을 가능하게 하고, 그것에 의해 센스앰프상에서의 금속폭을 축소하여 센스앰프의 동작을 보다 빠른 것으로 해서 칩사이즈를 감속시킬 수 있는 전원 및 신호버스시스템을 제공하는 것이다.
본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확해질 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.
즉, 본 발명의 전원 및 신호버스시스템은 메시형상의 전원버스 및 신호버스시스템을 제공하는 방법 및 장치로서, 메시의 스루홀접속을 센스앰프영역상으로만 제약하지 않고, 어레이의 다른 위치에서 이들의 접속을 제공하고, 그것에 의해 센스앰프상에서 금속폭을 완하해서 센스앰프의 동작을 보다 빠른 것으로 하여 칩사이즈를 감소시킬 수 있는 것을 제공한다. 메시형상시스템을 위한 스루홀은 센스앰프회로에 배치되는 것 대신에 또는 그 배치에 부가해서 셀어레이상에 배치된다. 그 때문에, 어레이에 있어서의 스루홀을 위한 공간이 사용되고, 이것에 의해 센스앰프 에 있어서 전원 및 신호버스를 보다 효율적으로 사용할 수 있다.
본 발명은 여러개의 서브어레이로 분할된, 그리고 메인어드레스 디코더에 의해 선택되는 DRAM메모리셀의 어레이를 포함하는 것이다. 각 서브어레이는 여러개의 센스앰프회로, 서브디코더회로에 의해 둘러싸여지고 각 서브어레이상을 VDD버스, VSS버스 및 신호버스가 횡단한다. VDD버스는 수직 및 수평의 양방향으로 서브어레이를 횡단해서 연장하고 있고, 모든 수직버스는 제3 금속층(M3)으로 형성되고, 모든 수평버스는 제2 금속층(M2)으로 형성되고, 그것에 의해 VDD메시가 형성되고 있다. 각층의 버스는 센스앰프영역상에 부가해서 메모리셀 서브어레이영역상에 배치된 스루홀을 사용해서 서로 접속되어 있다. 마찬가지로, VSS메시 및 신호메시는 메모리셀 서브어레이에 배치된 스루홀을 사용하는 것에 의해 형성되고 있다. 접속된 후, 버스는 센스앰프 드라이버회로 등의 적절한 회로와 연장하므로, 센스앰프 상에 금속층 및 스루홀을 필요로 하는 것은 상당히 감소된다.
본 발명은 또 계층적인 워드선의 개량안을 포함하는 것이다. 상술한 메시형상시스템과 계층적인 워드선안의 조합을 용이하게 하기 위해 Noda의 계층적인 워드선안보다 서브워드선에 대한 메인워드선의 피치를 보다 큰 것으로 개선할 필요가 있다. 개선된 계층적인 워드선시스템에서는 센스앰프와 서브디코더 사이에 형성되는 교차영역이 서브디코더 드라이버 및 센스앰프 드라이버를 포함하고 있다. 이 조합에 의해, 고속인 워드선의 선택과 고속인 센스앰프의 동작을 동시에 제공할 수 있다.
상기 메시형상시스템에 의해 가능하게 되도록 센스앰프의 사이즈가 금속의 사용에 의해 규정되지 않게 되면, 미세한 메모리셀 사이즈와 적합하게 하기 위해, 센스앰프회로 자체의 개선된 레이아웃기술이 필요로 되는 경우가 있다. 이 개선된 레이아웃기술은 비트선 등화회로를 위한 서로 다르게 나란히 배치된 T자형의 게이트영역과 래치회로를 위한 금속-다결정실리콘-금속으로 변화하는 구조를 구비한 H자형의 활성층영역을 포함하는 것이다.
본 발명에 의해 달성되는 기술적인 유리점은 금속층을 위해 사이즈상의 제약이 있는 예를 들면 센스앰프등의 주변회로의 사이즈를 증가시키는 일 없이, 메시형상의 전원시스템의 저저항설계를 충분히 이용할 수 있다는 것이다.
본 발명에 의해 달성되는 다른 기술적인 유리점은 신호버스와 전원버스의 양쪽이 수평방향 및 수직방향 중의 어느쪽으로도 자유롭게 연장할 수 있다는 것이다.
본 발명에 의해 달성되는 또 다른 기술적인 유리점은 어레이영역에 배치되는 스루홀의 설계가 주변영역에 배치되는 스루홀과 같이 최소설계로 할 필요가 없어 그것에 의해 단차영역상에 있어서도 제조효율이 개선된다는 것이다.
본 발명에 의해 달성되는 또 다른 기술적 유리점은 개선된 계층적인 워드선구조가 종래의 계층적인 워드선구조에 비해 서브디코더의 면적이 작고 또한 감속이 빠르다는 것이다.
본원에 있어서 개시되는 발명 중 대표적인 것의 구성은 다음과 같다. 또한, 전계효과 트랜지스터를 이하 MOSFET 또는 MISFET라 한다.
[1] 주면을 갖는 반도체기판, 상기 반도체기판의 주면상에 있어서, 여러개의 메모리셀이 행열형상으로 배치되어 이루어지는 메모리셀 어레이영역, 상기 메모리 셀 어레이영역내에 배치된 여러개의 메모리셀에 접속되고 행방향으로 연장하는 여러개의 비트선, 상기 메모리셀 어레이영역내에 배치된 여러개의 메모리셀에 접속되고 열방향으로 연장하는 여러개의 워드선, 상기 메모리셀 어레이영역에 근접해서 형성되고 여러개의 MOSFET를 갖는 제1 주변회로영역, 상기 메모리셀 어레이영역 이외의 영역으로서 상기 반도체기판의 주면상에 형성되고 또한 소정의 전위가 외부에서 공급되는 전원패드, 상기 메모리셀 어레이영역상에 형성되고, 상기 비트선 및 워드선상을 상기 행방향으로 연장하는 제1 전원배선 및 상기 제1 전원배선과는 다른 층의 도체층으로 형성되고 상기 메모리셀 어레이영역상으로서, 상기 비트선 및 워드선상을 상기 열방향으로 연장하는 제2 전원배선을 갖고, 상기 제1 전원배선과 상기 제2 전원배선은 상기 메모리셀 어레이영역상에 양자의 교차부분을 갖고, 상기 교차부분에 있어서 상기 제1 전원배선과 상기 제2 전원배선은 전기적으로 접속되어 있고, 상기 제1 전원배선 및 제2 전원배선의 한쪽은 상기 전원패드에 전기적으로 접속되어 있고, 상기 제1 주변회로영역의 전후 여러개의 MOSFET로는 상기 제1 전원배선 및 제2 전원배선을 거쳐서 상기 전원패드에서 상기 소정의 전위가 공급되는 것을 특징으로 하는 반도체기억장치.
[2] 상기 구성 1에 있어서, 상기 제1 전원배선은 상기 제2 전원배선보다 상층의 도체층으로 형성되어 있고, 상기 제1 전원배선을 형성하는 도체층의 막두께는 상기 제2 전원배선을 형성하는 도체층의 막두께보다 큰 것을 특징으로 하는

반도체기억장치.
[3] 상기 구성 1에 있어서, 상기 열방향에 있어서, 상기 메모리셀 어레이영 역에 인접하고, 상기 행방향에 있어서 상기 제1 주변회로영역과 인접하는 여러개의 MOSFET를 갖는 제2 주변회로영역과 상기 제1 주변회로영역내에 있어서 상기 비트선과 대략 평행하고, 상기 제2 주변회로영역까지 연장하는 제3 전원배선을 더 갖고, 상기 제2 전원배선은 상기 제2 주변회로영역까지 연장해서 상기 제3 전원배선과 교차하고, 상기 교차부분에 있어서 상기 제2 전원배선과 제3 전원배선은 전기적으로 접속되어 있는 것을 특징으로 하는 반도체기억장치.
[4] 상기 구성 3에 있어서, 상기 제3 전원배선은 상기 제1 전원배선과 동일층의 도체층으로 구성되어 있고, 상기 제1 주변회로영역내의 MOSFET에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체기억장치.
[5] 상기 구성 4에 있어서, 상기 제1 전원배선의 배선폭은 상기 제3 전원배선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.
[6] 상기 구성 5에 있어서, 상기 제1 전원배선 및 제3 전원배선과 상기 제2 전원배선을 전기적으로 분리하는 절연막을 더 갖고, 상기 제1 전원배선과 상기 제2 전원배선을 전기적으로 접속하기 위해 상기 절연막에 형성된 제1 스루홀의 구멍직경은 상기 제2 전원배선과 상기 제3 전원배선을 전기적으로 접속하기 위해 상기 절연막에 형성된 제2 스루홀의 구멍직경보다 큰 것을 특징으로 하는 반도체기억장치.
[7] 상기 구성 6에 있어서, 상기 메모리셀은 직렬접속된 1개의 MOSFET와 1개의 용량소자로 이루어지고, 상기 용량소자는 상기 MOSFET의 상부에 형성되어 있는 것을 특징으로 하는 반도체기억장치.
[8] 상기 구성 4에 있어서, 상기 행방향에 있어서 상기 메모리셀 어레이영역 에 인접하고, 상기 열방향에 있어서 상기 제1 주변회로영역에 인접해서 배치된 센스앰프영역을 더 갖고, 상기 제1 주변회로영역의 MOSFET는 센스앰프 드라이버회로를 구성하는 것을 특징으로 하는 반도체기억장치.
[9] 상기 구성 8에 있어서, 상기 센스앰프영역에는 상기 제2 전원배선과 동일층의 도체층으로 형성된 여러개의 신호선이 상기 열방향으로 연장하고 있는 것을 특징으로 하는 반도체기억장치.
[10] 상기 구성 4에 있어서, 상기 제2 주변회로영역에는 서브디코더회로가 형성되어 있고, 상기 서브디코더회로는 상기 열방향으로 연장하는 메인워드선과 서브디코더 제어선을 입력으로 하고, 상기 워드선을 출력으로 하는 것을 특징으로 하는 반도체기억장치.
[11] 상기 구성 10에 있어서, 상기 메인워드선과 서브디코더 제어선은 상기 제2 전원배선과 동일층의 도체층으로 형성되어 있는 것을 특징으로 하는 반도체기억장치.
[12] 상기 구성 11에 있어서, 상기 제2 전원배선의 배선폭은 상기 메인워드선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.
[13] 상기 구성 11에 있어서, 상기 메모리셀 어레이영역상을 열방향으로 연장하고, 상기 제2 전원배선과 동일층의 도체층으로 형성된 제4 전원배선을 더 갖고, 상기 서브디코더 제어선은 상기 메모리셀 어레이영역의 중앙부를 열방향으로 연장하고, 상기 서브디코더 제어선의 양측에 상기 제2 전원배선 및 상기 제4 전원배선이 상기 열방향으로 연장하는 것을 특징으로 하는 반도체기억장치.
[14] 상기 구성 13에 있어서, 상기 메모리셀 어레이영역상에 있어서 상기 제4 전원배선과 상기 제1 전원배선은 교차부를 갖고, 상기 교차부에 있어서 상기 제4 및 제1 전원배선은 전기적으로 접속되어 있는 것을 특징으로 하는 반도체기억장치.
[15] 상기 구성 1에 있어서, 상기 메모리셀 어레이영역상을 행방향으로 연장하고, 상기 제1 전원배선과 동일층의 도체층으로 형성된 여러개의 열선택선과 상기 여러개의 열선택선에서 소정의 열선택선을 선택하기 위한 열디코더를 더 갖고, 상기 제1 전원배선의 배선폭은 상기 열선택선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.
[16] 상기 구성 15에 있어서, 상기 메모리셀 어레이영역상을 행방향으로 연장하고, 상기 제1 전원배선과 동일층의 도체층으로 형성되고, 상기 열선택선과는 다른 여러개의 신호선을 더 갖는 것을 특징으로 하는 반도체기억장치.
[17] 상기 구성 16에 있어서, 상기 메모리셀 어레이영역상을 행방향으로 연장하고, 상기 제1 전원배선과 동일층의 도체층으로 형성된 제5 전원배선을 더 갖는 것을 특징으로 하는 반도체기억장치.
[18] 상기 구성 17에 있어서, 상기 여러개의 신호선은 상기 메모리셀 어레이영역의 중앙부를 행방향으로 연장하고, 상기 여러개의 신호선의 양측에 상기 제1 전원배선 및 상기 제5 전원배선이 상기 행방향으로 연장하는 것을 특징으로 하는 반도체기억장치.
[19] 반도체기판, 상기 반도체기판상에 형성되고 행방향으로 연장하는 여러 개의 비트선, 열방향으로 연장하는 여러개의 워드선 및 상기 비트선과 상기 워드선의 교차부분에 각각 배치된 여러개의 메모리셀을 갖는 서브어레이, 상기 행방향에 있어서 상기 서브어레이와 인접하는 제1 주변회로영역, 상기 열방향에 있어서 상기 서브어레이와 인접하는 제2 주변회로영역, 상기 제1 및 제2 주변회로영역의 교차하는 영역에 배치된 제3 주변회로영역, 상기 비트선 및 워드선상을 상기 행방향으로 연장하고, 상기 서브어레이 및 상기 제1 주변회로영역상에 형성되고, 제1 도체층으로 형성된 여러개의 제1 전원배선, 상기 제1 도체층과는 다른 층의 제2 도체층으로 형성되고, 상기 서브어레이의 상기 비트선 및 워드선상을 상기 열방향으로 연장하고, 상기 서브어레이 및 상기 제2 주변회로영역상에 형성된 여러개의 제2 전원배선 및 상기 제2 및 제3 주변회로영역상에 연장하고, 상기 제1 도체층으로 형성된 제3 전원배선을 갖고, 상기 제1 전원배선과 상기 제2 전원배선은 상기 서브어레이상에 교차부를 갖고, 상기 교차부에 있어서 상기 제1 및 제2 전원배선을 전기적으로 접속되어 있고, 상기 제2 전원배선과 상기 제3 전원배선은 상기 제2 주변회로영역상에 교차부를 갖고, 상기 교차부에 있어서 상기 제2 및 제3 전원배선은 전기적으로 접속되어 있고, 상기 제1 및 제2 전원배선의 배선폭은 상기 제3 전원배선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.
[20] 상기 구성 19에 있어서, 상기 제3 주변회로영역은 여러개의 MISFET를 갖고, 상기 MISFET는 상기 제3 전원배선에 접속되어 있는 것을 특징으로 하는 반도체기억장치.

[21] 상기 구성 20에 있어서, 상기 제1 주변회로영역에는 상기 제2 도체층으 로 형성된 여러개의 신호배선이 상기 열방향으로 연장하고 있는 것을 특징으로 하는 반도체기억장치.
[22] 상기 구성 21에 있어서, 상기 제1 도체층과 상기 제2 도체층 사이에 개재하는 절연막을 더 갖고, 상기 절연막에는 상기 제1 전원배선과 상기 제2 전원배선의 교차부에 제1 스루홀이, 상기 제2 전원배선과 상기 제3 전원배선의 교차부에 제2 스루홀이 형성되어 있고, 상기 제1 스루홀의 구멍직경은 상기 제2 스루홀의 구멍직경보다 큰 것을 특징으로 하는 반도체기억장치.
[23] 상기 구성 22에 있어서, 또 상기 메모리셀은 직렬접속된 1개의 MOSFET와 1개의 용량소자로 이루어지고, 상기 용량소자는 상기 MOSFET의 상부에 형성되어 있는 것을 특징으로 하는 반도체기억장치.
[24] 상기 구성 21에 있어서, 상기 제1 도체층은 상기 제2 도체층보다 상층의 도체층이고, 상기 제1 도체층의 막두께는 상기 제2 도체층의 막두께보다 큰 것을 특징으로 하는 반도체 기억장치.
[25] 상기 구성 19에 있어서, 상기 제2 주변회로영역에는 서브디코더회로가 형성되어 있고, 상기 서브디코더회로는 상기 열방향으로 연장하는 메인워드선과 서브디코더제어선을 입력으로 하고, 상기 워드선을 출력으로 하는 것을 특징으로 하는 반도체기억장치.
[26] 상기 구성 25에 있어서, 상기 메인워드선과 서브디코더 제어선은 상기 제2 도체층으로 형성되어 있고, 상기 제2 전원배선의 배선폭은 상기 메인워드선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.
[27] 상기 구성 26에 있어서, 상기 서브디코더 제어선은 상기 서브어레이의 중앙부를 열방향으로 연장하고, 상기 서브디코더 제어선의 양측에 상기 제2 전원배선이 상기 열방향으로 연장하는 것을 특징으로 하는 반도체기억장치.
[28] 반도체기판상에 형성된 여러개의 메모리셀, 상기 여러개의 메모리셀이 접속된 상보형의 제1 및 제2 비트선, 상기 상보형의 제1 및 제2 비트선 사이에 직렬접속된 제1 및 제2 MISFET 및 상기 상보형의 제1 및 제2 비트선 사이에 접속된 제3 MISFET를 갖는 반도체기억장치로서, 상기 반도체기판의 주면에 형성되고, 상기 제1, 제2 및 제3 MISFET를 형성하기 위한 활성영역, 상기 활성영역내에 형성된 제1, 제2 및 제3 반도체영역, 상기 제1, 제2 및 제3 반도체영역과 상기 제1 및 제2 비트선 사이에 위치하는 절연막, 상기 절연막에 형성되고 상기 제1 반도체영역과 제1 비트선을 접속하기 위한 제1 스루홀, 상기 제2 반도체영역과 제2 비트선을 접속하기 위한 제2 스루홀, 상기 제3 반도체영역상에 위치하는 제3 스루홀 및 상기 제1 및 제2 반도체영역사이, 상기 제2 및 제3 반도체영역사이와 상기 제3 및 제1 반도체영역사이에 위치하고, 각각이 일체로 구성된 상기 제1, 제2 및 제3 MISFET의 게이트전극을 갖고, 상기 제1, 제2 및 제3 스루홀은 삼각형을 구성하고, 인접하는 상보형 비트선에 대응하는 상기 삼각형은 점대칭의 위치관계에 있는 것을 특징으로 하는 반도체기억장치.
[29] 상기 구성 28에 있어서, 상기 활성영역은 T자형의 평면형상을 갖는 것을 특징으로 하는 반도체기억장치.
[30] 상기 구성 29에 있어서, 상기 게이트전극은 T자형의 평면형상을 갖는 것을 특징으로 하는 반도체기억장치.
[31] 상기 구성 30에 있어서, 상기 제3 반도체영역에는 소정의 고정전위가 공급되는 것을 특징으로 하는 반도체기억장치.
[32] 센스앰프를 구성하고, 드레인 및 소오스로 이루어지는 제1 및 제2 반도체영역과 게이트전극을 갖는 제1, 제2 MISFET, 상기 제1, 제2 MISFET의 양측에 위치하는 제1 메모리어레이와 제2 메모리어레이 및 상기 제1 메모리어레이내에 연장하는 상보형의 제1 및 제2 비트선, 상기 제2 메모리어레이내에 연장하는 상보형의 제3 및 제4 비트선으로 이루어지고, 상기 제 1, 제2, 제3 및 제4 비트선은 동일층의 도체층에 의해 구성되어 있고, 상기 제1 비트선은 상기 제1 MISFET의 제1 반도체영역에 접속되고, 상기 제2 MISFET의 게이트전극을 거쳐서 상기 제3 비트선에 접속되어 있고, 상기 제2 비트선온 상기 제1 MISFET의 게이트 전극과 상기 제2 MISFET의 제1 반도체영역에 접속되고, 상기 제2 비트선과 상기 제 4 비트선은 연속해서 일체로 구성되어 있는 것을 특징으로 하는 반도체기억장치.
[33] 데이타선, 메모리셀, 메인워드선 및 이 메인워드선에 대응하는 제1 및 제2 서브워드선을 구비하는 메모리어레이, 상기 제1 서브워드선에 결합되는 출력단자와 상기 메인워드선에 결합되는 제1 입력단자를 갖는 제1 서브디코더, 상기 제2 서브워드선에 결합되는 출력단자와 상기 메인워드선에 결합되는 제1 입력단자를 갖는 제2 서브디코더, 상기 제1 서브디코더의 제2 입력단자에 결합되어 상기 제1 서브워드선에 공급될 선택레벨 전압을 출력하는 제1 구동회로 및 상기 제2 서브디코더의 제2 입력단자에 결합되어 상기 제2 서브워드선에 공급될 선택레벨전압을 출력 하는 제2 구동회로를 포함하고, 상기 메모리어레이는 제1 영역내에 형성되고, 상기 제1 및 제2 서브디코더는 상기 제1 영역에 인접하는 제2 영역내에 형성되고, 상기 제1 및 제2 구동회로는 상기 제2 영역에 인접하는 제3 영역내에 형성되는 것을 특징으로 하는 반도체기억장치.
[34] 상기 구성 33에 있어서, 상기 데이타선에 결합되는 센스앰프를 더 갖고, 상기 센스앰프는 상기 제1 및 제3 영역에 인접하는 제4 영역에 형성되는 것을 특징으로 하는 반도체기억장치.
[35] 상기 구성 34에 있어서, 상기 제1, 제2, 제3 및 제4 영역은 사각형영역이고, 상기 제2 및 제4 영역을 연장하는 것에 의해 나타나는 교차영역이 상기 제3 영역인 것을 특징으로 하는 반도체기억장치.
[36] 상기 구성 34에 있어서, 상기 제1 구동회로의 입력단자로 공급될 제1 선택신호를 전달하기 위한 제1 신호선과 상기 제2 구동회로의 입력단자로 공급될 제2 선택신호를 전달하기 위한 제2 신호선을 더 갖고, 상기 제1 및 제2 신호선은 상기 메인워드선 및 상기 제1 및 제2 서브워드선과 함께 상기 제1 영역에 있어서 동일방향으로 연장되는 것을 특징으로 하는 반도체기억장치.
[37] 상기 구성 36에 있어서, 상기 제1 및 제2 서브디코더는 각각 (a) 상기 제1 입력단자에 결합되는 게이트와 상기 제2 입력단자와 상기 출력단자 사이에 마련되는 소오스/드레인 통로를 갖는 제1 MOSFET, (b) 상기 제1 입력단자에 결합되는 게이트와 상기 출력단자와 접지전위사이에 마련되는 소오스/드레인 통로를 갖는 제2 MOSFET 및 (c) 상기 제2 MOSFET의 소오스/드레인 통로에 병렬접속되는 소오스/ 드레인 통로를 갖는 제3 MOSFET를 구비하는 것을 특징으로 하는 반도체기억장치.

[38] 상기 구성 37에 있어서, 상기 제1 및 제2 구동회로는 인버터회로인 것을 특징으로 하는 반도체기억장치.
[39] 상기 구성 38에 있어서, 상기 제1 MOSFET는 p채널형이고, 상기 제2 및 제3 MOSFET는 n채널형인 것을 특징으로 하는 반도체기억장치.
[40] 상기 구성 39에 있어서, 상기 제3 MOSFET의 게이트폭을 상기 제2 MOSFET의 게이트폭보다 짧은 것을 특징으로 하는 반도체기억장치.
[41] 상기 구성 40에 있어서, 상기 제1 및 제2 서브워드선 중 선택된 서브워드선의 전압은 상기 데이타선의 하이레벨전압보다 높은 것을 특징으로 하는 반도체기억장치.
[42] 데이타선, 메모리셀, 메인워드선 및 이 메인워드선에 대응하는 여러개의 서브워드선을 구비하는 메모리어레이, 상기 여러개의 서브워드선에 대응하는 여러개의 서브디코더 및 상기 여러개의 서브디코더에 대응하는 여러개의 구동회로를 구비하고, 상기 여러개의 서브디코더는 각각 (a) 대응하는 1개의 서브워드선에 결합되는 드레인과 상기 메인워드선에 결합되는 게이트를 갖는 p채널형의 제1 MOSFET, (b) 접지전위를 받는 소오스, 상기 제1 MOSFET의 드레인에 결합되는 드레인 및 상기 메인워드선에 결합되는 게이트를 갖는 n채널형의 제2 MOSFET 및 (c) 상기 제2 MOSFET의 드레인과 소오스 사이에 마련되는 소오스/드레인 통로를 갖는 제3 MOSFET를 갖고, 상기 여러개의 구동회로는 각각 대응하는 서브디코더의 상기 제3 MOSFET의 게이트에 결합되는 입력단자와 상기 제1 MOSFET의 소오스에 결합되는 출 력단자를 갖고, 상기 메모리어레이는 제1 영역내에 형성되고, 상기 여러개의 서브디코더회로는 상기 제1 영역에 인접하는 제2 영역내에 형성되고, 상기 여러개의 구동회로는 상기 제2 영역에 인접하는 제3 영역내에 형성되는 것을 특징으로 하는 반도체기억장치.
[43] 상기 구성 42에 있어서, 상기 제3 MOSFET는 n채널형이고, 상기 여러개의 구동회로는 인버터회로인 것을 특징으로 하는 반도체기억장치.
[44] 상기 구성 43에 있어서, 선택된 서브워드선에 전압은 상기 데이타선의 하이레벨전압보다 높은 것을 특징으로 하는 반도체기억장치.
[45] 상기 구성 44에 있어서, 상기 데이타선에 결합되는 센스앰프를 더 갖고, 상기 센스앰프는 상기 제1 및 제3 영역에 인접하는 제4 영역에 형성되는 것을 특징으로 하는 반도체기억장치.
[46] 상기 구성 45에 있어서, 상기 제1, 제2, 제3 및 제4 영역은 사각형영역이고, 상기 제2 및 제4 영역을 연장하는 것에 의해 나타나는 교차영역이 상기 제3 영역인 것을 특징으로 하는 반도체기억장치.
[47] 상기 구성 46에 있어서, 상기 제3 MOSFET의 게이트폭은 상기 제2 MOSFET의 게이트폭보다 짧은 것을 특징으로 하는 반도체기억장치.

<발명의 실시 형태>

이하, 본 발명의 실시 형태를 도면에 따라서 상세하게 설명한다.
도 1에는 본 발명의 특징을 구현화한 메모리디바이스가 참조번호(10)에 의해 도시되어 있다. 디바이스(10)은 종래의 CMOS기술에 의해 제조되고, 제1, 제2 및 제3 금속층과 다결정실리콘층을 포함하고 있다. 본 발명의 적합한 실시 형태에서는 디바이스(10)은 256Mbit의 다이나믹 랜덤 액세스 메모리 (DRAM)이지만, 본 발명은 256Mbit의 DRAM으로의 적용에 한정되는 것을 아니고, 어레이를 갖는 다른 디바이스 예를 들면 프로그램가능한 어레이논리, 1Gbit의 DRAM 및 다른 메모리디바이스등에 적용할 수 있다.
디바이스(10)은 어레이블럭(12)와 같은 메모리셀의 어레이블럭을 1세트, 1군의 패드(14a)-(14f), 1군의 메인어드레스 디코더(16a)-(16l)을 포함하고 있고, 디코더(16b), (16e), (16h) 및 (16k)는 행디코더, 디코더(16a), (16c), (16d), (16f), (16g), (16i), (16j) 및 (16l)은 열디코더이다. 행디코더에 있어서 메인워드신호 및 서브디코더 제어신호DXB를 발생한다. 열디코더에 있어서 열선택신호YS를 발생한다. 메인워드신호, 서브디코더 제어신호는 다른 Row계 어드레스신호군에 의해 제어된다.
어레이블럭(12)는 어드레스패드(14a)-(14d)로 부터의 신호에 따라 선택된다. 가장 많은 어드레스 및 신호패드가 존재하고 있는 것이지만, 그들은 어드레스패드(14a)-(14d)에 의해 대표되고 있고, 그들은 메인어드레스 디코더(16a)-(16l)에 의해 디코드되는 것을 이해하기 바란다. 어레이블럭(12)는 16M비트의 어레이블럭을 대표하는 것으로서 나타내고 있지만, 또 128개의 서브어레이로 분할되고, 그 중 2개가 도 2에 도시되어 있고 각각 참조번호(18a) 및 (18b)에 의해 참조되어 있다. 각 서브어레이는 128K개의 메모리셀(512행×256열로 배열되어 있다)로 구성되어 있다.
전원은 전원패드(14e) 및 (14f)를 거쳐서 디바이스(10)으로 공급된다. 패드(14e)는 플러스의 공급전압(VDD)의 전원패드이고, 외부전원(도시되어 있지 않음)에 접속되어 있다. 패드(14f)는 마이너스의 공급전압(VSS)의 전원패드이고, 외부의 접지(역시 도시되어 있지 않음)에 접속되어 있다.
도 2를 참조하면, 서브어레이(18a)의 메모리셀은 2군의 어드레스 서브디코더(20a) 및 (20b)로 부터의 신호에 의해 선택된다. 마찬가지로, 서브어레이(18b)의 메모리셀은 2군의 어드레스 서브디코더(20c) 및 (20d)로 부터의 신호에 의해 선택된다. 서브어레이(18a)의 메모리셀은 2군의 센스앰프(22a) 및 (22b)에 의해 리드된다. 마찬가지로, 서브어레이(18b)의 메모리셀은 2군의 센스앰프(22b) 및 (22c)에 의해 리드된다. 영역(24a)-(24f)는 센스앰프영역(22a)-(22c)와 서브디코더영역(20a)-(20d)의 교차영역이다.
도 3을 참조하면, 패드(14e) 및 (14f)는 각각 메인의 VDD전원버스(28) 및 VSS전원버스(26)을 거쳐서 전원을 디바이스(10)전체로 공급하기 위한 전기적인 포트로서 기능하고 있다. 제1 VDD버스(30)은 제3 금속층(M3)으로 형성되는 도선으로서, 서브어레이(18a)를 수직으로 횡단한다. 제1 VSS버스(32)는 역시 M3으로 형성된 도선으로서, 버스(30)과 평행하게 메모리 서브어레이(18a)를 수직으로 횡단하고 있다. 마찬가지로, 제1 신호버스(34) 및 제1 열선택(YS)버스(35)는 M3으로 형성된 도선으로서, 전원버스(30) 및 (32)와 평행하게 서브어레이(18a)를 횡단하여 수직으로 연장하고 있다. 제1 서브디코더(DXB)버스(36)은 역시 M3으로 형성된 도선으로서, 서브어레이(18a)의 외측에서 어드레스 서브디코더(20a)를 횡단하여 수직으로 연장 하고 있다. 제2 VDD버스(37a), 제2 VSS버스(37b) 및 제2 신호버스(37c

)는 M3으로 형성된 도선으로서, 서브디코더(20a)와 교차영역(24a) 및 (24b)를 횡단해서 수직으로 연장하고 있다. 메모리서브 어레이(18a)상의 전원버스(30) 및 (32)는 주변회로영역에 위치하는 제2 VDD버스(37a), 제2 VSS버스(37b)보다 배선폭이 넓다.
제3 VDD버스(38) 및 제3 VSS버스(40)은 제3 신호버스(42) 및 제2 DXB버스(44)와 함께 역시 상술한 것과 마찬가지의 도선이지만, 제2 금속층(M2)으로 형성되어 있는 점이 다르고, 메모리 서브어레이(18a)를 서로 평행하게 수평방향으로 횡단하고 있다. 여기에서, 제2 금속층(M2)와 제3 금속층(M3)의 막두께를 비교하면, 제3 금속층(M3)쪽이 막두께가 크다. 또, 제2 금속층(M2)와 제3 금속층(M3) 사이에는 절연막이 개재하고 있고, 이 절연막에는 여러개의 스루홀이 형성되어 있어서 이 스루홀에 의해 제2 금속층(M2)으로 구성된 배선과 제3 금속층(M3)로 구성된 배선이 전기적으로 접속된다. 제3 VDD버스(38)은 서브디코더(20a)내에 있어서 제2 VDD버스(37a)에 대해서 교점(45)에 있어서 전기적으로 접속되어 있고, 메모리 서브어레이(18a)내에 있어서 제1 VDD버스(30)에 대해 교점(46)에서 접속되어 있다. 마찬가지로, 제3 VSS버스(40)은 서브디코더(20a)내에 있어서 제2 VSS버스(37b)에 대해 교점(47)에서 전기적으로 접속되어 있고, 메모리 서브어레이(18a)내에 있어서 제1 VSS버스(32)에 대해 교점(48)에 있어서 접속되어 있다. 또, 제3 신호버스(42)는 서브디코더(20a)내에 있어서 제2 신호버스(37c)에 대해 교점(49)에 있어서 전기적으로 접속되어 있고, 메모리서브어레이(18a)내에 있어서 제1 신호버스(34)에 대해 교점(50)에 있어서 접속되어 있다. 그리고, 제 2 DXB버스(44)는 서브디코더회로(20a)내에 있어서 제1 DXB버스(36)에 대해 교점(52)에서 전기적으로 접속되어 있다.
VDD전원 및 VSS전원은 도 3에 대해서 상술한 바와 같이, 외부패드(14e) 및 (14f)에 의해 메인전원버스(28) 및 (26)으로 공급되고 있다. 제1 VDD버스(30)은 메인VDD전원버스(28)에 전기적으로 접속되어 있으므로, 그것에 의해 제1 VDD버스(30), 제2 VDD버스(37a) 및 제3 VDD버스(38)로 VDD전원이 공급되고 있다. 배선폭 1. 8㎛의 제1 VDD버스(30)과 배선폭1. 8㎛의 제3 VDD버스(38)을 접속하기 위해 절연막에 형성된 스루홀의 구멍직경은 0.6㎛이고, 배선폭 0.7㎛의 제2 VDD버스(37a)와 제3 VDD버스(38)을 접속하기 위해 절연막에 형성된 스루홀의 구멍직경은 0.3㎛이다. 이와 같이, 메모리서브 어레이(18a)영역의 스루홀의 구멍직경은 주변회로영역의 스루홀의 구멍직경보다 크다. 제1 VSS버스(32)는 메인VSS 전원버스(26)에 전기적으로 접속되어 있으므로, 그것에 의해 제1 VSS버스(32), 제2 VSS버스(37b) 및 제3 VSS버스(40)으로 VSS전원이 공급되고 있다. 이와 같이 해서, VDD버스(30), (37a) 및 (38)에 의해 VDD메시(54)가 형성되어 있고, VSS버스(32), (37b) 및 (40)에 의해 VSS메시(56)이 형성되어 있다. 그 결과, 상술한 메시는 서브어레이(18a), 서브디코더(20a) 및 교차영역(24a)-(24b)를 횡단해서 수직방향과 수평방향의 양방향으로 연장하는 전원버스를 갖고 있다. 또, VDD버스(37a) 및 VSS버스(37b)의 폭이 좁은 경우라도 VDD메시(54) 및 VSS메시(56)은 전원패드(14e) 및 (14f)에서 서브디코더(20a), 교차영역(24a)-(24b) 및 다른 회로로의 총전원버스저항을 상당히 감소시키고 있다.
도 1의 주변회로(도시되어 있지 않음)은 전기적인 신호를 제1 신호버스(34)로 공급하고, 열디코더(16a)(도 1)은 전기적인 신호를 YS버스(35)로 공급하고, YS버스(35)는 센스앰프(22a) 및 (22b)에 의해 이용되고 있다. 센스앰프(22a), (22b)에는 제2 금속층(M2)로 구성된 여러개의 배선이 워드선과 평행한 방향으로 연장하고 있고, 그 중의 적어도 1개의 배선이 YS버스(35)와 접속되어 있다. 마찬가지로, 메인어드레스디코더(16b)(도 1)는 종래의 방식에서 전기적인 신호를 제2 DXB버스(44)로 공급한다. 제1 신호버스(34)는 전기적으로 제2 신호버스(37c)와 제3 신호버스(42)에 전기적으로 접속되어 있고, 그것에 의해 서브어레이(18a) 및 서브디코더(20a)를 횡단하는 신호메시(58)이 형성되어 있다. 마찬가지로, 제 1 DXB버스(36)은 제2 DXB버스(44)에 전기적으로 접속되어 있고, 그것에 의해 서브디코더(20a)를 횡단하는 서브디코더 메시(60)이 형성되어 있다. 이와 같이 해서, 신호메시(58) 및 서브디코더메시(60)은 센스앰프(22a)-(22b), 서브디코더(20a) 및 교차영역(24a)-(24b)를 대부분의 다른 조합으로 접속할 수 있다.
도 4를 참조하면, VDD메시(54), VSS메시(56), 신호메시(58) 및 서브디코더 메시(60)은 실제로는 대부분의 수직배선 및 수평배선을 대표하는 것이고, 주위의 회로에 대해서도 가장 많은 버스가 제공되어 각 메시의 저항은 감소된다. 예를 들면, 서브어레이(18a)는 M2에서 연장하는 여러개의 VDD버스(38a)-(38d) 및 M3에서 연장하는 여러개의 VDD버스(30a)-(30d)를 갖고 있고, 그 모두는 메인VDD버스(28)(도 3)에 결합되어 있고, 이것에 의해 VDD메시(54)의 전체저항을 감소시키고 있다. 마찬가지로, 서브어레이(18a)는 M2에서 연장하는 여러개의 VSS버스(40a)-(40d) 및 M3에서 연장하는 여러개의 VSS버스(32a)-(32d)를 갖고 있고, 이들 모두는 메인VSS버스(26)(도 3)에 결합되어 있고, 이것에 의해 VSS메시(56)의 전체저항을 감속시키고 있다.
VDD메시(54), VSS메시(56), 신호메시(58) 및 서브디코더메시(60)에 부가하여 다른 버스가 서브어레이(18a)를 횡단해서 연장하고 있다. 이들외의 버스로서는 M3에 있어서 수직으로 연장하는 여러개의 열계(CF: 컬럼계수(Column Factor))버스(61a)-(61d) 및 M2에 있어서 수평으로 연장하는 여러개의 서브디코더버스(DXB1, DXB3, DXB5, DXB7)(44a)-(44d)를 들 수 있다. 열계버스(61a)-(61d)는 열디코더(16a), (16c), (16d), (16f), (16g), (16i), (16j) 및 (16l)(도 2)에 입력하기 위한 것이고, 서브디코더버스(44a)-(44d)는 서브디코더회로(20a) 및 (20b)(도 2)와 제 1 DXB버스(36)에 접속하기 위한 것이다. 또한, 도 4에 있어서 전원계의 버스(30a)-(30d), (32a)-(32d), (38a)-(38d), (40a)-(40d)가 신호계의 버스(61a)-(61d), (44a)-(44d)보다 서브어레이(18a)의 외주부에 배치되어 있다. 이 이유는 이 구성이 전원계버스에 있어서는 전원패드에서 교차영역까지의 전원선 저항을 감소하는 것, 신호계버스에 있어서는 다종신호 상호의 동일길이, 동일지연배선에 유리하기 때문이다.
도 5a를 참조하면, 도 4에 도시된 버스간의 전기적인 접속이 메모리셀상에 위치하는 교점에서 이루어지고 있다. 교점(48a)는 VSS버스(32b)와 VSS(40b)가 교차하는 점이다. VSS버스(32b)와 VSS버스(40b)사이의 전기적인 접속은 메모리셀회로(64)상에 배치된 스루홀(62)를 사용해서 실현되고 있다.
도 5a-도 5b를 참조하면, 서브어레이(18a)의 메모리셀회로(64)는 종래와 같이 1개의 캐피시터와 1개의 트랜지스터로 이루어지는 형태의 DRAM셀로 이루어지고 있다. 예를 들면, 캐피시터(65)는 플레이트(66)과 축적노드(68) 사이에

형성되어 있다. 마찬가지로, 트랜지스터(69)는 각각 축적노드(68)과 비트선(BL1)버스(70)에 접속된 소오스와 드레인 및 임의의 폭(74)를 갖은 제1 서브워드선(SW)버스(72a)에 접속된 게이트를 구비해서 형성되어 있다. 전원 및 신호버스에 의해 발생되는 어떠한 결합잡음도 회피하기 위해서 적합한 실시형태의 셀구조는 캐패시터가 비트선상에 임의의 구조(COB(capacitor on bit line)구조)로 되어 있다. 이 구조는 플레이트(64)의 실드효과에 의해 BL1버스(70)이 셀상에 배치된 전원메시 및 신호메시(54), (56) 및 (58)로 부터의 잡음에 의한 유해한 영향을 받지 않고 안정하게 동작하는 것을 가능하게 한다.

교점(48a)는 메모리셀회로(64)의 바로 위에 배치되어 있도록 나타내고 있지만, 이것은 요구되고 있는 것은 아니고, 설명의 편의를 위한 것뿐이다. 또, 스루홀(62) 및 VSS버스(32b) 및 (40b)는 메모리셀(64)에 필요한 것은 아니고, 또 전원버스 및 신호버스 모두가 교차하는 다른 버스에 접속되어 있는 것은 아니다.

도 4 및 도 6a를 참조하면, 서브어레이(18a)의 제1 섹션(76)을 확대한 것이 도 6a에 도시되어 있고, 도 4에 도시된 버스 사이에 가장 많은 신호선이 배치되어 있는 상태가 도시되어 있다. 색션(76)에는 그것을 횡단해서 수직방향 및 수평방향으로 연장하는 여러가지 폭의 신호 및 전원버스가 여러개 존재하고 있다. 이들 버스로서는 폭(80)의 YS버스(35a)-(35d), 폭(82)의 CF버스(61a), 폭(84)의 VSS버스(32b)가 포함되고, M3을 사용해서 수직으로 연장하고 있다. 마찬가지로, 폭(88)의 MWB버스(86a)-(86d), 폭(90)의 DXB1버스(44a) 및 폭(92)의 VSS버스(40b)가 M2를 사용해서 수평으로 연장하고 있다. 신호버스 YS(35a)-(35d), CF(61a), MWB(86) 및 DXB1(44a)는 각각의 대응하는 회로와 연장하고 있으므로, 방향을 변화시키기 위해 서브어레이(18a)상에 스루홀을 마련할 필요가 없다. VSS버스(32b) 및 (40b)만이 그들을 전기적으로 접속하기 위해 스루홀(62)를 구비하고 있다. 이 배열에 의해 각 버스의 폭(80), (82), (84), (88), (90) 및 (92)는 속도 및 전원저항효과를 고려해서 최적한 값으로 선택할 수 있다. 예를 들면, VSS버스(32b) 및 (40b)의 폭(84) 및 (92), CF버스(61a)의 폭(82) 및 DXB1버스(44a)의 폭(90)은 빠른 속도 및 낮은 전원 저항을 실현하기 위해, 또 스루홀(62)에 적응할 수 있도록 폭(80)이나 폭(88)보다 넓게 형성되어 있다. 한편, YS버스(35)의 폭(80) 및 MWB버스(86)의 폭(88)은 금속의 공간을 확보하기 위해 좁게 형성되어 있다(82, 84>80 및 90, 90>88).

마찬가지로, 도 6b 및 도 6c를 참조하면, 스루홀이 2개인 섹션(94) 및 스루홀이 없는 섹션(96)이 도시되어 있다. 결과로서, 도 6a, 도 6b, 도 6c에서 M3에 있어서의 폭 및 공간의 요구가 만족된 상태에서 4개의 센스앰프회로마다 2개의 YS버스 및 1개의 CF버스(또는 2개의 YS버스와 1개의 전원버스)가 형성되어 있다. 마찬가지로, M2에 있어서의 폭 및 공간의 요구가 만족된 상태에서 16개의 서브워드버스마다 2개의 MWB버스와 1개의 DXB버스(또는 2개의 MWB버스와 1개의 전원버스)가 배치되어 있다. 이것에 부가해서, 모든 전원 및 신호버스의 폭을 최적화하는 것에 의 해 각 메시를 위해 이용되는 여러개의 버스를 금속 배선피치를 완화한다는 계층워드구성의 본래의 이점을 유지하면서, 실효저항을 감소시키기 위해 또는 고속화를 위해 조절할 수 있다.

재차 도 3을 참조하면, 전원 및 신호메시(54), (56) 및 (58)은 서브어레이(18a)상에 형성되어 있는 것에 부가해서 그들은 서브디코더메시(60)과 함께 부분적으로 서브디코더(20a)상에도 형성되어 있다. 메모리셀어레이 이외의 회로는 전원 및 신호메시(54), (56), (58) 및 (60)에 의해 필요로 되는 금속공간에 적응하도록 수정된다. 수정되는 회로는 이하에 설명하는 바와 같이, 센스앰프, 서브디코더 및 교차영역에 포함되어 있다.

도 7a 및 도 7b에 는 도 5a, 도 5b의 메모리셀(64)를 포함하고, 대표로서의 32개의 메모리셀을 갖는 서브어레이(18a)가 도시되어 있다. 또, 서브어레이(18a), 도 2의 교차영역(24a), 서브디코더(20a) 및 센스앰프(22a)의 관계가 도시되어 있다.

이 실시형태에서는 센스앰프(22a)는 센스앰프회로(98a) 및 (98b)와 같은 128개의 센스앰프회로를 포함하고 있다. 센스앰프회로(98a), (98b)는 모두 교차영역(24a)에 배치된 센스앰프 드라이버(100)에 접속되어 있다. 센스앰프회로(98a)는 BL1버스(70)(도 5a) 및 비트선(BL1B)버스(104a)를 거쳐서 메모리셀(102a)의 열에 접속되어 있다. 양쪽의 버스(70) 및 (104a)는 제1 금속층(M1)으로 형성되어 있고, 어레이(18a)를 횡단해서 수직으로 연장하고 있다. 마찬가지로, 센스앰프회로(98b)는 비트선(BL2)버스(104b) 및 비트선(BL2B)버스(104c)를 거 쳐서 메로리셀(102b)의 열에 접속되어 있다. 양쪽의 버스(104b) 및 (104c)도 또 M1로 형성되어 있고, 어레이(18a)를 횡단해서 수직으로 연장하고 있다. 센스앰프회로(98a), (98b)에 대해서는 후에 도 10a 및 도 10b를 참조해서 상세하게 설명한다.

센스앰프 드라이버(100a)에 부가해서 교차영역(24a)는 여러개의 회로를 포함하고 있고, 이들의 회로는 전체로서 100b로 표현되고 있다(여기에서는 센스앰프 드라이버(100a)와 서브디코더 드라이버(110a)-(110d) 이외의 모든 회로를(100b)로 한다). 이들의 회로(100a), (100b)는 버스(37a)-(37c)에 의해 공급되는 VDD메시(54), VSS메시(56) 및 신호메시(58)의 저저항특성의 이점을 활용하도록 설계되어 있다.

서브디코더(20a)는 서브디코더회로(106a)-(106d)에 의해 개략적으로 대표되고 있는 256개의 서브디코더회로를 포함하고 있다. 서브디코더회로(106a)는 계층적인 워드선구조를 대표적으로 나타내고 있고, 이 회로는 나머지 서브디코더회로의 각각에서도 사용되고 있다. 서브디코더회로(106a)는 DXB7버스(44d) 및 MWB버스(86a)에 접속되어 있고, MWB버스6(86a)는 M1로 형성된 커넥터버스(108)을 거쳐서 4개의 서브디코더회로(106a)-(106d)로 차례로 연장하고 있다. 서브디코더회로(106a)는 또 교차영역(24a)에 센스앰프 드라이버(100a)와 함께 배치된 제1 서브디코더 드라이버(110a)에 접속되어 있다. 마찬가지로, 서브디코더회로(106b)-(106d)는 교차영역에 배치된 서브디코더 드라이버(110b)-(110d)에 각각 접속되어 있다. 이 서브디코더는 DXB, MWB의 양자가 Low시에만 선택되고, 서브워드선은 High레벨로 된다. 서브디코더(20a)에 대해서는 후에 더욱 상세하게 설명한다.

도 8을 참조하면, 2개의 서브디코더 드라이버(110a), (110d)가 교차영역(24a)에 배치되어 있고, 다른 2개의 서브디코더 드라이버(110b), (110c)는 교차영역(24b)에 배치되어 있다. 서브디코더 드라이버(110a)는 인버터이고, 그 인버터는 DXB7버스(44d)를 입력으로 하고, 서브디코더(DX7)버스(114d)을 출력으로 반전한다. 마찬가지로, 서브디코더 드라이버(110b)-(110d)는 DXB1(44a), DXB3(44b) 및 DXB5(44c)를 반전서브디코더버스DX1(114a), DX3(114b) 및 DX5(114c)로 반전한다. 적합한 실시 형태에서는 서브디코더 드라이버(110a)-(110d)의 각각은 64개의 서브디코

더회로를 구동하고, 그것에 의해 서브디코더영역(20a)의 256개 모든 서브디코더를 구동한다. 교차영역(24a)-(24b)에 배치되어 있으므로, 서브디코더 드라이버(110a)-(110d)는 충분한 크기로 할 수 있고, 내부생성의 승압된 전압(VPP)를 공급하여 버스DX1(114a), DX3(114b), DX5(114c) 및 DX7(114d)를 VPP레벨로 구동할 수 있다.
서브디코더회로(106a) 및 그것에 계속되는 서브디코더회로(106b)-(106d)는 계층적인 워드선구조를 실현하고 있다. 앞서 설명한 바와 같이 서브디코더영역(20a) 및 (20b)에 있는 이들의 서브디코더군은 서브어레이(18a)의 임의의 서브워드선을 선택구동하기 위해 사용된다. 여러개의 서브워드선은 각각 서브워드선(72a)와 같은 다결정실리콘(FG)층(도 5a)로 형성된다. MWB버스(86a)는 서브디코더영역(20a)의 4개의 서브디코더회로(106a)-(106d)를 구동하고, 그 각각은 서브어레이(메모리어레이)(18a)로 연장하는 SW버스(72a)-(72d)를 각각 구동한다. 마찬가지로, MWB버스(86a)는 또 서브디코더영역(20b)의 4개의 서브디코더회로(106e)-(106h)를 구동하고, 그 각각은 서브어레이(18a)로 연장하는 SW버스(72e)-(72h)를 각각 구동한다.
도 9a-도 9b를 참조하면, 계층적인 워드선을 조립한 종래의 서브디코더회로(116) 및 그것에 대신하는 서브디코더회로(118)이 도시되어 있다. 이들의 구조는 M2에 형성된 메인워드선버스가 FG에 형성된 서브워드선버스상에 배치되어 있으므로, 계층적으로 되어 있다. 그러나, 서브디코더회로(116), (118)은 본 발명의 메시형상시스템에 공헌하는 것은 아니다.
도 9a를 참조하면, Noda의 계층적인 워드선구조안에 사용되고 있는 3개의 N형금속산화막 반도체(NMOS)트랜지스터로 구성되고, SW출력을 생성하는 종래의 서브디코더회로(116)이 도시되어 있다. 그러나, 서브디코더회로(116)은 비반전워드선(MW)버스를 필요로 하고, 후자는 MWB버스와 마찬가지로 어레이(도시되어 있지 않음)을 횡단해서 연장하고 있지 않으면 안된다. 이것은 M2를 사용해서 어레이를 횡단하는 메인워드선의 수를 실질적으로 2배로 되게 한다. 그 결과, 8개의 서브워드선을 구동하기 위해 2개의 메인워드선이 사용되고, 메인워드선의 피치는 4개의 서브워드선피치로 되어 버린다. 그러나, 이 피치에서는 본 발명의 메시형상시스템에 필요한 여분의 금속을 마련하는 것은 곤란하다고 고려된다.
도 9b를 참조하면 서브디코더회로(118)은 2개의 NMOS트랜지스터와 2개의 P형금속산화막 반도체(PMOS)트랜지스터로 구성되어 있다. 서브디코더 드라이버는 도 9a의 경우와는 달리 비반전워드선버스(MW)를 필요로 하지 않는다. 그 결과, 8개의 서브워드선을 구동하기 위해 1개의 메인워드선이 사용되고, 메인워드선의 피치는 8 개의 서브워드선의 피치로 된다. 그러나, 서브디코더회로가 4개의 트랜지스터로 구성되어 있으므로, 많은 공간이 소비되고, 또 회로의 속도를 향상시키기 위해서는 트랜지스터의 몇개를 상당히 큰 것으로 하지 않으면 안된다.
도 9c를 참조하면, 적합한 실시 형태의 서브디코더회로(106a)는 상기 2개의 서브디코더 드라이버의 이점을 갖는 것이다. 서브디코더회로(106a)는 MWB버스(86a), DXB7버스(44d) 및 DX7버스(114d)를 사용해서 SW버스(72a)를 생성하므로, 서브디코더회로(106a)는 약간의 3개의 트랜지스터(120a)-(120c)로 형성할 수 있다. 도 9c의 회로동작은 MWB버스, DXB버스가 모두 Low일때, 해당하는 서브디코더의 서브워드선 출력은 High레벨의 선택상태로 된다. NWB 또는 DXB중의 어느 1개가 High이면 서브워드선 출력은 Low레벨이다. DRAM의 대기시 또는 프리챠지기간중은 모든 MWB, DXB버스는 High레벨로 된다. 이와 같이, MWB, DXB가 부논리를 취하므로, 메인Row디코더, DXB드라이버등에서의 MOS트랜지스터의 서브스레쉬홀드전류는 NMOS에 의해 결정된다. 그 때문에, 대기시 전원전류를 억제할 수 있다. 이것은 NMOS의 게이트폭이 PMOS보다 작은 것, NMOS의 차단이 PMOS보다 급준인 것에 기인한다. 대기시 전원전류를 더욱 억제하기 위해서는 메인Row디코더, DXB드라이버, 서브디코더 드라이버(110a)-(110a)에 일본국 특허공개 공보 평성5-210976호에서 개시한 바와 같은 저리크회로의 채용이 바람직하다. 또, DX7버스(114d)는 서브디코더영역(20a)내만 연장하고, 어레이를 수평으로 횡단해서 연장할 필요는 없으므로, 서브어레이(18a)를 횡단하는 메인워드선의 피치는 메인워드선마다 8개의 서브워드선 그대로이다. 그 결과, 본 발명의 전원메시, 신호메시 및 서브디코더메시(54), (56), (58) 및 (60)과 DXB버스(44)(도 3)를 위한 충분한 금속공간이 있다.
서브디코더회로(106a)는 전원메시, 신호메시 및 서브디코더메시(54), (56), (58) 및 (60)을 위해 여분의 금속공간을 제공할 뿐만 아니라, 속도성능도 개선한다. 서브디코더회로(106a)의 속도는 DX7버스(114d)가 L에서 H로 천이하는 구동능력에 직접 비례하고 있다. DX7버스(114d)는 서브디코더 드라이버(110a)에 의해 구동되고, 또 그 서브디코더 드라이버는 과밀하게 되어 있지 않은 교차영역(24a)에 배치되어 있으므로, 충분한 크기로 할 수 있다. 또, DX7버스(114d)는 M3으로 형성되지만, M3은 3개의 금속층 중 가장 저항이 낮은 것이다. 이와 같은 이유로 부터 DX7버스(114d)는 급준한 상승파형을 생성하고, SW버스(72a)를 고속으로 구동할 수 있다.
또한, 서브디코더회로(106a)에 있어서, NMOS(120a), (120b)의 게이트폭에 있어서, DXB버스(44d)가 게이트에 입력되는(120b)의 게이트폭을 (120a)보다 작게 하는 것이 속도 및 레이아웃면적에 있어서 적합하다. 수치예로서, (120a), (120b)의 게이트폭은 각각 2㎛, 1㎛이다. (120b)의 게이트폭을 작게 한 쪽이 DXB버스(44d)의 게이트용량이 작아지고, 그 하강이 빨라지고 (114d)의 상승은 빨라진다. 한편, (120a)의 게이트폭은 서브워드선(72a)의 하강속도에서 필요충분한 값으로 결정된다. 그 최적값이 상기의 값이다.
도 10a를 참조하면, 센스앰프회로(98a)는 래치부(122a) 및 이퀄라이저부(124a)를 갖고 있다. 래치부(122a)는 2개의 NMOS트랜지스터(126a), (126b)를 갖고 있고, 그들은 비트선버스(70) 및 (104a)와 제1 래치버스(128) 사이 에 접속되어 있다. 래치부(122a)는 또 2개의 PMOS트랜지스터(130a)-(130b)를 갖고 있고, 그들은 비트선버스(70) 및 (104a)와 제2 래치버스(132) 사이에 접속되어 있다. 전부 4개의 트랜지스터(126a), (126b), (130a), (130b)는 비트선버스(70) 및 (104)로 부터의 신호를 증폭 리라이트하기 위해 종래의 방법에 따라서 교차결합되어 있다.
이퀄라이저부(124a)는 DRAM의 대기시 또는 프리챠지기간에 BL1버스(70) 및 BL1B버스(104a)를 동일전위화하기 위해서 3개의 NMOS트랜지스터(134a)-(134c)로 구성된다. 3개의 트랜지스터(134a)-(134c)는 등화신호버스(136)에 의해 제어되어 있다.

마찬가지로, 센스앰프회로(98b)는 비트선버스(104b)-(104c)에 접속된 래치부(122b) 및 이퀄라이저부(124b)를 포함하고 있다. 래치부(122b) 및 이퀄라이저부(124b)는 역시 2개의 래치버스(128), (132) 및 등화신호버스(136)에 각각 접속되어 있다.

도 10b를 참조하면, 센스앰프(98a)-(98b)는 다른 레이아웃상의 개선에 의해, 센스앰프영역(22a)의 사이즈를 감소시킬 수 있다. 이퀄라이저부(124a) 및 (124b)는 후에 도 11a를 참조해서 보다 상세하게 설명하는 바와 같이 게이트가 서로 다른 「T」자형으로 형성되어 있다. 래치부(122a) 및 (122b)는 후에 도 12a, 도 12b를 참조해서 상세하게 설명하는 바와 같이 「H」자형의 활성층영역을 이용해서 형성되어 있다.

도 11a, 도 11b를 참조하면, 트랜지스터(134a)-(134c)를 형성하는 이퀄라이 저부(124a)의 사이즈제약을 완화하기 위해서 T자형의 게이트영역(138a)(도 11b)가 사용되고 있다. 등화신호버스(136)에 의해 트랜지스터(134a)-(134c)의 각각에 대한 게이트가 형성되고 있다. 마찬가지로, 이퀄라이저부(124b)는 역T자형의 게이트영역(138b)를 사용하고 있다. 그 결과, 게이트영역(138a), (138b)사이의 필요한 활성영역간의 절연거리(137)을 유지한채 게이트영역(138a), (138b)를 조용히 채워 넣을 수 있다. 그것에 의해, 2개의 게이트영역의 폭(140)은 도 11b에 도시되어 있는 바와 같이 종래의 2개의 방형의 게이트영역(144a) 및 (144b)의 폭(142)보다 작아진다. 따라서, 고밀도인 메모리셀어레이에 대응하도록 소면적의 센스앰프를 실현할 수 있다.

도 12a를 참조하면, 센스앰프(122a)는 H자형의 활성층(146)도 갖고 있다. BL1버스(70)은 M1로 형성되어 있지만, 역시 M1로 형성된 BL1B버스(104a)에 대해서 M1에 의해 전기적으로 교차하는 일 없이 H자형의 활성영역(146)에 있어서 횡단할 필요가 있다. 또, BL1버스(70)은 트랜지스터게이트(148a)를 구동할 필요가 있고, BL1B버스(104a)는 트랜지스터게이트(148b)를 구동할 필요가 있다. 횡단점(150)에 있어서, BL1B버스(104a)는 금속층 아래로 연장하는 FG에 형성된 트랜지스터게이트(148b)에 접속되어 있다. 게이트(148b)는 BL1B버스(104a)가 BL1버스(70)을 횡단하는 것을 가능하게 할 뿐만아니라, 트랜지스터(130b)에 대한 게이트라도 좋다. BL1버스(70)을 횡단한 후, 게이트(148b)는 역시 M1로 형성된 커넥팅버스(152)에 재접속되고, 그것에 의해 BL1B버스(104a)를 커넥팅버스(152)에 접속한다. 마찬가지로, BL2버스(104b)는 H자형의 활성영역(146)에 있어서 BL2B버스(104c) 를 횡단하고 있다.

도 12b를 참조하면, 이들의 접속에 의해 M1에서 FG, 다음에 M1로의 이행이 실현되고 있고, 2개의 PMOS트랜지스터(130a)-(130b)가 형성되어 있다. 이 이행에 의해 사이즈가 감소할 뿐만 아니라, 추가의 금속층을 사용하는 일없이 그것이 이루어지고 있다.

또, H자형의 활성영역(146)에 의해 메시형상의 시스템에 관련된 다른 문제, 즉 비트선버스(70) 및 (104a)-(104c)상의 잡음의 문제도 해결된다.

센스앰프(22a)-(22c)에 있어서의 잡음은 M1에 형성된 비트선버스(70) 및 (104a)-(104c)에 중첩되도록 M3으로 형성된 신호버스(YS, CF버스 등)에 의해 점점 발생되고 있다. 비트선버스(70) 및 (104a)는 교차패턴으로 되어 있으므로, CF버스나 YS버스와 같은 M3에 형성된 신호버스에서 유발되는 잡음 또는 용량결합은 BL1버스(70) 및 BL1B버스(104a)의 양쪽에 있어서 잡음량은 동일하므로, 실효적으로 잡음의 영향을 제거할 수 있다. BL2버스(104b)와 BL2B버스(104c)의 잡음에 대해서 동일하다.

도 13a를 참조하면, M1에 형성된 비트선버스(70) 및 (104a)-(104c)에 중첩되는 M3에 형성된 신호버스로 부터의 한층의 잡음보호가 M2의 실드효과에 의해 이루어진다. 예를 들면, 종래의 선행기술의 설계에서는 M1에 형성된 수직방향으로 연장하는 제1 및 제2 버스(154a)-(154b)와 M3에 형성되고, 역시 수직방향으로 연장하는 제3 버스(154c)가 존재하고 있지만, 잡음은 악화되고 있다. 잡음은 제3 버스(154c)에서 제1 및 제2 버스(154a) 및 (154b)로 유발된다. 왜냐하면, 그들의 버스는 중첩 되어 있고, 또 동일한 방향으로 연장하고 있으므로, 큰 중첩면적에 의해 잡음이 강화되어 버리기 때문이다. 종래의 이 설계는 버스(154a), (154b)가 본 발명의 비트선버스(70) 및 (104a)와 같이 특별히 잡음에 대해서 민감한 경우는 특히 문제로 된다. 또, 종래의 설계에서는 M2에 형성되고 수평방향으로 연장하는 1군의 다른 버스(156a)-(156d)는 도시되어 있는 바와 같이 거의 또는 전혀 실드효과를 갖고 있지 않다.

도 13b-도 13c를 참조하면, 적합한 실시 형태에서는 동일 방향으로 연장하는 버스 사이의 잡음을 M2버스의 실드효과로 감소할 수 있다. 이 적합한 실시형태에서는 BL1버스(70) 및 BL1B버스(104a)는 M1로 형성되어 있고 수직으로 연장하고 있다. 또, CF버스(61a)가 M3으로 형성되어 있고, 상기 비트선버스(70)과 (104a)의 바로 위를 수직방향으로 연장하고 있다. CF버스(61a)와 비트선버스(70) 및 (104a) 사이에 M2로 형성된 4개의 버스(158a)-(158d)가 배치되어 수평방향으로 연장하고 있다.

도 13b를 참조하면, 센스앰프의 일부의 배선과 같이 M2의 펄스동작하는 버스(158a) 및 (158d)애 잡음이 있고, M2의 버스(158b), (158c)가 전원공급버스등의 직류이고 조용한(quiet)버스인 상황에 있어서 제1 실드기술이 사용되고 있다. 도 13a에 도시되어 있는 바와 같이, M2의 버스(158a)-(158d)의 임의의 것이 비트선버스(70) 및 (104a)의 1개를 횡단해서 연장하고 있을 뿐이지만, 그 대신 도 13b에서는 M2의 버스(158b) -(158c)는 양쪽의 비트선버스상을 연장하고 있다. 이와 같이 하면, M2버스(158a)-(158d)는 CF버스(61a)로 부터의 어떠한 잡음에 대해서도 비트선버스(70) 및 (104a)에 대해서 보다 많은 실드효과를 제공하게 된다.

도 13c를 참조하면, M2의 2개의 버스(158a) 및 (158d)가 전원공급버스와 같이 직류이고 조용한 버스로서, M2의 다른 2개의 버스(158b), (158c)가 펄스동작하는 잡음이 있는 버스인 상황에 있어서 제2 실드기술이 사용되고 있다. 이 경우에는 비트선버스(70) 및 (104a)는 CF버스(61a)로 부터의 잡음에 대해서 M2의 조용한 버스(158a), (158d)에 의해 보다 양호하게 실드된다. 그래서, M2의 조용한 버스(158a), (158d)는 가능한 한 큰 면적에 형성되고, 그것에 의해 그들의 실드효과가 최대로 되고 있다.

도 14a를 참조하면, 센스앰프의 웰구조는 전원 및 신호메시가 사용되는 적합한 발명과 같은 상황에서는 특히 사이즈 결정의 요인으로 될 수 있다. 제1 설계에서는 센스앰프회로(170)에서 서브어레이(168a)로의 잡음으로 부터의 보호를 위해 p웰(PW)(162a), n형의 깊은 웰(DW)(164a) 및 p-기판(P-Sub)(166)으로 이루어지는 3중웰구조(160)이 사용되

고 있다. 마찬가지로, 3중웰구조(160)은 센스앰프회로(170)에서 서브어레이(168b)로의 잡음으로 부터의 보호를 위해, p웰(PW)(162b), n형의 깊은 웰(DW)(164b) 및 P-Sub(166)을 갖고 있다. 웰(162a), (162b), (164a), (164b) 및 기판(166)은 여러가지 바이어스의 조합을 취할 수 있지만, 그와 같은 조합의 1개는 다음과 같다.

[표 1]

웰	바이어스명	바이어스전압
DW상의 PW	VBBA 167a	-1V
DW상의 NW	VPP 167b	4.0V
DW	VPP 167b	4.0V
P-Sub	VBB 167c	0V
PW (DW상에 없음)	VBB 167c	0V
NW (DW상에 없음)	VDD 167d	3.3V

웰에 바이어스를 거는 것은 이 기술분야에서 이미 알려져 있고, 바이어스전압에 관한 어떠한 기재도 단지 예시를 위한 것뿐으로 어떠한 의미에서도 그것에 한정되는 것은 아니다.

서브어레이(168a) 및 (168b)는 잡음을 발생하는 센스앰프(170)에서 2개의 아이솔레이션n웰(NW)(172a) 및 (172b)에 의해 분리되어 있다. (170)의 좌우양끝의 nMOS트랜지스터는 센스앰프를 양측 셀어레이로 공용하기 위한 분리용 nMOS트랜지스터로서, 그 p웰에는 메모리셀어레이와 동일한 부전압을 인가하여 소자간 절연을 완전하게 한다. 이들 NW(172a), (172b)는 전기적인 절연을 위해 VPP(167b)에 바이어스되어 있다. 또, NW(172a), (172b)는 DW(164a), (164b)의 외부 가장자리상에 각각 배치되어 있고, 그 결과 DW를 VPP바이어스하고 있다. DW를 VPP바이어스하는 이유는 서브디코더가 VPP동작의 CMOS회로이기 때문이다(도 7a, 도 7b, 도 14c). 한편, 센스앰프내의 PMOS는 VDD 또는 VDD이하의 전압으로 동작하므로, 웰을 VDD바이어스하 는 것이 바람직하다. 센스앰프회로(170)은 또 NW(174)를 갖고 있고, 그것은 PMOS트랜지스터(176)의 고속인 동작을 실현하기 위해서 VDD(167d)에 바이어스되어 있다. 센스앰프(170)은 또 2개의 PW(178a), (178b)를 갖고 있고, 그들은 P-Sub에 의해 VBB(167c)에 바이어스되어 있다. PW(162a)(178a)는 트랜지스터(180a)를 유지하고 있고, PW(178b)는 2개의 트랜지스터(180b), (180c)를 유지하고 있다.

도 14b를 참조하면, 그 적합한 실시 형태에 의하면 도 14a의 경우에 비해 센스앰프(22b)의 웰구조를 축소할 수 있다. 이 적합한 실시 형태에 있어서 서브어레이(18a)에 대해서는 PW(184a), DW(186a) 및 P-Sub(188)로 이루어지고, 서브어레이(18b)에 대해서는 PW(184b), DW(186b) 및 P-Sub(188)로 이루어지는 3중 웰구조(182)가 사용되고 있다. 그래서, 서브어레이(18a), (18b)는 센스앰프회로(22b)에서 보호되고 있다. 3중웰구조(182)에서는 표 1에 나타낸 예시적인 바이어스와 마찬가지인 웰바이어스가 역시 사용되고 있다. 그러나, 웰바이어스는 이 기술분야에서는 잘 알려져 있고, 바이어스전압에 관한 어떠한 기재도 단지 예시를 위한 것으로 어떠한 의미에서도 그것에 한정되는 것은 아니다.

서브어레이(18a), (18b)는 2개의 아이솔레이션NW(190a), (190b)의 각각에 의해 센스앰프(24b)의 잡음의 영향에서 분리되어 있다. 아이솔레이션NW(190a), (190b)는 분리를 위해 VPP(167b)에 바이어스되어 있다. 또, 아이솔레이션NW(190a), (190b)는 DW(186a), (186b)상에 각각 배치되어 있고, 그것에 의해 그들의 DW가 바이어스되어 있다. 이 적합한 실시 형태는 아이솔레이션NW(190a)도 또 도 14a의 트랜지스터(176)에 대응하는 트랜지스터(130b)를 유지하고 있는 점에서 도 14a의 종 래의 시스템과 다르다. 그 결과, 트랜지스터(130b)는 도 14a의 트랜지스터(176)보다 지연된 동작으로 된다. 그러나, 트랜지스터(130b)의 속도는 센스앰프회로(98a) 전체로서의 타이밍에 있어서 부정적이지는 않다. 그래서, PMOS트랜지스터(130b)는 VPP에 바이어스된 웰을 사용하고 있지만, 전체로서의 속도의 저하는 없다.

그러나, 아이솔레이션NW(190a)는 사이즈의 면에서는 도 14a에 도시된 종래기술에 대해서 유리하다. 분리를 위해서만 NW(172a)를 마련하고 트랜지스터(176)을 위해서는 제2 NW(174)를 마련하는(도 14a)대신에, 적합한 본 실시형태에서는 그들 2개가 1개의 NW(190a)에 결합되어 있으므로, 센스앰프(24b)의 공간이 축소되어 있다. 또, 트랜지스터(134a)-(134c)를 유지하기 위해서 단일의 PW(192)를 사용할 수 있다.

도 14c를 참조하면, 서브디코더(20a)를 위해 3중웰구조(194)가 실현되고 있다. P-Sub(188) 및 DW(186a)는 서브어레이(18a) 전체에 걸쳐서(도 14b) 서브디코더(20a)를 횡단하고, 서브어레이(196)내로 연장하고 있다. PW(184a)는 NW(200)에 의해 PW(198)에서 분리되어 있고, NW(200)은 분리를 위해 VPP(167b)에 바이어스되어 있다. NW(200)을 VPP(167b)에 바이어스하는 것에 의해 SW버스(72a)는 VPP로 동작할 수 있다.

도 15a 및 도 15b를 참조하면, 센스앰프(22a)는 열용장구성(column redundancy)안에 사용되는 4개의 퓨즈(202a)-(202d)를 포함하고 있다. 2개의 퓨즈(202b) 및 (202d)는 센스앰프회로(98a)-(98b)의 기능을 억제하기 위해 사용되고, 2개의 퓨즈(202a) 및 (202c)는 센스앰프회로(204a)-(204b)의 기능을 억제하기 위해 사용된다. 열용장구성은 이 기술분야의 통상의 지식을 갖는 사람에게는 잘 알려져 있지만, 종래의 설계에서는 퓨즈의 배치를 위해 센스앰프의 설계에 있어서 극적인 면적패널티가 부가되는 결과로 되고 있었다. 그래서, 본 실시형태에서는 퓨즈(202a)-(202d)는 비트선버스(70) 및 (104a)와 평행하게 또는 1열로 정렬되어 있고, 이것은 다른 영역에 배치된 센스앰프에 대응하는

퓨즈라도 마찬가지이다. 이와 같이 해서, 수직으로 연장하는 CF버스(61a) 및 YS버스(35c), (35d)는 1군의 퓨즈에 관해서만 위치를 어긋나게 하면 좋고, 전원 및 신호메시(54), (56), (58) 및 (60)에 대한 최대의 공간이 제공된다.
이상, 본 발명자에 의해 이루어진 발명을 실시형태에 따라서 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다. 그리고, 상술한 개시는 수정, 변경 및 대체의 여지가 있는 것이고, 어느 경우에는 본 발명의 임의의 특징을 사용하고, 다른 특징은 사용하지 않을 수도 있다. 예를 들면, 수직방향 및 수평방향은 적합한 실시 형태의 설명을 간단하게 하기 위해 도입된 것으로서, 본 발명을 한정하는 것을 의도한 것은 아니다. 그래서, 첨부의 특허청구의 범위를 넓고, 또 발명의 범위에 정합하는 방식으로 해석하는 것은 적절하다.
이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 이용분야인 반도체회로에 적용한 경우에 대해서 설명했지만, 그것에 한정되는 것은 아니다.

발명의 효과

본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단 하게 설명하면 다음과 같다.
[1] 금속층을 위해 사이즈상의 제약이 있는 예를 들면 센스앰프등의 주변회로의 사이즈를 증가시키는 일 없이, 메시형상의 전원시스템의 저저항설계를 충분히 달성할 수 있다.
[2] 신호버스와 전원버스의 양쪽이 수평방향 및 수직방향 중의 어느쪽으로도 자유롭게 연장할 수 있다.
[3] 어레이영역에 배치되는 스루홀의 설계가 주변영역에 배치되는 스루홀과 같이 최소설계폭으로 할 필요가 없어 단차가 큰 어레이상에서도 스루홀형성의 제조효율이 개선된다.
[4] 개선된 계층적인 워드선구조가 종래의 계층적인 워드선구조에 비해 작아서 속도가 빠르다.
[5] 센스앰프의 새로운 레이아웃방식에 의해 센스앰프의 점유면적을 축소할 수 있다.

(57) 청구의 범위

청구항 1.

주면을 갖는 반도체기판,
상기 반도체기판의 주면상에 있어서 여러개의 메모리셀이 행열형상으로 배치되어 이루어지는 메모리셀 어레이영역,
상기 메모리셀 어레이영역내에 배치된 여러개의 메모리셀에 접속되고 행방향으로 연장하는 여러개의 비트선,
상기 메모리셀 어레이영역내에 배치된 여러개의 메모리셀에 접속되고 열방향으로 연장하는 여러개의 워드선,
상기 메모리셀 어레이영역에 근접해서 형성되고 여러개의 MOSFET를 갖는 제1 주변회로영역,
상기 메모리셀 어레이영역 이외의 영역으로서 상기 반도체기판의 주면상에 형성되고 또한 소정의 전위가 외부에서 공급되는 전원패드,
상기 메모리셀 어레이영역상에 형성되고 상기 비트선 및 워드선상을 상기 행방향으로 연장하는 제1 전원배선 및
상기 제1 전원배선과는 다른 층의 도체층으로 형성되고 상기 메모리셀 어레이영역상으로서 상기 비트선 및 워드선상을 상기 열방향으로 연장하는 제2 전원배선을 갖고,
상기 제1 전원배선과 상기 제2 전원배선은 상기 메모리셀 어레이영역상에 양자의 교차부분을 갖고, 상기 교차부분에 있어서 상기 제1 전원배선과 상기 제2 전 원배선은 전기적으로 접속되어 있고,
상기 제1 전원배선 및 제2 전원배선의 한쪽은 상기 전원패드에 전기적으로 접속되어 있고,
상기 제1 주변회로영역의 전후 여러개의 MOSFET로는 상기 제1 전원배선 및 제2 전원배선을 거쳐서 상기 전원패드에서 상기 소정의 전위가 공급되는 것을 특징으로 하는 반도체기억장치.

청구항 2.

제1항에 있어서,
상기 제1 전원배선은 상기 제2 전원배선보다 상층의 도체층으로 형성되어 있고, 상기 제1 전원배선을 형성하는 도체층의 막두께는 상기 제2 전원배선을 형성하는 도체층의 막두께보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 3.

반도체기판의 주면상에 마련되고 여러개의 비트선, 여러개의 워드선 및 여러개의 메모리셀을 갖는 메모리셀 어레이 영역,
상기 메모리셀 어레이 영역에 인접해서 마련된 제1 주변회로영역,
상기 여러개의 메모리셀 어레이 영역상에 마련된 제1 전원배선,
상기 제1 전원배선과는 다른 충의 도체층으로 형성되고 상기 메모리셀 어레이 영역내에 있어서 상기 제1 전원배선과 교차하는 제2 전원배선,
상기 제2 전원배선과는 다른 층의 도체층으로 형성되고 상기 제1 주변회로영역내에 있어서 상기 제2 전원배선과 교차하는 제3 전원배선 및
상기 제3 전원배선이 연장하는 방향으로서 상기 제1 주변회로영역에 인접해서 마련된 제2 주변회로영역을 구비하고,
상기 제1 주변회로영역과 상기 제2 주변회로영역은 각각 여러개의 MOSFET를 갖고,
상기 제1 전원배선과 상기 제2 전원배선은 그의 교차부분에 있어서 전기적으로 접속되고,
상기 제2 전원배선과 상기 제3 전원배선은 그의 교차부분에 있어서 전기적으로 접속된 것을 특징으로 하는 반도체기억장치.

청구항 4.
제3항에 있어서,
상기 제3 전원배선은 상기 제1 전원배선과 동일층의 도체층으로 구성되어 있고, 상기 제1 주변회로영역내의 MOSFET에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 5.
제4항에 있어서,
상기 제1 전원배선의 배선폭은 상기 제3 전원배선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 6.
제5항에 있어서,
상기 제1 전원배선 및 제3 전원배선과 상기 제2 전원배선을 전기적으로 분리 하는 절연막을 더 갖고, 상기 제1 전원배선과 상기 제2 전원배선을 전기적으로 접속하기 위해 상기 절연막애 형성된 제1 스루홀의 구멍직경은 상기 제2 전원배선과 상기 제3 전원배선을 전기적으로 접속하기 위해 상기 절연막에 형성된 제2 스루홀의 구멍직경보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 7.
제6항에 있어서,
상기 메모리셀은 직렬접속된 1개의 MOSFET와 1개의 용량소자로 이루어지고, 상기 용량소자는 상기 MOSFET의 상부에 형성되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 8.
제4항에 있어서,
상기 메모리셀 어레이영역 및 상기 제2 주변회로영역에 인접해서 배치된 센스앰프영역을 더 갖고,
상기 제2 주변회로영역의 MOSFET는 센스앰프 드라이버회로를 구성하는 것을 특징으로 하는 반도체기억장치.

청구항 9.
제8항에 있어서,
상기 센스앰프영역에는 상기 제2 전원배선과 동일층의 도체층으로 형성된 여러개의 신호선이 상기 제1 전원배선과 교차하는 방향으로 연장하고 있는 것을 특징으로 하는 반도체기억장치.

청구항 10.
제4항에 있어서,
상기 제1 주변회로영역에는 서브디코더회로가 형성되어 있고, 상기 서브디코더회로는 상기 제1 전원배선과 교차하는 방향으로 연장하는 메인워드선과 서브디코더 제어선에서 입력신호를 받고 상기 워드선에 출력신호를 부가하는 것을 특징으로 하는 반도체기억장치.

청구항 11.
제10항에 있어서,
상기 메인워드선과 서브디코더 제어선은 상기 제2 전원배선과 동일층의 도체층으로 형성되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 12.
제11항에 있어서,
상기 제2 전원배선의 배선폭은 상기 메인워드선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 13.
제11항에 있어서,
상기 메모리셀 어레이영역상을 상기 제1 전원배선과 교차하는 방향으로 연장하고 또한 상기 제2 전원배선과 동일층의 도체층으로 형성된 제4 전원배선을 더 갖고,
상기 서브디코더 제어선은 상기 메모리셀 어레이영역의 중앙부에 있어서 상 기 제1 전원배선과 교차하는 방향으로 연장하고, 상기 서브디코더 제어선의 양측에 상기 제2 전원배선 및 상기 제4 전원배선이 상기 제1 전원배선과 교차하는 방향으로 연장하는 것을 특징으로 하는 반도체기억장치.

청구항 14.
제13항에 있어서,
상기 메모리셀 어레이영역상에 있어서 상기 제4 전원배선과 상기 제1 전원배선은 교차부를 갖고, 상기 교차부에 있어서 상기 제4 및 제1 전원배선은 전기적으로 접속되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 15.
제3항에 있어서,
상기 메모리셀 어레이영역상을 상기 제2 전원배선과 교차하는 방향으로 연장하고 또한 상기 제1 전원배선과 동일충의 도체층으로 형성된 여러개의 열선택선과
상기 여러개의 열선택선에서 소정의 열선택선을 선택하기 위한 열디코더를 더 갖고,
상기 제1 전원배선의 배선폭은 상기 열선택선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 16.
제15항에 있어서,
상기 메모리셀 어레이영역상을 상기 제2 전원배선과 교차하는 방향으로 연장하고, 상기 제1 전원배선과 동일층의 도체층으로 형성되고, 상기 열선택선과는 다 른 여러개의 신호선을 더 갖는 것을 특징으로 하는 반도체기억장치.

청구항 17.
제16항에 있어서,
상기 메모리셀 어레이영역상을 상기 제2 전원배선과 교차하는 방향으로 연장하고, 상기 제1 전원배선과 동일층의 도체층으로 형성된 제5 전원배선을 더 갖는 것을 특징으로 하는 반도체기억장치.

청구항 18.
제17항에 있어서,
상기 여러개의 신호선은 상기 여러개의 메모리셀 어레이영역의 중앙부에 있어서 상기 제2 전원배선과 교차하는 방향으로 연장하고, 상기 여러개의 신호선의 양측에 상기 제1 전원배선 및 상기 제5 전원배선이 상기 제2 전원배선과 교차하는 방향으로 연장하는 것을 특징으로 하는 반도체기억장치.

청구항 19.
반도체 기판,
상기 반도체기판상에 형성되고 행방향으로 연장하는 여러개의 비트선,
열방향으로 연장하는 여러개의 워드선 및 상기 비트선과 상기 워드선의 교차부분에 각각 배치된 여러개의 메모리셀을 갖는 서브어레이,
상기 행방향에 있어서 상기 서브어레이와 인접하는 제1 주변회로영역,
상기 열방향에 있어서 상기 서브어레이와 인접하는 제2 주변회로영역,
상기 제1 및 제2 주변회로영역의 연장부가 교차하는 영역에 배치된 제3 주변 회로영역,
제1 도체층으로 형성되고 상기 제1 주변회로영역을 통해서 상기 서브어레이상으로 연장하는 제1 전원배선,
상기 제1 도체층과는 다른 층의 제2 도체층으로 형성되고 상기 서브어레이에서 상기 제2 주변회로영역상으로 연장하는 여러개의 제2 전원배선 및
상기 제2 주변회로영역상에서 상기 제3 주변회로영역상으로 연장하는 제3 전원배선을 갖고,
상기 제1 전원배선과 상기 제2 전원배선은 상기 서브어레이상에 교차부를 갖고, 상기 교차부에 있어서 상기 제1 및 제2 전원배선은 전기적으로 접속되어 있고,
상기 제2 전원배선과 상기 제3 전원배선은 상기 제2 주변회로영역상에 교차부를 갖고, 상기 교차부에 있어서 상기 제2 및 제3 전원배선은 전기적으로 접속되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 20.
제19항에 있어서,
상기 제3 주변회로영역은 여러개의 MISFET를 갖고, 상기 MISFET는 상기 제3 전원배선에 접속되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 21.
제20항에 있어서,
상기 제1 주변회로영역에는 상기 제2 도체층으로 형성된 여러개의 신호배선이 상기 열방향으로 연장하고 있는 것을 특징으로 하는 반도체기억장치.

청구항 22.
제21항에 있어서,
상기 제1 도체층과 상기 제2 도체층 사이에 개재하는 절연막을 더 갖고, 상기 절연막에는 상기 제1 전원배선과 상기 제2 전원배선의 교차부에 제1 스루홀이, 상기 제2 전원배선과 상기 제3 전원배선의 교차부에 제2 스루홀이 형성되어 있고, 상기 제1 스루홀의 구멍직경은 상기 제2 스루홀의 구멍직경보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 23.
제22항에 있어서,
상기 메모리셀은 또 직렬접속된 1개의 MOSFET와 1개의 용량소자로 이루어지고, 상기 용량소자는 상기 MOSFET의 상부에 형성되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 24.
제21항에 있어서,
상기 제1 도체층은 상기 제2 도체층보다 상층의 도체층이고, 상기 제1 도체층의 막두께는 상기 제2 도체층의 막두께보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 25.
제19항에 있어서,
상기 제2 주변회로영역에는 서브디코더회로가 형성되어 있고, 상기 서브디코 더회로는 상기 열방향으로 연장하는 메인워드선과 서브디코더제어선을 입력으로 하고, 상기 워드선을 출력으로 하는 것을 특징으로 하는 반도체기억장치.

청구항 26.
제25항에 있어서,
상기 메인워드선과 서브디코더 제어선은 상기 제2 도체층으로 형성되어 있고, 상기 제2 전원배선의 배선폭은 상기 메인워드선의 배선폭보다 큰 것을 특징으로 하는 반도체기억장치.

청구항 27.
제26항에 있어서,
상기 서브디코더 제어선은 상기 서브어레이의 중앙부를 열방향으로 연장하고, 상기 서브디코더 제어선의 양측에 상기 제2 전원배선이 상기 열방향으로 연장하는 것을 특징으로 하는 반도체기억장치.

청구항 28.
반도체기판상에 형성된 여러개의 메모리셀, 상기 여러개의 메모리셀이 접속된 상보형의 제1 및 제2 비트선, 상기 상보형의 제1 및 제2 비트선 사이에 직렬접속된 제1 및 제2 MISFET 및 상기 상보형의 제1 및 제2 비트선 사이에 접속된 제3 MISFET를 갖는 반도체기억장치로서,
상기 반도체기판의 주변에 형성되고, 상기 제1, 제2 및 제3 MISFET를 형성하기 위한 활성영역,
상기 활성영역내에 형성된 제1, 제2 및 제3 반도체영역,
상기 제1, 제2 및 제3 반도체영역과 상기 제1 및 제2 비트선 사이에 위치하는 절연막, 상기 절연막에 형성되고 상기 제1 반도체영역과 제1 비트선을 접속하기 위한 제1 스루홀, 상기 제2 반도체영역과 제2 비트선을 접속하기 위한 제2 스루홀, 상기 제3 반도체영역상에 위치하는 제3 스루홀 및
상기 제1 및 제2 반도체영역 사이, 상기 제2 및 제3 반도체영역 사이와 상기 제3 및 제1 반도체영역 사이에 위치하고, 각각이 일체로 구성된 상기 제1, 제2 및 제3 MISFET의 게이트전극을 갖고,
상기 제1, 제2 및 제3 스루홀은 삼각형을 구성하고, 인접하는 상보형 비트선에 대응하는 상기 삼각형은 점대칭의 위치관계에 있는 것을 특징으로 하는 반도체기억장치.

청구항 29.
제28항에 있어서,
상기 활성영역은 T자형의 평면형상을 갖는 것을 특징으로 하는 반도체기억장치.

청구항 30.
제29항에 있어서,
상기 게이트전극은 T자형의 평면형상을 갖는 것을 특징으로 하는 반도체기억장치.

청구항 31.
제30항에 있어서,
상기 제3 반도체영역에는 소정의 고정전위가 공급되는 것을 특징으로 하는 반도체기억장치.

청구항 32.
센스앰프를 구성하고 드레인 및 소오스로 이루어지는 제1 및 제2 반도체영역과 게이트전극을 갖는 제1, 제2 MISFET,
상기 제1, 제2 MISFET의 양측에 위치하는 제1 메모리어레이와 제2 메모리어레이 및
상기 제1 메모리어레이내로 연장하는 상보형의 제1 및 제2 비트선과 상기 제2 메모리어레이내로 연장하는 상보형의 제3 및 제4 비트선으로 이루어지고,
상기 제1, 제2, 제3 및 제4 비트선은 동일층의 도체층에 의해 구성되어 있고,
상기 제1 비트선은 상기 제1 MISFET의 제1 반도체영역에 접속되고, 상기 제2 MISFET의 게이트전극을 거쳐서 상기 제3 비트선에 접속되어 있고,
상기 제2 비트선은 상기 제1 MISFET의 게이트전극과 상기 제2 MISFET의 제1 반도체영역에 접속되고, 상기 제2 비트선과 상기 제4 비트선은 연속해서 일체로 구성되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 33.
데이타선, 메모리셀, 메인워드선 및 이 메인워드선에 대응하는 제1 및 제2 서브워드선을 구비하는 메모리어레이,
상기 데이타선에 결합되는 센스앰프,
상기 제1 서브워드선에 결합되는 출력단자와 상기 메인워드선에 결합되는 제1 입력단자를 갖는 제1 서브디코더,
상기 제2 서브워드선에 결합되는 출력단자와 상기 메인워드선에 결합되는 제1 입력단자를 갖는 제2 서브디코더,
상기 제1 서브디코더의 제2 입력단자에 결합되어 상기 제1 서브워드선으로 공급될 선택레벨전압을 출력하는 제1 구동회로 및
상기 제2 서브디코더의 제2 입력단자에 결합되어 상기 제2 서브워드선으로 공급될 선택레벨전압을 출력하는 제2 구동회로를 포함하고,
상기 메모리어레이는 제1 영역내에 형성되고, 상기 제1 및 제2 서브디코더는 상기 제1 영역에 인접하는 제2 영역내에 형성되고, 상기 제1 및 제2 구동회로는 상기 제2 영역에 인접하는 제3 영역내에 형성되고,
상기 센스앰프는 상기 제1 및 제3 영역에 인접하는 제4 영역에 형성되고,
상기 제1, 제2, 제3 및 제4 영역은 사각형영역이고, 상기 제2 및 제4 영역을 연장하는 것에 의해 나타나는 교차영역이 상기 제3 영역인 것을 특징으로 하는 반도체기억장치.

청구항 34.
제33항에 있어서,
상기 제1 구동회로의 입력단자로 공급될 제1 선택신호를 전달하기 위한 제1 신호선 및
상기 제2 구동회로의 입력단자로 공급될 제2 선택신호를 전달하기 위한 제2 신호선을 더 갖고,
상기 제1 및 제2 신호선은 상기 메인워드선 및 상기 제1 및 제2 서브워드선과 함께 상기 제1 영역에 있어서 동일방향으로 연장되는 것을 특징으로 하는 반도체기억장치.

청구항 35.
제34항에 있어서,
상기 제1 및 제2 서브디코더는 각각
(a) 상기 제1 입력단자에 결합되는 게이트와 상기 제2 입력단자와 상기 출력단자 사이에 마련되는 소오스/드레인 통로를 갖는 제1 MOSFET,

(b) 상기 제1 입력단자에 결합되는 게이트와 상기 출력단자와 접지전위 사이에 마련되는 소오스/드레인 통로를 갖는 제2 MOSFET,
(c) 상기 제2 MOSFET의 소오스/드레인 통로에 병렬접속되는 소오스/드레인 통로를 갖는 제3 MOSFET를 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 36.
제35에 있어서,
상기 제1 및 제2 구동회로는 인버터회로인 것을 특징으로 반도체기억장치.

청구항 37.
제36항에 있어서,
상기 제1 MOSFET는 p채널형이고, 상기 제2 및 제3 MOSFET는 n채널형인 것을 특징으로 하는 반도체기억장치.

청구항 38.
제37항에 있어서,
상기 제3 MOSFET의 게이트폭은 상기 제2 MOSFET의 게이트폭보다 짧은 것을 특징으로 하는 반도체기억장치.

청구항 39.
제38항에 있어서,
상기 제1 및 제2 서브워드선 중 선택된 서브워드선의 전압은 상기 데이타선의 하이레벨전압보다 높은 것을 특징으로 하는 반도체기억장치.

청구항 40.
데이타선, 메모리셀, 메인워드선 및 이 메인워드선에 대응하는 여러개의 서브워드선을 구비하는 메모리어레이,
상기 여러개의 서브워드선에 대응하는 여러개의 서브디코더 및
상기 여러개의 서브디코더에 대응하는 여러개의 구동회로를 구비하고,
상기 여러개의 서브디코더는 각각
(a) 대응하는 1개의 서브워드선에 결합되는 드레인과 상기 메인워드선에 결합되는 게이트를 갖는 p채널형의 제1 MOSFET,
(b) 접지전위를 받는 소오스와 상기 제1 MOSFET의 드레인에 결합되는 드레인과 상기 메인워드선에 결합되는 게이트를 갖는 n채널형의 제2 MOSFET 및
(c) 상기 제2 MOSFET의 드레인과 소오스 사이에 마련되는 소오스/드레인 통로를 갖는 제3 MOSFET를 갖고,
상기 여러개의 구동회로는 각각 대응하는 서브디코더의 상기 제3 MOSFET의 게이트에 결합되는 입력단자와 상기 제1 MOSPET의 소오스에 결합되는 출력단자를 갖고,
상기 메모리어레이는 제1 영역내에 형성되고, 상기 여러개의 서브디코더회로는 상기 제1 영역에 인접하는 제2 영역내에 형성되고, 상기 여러개의 구동회로는 상기 제2 영역에 인접하는 제3 영역내에 형성되는 것을 특징으로 하는 반도체기억장치.

청구항 41.
제40항에 있어서,
상기 제3 MOSFET는 n채널형이고, 상기 여러개의 구동회로는 인버터회로인 것을 특징으로 하는 반도체기억장치.

청구항 42.
제41항에 있어서,
선택된 서브워드선의 전압은 상기 데이타선의 하이레벨전압보다 높은 것을 특징으로 하는 반도체기억장치.

청구항 43.
제42항에 있어서,
상기 데이타선에 결합되는 센스앰프를 더 갖고, 상기 센스앰프는 상기 제1 및 제3 영역에 인접하는 제4 영역에 형성되는 것을 특징으로 하는 반도체기억장치.

청구항 44.
제43항에 있어서,
상기 제1, 제2, 제3 및 제4 영역은 사각형영역이고, 상기 제2 및 제4 영역을 연장하는 것에 의해 나타나는 교차영역이 상기 제3 영역인 것을 특징으로 하는 반도체기억장치.

청구항 45.
제44항에 있어서,
상기 제3 MOSFET의 게이트폭은 상기 제2 MOSFET의 게이트폭보다 짧은 것을 특징으로 하는 반도체기억장치.

청구항 46.
반도체기판의 주면에 마련되고, 여러개의 메모리셀, 여러개의 워드선 및 여러개의 비트선을 포함하는 사변형의 메모리셀 어레이 영역,
상기 메모리셀 어레이 영역의 1변과 접하고, 상기 여러개의 메모리셀에 대한 라이트 또는 리드동작을 실행하는 회로를 포함하는 주변회로영역,
상기 메모리셀 어레이 영역의 상기 1변을 연장한 직선을 따라서 상기 메모리셀 어레이 영역의 외부에서 상기 메모리셀 어레이 영역상으로 연장하는 제1 전원배선 및
상기 메모리셀 어레이 영역상에서 상기 제1 전원배선과 교차하고 상기 주변회로영역상으로 연장하는 제2 전원배선을 구비하고,

상기 제1 전원배선과 제2 전원배선은 서로 다른층으로 되고, 서로의 교차부분에서 전기적으로 접속되고,
상기 제1 전원배선 및 제2 전원배선을 거쳐서 상기 메모리셀 어레이 영역의 외부에서 상기 주변회로영역내로 전원전압이 공급되는 것을 특징으로 하는 반도체기억장치.

청구항 47.

여러개의 메모리셀, 여러개의 워드선 및 여러개의 비트선을 포함하는 사변형의 메모리셀 어레이 영역,
상기 메모리셀 어레이 영역의 1변과 접하는 변을 갖고, 상기 여러개의 메모리셀에 대한 라이트 또는 리드동작을 실행하는 회로를 포함하는 사변형의 주변회로 영역,
상기 메모리셀 어레이 영역과 상기 주변회로영역이 접하는 변을 연장한 직선을 따라서 상기 메모리셀 어레이 영역의 외부에서 상기 메모리셀 어레이 영역상으로 연장하는 여러개의 제1 전원배선,
상기 메모리셀 어레이 영역상에서 상기 여러개의 제1 전원배선과 교차하고 상기 주변회로영역상으로 연장하는 여러개의 제2 전원배선 및
상기 주변회로영역상에서 상기 제2 전원배선과 교차하고, 상기 메모리셀 어래이 영역과 상기 주변회로영역이 접하는 변을 따라서 상기 주변회로영역상으로 연장하는 제3 전원배선을 구비하고,
상기 여러개의 제1 전원배선과 상기 여러개의 제2 전원배선은 서로 다른층으로 되고, 서로의 교차부분에서 각각 전기적으로 접속되고,
상기 제3 전원배선과 상기 여러개의 제2 전원배선은 서로 다른층으로 되고, 서로의 교차부분에서 각각 전기적으로 접속되고,
상기 여러개의 제1 전원배선 및 상기 여러개의 제2 전원배선을 거쳐서 상기 메모리셀 어레이 영역의 외부에서 상기 제3 전원배선으로 전원전압이 공급되는 것을 특징으로 하는 반도체기억장치.

청구항 48.

제47항에 있어서,
상기 주변회로영역은 워드선 구동회로를 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 49.

반도체기판의 주면에 마련된 사변형의 메모리셀 어레이 영역,
상기 메모리셀 어레이 영역의 각변과 접하는 4개의 주변회로영역,
상기 메모리셀 어레이 영역 및 4개의 주변회로영역의 외부에서 상기 메모리셀 어레이 영역상으로 직선형상으로 연장하는 제1 전원배선,
상기 메모리셀 어레이 영역상에서 상기 제1 전원배선과 교차하고, 상기 4개의 주변회로중의 어느 하나의 영역상으로 연장하는 제2 전원배선 및
상기 어느 하나의 영역상에서 상기 제2 전원배선과 교차하고 상기 영역상으로 연장하는 제3 전원배선을 구비하고,
상기 메모리셀 어레이 영역은 여러개의 메모리셀, 여러개의 워드선 및 여러개의 비트선을 포함하고,
상기 4개의 주변회로영역은 각각 상기 여러개의 워드선에 접속되는 여러개의 워드선 구동회로 또는 상기 여러개의 비트선에 접속되는 여러개의 센스앰프회로를 포함하고,
상기 제1 전원배선과 제2 전원배선은 서로 다른층으로 되고,
상기 제2 전원배선과 제3 전원배선은 서로 다른층으로 되고,
상기 제1 전원배선 및 제2 전원배선을 거쳐서 상기 제3 전원배선에 전원전압이 공급되고,
상기 제3 전원배선에 공급되는 전원전압은 상기 여러개의 센스앰프회로의 구동전압으로 되는 것을 특징으로 하는 반도체기억장치.

청구항 50.

메인워드선, 상기 메인워드선에 대응하는 여러개의 서브워드선, 여러개의 데이타선 및 여러개의 메모리셀을 갖는 메모리어레이,
상기 여러개의 데이타선애 접속된 여러개의 센스앰프,
여러개의 디코더,
여러개의 신호선 및
여러개의 구동회로를 구비하고,
상기 여러개의 디코더는 각각 (a) 상기 메인워드선에 접속된 게이트 및 제1 입력단자와 상기 여러개의 메인워드선중의 하나 사이에 소오스-드레인통로가 마련된 제1 MOSFET, (b) 상기 메인워드선에 접속된 게이트 및 제1 전위단자와 상기 여러개의 서브워드선중의 하나 사이에 소오스-드레인통로가 마련된 제2 MOSFET 및 (c) 상기 제2 MOSFET의 소오스-드레인통로와 병렬로 접속된 소오스-드레인통로를 갖는 제3 MOSFET를 갖고,
상기 여러개의 신호선은 각각 대응하는 상기 제3 MOSFET에 접속되고 또한 그들중의 하나의 신호선이 선택레벨로 되고,
상기 여러개의 구동회로는 각각 대응하는 상기 신호선에 접속된 입력단자및 대응하는 상기 제1 입력단자에 접속된 출력단자를 갖고,
상기 메모리어레이는 제1 사변형영역에 형성되고,
상기 여러개의 디코더는 상기 제1 사변형영역의 대향하는 2번에 각각 인접하는 제2 사변형영역에 형성되고,
상기 여러개의 센스앰프는 상기 제1 사변형영역의 다른 2변에 각각 인접하는 제3 사변형영역에 형성되고,
상기 제2 사변형영역의 각각과 상기 제3 사변형영역의 각각을 연장하는 것에 의해서 나타나는 교차영역에 상기 여러개의 구동회로가 형성되는 것을 특징으로 하는 반도체메모리.

청구항 51.

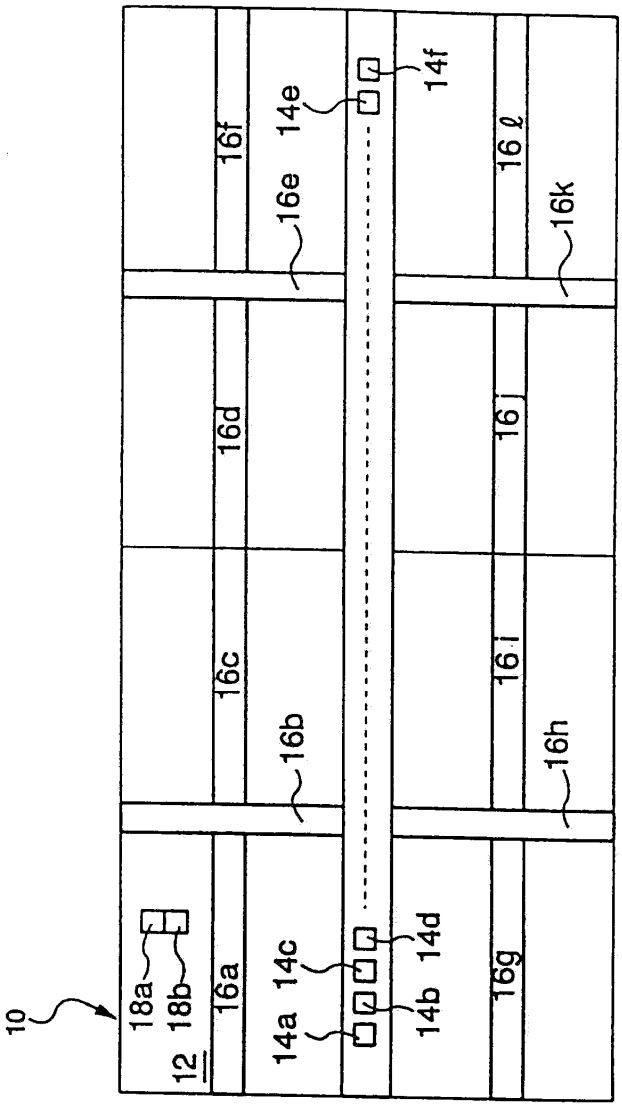
격자형상으로 배열된 여러개의 제1 영역,
상기 격자형상배열의 행방향을 향해서 상기 여러개의 제1 영역과 교대로 배치된 여러개의 제2 영역,
상기 격자형상배열의 열방향을 향해서 상기 여러개의 제1 영역과 교대로 배치된 여러개의 제3 영역 및
상기 열방향을 향해서 상기 여러개의 제2 영역과 교대로 배치되는 여러개의 제4 영역을 구비하고,
상기 여러개의 제1 영역은 각각 메모리어레이에 대응하고, 상기 메모리어레이는 상기 행방향으로 연장하는 메인워드선, 상기 행방향으로 연장하는 제1, 제2, 제3 및 제4 서브워드선, 상기 열방향으로 연장하는 여러개의 데이타선 및 여러개의 메모리셀을 포함하고,
하나의 제1 영역을 사이에 두도록 인접하는 2개의 제2 영역의 한쪽에 상기 제1 서브워드선에 접속되는 출력단자를 갖는 제1 디코더와 상기 제2 서브워드선에 접속되는 출력단자를 갖는 제2 디코더를 포함하고,
상기 2개의 제2 영역의 다른쪽에 상기 제3 서브워드선에 접속되는 출력단자를 갖는 제3 디코더 및 상기 제4 서브워드선에 접속되는 출력단자를 갖는 제4 디코더를 포함하고,
상기 제1 및 제2 디코더를 포함하는 제2 영역을 사이에 두도록 인접하는 2개의 제4 영역의 한쪽에 상기 제1 디코더의 제1 입력단자에 접속되는 제1 드라이버를 포함하고,
상기 제1 및 제2 디코더를 포함하는 제2 영역을 사이에 두도록 인접하는 2개의 제4 영역의 다른쪽에 상기 제2 디코더의 제1 입력단자에 접속되는 제2 드라이버를 포함하고,
상기 제3 및 제4 디코더를 포함하는 제2 영역을 사이에 두도록 인접하는 2개의 제4 영역의 한쪽에 상기 제3 디코더의 제1 입력단자에 접속되는 제3 드라이버를 포함하고,
상기 제3 및 제4 디코더를 포함하는 제2 영역을 사이에 두도록 인접하는 2개의 제4 영역의 다른쪽에 상기 제4 디코더의 제1 입력탄자에 접속되는 제4 드라이버를 포함하고,
상기 제1, 제2, 제3 및 제4 디코더의 제2 입력단자는 각각 공통의 메인워드선에 접속되고,
상기 제1, 제2, 제3 및 제4 서브워드선중의 선택된 하나에 공급되는 선택레벨전압이 상기 제1, 제2, 제3 및 제4 드라이버중의 대응하는 하나에서 공급되는 것을 특징으로 하는 반도체메모리.

청구항 52.

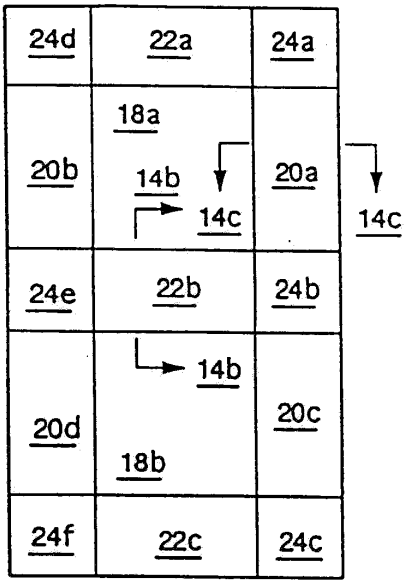
제51항에 있어서,
상기 제1 드라이버의 입력단자에 접속되는 제1 신호선, 상기 제2 드라이버의 입력단자에 접속되는 제2 신호선, 상기 제3 드라이버의 입력단자에 접속되는 제3 신호선 및 상기 제4 드라이버의 입력단자에 접속되는 제4 신호선을 더 구비하고,
상기 제1, 제2, 제3 및 제4 신호선은 상기 행방향으로 연장하는 것을 특징으로 하는 반도체메모리.

도면

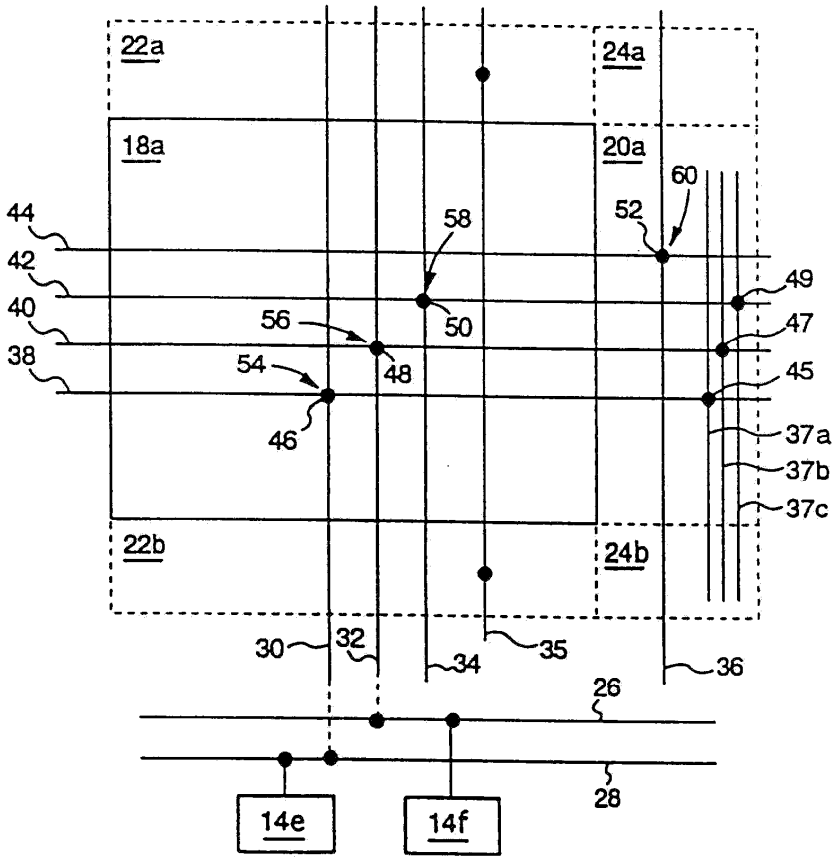
도면1


16f
14e
14f
16ℓ
16e
16k
16d
16j
16c
16i
16b
16h
18a
18b
16a
14c
14d
14a
14b
16g
10
12

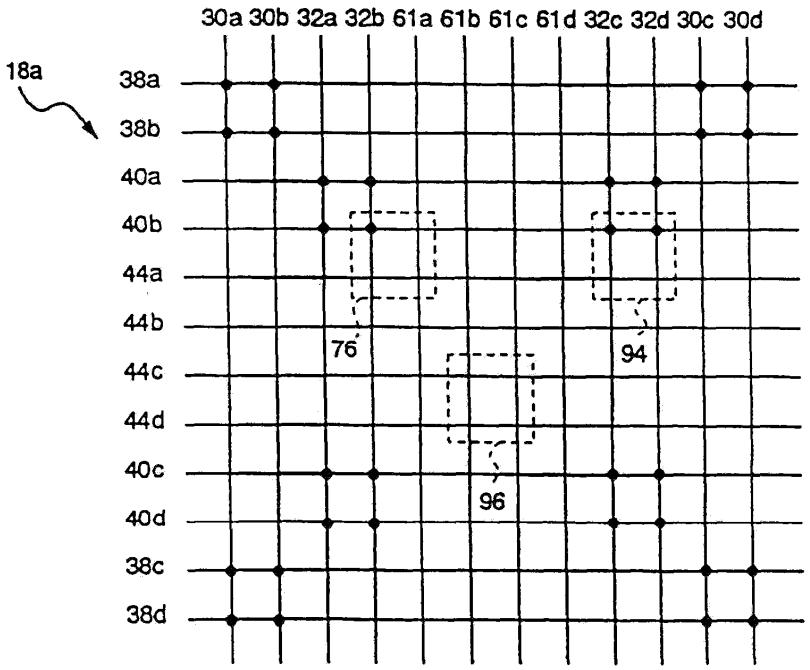
도면2


24d
22a
24a
18a
20b
14b
20a
14c
14c
24e
22b
24b
14b
20d
20c
18b
24f
22c
24c

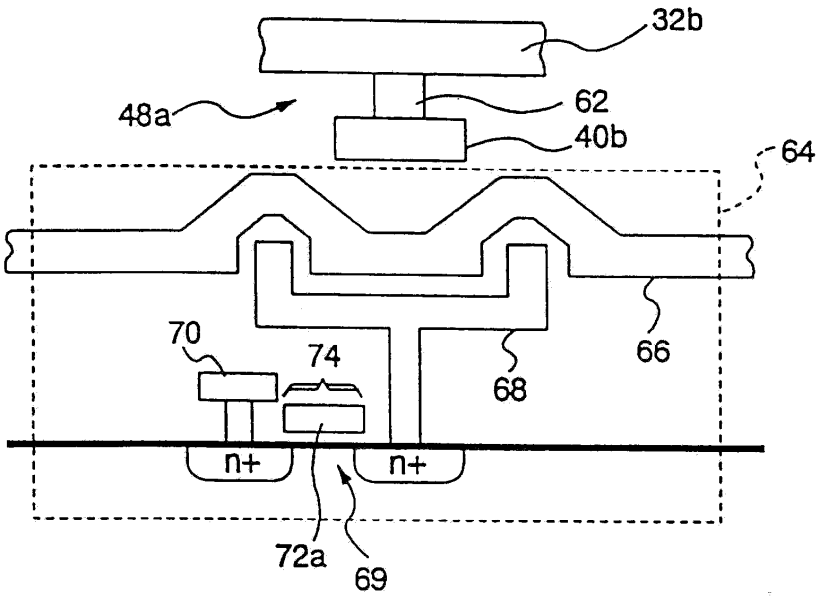
도면3


22a
24a
18a
20a
60
52
58
44
42
40
38
56
50
49
47
54
48
45
46
37a
37b
37c
22b
24b
30
32
34
35
36
26
28
14e
14f

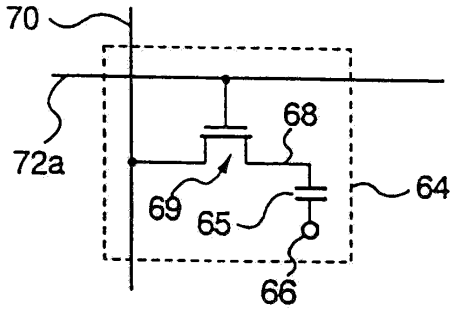
도면4


30a 30b 32a 32b 61a 61b 61c 61d 32c 32d 30c 30d
18a
38a
38b
40a
40b
44a
44b
44c
44d
40c
40d
38c
38d
76
94
96

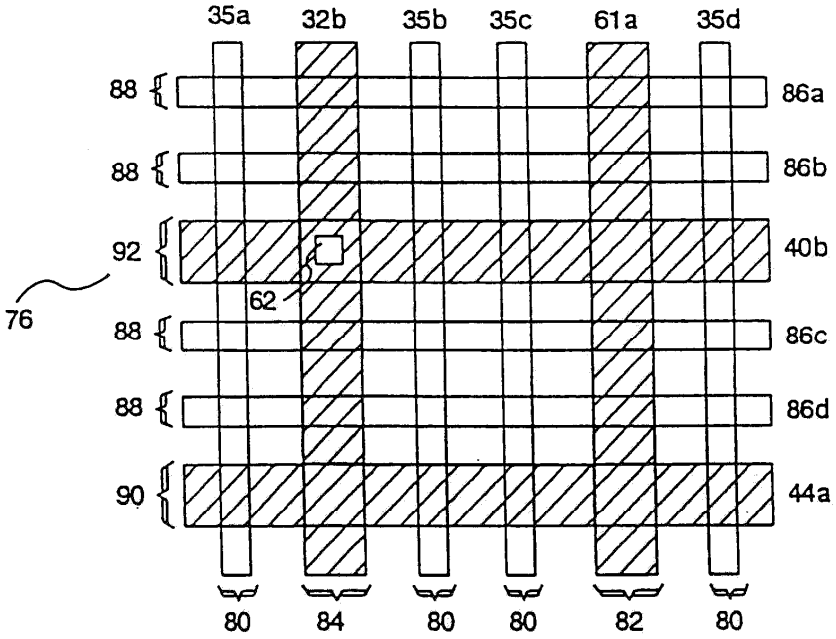
도면5a



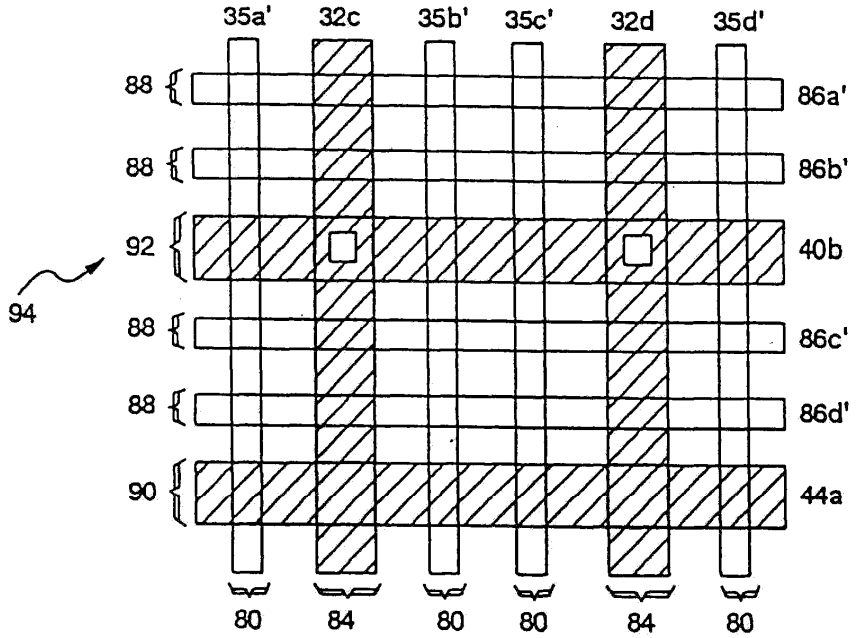
도면5b



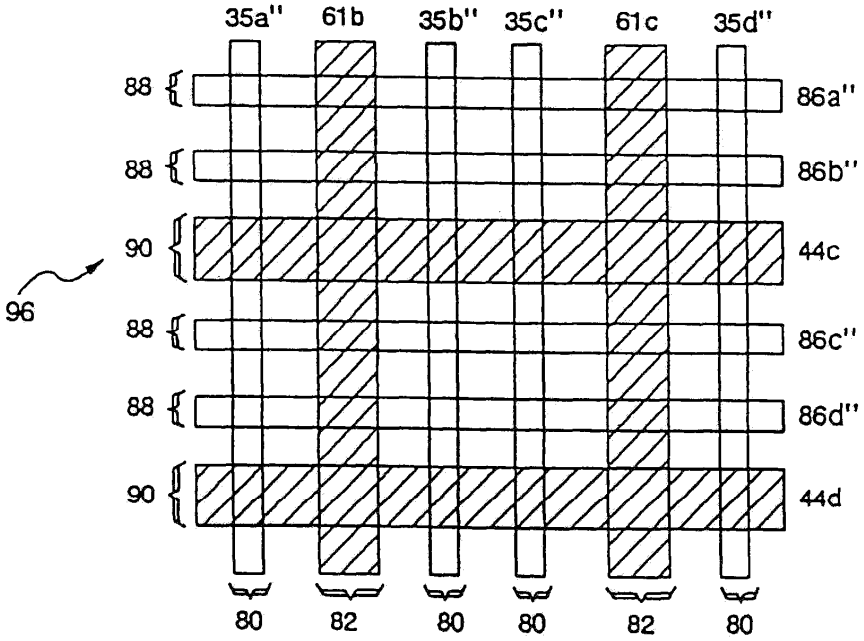
도면6a



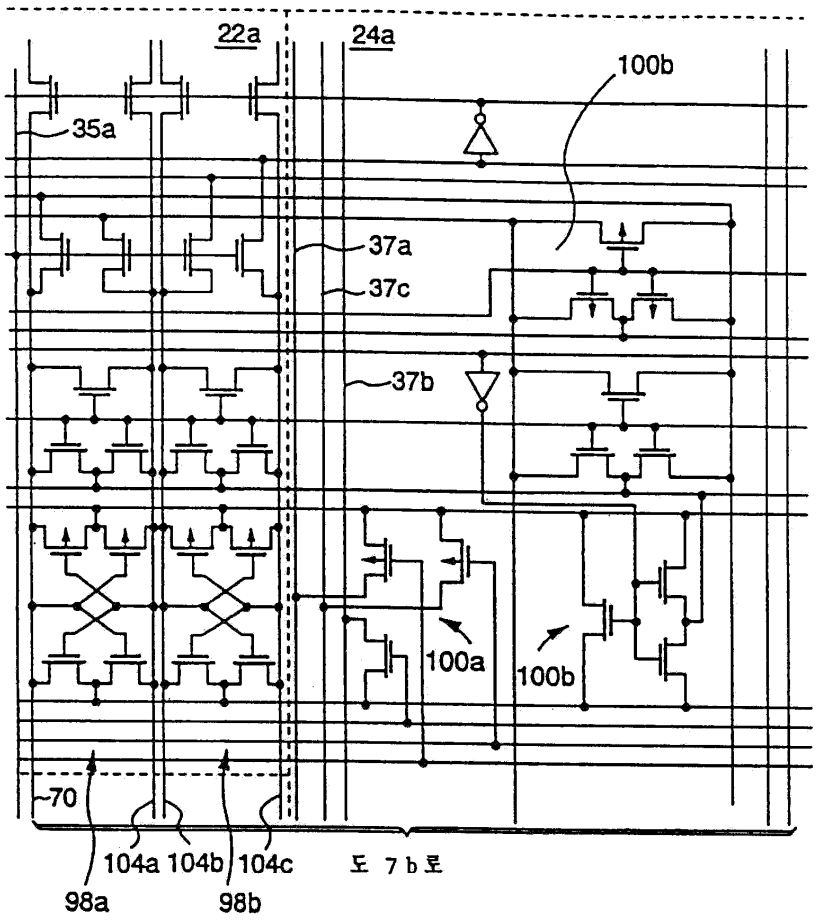
도면6b


35a'
32c
35b'
35c'
32d
35d'
88
88
92
88
88
90
86a'
86b'
40b
86c'
86d'
44a
94
80
84
80
80
84
80

도면6c

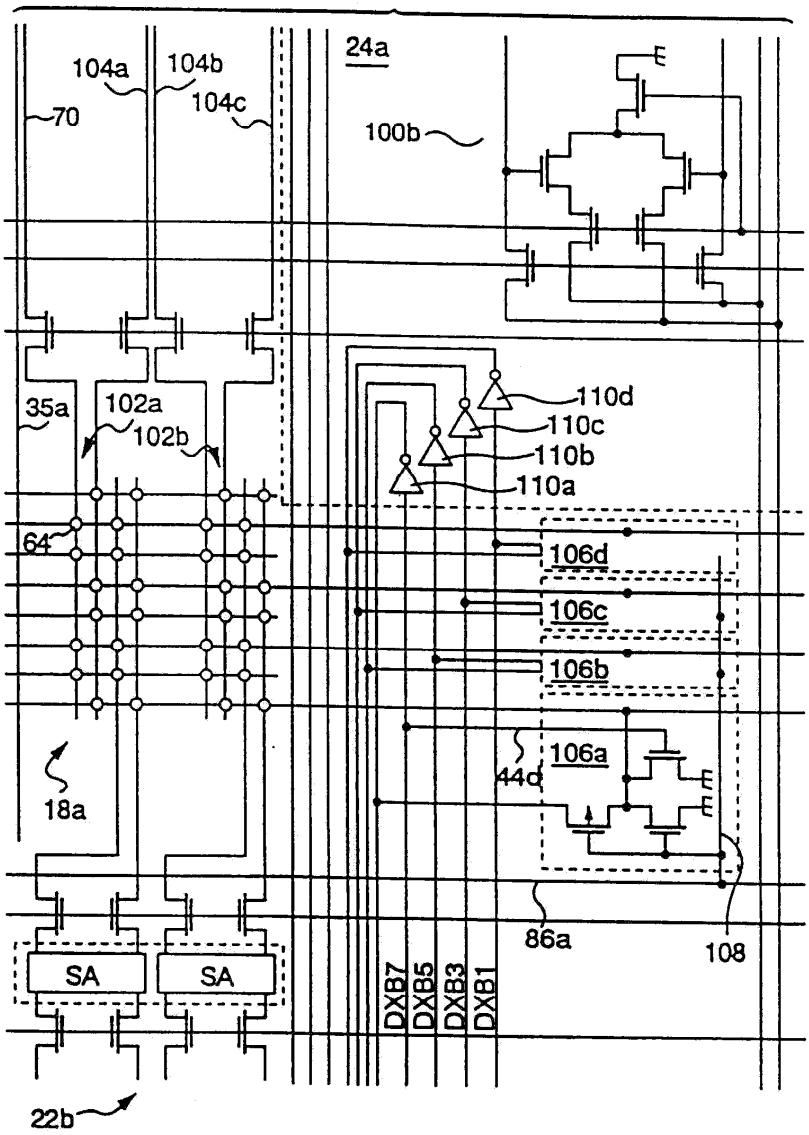

35a''
61b
35b''
35c''
61c
35d''
88
88
90
88
88
90
86a''
86b''
44c
86c''
86d''
44d
96
80
82
80
80
82
80

도면7a

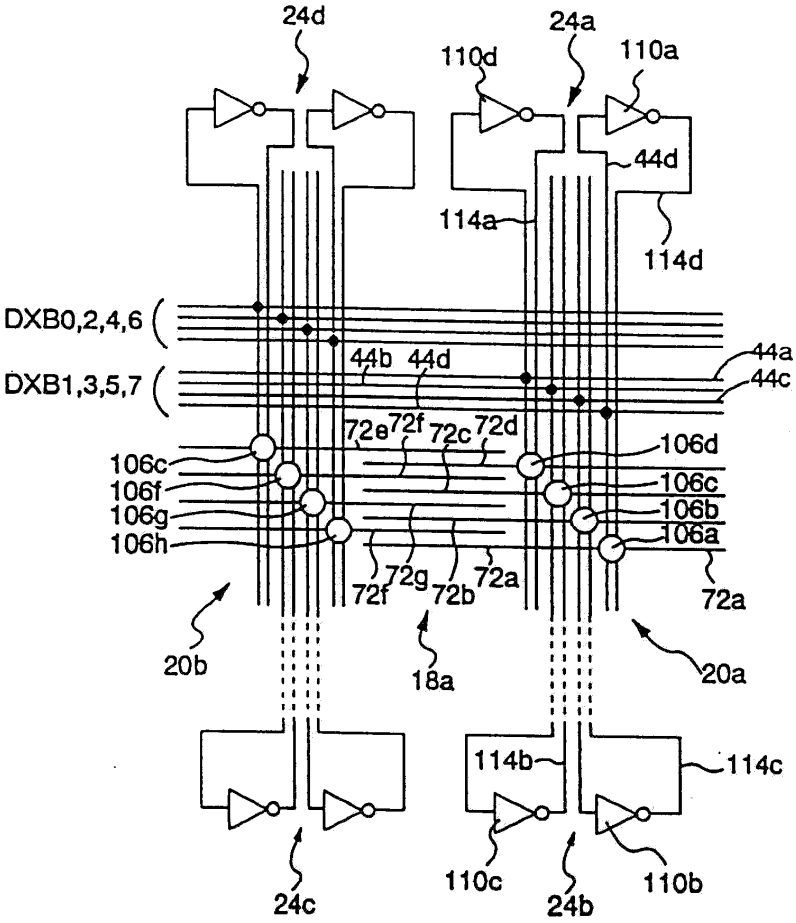

22a
24a
100b
35a
37a
37c
37b
100a
100b
70
104a
104b
104c
98a
98b
도 7b로

도면7b

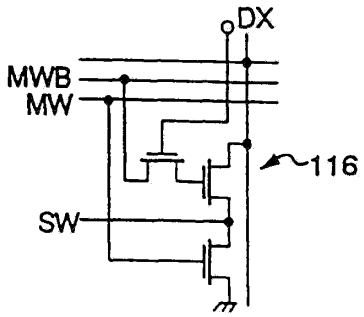
도 7a로


104a
104b
104c
70
24a
100b
35a
102a
102b
110d
110c
110b
110a
64
106d
106c
106b
106a
44d
18a
86a
108
SA
SA
DXB7
DXB5
DXB3
DXB1
22b

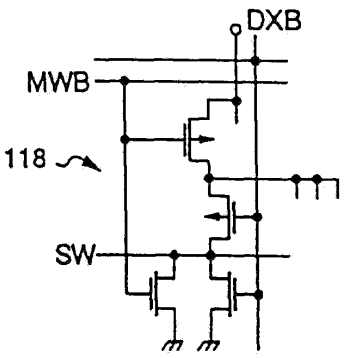
도면8



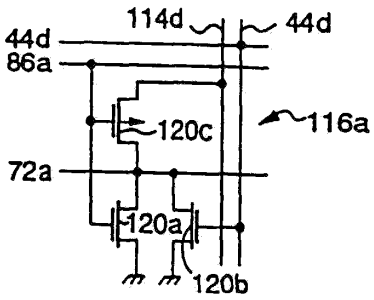
도면9a



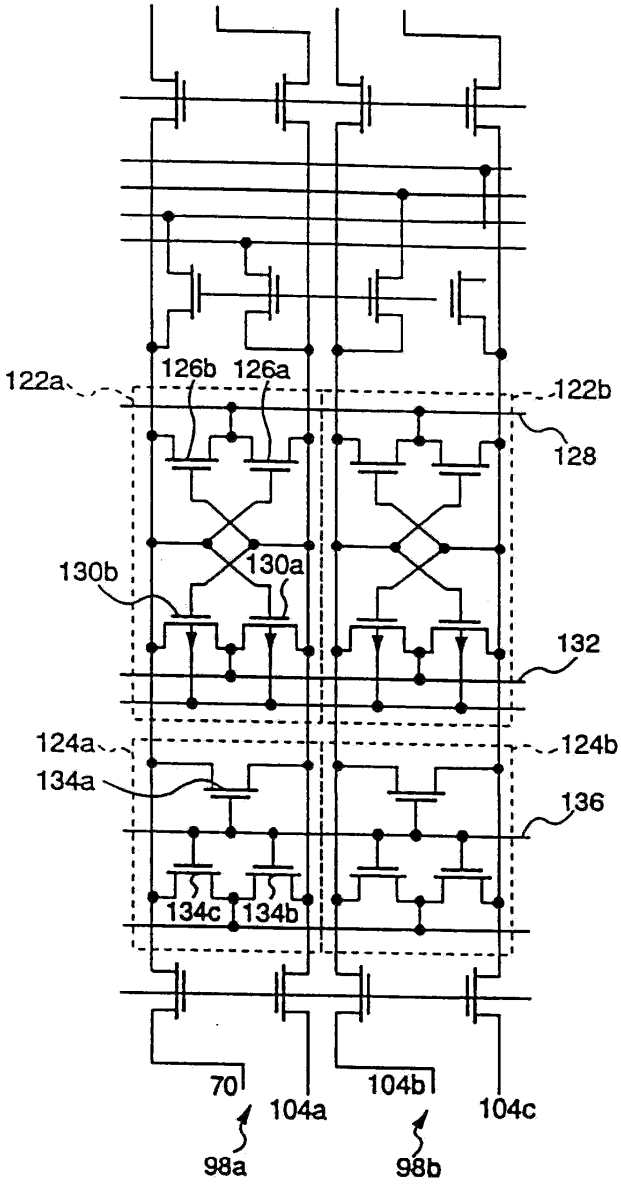
도면9b



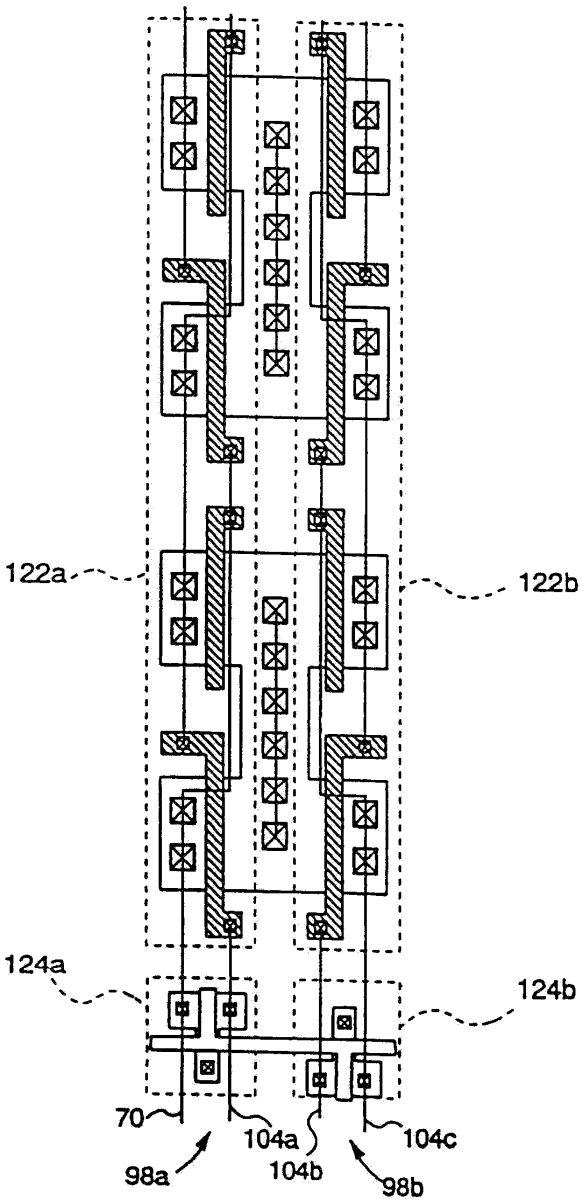
도면9c


114d
44d
44d
86a
120c
116a
72a
120a
120b

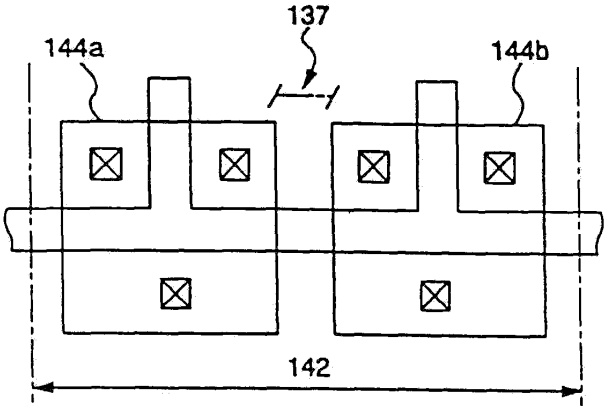
도면10a


122a
126b
126a
122b
128
130b
130a
132
124a
124b
134a
136
134c
134b
70
104a
104b
104c
98a
98b

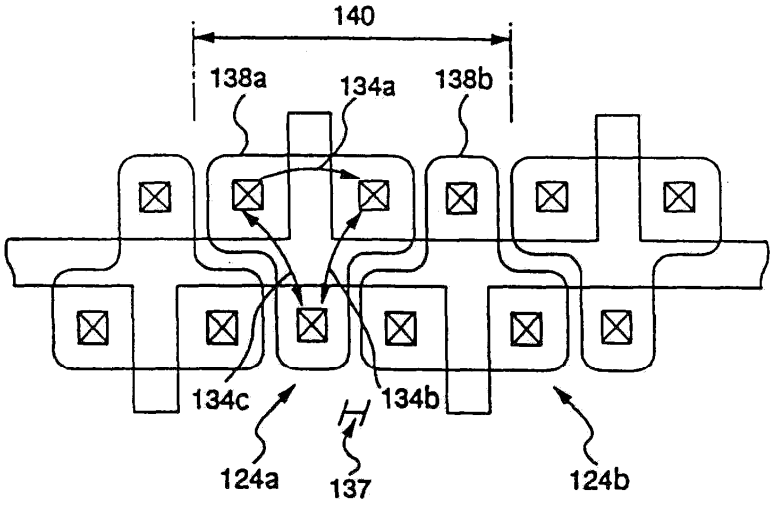
도면10b


122a
122b
124a
124b
70
104a
104b
104c
98a
98b

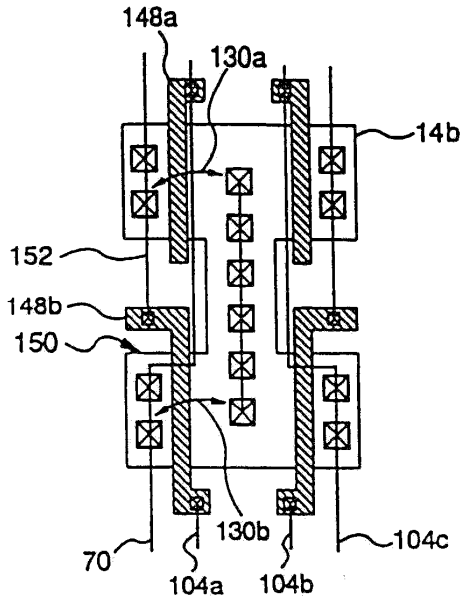
도면11a


137
144a
144b
142

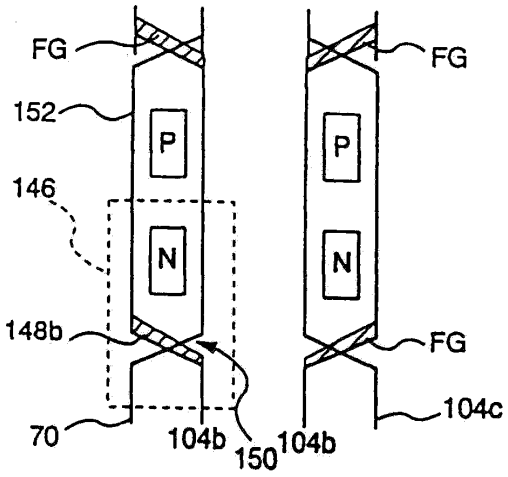
도면11b



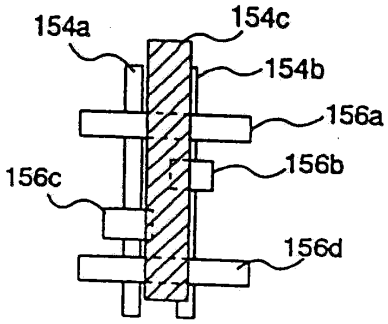
도면12a



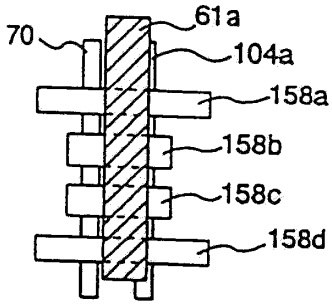
도면12b



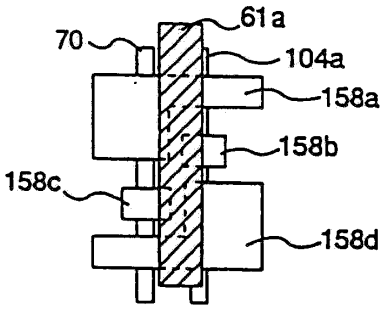
도면13a



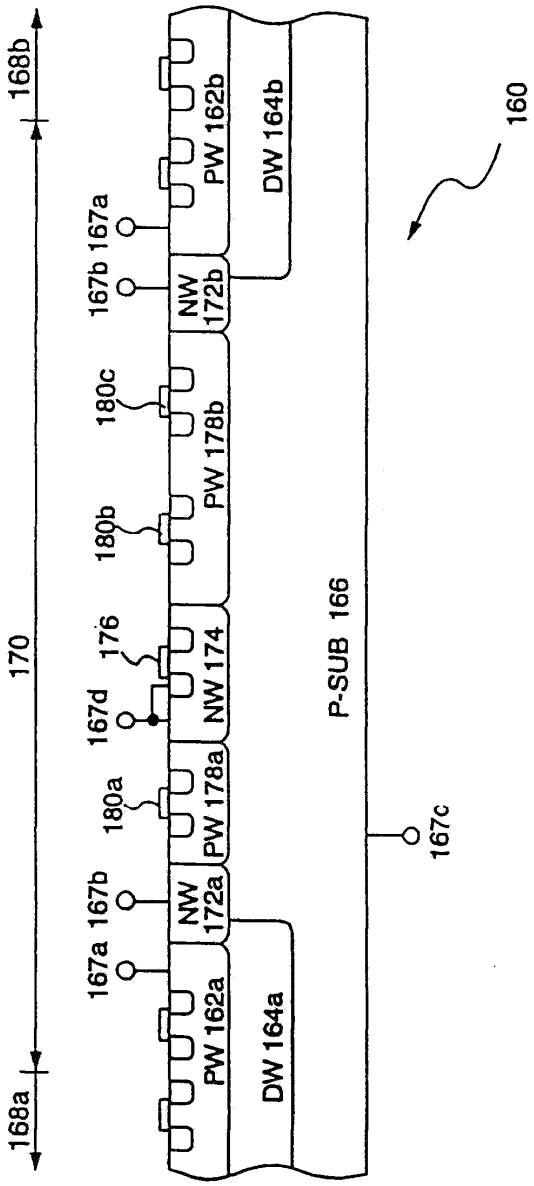
도면13b



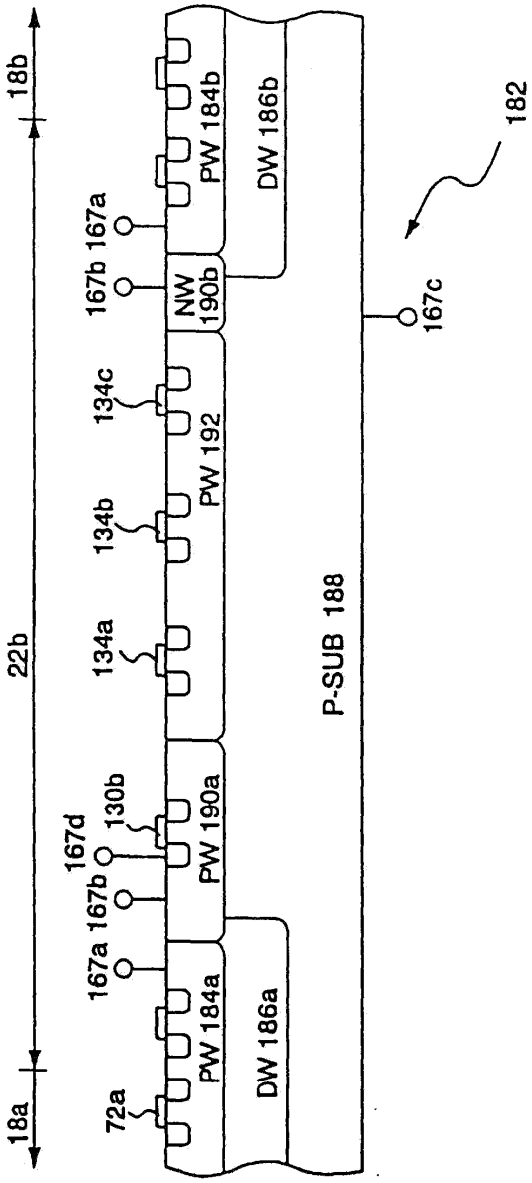
도면13c



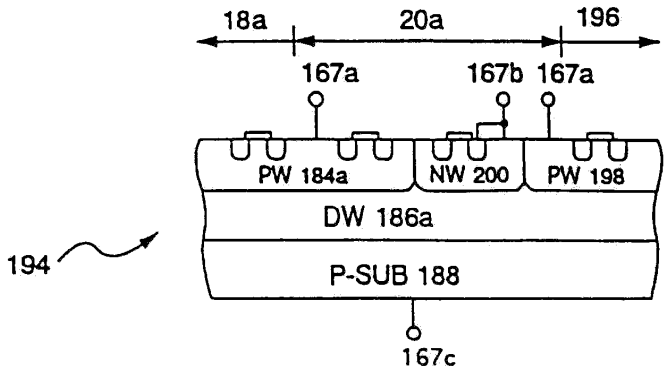
도면14a


168b
170
168a
167a
167b
167d
176
180a
180b
180c
167b
167a
PW 162a
NW 172a
PW 178a
NW 174
PW 178b
NW 172b
PW 162b
DW 164a
DW 164b
P-SUB 166
167c
160

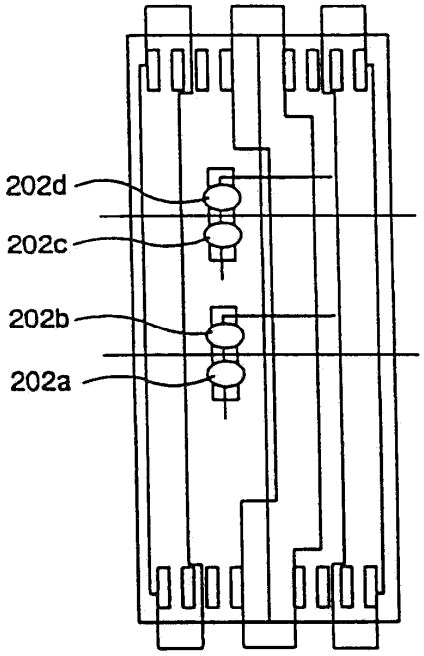
도면14b


18b
22b
18a
PW 184b
DW 186b
182
167a
167b
NW 190b
167c
134c
PW 192
134b
134a
P-SUB 188
130b
167d
PW 190a
167b
167a
PW 184a
DW 186a
72a

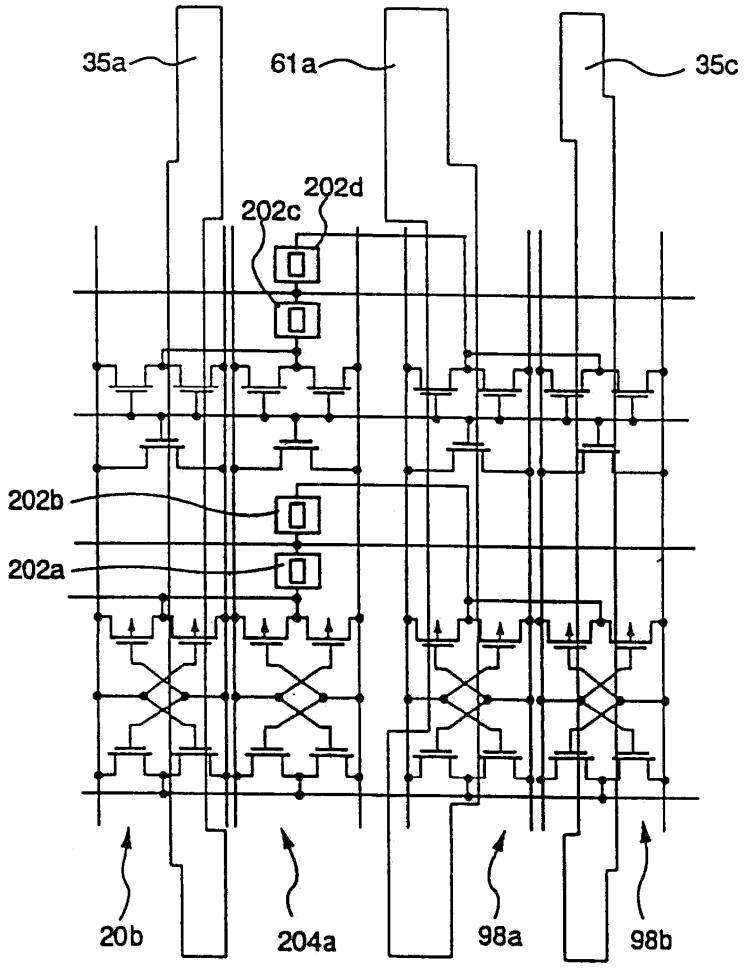
도면14c


18a
20a
196
167a
167b
167a
PW 184a
NW 200
PW 198
DW 186a
194
P-SUB 188
167c

도면15a


202d
202c
202b
202a

도면15b


35a
61a
35c
202d
202c
202b
202a
20b
204a
98a
98b