

정하는 단계 - 주파수 오프셋은 SS/PBCH(synchronization signal/physical broadcast channel) 블록의 최하위 RE 및 RMSI(remaining minimum system information)에 대한 CORESET(control resource set)의 최하위 RE에 기초하여 결정됨 -, SS/PBCH 블록의 서브캐리어 간격(subcarrier spacing, SCS)과 CORESET의 SCS의 조합을 위해, 4 비트의 제1 필드를 사용하여, SS/PBCH 블록과 CORESET의 다중화 패턴, CORESET의 대역폭(bandwidth, BW) 및 CORESET에 대한 심볼 개수와 함께 RB 레벨 주파수 오프셋을 공동으로 구성하는 단계, 4 비트의 제2 필드를 사용하여 구성하는 단계, RB 레벨 주파수 오프셋 및 RE 레벨 주파수 오프셋을 포함하는 MIB를 생성하는 단계, 및 PBCH를 통해 MIB를 UE에 송신하는 단계를 포함한다.

(52) CPC특허분류

H04L 5/0007 (2013.01)

H04L 5/0053 (2013.01)

H04W 72/044 (2013.01)

(72) 발명자

김영범

경기도 수원시 영통구 삼성로 129(매탄동)

김태형

경기도 수원시 영통구 삼성로 129(매탄동)

(30) 우선권주장

62/583,162 2017년11월08일 미국(US)

62/589,750 2017년11월22일 미국(US)

62/590,792 2017년11월27일 미국(US)

62/592,192 2017년11월29일 미국(US)

62/592,926 2017년11월30일 미국(US)

62/593,430 2017년12월01일 미국(US)

62/597,480 2017년12월12일 미국(US)

62/620,000 2018년01월22일 미국(US)

62/624,931 2018년02월01일 미국(US)

62/653,220 2018년04월05일 미국(US)

62/673,444 2018년05월18일 미국(US)

62/713,071 2018년08월01일 미국(US)

16/122,367 2018년09월05일 미국(US)

명세서

청구범위

청구항 1

무선 통신 시스템에서의 사용자 장비(user equipment, UE)에 있어서,

PBCH(physical broadcasting channel)를 통해 기지국(base station, BS)으로부터 마스터 정보 블록(master information block, MIB)을 수신하도록 구성되는 송수신기; 및

상기 송수신기에 동작 가능하게 연결되고, 수신된 상기 MIB로부터 주파수 오프셋을 결정하도록 구성되는 프로세서를 포함하며,

상기 주파수 오프셋은 SS/PBCH(synchronization signal/physical broadcast channel) 블록의 최하위 RE 및 RMSI(remaining minimum system information)에 대한 CORESET(control resource set)의 최하위 RE에 기초하여 결정되며,

상기 주파수 오프셋은 리소스 블록(resource block, RB) 레벨 주파수 오프셋 또는 리소스 요소(resource element, RE) 레벨 주파수 오프셋을 포함하고,

상기 RB 레벨 주파수 오프셋은, 상기 SS/PBCH 블록의 서브캐리어 간격(subcarrier spacing, SCS)과 상기 CORESET의 SCS의 조합을 위해, 4 비트의 제1 필드를 사용하여, 상기 SS/PBCH 블록과 상기 CORESET의 다중화 패턴, 상기 CORESET의 대역폭(bandwidth, BW), 및 상기 CORESET에 대한 심볼 개수와 함께 공동으로 구성되며, 또한

상기 RE 레벨 주파수 오프셋은 4 비트의 제2 필드를 사용하여 구성되는, 사용자 장비(user equipment, UE).

청구항 2

제1 항에 있어서,

상기 SS/PBCH 블록과 상기 CORESET의 다중화 패턴은,

상기 SS/PBCH 블록과 상기 CORESET이 서로 다른 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되도록 하는 제1 다중화 패턴;

상기 SS/PBCH 블록과 상기 CORESET이 서로 다른 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되지 않도록 하는 제2 다중화 패턴; 또는

상기 SS/PBCH 블록과 상기 CORESET이 동일한 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되지 않도록 하는 제3 다중화 패턴

중 적어도 하나를 포함하는, 사용자 장비(user equipment, UE).

청구항 3

제2 항에 있어서,

상기 제1 다중화 패턴에 대해,

$SCS_{SS} = 15 \text{ kHz}$, $SCS_{CORESET} = 15 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성이 0, 2 또는 4 RB 중 하나로 결정되고;

$SCS_{SS} = 15 \text{ kHz}$, $SCS_{CORESET} = 15 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 12 또는 16 RB 중 하나로 결정되고;

$SCS_{SS} = 15 \text{ kHz}$, $SCS_{CORESET} = 15 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 38 RB로 결정되고;

$SCS_{SS} = 15 \text{ kHz}$, $SCS_{CORESET} = 30 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 6, 7 또는 8 RB 중 하나로 결정되고;

$SCS_{SS} = 15 \text{ kHz}$, $SCS_{CORESET} = 30 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 18 또는 20 RB 중 하나로 결정되고;

$SCS_{SS} = 30 \text{ kHz}$, $SCS_{CORESET} = 15 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 2 또는 6 RB 중 하나로 결정되고;

$SCS_{SS} = 30 \text{ kHz}$, $SCS_{CORESET} = 15 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 28 RB로 결정되고;

$SCS_{SS} = 30 \text{ kHz}$, $SCS_{CORESET} = 30 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 0, 1, 2, 3 또는 4 RB 중 하나로 결정되고;

$SCS_{SS} = 30 \text{ kHz}$, $SCS_{CORESET} = 30 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 12, 14 또는 16 RB 중 하나로 결정되고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, RB 레벨 주파수 오프셋의 구성은 0 또는 8 RB 중 하나로 결정되고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 28 RB로 결정되고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 각각 0 또는 4 RB 중 하나로 결정되고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 14 RB로 결정되고;

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 0 또는 16 RB 중 하나로 결정되며; 또한

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성은 0 또는 8 RB 중 하나로 결정되는, 사용자 장비(user equipment, UE).

청구항 4

제2 항에 있어서,

상기 제2 다중화 패턴에 대해,

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닌 것으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -42 또는 49 RB 중 하나로 결정되고, 상기 구성된 RE 레벨 주파수 오프셋이 0으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -41 또는 49 RB 중 하나로 결정되고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닌 것으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -42 또는 97 RB 중 하나로 결정되고, 상기 구성된 RE 레벨 주파수 오프셋이 0으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -41 또는 97 RB 중 하나로 결정되고;

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닌 것으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -42 또는 25 RB 중 하나로 결정되고, 상기 구성된 RE 레

벨 주파수 오프셋이 0으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -41 또는 25 RB 중 하나로 결정되며; 또한

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닌 것으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -42 또는 49 RB 중 하나로 결정되고, 상기 구성된 RE 레벨 주파수 오프셋이 0으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -41 또는 49 RB 중 하나로 결정되며; 또한 상기 제3 다중화 패턴에 대해:

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닌 것으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -21 또는 24 RB 중 하나로 결정되고, 상기 구성된 RE 레벨 주파수 오프셋이 0으로 결정되면, 상기 RB 레벨 주파수 오프셋의 구성은 -20 또는 24 RB 중 하나로 결정되며; 또한

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닌 것으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -21 또는 48 RB 중 하나로 결정되고, 상기 구성된 RE 레벨 주파수 오프셋이 0으로 결정되면 상기 RB 레벨 주파수 오프셋의 구성은 -20 또는 48 RB 중 하나로 결정되는, 사용자 장비(user equipment, UE).

청구항 5

무선 통신 시스템에서의 기지국(base station, BS)에 있어서,

프로세서로서,

리소스 블록(resource block, RB) 레벨 주파수 오프셋 및 리소스 요소(resource element, RE) 레벨 주파수 오프셋을 포함하는 주파수 오프셋을 결정하고 - 상기 주파수 오프셋은 SS/PBCH(synchronization signal/physical broadcast channel) 블록의 최하위 RE 및 RMSI(remaining minimum system information)에 대한 CORESET(control resource set)의 최하위 RE에 기초하여 결정됨 -;

상기 SS/PBCH 블록의 서브캐리어 간격(SCS)과 상기 CORESET의 SCS의 조합을 위해, 4 비트의 제1 필드를 사용하여, 상기 SS/PBCH 블록과 상기 CORESET의 다중화 패턴, 상기 CORESET의 대역폭(bandwidth, BW) 및 상기 CORESET에 대한 심볼 개수와 함께 상기 RB 레벨 주파수 오프셋을 공동으로 구성하고;

4 비트의 제2 필드를 사용하여, 상기 RE 레벨 주파수 오프셋을 구성하고; 또한

상기 구성된 RB 레벨 주파수 오프셋 및 상기 구성된 RE 레벨 주파수 오프셋을 포함하는 마스터 정보 블록(MIB)을 생성하도록 구성되는, 상기 프로세서; 및

상기 프로세서에 동작 가능하게 연결되며, PBCH를 통해 상기 MIB를 사용자 장비(user equipment, UE)에 송신하도록 구성되는 송수신기

를 포함하는, 기지국(base station, BS).

청구항 6

제5 항에 있어서,

상기 SS/PBCH 블록과 상기 CORESET의 다중화 패턴은,

상기 SS/PBCH 블록과 상기 CORESET이 서로 다른 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되도록 하는 제1 다중화 패턴;

상기 SS/PBCH 블록과 상기 CORESET이 서로 다른 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되지 않도록 하는 제2 다중화 패턴; 또는

상기 SS/PBCH 블록과 상기 CORESET이 동일한 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되지 않도록 하는 제3 다중화 패턴

중 적어도 하나를 포함하는, 기지국(base station, BS).

청구항 7

제6 항에 있어서,

상기 제1 다중화 패턴에 대해, 상기 RB 레벨 주파수 오프셋은 다수의 구성들로 구성되며, 상기 구성들의 개수는 상기 SS/PBCH 블록의 SCS, 상기 CORESET의 SCS, 상기 CORESET의 대역폭, 상기 SS/PBCH 블록이 송신되는 캐리어의 대역폭, 및 상기 SS/PBCH 블록이 송신되는 상기 캐리어의 최소 캐리어 대역폭에 기초하여 결정되고, 다음의 수학적식에 의해 주어지며,

$$\lfloor (BW_{\text{carrier}}^{\text{min}} - BW_{\text{SS}} * SCS_{\text{SS}} / SCS_{\text{CORESET}}) / (BW_{\text{carrier}} - BW_{\text{CORESET}} + R_{\text{carrier}}) \rfloor$$

여기서 $BW_{\text{carrier}}^{\text{min}}$ 는 상기 캐리어의 최소 캐리어 대역폭이고, BW_{SS} 는 상기 SS/PBCH 블록의 대역폭이고, SCS_{SS} 는 상기 SS/PBCH 블록의 서브캐리어 간격이고, SCS_{CORESET} 는 상기 CORESET의 서브캐리어 간격이고, BW_{carrier} 는 상기 SS/PBCH이 송신되는 상기 캐리어의 대역폭이고, BW_{CORESET} 는 상기 CORESET의 대역폭이고, R_{carrier} 는 RB 레벨 캐리어 래스터인, 기지국(base station, BS).

청구항 8

제7 항에 있어서,

상기 제1 다중화 패턴에 대해,

$SCS_{\text{SS}} = 15 \text{ kHz}$, $SCS_{\text{CORESET}} = 15 \text{ kHz}$, $BW_{\text{CORESET}} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수가 3 이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 0, 2 및 4 RB이고;

$SCS_{\text{SS}} = 15 \text{ kHz}$, $SCS_{\text{CORESET}} = 15 \text{ kHz}$, $BW_{\text{CORESET}} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 2 이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 12 및 16 RB이고;

$SCS_{\text{SS}} = 15 \text{ kHz}$, $SCS_{\text{CORESET}} = 15 \text{ kHz}$, $BW_{\text{CORESET}} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 1 이고, 상기 RB 레벨 주파수 오프셋의 구성은 38 RB이고;

$SCS_{\text{SS}} = 15 \text{ kHz}$, $SCS_{\text{CORESET}} = 30 \text{ kHz}$, $BW_{\text{CORESET}} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 3 이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 6, 7, 8 RB이고;

$SCS_{\text{SS}} = 15 \text{ kHz}$, $SCS_{\text{CORESET}} = 30 \text{ kHz}$, $BW_{\text{CORESET}} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 2 이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 18 및 20 RB이고;

$SCS_{\text{SS}} = 30 \text{ kHz}$, $SCS_{\text{CORESET}} = 15 \text{ kHz}$, $BW_{\text{CORESET}} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 2 이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 2 및 6 RB이고;

$SCS_{\text{SS}} = 30 \text{ kHz}$, $SCS_{\text{CORESET}} = 15 \text{ kHz}$, $BW_{\text{CORESET}} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 1 이고, 상기 RB 레벨 주파수 오프셋의 구성은 28 RB이고;

$SCS_{\text{SS}} = 30 \text{ kHz}$, $SCS_{\text{CORESET}} = 30 \text{ kHz}$, $BW_{\text{CORESET}} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 5 이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 0, 1, 2, 3 및 4 RB이고;

$SCS_{\text{SS}} = 30 \text{ kHz}$, $SCS_{\text{CORESET}} = 30 \text{ kHz}$, $BW_{\text{CORESET}} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 3 이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 12, 14 및 16 RB이고;

$SCS_{\text{SS}} = 120 \text{ kHz}$, $SCS_{\text{CORESET}} = 60 \text{ kHz}$, $BW_{\text{CORESET}} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는

2이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 0 및 8 RB이고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 1이고, 상기 RB 레벨 주파수 오프셋의 구성은 28 RB이고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 2이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 0 및 4 RB이고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 1이고, 상기 RB 레벨 주파수 오프셋의 구성은 14 RB이고;

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 2이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 0 및 16 RB이며; 또한

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 RB 레벨 주파수 오프셋의 구성들의 개수는 2이고, 상기 RB 레벨 주파수 오프셋의 구성들은 각각 0 및 8 RB인, 기지국(base station, BS).

청구항 9

제6 항에 있어서,

상기 제2 다중화 패턴 대해 및 상기 SS/PBCH 블록의 SCS, 상기 CORESET의 SCS 및 상기 CORESET의 대역폭의 조합에 대해, 상기 RB 레벨 주파수 오프셋은 다수의 구성들로 구성되고, 상기 구성들의 개수는 2이며,

상기 RB 레벨 주파수 오프셋의 제1 구성은 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 $-BW_{SS} * SCS_{SS} / SCS_{CORESET} - 2$ 로 결정되고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 $-BW_{SS} * SCS_{SS} / SCS_{CORESET} - 1$ 로 결정되며, 또한 상기 RB 레벨 주파수 오프셋의 제2 구성은 $BW_{CORESET} + 1$ 로 결정되는, 기지국(base station, BS).

청구항 10

제9 항에 있어서,

상기 제2 다중화 패턴에 대해,

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -42 및 49 RB들이고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -41 및 49 RB들이고;

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 60 \text{ kHz}$, $BW_{CORESET} = 96 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -42 및 97 RB들이고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -41 및 97 RB들이고;

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -42 및 25 RB들이고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -41 및 25 RB들이며; 또한

$SCS_{SS} = 240 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -42 및 49 RB들이고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -41 및 49 RB들이며, 기지국(base station, BS).

청구항 11

제6 항에 있어서,

상기 제3 다중화 패턴에 대해, 및 상기 SS/PBCH 블록의 SCS, 상기 CORESET의 SCS 및 상기 CORESET의 대역폭의 조합에 대해, 상기 RB 레벨 주파수 오프셋은 다수의 구성들로부터 구성되고, 상기 구성들의 개수는 2이며,

상기 RB 레벨 주파수 오프셋의 제1 구성은 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 $-BW_{SS}-1$ 로 결정되고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 $-BW_{SS}$ 로 결정되며; 또한 상기 RB 레벨 주파수 오프셋의 제2 구성은 $BW_{CORESET}$ 으로 결정되는, 기지국(base station, BS).

청구항 12

제11 항에 있어서,

상기 제3 다중화 패턴에 대해,

$SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 24 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 -21 및 24 RB 들이고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -20 및 24 RB 들이며; 또한 $SCS_{SS} = 120 \text{ kHz}$, $SCS_{CORESET} = 120 \text{ kHz}$, $BW_{CORESET} = 48 \text{ RB}$ 의 경우, 상기 구성된 RE 레벨 주파수 오프셋이 0이 아닐 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 -21 및 48 RB 들이고, 상기 구성된 RE 레벨 주파수 오프셋이 0일 경우 상기 RB 레벨 주파수 오프셋의 상기 제1 및 제2 구성들은 각각 -20 및 48 RB 들인, 기지국(base station, BS).

청구항 13

무선 통신 시스템에서 기지국(base station, BS)의 방법에 있어서,

리소스 블록(resource block, RB) 레벨 주파수 오프셋 및 리소스 요소(resource element, RE) 레벨 주파수 오프셋을 포함하는 주파수 오프셋을 결정하는 단계 - 상기 주파수 오프셋은 SS/PBCH(synchronization signal/physical broadcast channel) 블록의 최하위 RE 및 RMSI(remaining minimum system information)에 대한 CORESET(control resource set)의 최하위 RE에 기초하여 결정됨 -;

상기 SS/PBCH 블록의 서브캐리어 간격(SCS)과 상기 CORESET의 SCS의 조합을 위해, 4 비트의 제1 필드를 사용하여, 상기 SS/PBCH 블록과 상기 CORESET의 다중화 패턴, 상기 CORESET의 대역폭(bandwidth, BW) 및 상기 CORESET에 대한 심볼 개수와 함께 상기 RB 레벨 주파수 오프셋을 공동으로 구성하는 단계;

4 비트의 제2 필드를 사용하여, 상기 RE 레벨 주파수 오프셋을 구성하는 단계;

상기 RB 레벨 주파수 오프셋 및 상기 RE 레벨 주파수 오프셋을 포함하는 마스터 정보 블록(MIB)을 생성하는 단계; 및

PBCH를 통해 상기 MIB를 사용자 장비(user equipment, UE)에 송신하는 단계

를 포함하는, 방법.

청구항 14

제13 항에 있어서,

상기 SS/PBCH 블록과 상기 CORESET의 다중화 패턴은,

상기 SS/PBCH 블록과 상기 CORESET이 서로 다른 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이

상기 CORESET의 대역폭과 중첩되도록 하는 제1 다중화 패턴;

상기 SS/PBCH 블록과 상기 CORESET이 서로 다른 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되지 않도록 하는 제2 다중화 패턴; 또는

상기 SS/PBCH 블록과 상기 CORESET이 동일한 시간 인스턴스들에서 발생하고, 상기 SS/PBCH 블록의 대역폭이 상기 CORESET의 대역폭과 중첩되지 않도록 하는 제3 다중화 패턴

중 적어도 하나를 포함하는, 방법.

청구항 15

제14 항에 있어서,

상기 제1 다중화 패턴에 대해, 상기 RB 레벨 주파수 오프셋들의 구성들의 개수는 상기 SS/PBCH 블록의 SCS, 상기 CORESET의 SCS, 상기 CORESET의 대역폭, 상기 SS/PBCH 블록이 송신되는 캐리어의 대역폭, 및 상기 SS/PBCH 블록이 송신되는 상기 캐리어의 최소 캐리어 대역폭에 기초하여 결정되고, 다음의 수학적식에 의해 주어지며,

$$\lceil (BW_{\text{carrier}}^{\text{min}} - BW_{\text{SS}} * SCS_{\text{SS}} / SCS_{\text{CORESET}}) / (BW_{\text{carrier}} - BW_{\text{CORESET}} + R_{\text{carrier}}) \rceil$$

여기서 $BW_{\text{carrier}}^{\text{min}}$ 는 상기 캐리어의 최소 캐리어 대역폭이고, BW_{SS} 는 상기 SS/PBCH 블록의 대역폭이고, SCS_{SS} 는 상기 SS/PBCH 블록의 서브캐리어 간격이고, SCS_{CORESET} 는 상기 CORESET의 서브캐리어 간격이고, BW_{carrier} 는 상기 SS/PBCH이 송신되는 상기 캐리어의 대역폭이고, BW_{CORESET} 는 상기 CORESET의 대역폭이고, R_{carrier} 는 RB 레벨 캐리어 래스터인, 방법.

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 무선 통신 시스템에 관한 것이며, 보다 구체적으로는, 개선된 무선 통신 시스템에서 RMSI(remaining minimum system information) 제어 리소스 세트(control resource set, CORESET) 구성에 관한 것이다.

배경 기술

[0002] 4G(4th generation) 통신 시스템 상용화 이후 증가 추세에 있는 무선 데이터 트래픽 수요를 충족시키기 위해, 개선된 5G 통신 시스템 또는 pre-5G 통신 시스템을 개발하기 위한 노력이 이루어지고 있다. 이러한 이유로, 5G 통신 시스템 또는 pre-5G 통신 시스템은 '비욘드(Beyond) 4G 네트워크' 또는 '포스트(Post) LTE 시스템'이라 불리어지고 있다.

[0003] 더 높은 데이터 전송률을 달성하기 위해, 5G 통신 시스템은 초고주파(mmWave) 대역(예를 들어, 60GHz 대역)에서의 구현이 고려되고 있다. 무선파의 전파 손실을 줄이고 송신 거리를 늘리기 위해, 5G 통신 시스템에서는 빔포밍(beamforming), 거대 배열 다중 입출력(massive MIMO), 전차원 다중입출력(Full Dimensional MIMO, FD-MIMO), 어레이 안테나(array antenna), 아날로그 빔포밍(analog beam forming), 및 대규모 안테나(large scale antenna) 기술들이 논의되고 있다.

[0004] 또한, 시스템 네트워크 개선을 위해, 5G 통신 시스템에서는 개선된 소형 셀(advanced small cell), 클라우드 무선 액세스 네트워크(cloud radio access network, cloud RAN), 초고밀도 네트워크(ultra-dense network), D2D(device-to-device) 통신, 무선 백홀(wireless backhaul), 이동 네트워크, 협력 통신, CoMP(Coordinated Multi-Points), 및 수신단 간섭 제거 등의 기술 개발이 이루어지고 있다.

[0005] 5G 시스템에서는, 진보된 코딩 변조(advanced coding modulation, ACM) 기술인 FQAM(hybrid frequency shift keying and quadrature amplitude modulation) 및 SWSC(sliding window superposition coding)와, 진보된 액세스 기술인 FBMC(filter bank multi carrier), NOMA(non-orthogonal multiple access), 및 SCMA(sparse code

multiple access) 등이 개발되고 있다.

[0006] 무선 통신 네트워크에서, 네트워크 액세스 및 무선 리소스 관리(radio resource management, RRM)는 물리 계층 동기화 신호 및 상위(MAC) 계층 절차에 의해 가능해진다. 특히, UE는 초기 액세스를 위해 적어도 하나의 셀 아이덴티피케이션(ID)과 함께 동기화 신호의 존재를 검출하려고 시도한다. UE가 네트워크에 있고 서빙 셀과 관련되고 나면, UE는 그들의 동기화 신호를 검출하고/하거나 연관된 셀 특정 기준 신호(reference signal, RS)를 측정함으로써 여러 인접 셀들을 모니터링한다. 3GPP-NR(제3 세대 파트너십 새로운 무선 액세스 또는 인터페이스)과 같은 차세대 셀룰러 시스템의 경우, eMBB(enhanced mobile broadband), URLLC(ultra reliable low latency), mMTC(massive machine type communication)(이들 각각은 상이한 커버리지 요건 및 상이한 전파 손실을 갖는 주파수 대역들에 대응함)와 같은 다양한 사용 케이스들에 대해 작동하는 효율적인 통합 무선 리소스 획득 또는 추적 메커니즘이 바람직하다. 상이한 네트워크 및 무선 리소스 패러다임으로 설계될 가능성이 높은, 심리스(seamless) 및 저-레이턴시 RRM이 또한 바람직하다.

발명의 내용

해결하려는 과제

[0007] 본 개시의 실시 예들은 개선된 무선 통신 시스템에서 새로운 무선(new radio, NR) 동기화 신호(synchronization signal, SS) 버스트 세트 설계를 제공한다.

과제의 해결 수단

[0008] 일 실시 예에서, 무선 통신 시스템에서 제어 정보 구성을 위한 사용자 장비(user equipment, UE)가 제공된다. UE는 PBCH(physical broadcasting channel)을 통해 기지국(base station, BS)으로부터 마스터 정보 블록(master information block, MIB)을 수신하도록 구성된 송수신기를 포함한다. UE는 송수신기에 동작 가능하게 연결된 프로세서를 더 포함하고, 프로세서는 수신된 MIB로부터 주파수 오프셋을 결정하도록 구성된다. 주파수 오프셋은 SS/PBCH(synchronization signal/physical broadcast channel) 블록의 최하위 RE 및 RMSI(remaining minimum system information)에 대한 제어 리소스 세트(control resource set, CORESET)의 최하위 RE에 기초하여 결정된다. 주파수 오프셋은 리소스 블록(resource block, RB) 레벨 주파수 오프셋 및 리소스 요소(resource element, RE) 레벨 주파수 오프셋을 포함한다. RB 레벨 주파수 오프셋은, SS/PBCH 블록의 서브캐리어 간격(subcarrier spacing, SCS)과 CORESET의 SCS의 조합을 위해, 4 비트의 제1 필드를 사용하여, SS/PBCH 블록과 CORESET의 다중화 패턴, CORESET의 대역폭(bandwidth, BW), 및 CORESET에 대한 심볼 개수와 함께 공동으로 구성된다. RE 레벨 주파수 오프셋은 4 비트의 제2 필드를 사용하여 구성된다.

[0009] 다른 실시 예에서, 무선 통신 시스템에서 제어 정보 구성을 위한 기지국(base station, BS)이 제공된다. BS는 프로세서를 포함하며, 이 프로세서는 리소스 블록(resource block, RB) 레벨 주파수 오프셋 및 리소스 요소(resource element, RE) 레벨 주파수 오프셋을 포함하는 주파수 오프셋을 결정하고 - 주파수 오프셋은 SS/PBCH(synchronization signal/physical broadcast channel) 블록의 최하위 RE 및 RMSI(remaining minimum system information)에 대한 CORESET(control resource set)의 최하위 RE에 기초하여 결정됨 -, SS/PBCH 블록의 서브캐리어 간격(SCS)과 CORESET의 SCS의 조합을 위해, 4 비트의 제1 필드를 사용하여, SS/PBCH 블록과 CORESET의 다중화 패턴, CORESET의 대역폭(bandwidth, BW) 및 CORESET에 대한 심볼 개수와 함께 RB 레벨 주파수 오프셋을 공동으로 구성하고, 4 비트의 제2 필드를 사용하여, RE 레벨 주파수 오프셋을 구성하고, 구성된 RB 레벨 주파수 오프셋 및 구성된 RE 레벨 주파수 오프셋을 포함하는 마스터 정보 블록(MIB)을 생성하도록 구성된다. BS는 프로세서에 동작 가능하게 연결된 송수신기를 더 포함하고, 이 송수신기는 PBCH를 통해 MIB를 사용자 장비(user equipment, UE)에 송신하도록 구성된다.

[0010] 또 다른 실시 예에서, 무선 통신 시스템에서 제어 정보 구성을 위한 기지국(base station, BS)의 방법이 제공된다. 방법은 리소스 블록(resource block, RB) 레벨 주파수 오프셋 및 리소스 요소(resource element, RE) 레벨 주파수 오프셋을 포함하는 주파수 오프셋을 결정하는 단계 - 주파수 오프셋은 SS/PBCH(synchronization signal/physical broadcast channel) 블록의 최하위 RE 및 RMSI(remaining minimum system information)에 대한 CORESET(control resource set)의 최하위 RE에 기초하여 결정됨 -, SS/PBCH 블록의 서브캐리어 간격(SCS)과 CORESET의 SCS의 조합을 위해, 4 비트의 제1 필드를 사용하여, SS/PBCH 블록과 CORESET의 다중화 패턴, CORESET의 대역폭(bandwidth, BW) 및 CORESET에 대한 심볼 개수와 함께 RB 레벨 주파수 오프셋을 공동으로 구성하는 단계, 4 비트의 제2 필드를 사용하여, RE 레벨 주파수 오프셋을 구성하는 단계, RB 레벨 주파수 오프셋 및

RE 레벨 주파수 오프셋을 포함하는 마스터 정보 블록(MIB)을 생성하는 단계, 및 PBCH를 통해 MIB를 사용자 장비(user equipment, UE)에 송신하는 단계를 포함한다.

[0011] 다른 기술적 특징들은 다음의 도면, 설명 및 청구 범위로부터 당업자에게 쉽게 명백해질 수 있다.

[0012] 아래의 상세한 설명에 들어가기 전에, 본 특허 명세서 전체에 걸쳐 사용되는 특정 단어 및 어구들의 정의를 기재하는 것이 유리할 수 있다. 용어 "커플(couple)" 및 그 파생어는 두 개 이상의 요소 사이의 어떤 직접 또는 간접 통신을 나타내거나, 이들 요소가 서로 물리적으로 접촉하고 있는지의 여부를 나타낸다. 용어 "송신(transmit)", "수신(receive)" 및 "통신(communicate)" 그리고 그 파생어는 직접 통신 및 간접 통신 모두를 포함한다. 용어 "포함한다(include)" 및 "구성한다(comprise)" 그리고 그 파생어는 제한이 아닌 포함을 의미한다. 용어 "또는(or)"은 포괄적 용어로서, '및/또는'을 의미한다. 어구 "~와 관련되다(associated with)" 및 그 파생어는 ~을 포함한다(include), ~에 포함된다(be included within), ~와 결합하다(interconnect with), ~를 함유하다(contain), ~에 함유되어 있다(be contained within), ~에 연결하다(connect to or with), ~와 결합하다(couple to or with), ~ 전달하다(be communicable with), 와 협력하다(cooperate with), ~를 끼우다(interleave), ~을 나란히 놓다(juxtapose), ~에 인접하다(be proximate to), 구속하다/구속되다(be bound to or with), 소유하다(have), 속성을 가지다(have a property of), ~와 관계를 가지다(have a relationship to or with) 등을 의미한다. 용어 "제어기(controller)"는 적어도 하나의 동작을 제어하는 어떤 장치, 시스템 또는 그 일부를 의미한다. 이러한 제어기는 하드웨어 또는 하드웨어와 소프트웨어의 조합 및/또는 펌웨어로 구현될 수 있다. 특정 제어기와 관련된 기능은 로컬 또는 원격으로 중앙 집중식으로 처리(centralized)되거나 또는 분산식으로 처리(distributed)될 수 있다. 어구 "적어도 하나"는, 그것이 항목들의 나열과 함께 사용될 경우, 나열된 항목들 중 하나 이상의 상이한 조합이 사용될 수 있음을 의미한다. 예를 들어, "A, B, 및 C 중 적어도 하나"는 다음의 조합, 즉 A, B, C, A와 B, A와 C, B와 C, 그리고 A와 B와 C 중 어느 하나를 포함한다.

[0013] 또한, 후술하는 각종 기능들은 컴퓨터 판독 가능한 프로그램 코드로 형성되고 컴퓨터 판독 가능한 매체에서 구현되는 하나 이상의 컴퓨터 프로그램 각각에 의해 구현 또는 지원될 수 있다. 용어 "애플리케이션" 및 "프로그램"은 하나 이상의 컴퓨터 프로그램, 소프트웨어 컴포넌트, 명령 세트, 프로시저, 함수, 객체, 클래스, 인스턴스, 관련 데이터, 혹은 적합한 컴퓨터 판독 가능한 프로그램 코드에서의 구현용으로 구성된 그것의 일부를 지칭한다. 어구 "컴퓨터 판독 가능한 프로그램 코드"는 소스 코드, 오브젝트 코드, 및 실행 가능한 코드를 포함하는 컴퓨터 코드의 종류를 포함한다. 어구 "컴퓨터 판독 가능한 매체"는 ROM(read only memory), RAM(random access memory), 하드 디스크 드라이브, 콤팩트 디스크(CD), 디지털 비디오 디스크(DVD), 혹은 임의의 다른 타입의 메모리와 같은, 컴퓨터에 의해 액세스될 수 있는 임의의 타입의 매체를 포함한다. "비-일시적인" 컴퓨터 판독 가능한 매체는 유선, 무선, 광학, 일시적인 전기적 또는 다른 신호들을 전달시키는 통신 링크를 제외한다. 비-일시적 컴퓨터 판독 가능한 매체는 데이터가 영구적으로 저장되는 매체 그리고 재기록이 가능한 광디스크 또는 소거 가능한 메모리 장치와 같은, 데이터가 저장되어 나중에 덮어 씌어지는 매체를 포함한다.

[0014] 다른 특정 단어 및 어구에 대한 정의가 이 특허 명세서 전반에 걸쳐 제공된다. 당업자는 대부분의 경우가 아니더라도 다수의 경우에 있어서, 이러한 정의는 종래에 뿐만 아니라 그러한 정의된 단어 및 어구의 향후 사용에 적용될 수 있음을 이해해야 한다.

발명의 효과

[0015] 본 개시의 다양한 실시 예들은 보다 효과적인 채널 측정 방식을 제공한다.

도면의 간단한 설명

[0016] 본 개시 및 그 이점에 대한 보다 완전한 이해를 위해, 이제 첨부 도면과 함께 취해지는 다음의 설명에 대한 참조가 이루어지며, 도면에서 유사한 참조 부호는 유사한 부분을 나타낸다.

도 1은 본 개시의 실시 예들에 따른 예시적인 무선 네트워크를 도시한 것이다.

도 2는 본 개시의 실시 예들에 따른 예시적인 eNB를 도시한 것이다.

도 3은 본 개시의 실시 예들에 따른 예시적인 UE를 도시한 것이다.

도 4a는 본 개시의 실시 예들에 따른 직교 주파수 분할 다중 액세스 송신 경로의 하이-레벨 다이어그램을 도시한 것이다.

도 4b는 본 개시의 실시 예들에 따른 직교 주파수 분할 다중 액세스 수신 경로의 하이-레벨 다이어그램을 도시

한 것이다.

도 5는 본 개시의 실시 예들에 따른 서브프레임에서 PDSCH에 대한 송신기 블록도를 도시한 것이다.

도 6은 본 개시의 실시 예들에 따른 서브프레임에서의 PDSCH에 대한 수신기 블록도를 도시한 것이다.

도 7은 본 개시의 실시 예들에 따른 서브프레임에서의 PUSCH에 대한 송신기 블록도를 도시한 것이다.

도 8은 본 개시의 실시 예들에 따른 서브프레임에서의 PUSCH에 대한 수신기 블록도를 도시한 것이다.

도 9는 본 개시의 실시 예들에 따른 2개의 슬라이스의 예시적인 멀티플렉싱을 도시한 것이다.

도 10은 본 개시의 실시 예들에 따른 예시적인 안테나 블록들을 도시한 것이다.

도 11은 본 개시의 실시 예들에 따른 예시적인 UE 이동성 시나리오를 도시한 것이다.

도 12는 본 개시의 실시 예에 따른 예시적인 빔 스위핑 동작을 도시한 것이다.

도 13a는 본 개시의 실시 예들에 따른 예시적인 TDM 다중화 패턴을 도시한 것이다.

도 13b는 본 개시의 실시 예들에 따른 예시적인 FDM 다중화 패턴을 도시한 것이다.

도 13c는 본 개시의 실시 예들에 따른 예시적인 하이브리드 TDM 및 FDM 다중화 패턴을 도시한 것이다.

도 14는 본 개시의 실시 예에 따른 TDM 다중화 패턴의 제1 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 15는 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제2 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 16은 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제3 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 17은 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제4 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 18은 본 개시의 실시 예에 따른 TDM 다중화 패턴의 제5 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 19는 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제6 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 20은 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제1 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 21은 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제2 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 22는 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제3 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 23은 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제4 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 24는 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제5 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 25는 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제6 케이스에 대한 주파수 오프셋의 예시적인 구성을 도시한 것이다.

도 26a는 본 개시의 실시 예들에 따른 $\{SS\ SCS, RMSI\ SCS, CH\ BW, CORESET\ BW\} = \{15\ kHz, 15\ kHz, 5\ MHz, 24\ PRB\}$ 의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 26b는 본 개시의 실시 예들에 따른 $\{SS\ SCS, RMSI\ SCS, CH\ BW, CORESET\ BW\} = \{15\ kHz, 30\ kHz, 5\ MHz, 12\ PRB\}$ 의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 26c는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 15 kHz, 10 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 26d는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 30 kHz, 10 MHz, 24 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시하고;

도 26e는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {120 kHz, 60 kHz, 50 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 26f는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {120 kHz, 120 kHz, 50 MHz, 24 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 26g는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {240 kHz, 120 kHz, 100 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 26h는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {240 kHz, 60 kHz, 100 MHz, 96 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 27a는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 15 kHz, 10 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 27b는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 15 kHz, 20 MHz, 96 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 27c는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 30 kHz, 10 MHz, 24 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 27d는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 30 kHz, 20 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 27e는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 15 kHz, 20 MHz, 96 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

도 27f는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 30 kHz, 20 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2$ 의 예시적인 구성을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하에 설명되는 도 1 내지 도 27f, 및 이 특허 명세서에 있어서의 본 개시의 원리들을 설명하기 위해 사용되는 각종 실시 예들은 오직 예시의 방법에 의한 것이며, 어떤 방식으로든 본 개시의 범위를 제한하는 것으로 해석되어서는 아니 된다. 본 개시의 원리들은 임의의 적절하게 구성된 시스템 또는 장치에서 구현될 수 있다는 것을 당업자는 이해할 수 있을 것이다.

[0018] 다음의 문헌들 및 표준 설명들 즉, 3GPP TS 36.211 v13.2.0, "E-UTRA, Physical channels and modulation;" 3GPP TS 36.212 v13.2.0, "E-UTRA, Multiplexing and Channel coding;" 3GPP TS 36.213 v13.2.0 "E-UTRA, Physical Layer Procedures;" 3GPP TS 36.321 v13.2.0, "E-UTRA, Medium Access Control(MAC) protocol specification;" 및 3GPP TS 36.331 v13.2.0, "E-UTRA, Radio Resource Control(RRC) protocol specification."은 본 명세서에서 완전히 설명된 것처럼 참조로서 본 개시에 통합된다.

[0019] 이하의 도 1 내지 도 4b에서는 OFDM(orthogonal frequency division multiplexing) 또는 OFDMA(orthogonal frequency division multiple access) 통신 기술들을 사용하여 무선 통신 시스템에서 구현되는 다양한 실시 예들에 대해 설명한다. 도 1 내지 도 3의 설명은 상이한 실시 예들이 구현될 수 있는 방식에 대한 물리적 또는 구조적 제한을 의미하지 않는다. 본 개시의 상이한 실시 예들은 임의의 적절하게 구성된 통신 시스템에 구현될 수도 있다.

[0020] 도 1은 본 개시의 실시 예들에 따른, 예시적 무선 네트워크를 도시한 것이다. 도 1에 나타난 무선 네트워크의 실시 예는 단지 설명을 위한 것이다. 무선 네트워크(100)에 대한 다른 실시 예들이 본 개시의 범주를 일탈하지 않는 범위 내에서 사용될 수 있다.

[0021] 도 1에 도시된 바와 같이, 무선 네트워크는 eNB(101), eNB(102), 및 eNB(103)을 포함한다. eNB(101)는

eNB(102) 및 eNB(103)과 통신한다. 또한, eNB(101)는 적어도 하나의 네트워크(130), 예를 들어, 인터넷, 전용 IP(Internet Protocol) 네트워크, 또는 다른 데이터 네트워크와도 통신한다.

[0022] eNB(102)는 eNB(102)의 커버리지 영역(120) 내에 있는 제1 복수의 사용자 장비(user equipment, UE)들에게, 네트워크(130)에의 무선 광대역 액세스를 제공한다. 제1 복수의 UE들은 중소기업(SB)에 위치할 수 있는 UE(111); 대기업(E)에 위치할 수 있는 UE(112); 와이파이 핫 스팟(HS)에 위치할 수 있는 UE(113); 제1 주거지역(R)에 위치할 수 있는 UE(114); 제2 주거지역(R)에 위치할 수 있는 UE(115); 및 휴대 전화, 무선 랩탑, 무선 PDA 등과 같은 모바일 장치(M)일 수 있는 UE(116)를 포함한다. eNB(103)은 eNB(103)의 커버리지 영역(125) 내에 있는 제2 복수의 UE들에게, 네트워크(130)에의 무선 광대역 액세스를 제공한다. 제2 복수의 UE들은 UE(115) 및 UE(116)를 포함한다. 몇몇 실시 예들에서, eNB들(101-103) 중 하나 이상의 eNB들은 5G, LTE, LTE-A, WiMAX, WiFi 또는 다른 무선 통신 기술들을 사용하여 서로 간에 및 UE들(111-116)과 통신할 수 있다.

[0023] 네트워크 타입에 따라 "기지국" 또는 "BS"라는 용어는 네트워크에 무선 액세스를 제공하도록 구성된 컴포넌트(또는 컴포넌트 집합), 예를 들면, 송신 포인트(TP), 송-수신 포인트(TRP), 향상된 기지국(eNodeB 또는 eNB), 5G 기지국(gNB), 매크로셀, 펌토셀, WiFi 액세스 포인트(AP) 또는 기타 무선 가능 장치를 지칭할 수 있다. 기지국은 하나 이상의 무선 통신 프로토콜, 예컨대 5G 3GPP 새로운 무선 인터페이스/액세스(NR), LTE(long term evolution), LTE-A(LTE-advanced), HSPA(high speed packet access), Wi-Fi 802.11a/b/g/n/ac 등에 따라 무선 액세스를 제공할 수 있다. 편의상, 용어 "BS" 및 "TRP"는 본 특허 명세서에서 원격 단말에 대한 무선 액세스를 제공하는 네트워크 인프라스트럭처를 나타내기 위해 상호 교환적으로 사용된다. 또한, 네트워크 타입에 따라, "사용자 장비" 또는 "UE"라는 용어는 "이동국", "가입자국", "원격 단말", "무선 단말", "단말", "수신 포인트" 또는 "사용자 장치"와 같은 임의의 컴포넌트를 지칭할 수 있다. 편의상, 용어들 "사용자 장비" 및 "UE"는, UE가 이동 장치(예컨대, 휴대 전화기 또는 스마트 폰)이든 일반적으로 고려되는 고정 장치(예컨대, 데스크탑 컴퓨터 또는 벤딩 머신)이든 간에, BS에 무선으로 액세스하는 원격 무선 장비를 지칭하는 것으로 본 특허 명세서에서 사용된다.

[0024] 점선은, 단지 예시 및 설명의 목적으로 대략의 원형으로 나타낸 커버리지 영역들(120 및 125)의 대략적인 범위들을 나타낸다. eNB들과 연관된 커버리지 영역들, 예를 들어 커버리지 영역들(120 및 125)은 eNB들의 구성, 및 자연 및 인공 장애물들과 관련된 무선 환경의 변화에 따라, 불규칙한 형태들을 포함하는 다른 형태들을 가질 수 있음을 명확하게 이해해야 한다.

[0025] 아래에서 더 상세히 설명되는 바와 같이, UE들(111-116) 중 하나 이상은 개선된 무선 통신 시스템에서 효율적인 NR RMSI CORESET 구성을 위한 회로, 프로그래밍 또는 이들의 조합을 포함한다. 특정 실시 예들에서, eNB들(101-103) 중 하나 이상은 개선된 무선 통신 시스템에서 NR RMSI CORESET 구성을 위한 회로, 프로그래밍 또는 이들의 조합을 포함한다.

[0026] 도 1이 무선 네트워크의 일 예를 도시한 것이지만, 다양한 변화들이 도 1에 대하여 이루어질 수 있다. 예를 들어, 무선 네트워크는 임의의 적절한 배열로 임의의 개수의 eNB들 및 임의의 개수의 UE들을 포함할 수 있다. 또한, eNB(101)는 임의의 개수의 UE들과 직접 통신하여, 이 UE들에게 네트워크(130)로의 무선 광대역 액세스를 제공할 수 있다. 이와 유사하게, 각 eNB(102-103)은 네트워크(130)와 직접 통신하여, UE들에게 네트워크(130)로의 직접 무선 광대역 액세스를 제공할 수 있다. 또한, eNB들(101, 102, 및/또는 103)은 외부 전화 네트워크들 또는 다른 타입의 데이터 네트워크들과 같은 다른 또는 추가의 외부 네트워크들에의 액세스를 제공할 수 있다.

[0027] 도 2는 본 개시의 실시 예들에 따른, 예시적 eNB(102)를 도시한 것이다. 도 2에 도시된 eNB(102)의 실시 예는 단지 설명을 위한 것이며, 도 1의 eNB들(101 및 103)은 동일하거나 유사한 구성을 가질 수 있다. 그러나, eNB들은 각종의 다양한 구성들로 이루어지며, 도 2는 eNB에 대한 임의의 특정 구현으로 본 개시의 범위를 제한하지 않는다.

[0028] 도 2에 도시된 바와 같이, eNB(102)는 복수의 안테나들(205a-205n), 복수의 RF 송수신기들(210a-210n), 송신(TX) 처리 회로(215), 및 수신(RX) 처리 회로(220)를 포함한다. 또한, eNB(102)는 컨트롤러/프로세서(225), 메모리(230), 백홀 또는 네트워크 인터페이스(235)를 포함한다.

[0029] RF 송수신기들(210a-210n)은, 안테나들(205a-205n)으로부터, 네트워크(100) 내에서 UE들에 의해 송신되는 신호들과 같은 내향(incoming) RF 신호들을 수신한다. RF 송수신기들(210a-210n)은 내향 RF 신호들을 하향 변환(down-convert)하여, IF 또는 기저대역 신호들을 생성한다. IF 또는 기저대역 신호들은, 기저대역 또는 IF 신호들을 필터링하고, 디코딩하고, 및/또는 디지털화하는 것에 의하여 처리된 기저대역 신호들을 생성하는 RX 처

리 회로(220)로 전송된다. RX 처리 회로(220)는 이 처리된 기저대역 신호들을, 추가의 처리를 위하여 컨트롤러/프로세서(225)로 송신한다.

- [0030] TX 처리 회로(215)는, 컨트롤러/프로세서(225)로부터 아날로그 또는 디지털 데이터(예컨대, 음성 데이터, 웹 데이터, 이-메일, 또는 쌍방향 비디오 게임 데이터)를 수신한다. TX 처리 회로(215)는, 외향(outgoing) 기저대역 데이터를 인코딩, 멀티플렉싱, 및/또는 디지털화하여, 처리된 기저대역 또는 IF 신호들을 생성한다. RF 송수신기들(210a-210n)은 TX 처리 회로(215)로부터, 외향 처리된 기저대역 또는 IF 신호들을 수신하고, 그 기저대역 또는 IF 신호들을, 안테나들(205a-205n)을 통해 송신되는 RF 신호들로 상향 변환한다.
- [0031] 컨트롤러/프로세서(225)는 eNB(102)의 전반적인 동작을 제어하는 하나 이상의 프로세서들 또는 다른 처리 장치들을 포함할 수 있다. 예를 들어, 컨트롤러/프로세서(225)는, 잘 알려진 원리들에 따라 RF 송수신기들(210a-210n), RX 처리 회로(220), 및 TX 처리 회로(215)에 의해 순방향 채널 신호들의 수신 및 역방향 채널 신호들의 송신을 제어할 수 있다. 컨트롤러/프로세서(225)는 보다 개선된 무선 통신 기능들과 같은 추가 기능들도 지원할 수 있다. 예를 들어, 컨트롤러/프로세서(225)는 복수의 안테나들(205a-205n)로부터의 외향 신호들이 원하는 방향으로 효과적으로 조종하기 위해 다르게 가중 처리되는 빔포밍 또는 지향성 라우팅 동작들을 지원할 수 있다. 다양한 다른 기능들 중 임의의 기능이 컨트롤러/프로세서(225)에 의해 eNB(102)에서 지원될 수 있다.
- [0032] 또한, 컨트롤러/프로세서(225)는 메모리(230)에 상주하는 프로그램들 및 다른 프로세스들, 예를 들어 OS를 실행할 수 있다. 컨트롤러/프로세서(225)는 실행 프로세스에 의한 요구에 따라 데이터를 메모리(230) 내로 또는 외부로 이동시킬 수 있다.
- [0033] 또한, 컨트롤러/프로세서(225)는 백홀 또는 네트워크 인터페이스(235)에 커플링된다. 백홀 또는 네트워크 인터페이스(235)는, eNB(102)가 백홀 연결을 통해 또는 네트워크를 통해 다른 장치들 또는 시스템들과 통신하는 것을 가능하게 한다. 인터페이스(235)는 임의의 적절한 유선 또는 무선 연결(들)을 통한 통신들을 지원할 수 있다. 예를 들어, eNB(102)가 셀룰러 통신 시스템(예컨대, 5G, LTE, 또는 LTE-A를 지원하는 것)의 일부로서 구현되는 경우, 인터페이스(235)는, eNB(102)가 유선 또는 무선 백홀 연결을 통해 다른 eNB들과 통신하는 것을 가능하게 할 수 있다. eNB(102)가 액세스 포인트로서 구현되는 경우, 인터페이스(235)는, eNB(102)가 유선 또는 무선 로컬 영역 네트워크를 통해 또는 유선 또는 무선 연결을 통해 더 큰 네트워크(예컨대, 인터넷)로 전송하는 것을 가능하게 한다. 인터페이스(235)는 유선 또는 무선 연결, 예를 들어 이더넷 또는 RF 송수신기를 통한 통신들을 지원하는 임의의 적절한 구조를 포함한다.
- [0034] 메모리(230)는 컨트롤러/프로세서(225)에 커플링된다. 메모리(230)의 일부는 RAM을 포함할 수 있으며, 메모리(230)의 다른 일부는 플래시 메모리 또는 다른 ROM을 포함할 수 있다.
- [0035] 도 2가 eNB(102)의 일 예를 도시하고 있지만, 다양한 변화들이 도 2에 대하여 이루어질 수 있다. 예를 들어, eNB(102)는 도 2에 나타난 각 컴포넌트에 대한 임의의 개수를 포함할 수 있다. 일 특정 예로서, 액세스 포인트는 다수의 인터페이스들(235)을 포함할 수 있고, 컨트롤러/프로세서(225)는 상이한 네트워크 주소들 사이에서 데이터를 라우팅하는 라우팅 기능들을 지원할 수 있다. 다른 특정 예로서, 단일 인스턴스의 TX 처리 회로(215) 및 단일 인스턴스의 RX 처리 회로(220)를 포함하는 것으로 도시되어 있지만, eNB(102)는 각각에 대한 복수의 인스턴스들을 포함할 수 있다(예컨대, RF 송수신기당 하나). 또한, 도 2의 각종 컴포넌트들이 조합되거나, 더 세분화되거나, 생략될 수 있으며, 특정 필요들에 따라 추가의 컴포넌트들이 부가될 수도 있다.
- [0036] 도 3은 본 개시의 실시 예들에 따른, 예시적 UE(116)를 도시한 것이다. 도 3에 도시된 UE(116)의 실시 예는 단지 설명을 위한 것이며, 도 1의 UE들(111-115)은 동일하거나 유사한 구성을 가질 수 있다. 그러나, UE들은 각종의 다양한 구성들로 이루어지며, 도 3은 UE에 대한 임의의 특정 구현으로 본 개시의 범위를 제한하지 않는다.
- [0037] 도 3에 도시된 바와 같이, UE(116)는 안테나(305), 무선 주파수(radio frequency, RF) 송수신기(310), TX 처리 회로(315), 마이크로폰(320), 및 수신(RX) 처리 회로(325)를 포함한다. 또한, UE(116)는 스피커(330), 프로세서(340), 입/출력(I/O) 인터페이스(IF)(345), 터치스크린(350), 디스플레이(355), 및 메모리(360)를 포함한다. 메모리(360)는 운영 체제(OS)(361) 및 하나 이상의 애플리케이션들(362)을 포함한다.
- [0038] RF 송수신기(310)는 네트워크(100)의 eNB에 의해 송신되는 내향 RF 신호를 안테나(305)로부터 수신한다. RF 송수신기(310)는 내향 RF 신호를 하향-변환하여, 중간 주파수(intermediate frequency, IF) 또는 기저대역 신호를 생성한다. IF 또는 기저대역 신호는, 그 기저대역 또는 IF 신호를 필터링하고, 디코딩하고, 및/또는 디지털화하는 것에 의해 처리된 기저대역 신호를 생성하는 RX 처리 회로(325)로 전송된다. RX 처리 회로(325)는 그 처리된 기저대역 신호를, 스피커(330)로 송신하거나(예컨대, 음성 데이터), 또는 추가 처리를 위해 프로세서

(340)로 송신한다(예컨대, 웹 브라우징 데이터).

- [0039] TX 처리 회로(315)는 마이크로폰(320)으로부터 아날로그 또는 디지털 음성 데이터를 수신하거나 또는 프로세서(340)로부터 다른 외향 기저대역 데이터(예컨대, 웹 데이터, 이-메일, 또는 쌍방향 비디오 게임 데이터)를 수신한다. TX 처리 회로(315)는 그 외향 기저대역 데이터를 인코딩, 멀티플렉싱, 및/또는 디지털화하여, 처리된 기저대역 또는 IF 신호를 생성한다. RF 송수신기(310)는 TX 처리 회로(315)로부터 외향 처리된 기저대역 또는 IF 신호를 수신하고, 그 기저대역 또는 IF 신호를, 안테나(305)를 통해 송신되는 RF 신호로 상향 변환한다.
- [0040] 프로세서(340)는 하나 이상의 프로세서들 또는 다른 처리 장치들을 포함할 수 있으며, 메모리(360)에 저장된 OS(361)를 실행함으로써 UE(116)의 전반적인 동작을 제어할 수 있다. 예를 들어, 프로세서(340)는 잘 알려진 원리들에 따라 RF 송수신기(310), RX 처리 회로(325), 및 TX 처리 회로(315)에 의해 순방향 채널 신호들의 수신 및 역방향 채널 신호들을 송신을 제어할 수 있다. 몇몇 실시 예들에서, 프로세서(340)는 적어도 하나의 마이크로프로세서 또는 마이크로컨트롤러를 포함한다.
- [0041] 또한, 프로세서(340)는 메모리(360)에 상주하는 다른 프로세스들 및 프로그램들을 실행할 수 있다. 프로세서(340)는 실행 프로세스에 의한 요구에 따라 메모리(360) 내로 또는 외부로 데이터를 이동할 수 있다. 몇몇 실시 예들에서, 프로세서(340)는 OS(361)에 기초하여 또는 eNB들 또는 오퍼레이터로부터 수신된 신호들에 따라 애플리케이션들(362)을 실행하도록 구성된다. 또한, 프로세서(340)는, 랩탑 컴퓨터 및 휴대용 컴퓨터와 같은 다른 장치들에 연결되는 능력을 UE(116)에게 제공하는 I/O 인터페이스(345)에 커플링되어 있다. I/O 인터페이스(345)는 이 주변기기들과 프로세서(340) 간의 통신 경로이다.
- [0042] 또한, 프로세서(340)는 터치스크린(350) 및 디스플레이(355)에 커플링된다. UE(116)의 오퍼레이터는 터치스크린(350)을 사용하여 UE(116)에 데이터를 입력할 수 있다. 디스플레이(355)는 예를 들어, 웹 사이트들로부터의 텍스트 및/또는 적어도 제한된 그래픽들을 렌더링할 수 있는 액정 표시 장치, 발광 다이오드 디스플레이, 또는 다른 디스플레이일 수 있다.
- [0043] 메모리(360)는 프로세서(340)에 커플링된다. 메모리(360)의 일부는 랜덤 액세스 메모리(RAM)를 포함할 수 있으며, 메모리(360)의 다른 일부는 플래시 메모리 또는 다른 판독 전용 메모리(ROM)를 포함할 수 있다.
- [0044] 도 3이 UE(116)의 일 예를 도시하고 있지만, 다양한 변화들이 도 3에 대하여 이루어질 수 있다. 예를 들어, 도 3의 각종 컴포넌트들은 조합되거나, 더 세분화되거나, 생략될 수 있으며, 특정 필요들에 따라 추가 컴포넌트들이 추가될 수도 있다. 일 특정 예로서, 프로세서(340)는 복수의 프로세서들, 예를 들어 하나 이상의 중앙 처리 유닛(CPU)들 및 하나 이상의 그래픽 처리 유닛(GPU)들로 분할될 수 있다. 또한, 도 3이 모바일 전화기나 스마트 폰과 같이 구성된 UE(116)를 도시하고 있지만, UE들은 다른 타입의 모바일 또는 고정 장치들로서 동작하도록 구성될 수도 있다.
- [0045] 도 4a는 송신 경로 회로의 하이-레벨 다이어그램이다. 예를 들어, 송신 경로 회로는 OFDMA(orthogonal frequency division multiple access) 통신을 위해 사용될 수 있다. 도 4b는 수신 경로 회로의 하이-레벨 다이어그램이다. 예를 들어, 수신 경로 회로는 OFDMA(orthogonal frequency division multiple access) 통신을 위해 사용될 수 있다. 도 4a 및 도 4b에서, 다운링크 통신의 경우, 송신 경로 회로는 기지국(eNB)(102) 또는 중계국에서 구현될 수 있으며, 수신 경로 회로는 사용자 장비(예컨대, 도 1의 사용자 장비(116))에서 구현될 수 있다. 다른 예들에서, 업링크 통신의 경우, 수신 경로 회로(450)는 기지국(예컨대, 도 1의 eNB(102)) 또는 중계국에서 구현될 수 있으며, 송신 경로 회로는 사용자 장비(예컨대, 도 1의 사용자 장비(116))에서 구현될 수 있다.
- [0046] 송신 경로 회로는 채널 코딩 및 변조 블록(405), 직렬-병렬(S-to-P) 블록(410), 사이즈 N 역 고속 푸리에 변환(Inverse Fast Fourier Transform, IFFT) 블록(415), 병렬-직렬(P-to-S) 블록(420), 가산 사이클릭 프리픽스 블록(425), 및 업-컨버터(up-converter, UC)(430)를 포함한다. 수신 경로 회로(450)는 다운-컨버터(down-converter, DC)(455), 제거 사이클릭 프리픽스 블록(460), 직렬-병렬(S-to-P) 블록(465), 사이즈 N 고속 푸리에 변환(Fast Fourier Transform, FFT) 블록(470), 병렬-직렬(P-to-S) 블록(475), 및 채널 디코딩 및 복조 블록(480)을 포함한다.
- [0047] 도 4a(400) 및 도 4b(450)에서의 컴포넌트들 중 적어도 몇몇은 소프트웨어로 구현될 수 있는 한편, 다른 컴포넌트들은 설정 가능한 하드웨어 또는 소프트웨어와 설정 가능한 하드웨어의 혼합에 의해 구현될 수도 있다. 특히, 본 개시의 명세서에서 설명되는 FFT 블록들 및 IFFT 블록들은 구성 가능한 소프트웨어 알고리즘들로서 구현될 수 있으며, 여기서 사이즈 N의 값은 그 구현에 따라 변경될 수 있음에 유의한다.

- [0048] 또한, 본 개시가 고속 푸리에 변환 및 역 고속 푸리에 변환을 구현하는 실시 예에 관한 것이지만, 이것은 단지 예시에 의한 것일 뿐이며, 본 개시의 범위를 한정하는 것으로 해석되어서는 아니 된다. 본 개시의 다른 실시 예들에서는, 고속 푸리에 변환 함수들 및 역 고속 푸리에 변환 함수들이 이산 푸리에 변환(DFT) 함수들 및 역 이산 푸리에 변환(IDFT) 함수들로 각각 용이하게 대체될 수도 있음을 이해할 것이다. DFT 및 IDFT 함수들의 경우, 변수 N의 값은 임의의 정수(예컨대, 1, 2, 3, 4 등)가 될 수 있으며, FFT 및 IFFT 함수들의 경우, 변수 N의 값은 2의 거듭 제곱(즉, 1, 2, 4, 8, 16 등)인 임의의 정수가 될 수 있음을 이해할 것이다.
- [0049] 송신 경로 회로(400)에서, 채널 코딩 및 변조 블록(405)은 정보 비트들의 세트를 수신하여, 코딩(예컨대, LDPC 코딩)을 적용하고, 그 입력 비트들을 변조(예컨대, QPSK(Quadrature Phase Shift Keying) 또는 QAM(Quadrature Amplitude Modulation))함으로써, 주파수-영역 변조 심볼들의 시퀀스를 생성한다. 직렬-병렬 블록(410)은 직렬 변조된 심볼들을 병렬 데이터로 변환(즉, 역다중화)하여 N 병렬 심볼 스트림들을 생성하며, 여기서 N은 BS(102) 및 UE(116)에서 사용되는 IFFT/FFT 크기이다. 그 후에, 사이즈 N IFFT 블록(415)은 N 병렬 심볼 스트림들 상에서 IFFT 동작을 수행하여, 시간-영역 출력 신호들을 생성한다. 병렬-직렬 블록(420)은 사이즈 N IFFT 블록(415)로부터의 병렬 시간-영역 출력 심볼들을 변환(즉, 다중화)하여, 직렬 시간-영역 신호를 생성한다. 그 후에, 가산 사이클릭 프리픽스 블록(425)은 시간-영역 신호에 사이클릭 프리픽스를 삽입한다. 마지막으로, 업-컨버터(430)는 무선 채널을 통한 송신을 위해 가산 사이클릭 프리픽스 블록(425)의 출력을 RF 주파수로 변조(즉, 상향 변환)한다. 또한, 이 신호는 RF 주파수로 변환하기 이전에, 기저대역에서 필터링될 수도 있다.
- [0050] 송신된 RF 신호는 무선 채널을 통과한 이후에 UE(116)에 도달하여, eNB(102)에서의 동작들에 대한 역 동작들이 수행된다. 다운-컨버터(455)는 수신된 신호를 기저대역 주파수로 하향 변환하며, 제거 사이클릭 프리픽스 블록(460)은 그 사이클릭 프리픽스를 제거하여, 직렬 시간-영역 기저대역 신호를 생성한다. 직렬-병렬 블록(465)은 시간-영역 기저대역 신호를 병렬 시간-영역 신호들로 변환한다. 그 후에, 사이즈 N FFT 블록(470)은 FFT 알고리즘을 수행하여 N 병렬 주파수-영역 신호들을 생성한다. 병렬-직렬 블록(475)은 병렬 주파수-영역 신호들을 변조된 데이터 심볼들의 시퀀스로 변환한다. 채널 디코딩 및 복조 블록(480)은 그 변조된 심볼들에 대한 복조를 행한 후에 디코딩함으로써, 원래의 입력 데이터 스트림을 복구한다.
- [0051] eNB들(101-103) 각각은 사용자 장비(111-116)로의 다운링크 송신과 유사한 송신 경로를 구현할 수 있으며, 사용자 장비(111-116)로부터의 업링크 수신과 유사한 수신 경로를 구현할 수도 있다. 이와 유사하게, 사용자 장비(111-116) 각각은 eNB들(101-103)로의 업링크 송신을 위한 아키텍처에 대응하는 송신 경로를 구현할 수 있으며, eNB들(101-103)로부터의 다운링크 수신을 위한 아키텍처에 대응하는 수신 경로를 구현할 수도 있다.
- [0052] 5G 통신 시스템 사용 케이스들이 확인되고 설명되었다. 이러한 사용 케이스들은 크게 세 가지 그룹으로 분류될 수 있다. 일 예로, eMBB(enhanced mobile broadband)는 보다 덜 엄격한 레이턴시 및 신뢰성 요구사항들로 높은 bits/sec 요구사항이 수행되도록 결정된다. 다른 예에 있어서, URLL(ultra-reliable and low latency)은 보다 덜 엄격한 bits/sec 요구사항으로 결정된다. 또 다른 예에 있어서, mMTC(massive machine type communication)는 장치들의 개수가 km² 당 십만에서 백만에 달할 수 있지만 신뢰성/처리량/레이턴시 요구사항은 보다 덜 엄격할 수 있도록 결정된다. 이러한 시나리오는 또한 배터리 소모가 가능한 최소화되어야 한다는 점에서 전력 효율 요구사항을 포함할 수도 있다.
- [0053] 통신 시스템은 기지국(base station, BS) 또는 NodeB와 같은 송신 포인트로부터 사용자 장비(user equipment, UE)로 신호를 전달하는 다운링크(DL), 및 UE로부터의 신호를 NodeB와 같은 수신 포인트로 전달하는 업링크(UL)를 포함한다. 또한 일반적으로 단말기 또는 이동국으로서 지칭되는 UE는 고정식 또는 이동식일 수 있으며, 셀룰러 폰, 개인용 컴퓨터 장치 또는 자동화된 장치일 수 있다. 일반적으로 고정국인 eNodeB는 또한 액세스 포인트 또는 다른 동등한 용어로서 지칭될 수 있다. LTE 시스템의 경우, NodeB는 종종 eNodeB로서 지칭된다.
- [0054] LTE 시스템과 같은 통신 시스템에서, DL 신호는 정보 콘텐츠를 전달하는 데이터 신호, DL 제어 정보(DCI)를 전달하는 제어 신호 및 파일럿 신호로서도 알려진 기준 신호(RS)를 포함할 수 있다. eNodeB는 물리 DL 공유 채널(physical DL shared channel, PDSCH)을 통해 데이터 정보를 송신한다. eNodeB는 물리 DL 제어 채널(physical DL control channel, PDCCH) 또는 EPDCCH(Enhanced PDCCH)를 통해 DCI를 송신한다.
- [0055] eNodeB는 물리적 하이브리드 ARQ 인디케이터 채널(physical hybrid ARQ indicator channel, PHICH)에서 UE로부터의 데이터 전송 블록(transport block, TB) 송신에 응답하여 확인 응답 정보를 송신한다. eNodeB는 UE-공통 RS(common RS, CRS), 채널 상태 정보 RS(channel state information RS, CSI-RS) 또는 복조 RS(demodulation RS, DMRS)를 포함하는 다수의 RS 타입 중 하나 이상을 송신한다. CRS는 DL 시스템 대역폭(bandwidth, BW)을 통해 송신되며, 채널 추정치를 획득하여 데이터 또는 제어 정보를 복조하거나 측정을 수행하기 위해 UE에 의해

사용될 수 있다. CRS 오버헤드를 줄이기 위해, eNodeB는 CRS보다 시간 및/또는 주파수 도메인에서 더 작은 밀도로 CSI-RS를 송신할 수 있다. DMRS는 각각의 PDSCH 또는 EPDCCH의 BW에서만 송신될 수 있고, UE는 PDSCH 또는 EPDCCH에서 각각 데이터 또는 제어 정보를 복조하기 위해 DMRS를 사용할 수 있다. DL 채널에 대한 송신 시간 간격은 서브프레임이라 불리며, 예를 들어 1 밀리초의 듀레이션(duration)을 가질 수 있다.

[0056] DL 신호는 또한 시스템 제어 정보를 반송하는 논리 채널의 송신을 포함한다. BCCH는 마스터 정보 블록(master information block, MIB)을 전달할 때에는 브로드캐스트 채널(broadcast channel, BCH)로서 지칭되거나, 시스템 정보 블록(System Information Block, SIB)을 전달할 때에는 DL 공유 채널(DL-SCH)로서 지칭되는 전송 채널에 매핑된다. 대부분의 시스템 정보는 DL-SCH를 사용하여 송신되는 상이한 SIB에 포함된다. 서브프레임에서의 DL-SCH 상의 시스템 정보의 존재는 시스템 정보 RNTI(system information RNTI, SI-RNTI)로 스크램블링된 CRC(cyclic redundancy check)로 코드워드를 전달하는 상응하는 PDCCH의 송신에 의해 나타내어질 수 있다. 대안적으로, SIB 송신을 위한 스케줄링 정보가 이전의 SIB에 제공될 수 있고, 제1 SIB(SIB-1)에 대한 스케줄링 정보가 MIB에 의해 제공될 수 있다.

[0057] DL 리소스 할당은 서브프레임 유닛과 물리 리소스 블록(PRB) 그룹에서 수행된다. 송신 BW는 리소스 블록(resource block, RB)으로서 지칭되는 주파수 리소스 유닛을 포함한다. 각각의 RB는 N_{sc}^{RB} 서브캐리어 또는 12개의 RE와 같은 리소스 요소(resource element, RE)를 포함한다. 하나의 서브프레임에 걸친 하나의 RB의 유닛은 PRB로서 지칭된다. UE에는 PDSCH 송신 BW에 대한 총 $M_{sc}^{PDSCH} = M_{PDSCH} \cdot N_{sc}^{RB}$ RE에 대해 M_{PDSCH} RB가 할당될 수 있다.

[0058] UL 신호는 데이터 정보를 전달하는 데이터 신호, UL 제어 정보(UCI)를 전달하는 제어 신호 및 UL RS를 포함할 수 있다. UL RS는 DMRS 및 SRS(Sounding RS)를 포함한다. UE는 각각의 PUSCH 또는 PUCCH의 BW에서만 DMRS를 송신한다. eNodeB는 DMRS를 사용하여 데이터 신호 또는 UCI 신호를 복조할 수 있다. UE는 SRS를 송신하여 eNodeB에 UL CSI를 제공한다. UE는 각각의 물리 UL 공유 채널(PUSCH) 또는 물리 UL 제어 채널(PUCCH)을 통해 데이터 정보 또는 UCI를 송신한다. UE가 동일한 UL 서브프레임에서 데이터 정보 및 UCI를 송신할 필요가 있는 경우, UE는 둘 다를 PUSCH에서 멀티플렉싱할 수 있다. UCI는 PDSCH에서의 데이터 TB에 대한 정확한(ACK) 또는 부정확한(NACK) 탐지 또는 PDCCH 탐지(DTX)의 부재를 나타내는 HARQ-ACK(Hybrid Automatic Repeat request acknowledgement) 정보, UE는 eNodeB가 UE로의 PDSCH 송신을 위해 링크 적응을 수행할 수 있게 하는 UE의 버퍼 내의 데이터, 랭크 인디케이터(rank indicator, RI) 및 채널 상태 정보(channel state information, CSI)를 갖는지를 나타내는 스케줄링 요청(scheduling request, SR)을 포함한다. HARQ-ACK 정보는 또한 반영구적으로 스케줄링된 PDSCH의 해제를 나타내는 PDCCH/EPDCCH의 탐지에 응답하여 UE에 의해 송신된다.

[0059] UL 서브프레임은 2개의 슬롯을 포함한다. 각각의 슬롯은 데이터 정보, UCI, DMRS 또는 SRS를 송신하기 위한 N_{symb}^{UL} 심볼을 포함한다. UL 시스템 BW의 주파수 리소스 유닛은 RB이다. UE에는 송신 BW에 대한 총 $N_{RB} \cdot N_{sc}^{RB}$ RE에 대한 N_{RB} RB가 할당된다. PUCCH의 경우, $N_{RB}=1$ 이다. 마지막 서브프레임 심볼은 하나 이상의 UE로부터 SRS 송신을 멀티플렉싱하는데 사용될 수 있다. 데이터/UCI/DMRS 송신에 이용 가능한 서브프레임 심볼의 수는 $N_{symb} = 2 \cdot (N_{symb}^{UL} - 1) - N_{SRS}$ 이며, 여기서 마지막 서브프레임 심볼이 SRS를 송신하는데 사용될 경우에는 $N_{SRS}=1$ 이고, 그렇지 않으면, $N_{SRS}=0$ 이다.

[0060] 도 5는 본 개시의 실시 예들에 따른 서브프레임에서 PDSCH에 대한 송신기 블록도(500)를 도시한 것이다. 도 5에 도시된 송신기 블록도(500)의 실시 예는 단지 예시를 위한 것이다. 도 5는 본 개시의 범위를 송신기 블록도(500)의 임의의 특정 구현으로 제한하지 않는다.

[0061] 도 5에 도시된 바와 같이, 정보 비트(510)는 터보 인코더와 같은 인코더(520)에 의해 인코딩되고, 예를 들어 QPSK(Quadrature Phase Shift Keying) 변조를 사용하여 변조기(530)에 의해 변조된다. 직렬/병렬(S/P) 변환기(540)는 할당된 PDSCH 송신 BW에 대해 송신 BW 선택 유닛(555)에 의해 선택된 RE들에 매핑되도록 매핑(550)에 후속적으로 제공되는 M개의 변조 심볼들을 생성하고, 유닛(560)은 IFFT(Inverse Fast Fourier Transform)를 적용하고, 그 후 출력이 시간 도메인 신호를 생성하도록 병렬/직렬(P/S) 변환기(570)에 의해 직렬화되고, 필터링이 필터(580)에 의해 적용되며, 신호가 송신된다(590). 데이터 스크램블링(data scrambling), 사이클릭 프리픽스 삽입(cyclic prefix insertion), 시간 윈도우(time windowing), 인터리빙(interleaving) 등과 같은 추가적인 기능들은 본 기술 분야에 잘 알려져 있으며, 간결성을 위해 도시되지 않는다.

- [0062] 도 6은 본 개시의 실시 예들에 따른 서브프레임에서의 PDSCH에 대한 수신기 블록도(600)를 도시한 것이다. 도 6에 도시된 다이어그램(600)의 실시 예는 단지 예시를 위한 것이다. 도 6은 본 개시의 범위를 다이어그램(600)의 임의의 특정 구현으로 제한하지 않는다.
- [0063] 도 6에 도시된 바와 같이, 수신된 신호(610)가 필터(620)에 의해 필터링되고, 할당된 수신 BW에 대한 RE(630)가 BW 선택기(635)에 의해 선택되며, 유닛(640)이 고속 푸리에 변환(FFT)을 적용하고, 출력이 병렬/직렬 변환기(650)에 의해 직렬화된다. 후속적으로, 복조기(660)가 DMRS 또는 CRS(도시되지 않음)로부터 얻어진 채널 추정치를 적용함으로써 데이터 심볼들을 코히어런트하게(coherently) 복조하고, 터보 디코더와 같은 디코더(670)가, 복조된 데이터를 디코딩하여 정보 데이터 비트들(680)의 추정치를 제공한다. 시간 윈도우잉, 사이클릭 프리픽스 제거, 디스크램블링, 채널 추정 및 디인터리빙과 같은 부가적인 기능은 간결성을 위해 도시되지 않는다.
- [0064] 도 7은 본 개시의 실시 예들에 따른 서브프레임에서의 PUSCH에 대한 송신기 블록도(700)를 도시한 것이다. 도 7에 도시된 블록도(700)의 실시 예는 단지 예시를 위한 것이다. 도 7은 본 개시의 범위를 블록도(700)의 임의의 특정 구현으로 제한하지 않는다.
- [0065] 도 7에 도시된 바와 같이, 정보 데이터 비트들(710)이 터보 인코더와 같은 인코더(720)에 의해 인코딩되고, 변조기(730)에 의해 변조된다. 이산 푸리에 변환(DFT) 유닛(740)이, 변조된 데이터 비트들에 대하여 DFT를 적용하고, 할당된 PUSCH 송신 BW에 대응하는 RE들(750)이 송신 BW 선택 유닛(755)에 의해 선택되고, 유닛(760)이 IFFT를 적용하고, 사이클릭 프리픽스 삽입(도시되지 않음) 후에, 필터링이 필터(770)에 의해 적용되어, 신호가 송신된다(780).
- [0066] 도 8은 본 개시의 실시 예들에 따른 서브프레임에서의 PUSCH에 대한 수신기 블록도(800)를 도시한 것이다. 도 8에 도시된 블록도(800)의 실시 예는 단지 예시를 위한 것이다. 도 8은 본 개시의 범위를 블록도(800)의 임의의 특정 구현으로 제한하지 않는다.
- [0067] 도 8에 도시된 바와 같이, 수신된 신호(810)가 필터(820)에 의해 필터링된다. 후속적으로, 사이클릭 프리픽스가 제거된 후(도시되지 않음), 유닛(830)이 FFT를 적용하고, 할당된 PUSCH 수신 BW에 상응하는 RE(840)가 수신 BW 선택기(845)에 의해 선택되며, 유닛(850)이 역 DFT(IDFT)를 적용하고, 복조기(860)가 DMRS(도시되지 않음)로부터 얻어진 채널 추정치를 적용함으로써 데이터 심볼들을 코히어런트하게 복조하고, 터보 디코더와 같은 디코더(870)가, 복조된 데이터를 디코딩하여 정보 데이터 비트들(880)의 추정치를 제공한다.
- [0068] 차세대 셀룰러 시스템에서는, 다양한 사용 케이스들이 LTE 시스템의 능력 이상으로 구상된다. 5G 또는 5세대 셀룰러 시스템이라고 하는 6GHz 이하(sub-6GHz) 및 6GHz 이상(above-6 GHz)(예를 들어, mmWave 체제(regime))에서 동작할 수 있는 시스템은 이러한 요건들 중 하나가 된다. 3GPP TR 22.891에서, 74 5G 사용 케이스들이 식별되고 설명되었다. 이러한 사용 케이스들은 대략 세 가지 상이한 그룹으로 분류될 수 있다. 제1 그룹은 'eMBB(enhanced mobile broadband)'로 불리며, 이는 덜 엄격한 대기 시간 및 신뢰성 요건들을 가진 높은 데이터 속도 서비스들을 목표로 한다. 제2 그룹은 "URLL(ultra reliable and low latency)"로 불리며, 이는 덜 엄격한 데이터 속도 요건들을 갖지만, 대기 시간에 대한 허용이 적은 응용을 목표로 한다. 제3 그룹은 "mMTC(massive MTC)"로 불리며, 이는 신뢰성, 데이터 속도 및 대기 시간 요건들이 덜 엄격한 km² 당 1 백만과 같은 많은 저파워 디바이스 연결들을 목표로 한다.
- [0069] 5G 네트워크가 상이한 서비스 품질(quality of service, QoS)을 가진 다양한 서비스들을 지원하기 위해, 네트워크 슬라이싱(network slicing)이라는 하나의 방법이 LTE 사양에서 식별되었다. PHY 리소스들을 효율적으로 활용하여 DL-SCH에서 (상이한 리소스 할당 방식, 뉴머롤로지 및 스케줄링 전략을 갖는) 다양한 슬라이스들을 멀티플렉싱하기 위해, 유연하고 독립적인(self-contained) 프레임 또는 서브프레임 설계가 활용된다.
- [0070] 도 9는 본 개시의 실시 예들에 따른 2개의 슬라이스(900)의 예시적인 멀티플렉싱을 도시한 것이다. 도 9에 도시된 2개의 슬라이스(900)의 멀티플렉싱의 실시 예는 단지 예시를 위한 것이다. 도 9는 본 개시의 범위를 2개의 슬라이스(900)의 멀티플렉싱의 임의의 특정 구현으로 제한하지 않는다.
- [0071] 공통 서브프레임 또는 프레임 내에 있는 2개의 슬라이스를 멀티플렉싱하는 2개의 예시적인 인스턴스(instance)가 도 9에 도시되어 있다. 이러한 예시적인 실시 예들에서, 슬라이스는 하나의 송신 인스턴스가 제어(CTRL) 컴포넌트(예를 들어, 920a, 960a, 960b, 920b 또는 960c) 및 데이터 컴포넌트(예를 들어, 930a, 970a, 970b, 930b 또는 970c)를 포함하는 하나 또는 2개의 송신 인스턴스로 구성될 수 있다. 실시 예(910)에서는, 2개의 슬라이스가 주파수 도메인에서 멀티플렉싱되는 반면에, 실시 예(950)에서는 2개의 슬라이스가 시간 도메인에서 멀티플렉싱된다. 이러한 2개의 슬라이스는 상이한 뉴머롤로지 세트에 송신될 수 있다.

- [0072] LTE 사양은 eNB에 (64 또는 128과 같은) 많은 수의 안테나 요소들을 장착할 수 있는 최대 32개의 CSI-RS 안테나 포트를 지원한다. 이 경우에, 복수의 안테나 요소들이 하나의 CSI-RS 포트 상에 매핑된다. 5G와 같은 차세대 셀룰러 시스템의 경우, CSI-RS 포트의 최대 수는 동일하게 유지되거나 증가할 수 있다.
- [0073] 도 10은 본 개시의 실시 예들에 따른 예시적인 안테나 블록(1000)을 도시한 것이다. 도 10에 도시된 안테나 블록(1000)의 실시 예는 단지 예시를 위한 것이다. 도 10은 본 개시의 범위를 안테나 블록(1000)의 임의의 특정 구현으로 제한하지 않는다.
- [0074] mmWave 대역의 경우, 안테나 요소들의 개수가 주어진 폼 팩터(form factor)에 대해 더 클 수 있지만, 디지털 프리코딩된 포트들의 개수에 상응하는 CSI-RS 포트들의 개수는 도 10에 도시된 바와 같이 (mmWave 주파수에서 많은 수의 ADC/DAC를 설치할 가능성과 같은) 하드웨어 제약으로 인해 제한되는 경향이 있다. 이 경우, 하나의 CSI-RS 포트가 아날로그 위상 시프터들의 बैं크(bank)에 의해 제어될 수 있는 다수의 안테나 요소들로 매핑된다. 그러면, 하나의 CSI-RS 포트는 아날로그 빔포밍을 통해 좁은 아날로그 빔을 생성하는 하나의 서브어레이에 상응할 수 있다. 이러한 아날로그 빔은 심볼들 또는 서브프레임들에 걸쳐서 위상 시프터 बैं크를 변화시킴으로써 더 넓은 범위의 각도에 걸쳐서 스위프하도록 구성될 수 있다. (RF 체인들의 개수와 동일한) 서브어레이들의 개수는 CSI-RS 포트들의 개수 $N_{\text{CSI-PORT}}$ 와 동일하다. 디지털 빔포밍 유닛은 $N_{\text{CSI-PORT}}$ 아날로그 빔들에 걸쳐 선형 조합을 수행하여 프리코딩 이득을 더증가시킨다. 아날로그 빔들은 광대역(따라서 주파수 선택적이 아님)이지만, 디지털 프리코딩은 주파수 서브대역들 또는 리소스 블록들에 걸쳐 변화될 수 있다.
- [0075] 3GPP LTE 통신 시스템에서, 네트워크 액세스 및 무선 리소스 관리(radio resource management, RRM)는 물리 계층 동기화 신호들 및 상위(MAC) 계층 절차들에 의해 가능해진다. 특히, UE는 초기 액세스를 위해 적어도 하나의 셀 ID와 함께 동기화 신호들의 존재를 검출하려고 시도하게 된다. UE가 네트워크에 있고 어느 서빙 셀과 연관되면, UE는 그들의 동기화 신호들을 검출하려고 시도하고/하거나 연관된 셀-특정 RS들을 측정(예를 들어, 그들의 RSRP를 측정)함으로써 수 개의 인접 셀들을 모니터링한다. 3GPP NR(새로운 무선 액세스 또는 인터페이스)과 같은 차세대 셀룰러 시스템들의 경우, 다양한 사용 케이스들(예를 들면, eMBB, URLLC, mMTC, 각각 상이한 커버리지 요구 사항에 해당함) 및 주파수 대역들(상이한 전파 손실들을 가짐)에 적용되는 효율적이고 통합된 무선 리소스 획득 또는 추적 메커니즘이 바람직하다. 상이한 네트워크 및 무선 리소스 패러다임으로 설계될 가능성이 높은, 심리스이면서 저-레이턴시의 RRM이 또한 바람직하다. 이러한 목표들은 액세스, 무선 리소스 및 이동성 관리 프레임워크를 설계함에 있어서 적어도 다음과 같은 문제점들을 갖는다.
- [0076] 첫째, NR은 훨씬 더 다양한 네트워크 토폴로지를 지원할 가능성이 있기 때문에, 셀의 개념이 재정의되거나 다른 무선 리소스 엔티티로 대체될 수 있다. 예를 들어, 동기식 네트워크들의 경우, LTE 사양에서의 COMP(coordinated multipoint transmission) 시나리오와 유사하게 하나의 셀이 복수의 TRP(transport-receive point)들과 연관될 수 있다. 이 경우에는, 심리스한 이동성이 바람직한 특징이다.
- [0077] 둘째, 대형 안테나 어레이들 및 빔포밍이 이용될 경우, 빔들에 의해(예를 들어, 공간 도메인 필터와는 다르게 지칭될 수도 있음) 무선 리소스를 정의하는 것이 자연스러운 접근법일 수 있다. 다수의 빔포밍 아키텍처가 이용될 수 있다는 것을 고려하면, 다양한 빔포밍 아키텍처(또는 대신에, 빔포밍 아키텍처와 무관)를 수용하는 액세스, 무선 리소스 및 이동성 관리 프레임워크가 바람직하다.
- [0078] 도 11은 본 개시의 실시 예들에 따른 예시적인 UE 이동성 시나리오(1100)를 도시한 것이다. 도 11에 도시된 UE 이동성 시나리오(1100)의 실시 예는 단지 예시를 위한 것이다. 도 11은 UE 이동성 시나리오(1100)의 임의의 특정 구현으로 본 개시의 범위를 제한하지 않는다.
- [0079] 예를 들어, 이 프레임워크는 하나의 빔이 하나의 CSI-RS 포트에 대해 형성되는지(예를 들어, 복수의 아날로그 포트가 하나의 디지털 포트에 연결되고, 복수의 광범위하게 분리된 디지털에 적용되는지) 또는 하나의 빔이 복수의 CSI-RS 포트들에 의해 형성되는지의 여부에 따라 또는 그에 관계없이 적용될 수 있다. 또한, 이 프레임워크는 빔 스위핑(도 11에 도시된 바와 같이)의 사용 여부에 관계없이 적용될 수 있다.
- [0080] 셋째, 상이한 주파수 대역들 및 사용 케이스들은 상이한 커버리지 제한 사항들을 갖게 된다. 예를 들어, mmWave 대역들은 큰 전파 손실을 발생시킨다. 따라서, 몇몇 형태의 커버리지 강화 방식이 필요하게 된다. 몇몇 후보는 빔 스위핑(도 10에 도시됨), 반복, 다이버시티 및/또는 다중 TRP 송신을 포함한다. 송신 대역폭이 작은 mMTC의 경우, 충분한 커버리지를 보장하기 위해서는 시간 도메인 반복이 필요하게 된다.
- [0081] 2 레벨의 무선 리소스 엔티티를 이용하는 UE-중심 액세스가 도 11에 설명되어 있다. 이러한 2 레벨은 "셀(cell)"과 "빔(beam)"으로 지칭될 수 있다. 이 두 용어는 예시적인 것으로서 예시적인 목적을 위해 사용된다.

무선 리소스(radio resource, RR) 1 및 2와 같은 다른 용어들이 또한 사용될 수 있다. 또한, 무선 리소스 유닛으로서의 "빔"이라는 용어는 예를 들어 도 10의 빔 스위핑에 사용되는 아날로그 빔과 구별되어야 한다.

[0082] 도 11에 도시된 바와 같이, 제1 RR 레벨("셀"이라 칭함)은 UE가 네트워크에 진입하여 초기 액세스 절차에 관여할 때 적용된다. 1110에서, UE(1111)는 동기화 신호들의 존재를 검출하는 것을 포함하는 초기 액세스 절차를 수행한 후 셀(1112)에 연결된다. 동기화 신호들은 대략적인 타이밍 및 주파수 획득뿐만 아니라 서빙 셀과 관련된 셀 아이덴티피케이션(셀 ID)을 검출하는데 사용될 수 있다. 이러한 제1 레벨에서, 상이한 셀들이 상이한 셀 ID들과 연관된 것일 수 있기 때문에 UE는 셀 경계들을 관찰한다. 도 11에서는, 하나의 셀이 하나의 TRP와 연관되어 있다(일반적으로는, 하나의 셀이 복수의 TRP들과 연관될 수 있음). 셀 ID가 MAC 계층 엔티티이므로, 초기 액세스는 물리 계층 절차(들)(예를 들면, 동기화 신호 획득을 통한 셀 탐색)뿐만 아니라 MAC 계층 절차(들)도 포함하게 된다.

[0083] 제2 RR 레벨("빔"이라 칭함)은 UE가 셀에 이미 연결되어 네트워크에 있을 때 적용된다. 이 제2 레벨에서, UE(1111)는 실시 예(1150)에 도시된 바와 같이 셀 경계들을 관찰함 없이 네트워크 내에서 이동할 수 있다. 즉, UE 이동성은 셀 레벨이 아닌 빔 레벨에서 처리되며, 여기서 하나의 셀은 N 개의 빔과 연관될 수 있다(N은 1 또는 >1일 수 있음). 그러나, 셀과는 다르게, 빔은 물리 계층 엔티티이다. 따라서, UE 이동성 관리는 물리 계층에서만 처리된다. 제2 레벨(RR)에 기초한 UE 이동성 시나리오의 예가 도 11의 실시 예(1150)에 주어지 있다.

[0084] UE(1111)가 서빙 셀(1112)과 연관된 이후에, UE(1111)는 또한 빔(1151)과 연관된다. 이것은 UE가 그로부터 빔 아이덴티티 또는 아이덴티피케이션을 획득할 수 있는 빔 또는 무선 리소스(radio resource, RR) 획득 신호를 얻는 것에 의하여 달성된다. 빔 또는 RR 획득 신호의 일 예는 측정 기준 신호(reference signal, RS)이다. 빔(또는 RR) 획득 신호를 획득하면, UE(1111)는 네트워크 또는 관련 TRP에게 상태를 보고할 수 있다. 이러한 보고의 일 예는 측정된 빔 전력(또는 측정 RS 전력) 또는 하나 이상의 추천된 "빔 아이덴티티(identity, ID)" 또는 "RR-ID" 세트를 포함한다. 이 보고에 기초하여, 네트워크 또는 관련 TRP는 데이터 및 제어 송신을 위해 빔(무선 리소스로서)을 UE(1111)에게 할당할 수 있다. UE(1111)가 다른 셀로 이동할 때, 이전 셀과 다음 셀 사이의 경계는 UE(1111)에게 관찰 또는 보이지 않는다. 셀 핸드오버 대신에, UE(1111)는 빔(1151)에서 빔(1152)으로 스위칭한다. 이러한 심리스 이동성(seamless mobility)은 UE(711)로부터 네트워크 또는 관련 TRP로의 보고에 의해 가능하게 된다 - 특히 UE(1111)가 M 개의 빔(또는 RR) 획득 신호를 획득 및 측정함으로써 M>1개의 선택된 빔 아이덴티티 세트를 보고할 경우.

[0085] 도 12는 본 개시의 실시 예들에 따른 예시적인 빔 스위핑 동작(1200)을 도시한 것이다. 도 12에 도시된 빔 스위핑 동작(1200)의 실시 예는 단지 예시를 위한 것이다. 도 12는 빔 스위핑 동작(1200)의 임의의 특정 구현으로 본 개시의 범위를 제한하지 않는다.

[0086] 도 12에 도시된 바와 같이, UE의 관점에서 전술한 초기 액세스 절차(1210) 및 전술한 이동성 또는 무선 리소스 관리(1220)가 설명된다. 초기 액세스 절차(1210)는 DL 동기화 신호(들)(1211)로부터의 셀 ID 획득뿐만 아니라 브로드캐스트 정보의 검색(DL 및 UL 연결을 확립하기 위해 UE에 의해 요구되는 시스템 정보와 함께) 및 그 다음의 UL 동기화(랜덤 액세스 절차를 포함할 수 있음)를 포함한다. UE가 1211 및 1212를 완료하면, UE는 네트워크에 연결되어 어느 셀과 연관된다. 초기 액세스 절차 완료 이후에, UE(가능하게는 모바일)는 1220에서 설명된 RRM 상태에 있게 된다. 이 상태는 우선 UE가 "빔" 또는 RR 획득 신호(예를 들면, 측정 RS)로부터 "빔" 또는 RR ID를 주기적으로(반복적으로) 획득하려고 시도할 수 있는 획득 단계(1221)를 포함한다.

[0087] UE에는 모니터링할 빔/RR ID들의 리스트가 구성될 수 있다. 이러한 "빔"/RR ID들의 리스트는 TRP/네트워크에 의해서 업데이트 또는 재구성될 수 있다. 이러한 구성은 상위 계층(예를 들면, RRC) 시그널링 또는 전용 L1 또는 L2 제어 채널을 통해 시그널링될 수 있다. 이 리스트에 기초하여, UE는 이러한 빔/RR ID들 각각과 관련된 신호를 모니터링 및 측정할 수 있다. 이러한 신호는 LTE 시스템에서의 CSI-RS 리소스와 유사한 측정 RS 리소스에 대응할 수 있다. 이 경우, UE에는 모니터링할 K>1개 CSI-RS 리소스 세트가 구성될 수 있다. 측정 보고(1222)에는 몇 가지 옵션이 가능할 수 있다. 첫째, UE는 K개의 CSI-RS 리소스 각각을 측정하고, 대응하는 RS 전력(LTE 시스템에서의 RSRP 또는 RSRQ와 유사)을 계산하고, 이 RS 전력을 TRP(또는 네트워크)에 보고할 수 있다. 둘째, UE는 K개의 CSI-RS 리소스 각각을 측정하고, 연관된 CSI(CQI 및 잠재적으로는 다른 CSI 파라미터들, 예컨대 RI 및 PMI를 포함할 수 있음)를 계산하고, 이 CSI를 TRP(또는 네트워크)에 보고할 수 있다. UE로부터의 보고에 기초하여, UE에는 상위 계층(RRC) 시그널링 또는 L1/L2 제어 시그널링을 통해 M≥1개의 "빔" 또는 RR이 할당된다(1223). 따라서, UE는 이들 M개의 "빔"/RR에 연결된다.

[0088] 비동기식 네트워크와 같은 특정 시나리오들의 경우, UE는 3GPP LTE 시스템과 유사한 셀 ID 기반 또는 셀-레벨

이동성 관리로 폴백할 수 있다. 따라서, 무선 리소스 엔티티(셀)의 2 레벨들 중의 하나의 레벨만이 적용될 수 있다. 2-레벨("셀" 및 "빔") 무선 리소스 엔티티 또는 관리가 이용될 경우, 동기화 신호(들)는 주로 네트워크에 대한 초기 액세스용으로 설계될 수 있다. 공통 신호들(예를 들면, 동기화 신호(들) 및 브로드캐스트 채널)의 커버리지를 강화시키기 위해 아날로그 빔 스위핑(도 12에 도시됨) 또는 반복이 사용될 수 있는 mmWave 시스템들의 경우, 동기화 신호들이 시간에 따라 반복될 수 있다(예를 들면, OFDM 심볼 또는 슬롯 또는 서브프레임 전반에 걸쳐). 그러나, 이러한 반복 팩터는 셀 또는 TRP 당 지원되는 "빔"(무선 리소스 유닛들로서 정의되며, 빔 스위핑에 사용되는 아날로그 빔들과는 구별됨)의 개수와 반드시 상관되지는 않는다. 따라서, 빔 아이덴티피케이션(ID)이 동기화 신호(들)로부터 획득되거나 검출되지 않는다. 대신에, 빔 ID는 측정 RS와 같은 빔(RR) 획득 신호에 의해 반송된다. 마찬가지로, 빔(RR) 획득 신호는 셀 ID를 반송하지 않는다(따라서, 셀 ID가 빔 또는 RR 획득 신호로부터 검출되지 않음).

[0089] 따라서, 새로운 무선 액세스 기술(NR)에 대한 초기 액세스 절차 및 RRM에서의 상기한 새로운 도전 과제를 고려하여, 동기화 신호들(관련된 UE 절차들과 함께) 및 브로드캐스트 정보(예를 들면, 마스터 정보 블록 또는 MIB)를 반송하는 프라이머리 브로드캐스트 채널을 설계할 필요가 있다.

[0090] LTE NR의 경우, 동기화 신호들 및 PBCH 블록(NR-SS/PBCH 블록)은 eMBB 목적으로 및 면허 대역들만을 위해 설계된다. 각각의 NR-SS/PBCH 블록은 NR-PSS에 대한 하나의 심볼, 주파수 도메인에서 NR-PBCH의 일부와 다중화되는 NR-SSS에 대한 하나의 심볼 및 나머지 NR-PBCH에 대한 두 개의 심볼을 절충하며, 여기서 이 4개의 심볼은 연속적으로 매핑되어 시분할 다중화된다.

[0091] NR-SS/PBCH는 NR의 모든 지원되는 캐리어 주파수 범위에 대한 NR-PSS 및 NR-SSS 시퀀스 설계를 포함하는, 통합된 설계이다. NR-PSS 및 NR-SSS의 송신 대역폭(예를 들면, 12 PRB)은 NR-PBCH의 송신 대역폭(예를 들면, 20 PRB)보다 작으며, NR-SS/PBCH 블록의 전체 송신 대역폭은 NR-PBCH의 것(예를 들면, 20 PRB)과 동일하다. NR의 초기 셀 선택에서, UE는 디폴트 NR-SS/PBCH 버스트 세트 주기를 20 ms로 가정하며, 비독립형 NR 셀들을 검출하기 위해, 네트워크는 주파수 캐리어 당 하나의 NR-SS/PBCH 버스트 세트 주기 정보를 UE에게 제공하고 가능한 경우에는 측정 타이밍/듀레이션을 도출하기 위한 정보를 제공한다.

[0092] NR 비면허 스펙트럼(공유 스펙트럼 포함)의 경우, 채널 액세스의 불확실성으로 인해, NR-SS/PBCH 블록의 송신은 LBT(listen-before-talk)에서의 CCA(clear channel assessment) 결과에 따라서 취소되거나 지연될 수 있다. V2X 사이드링크 동기화 또는 URLLC 시스템의 경우, 동기화 지연 요구 사항은 LTE NR보다 훨씬 제한적이므로, NR-SS/PBCH 블록들의 더 많은 조합을 피하고 동기화 레이턴시를 줄이기 위해 원-샷 검출에서 보다 정확한 동기화 성능이 필요하게 된다. MTC 또는 IoT 시스템들의 경우, 운영 SNR 영역은 LTE NR보다 훨씬 낮으므로, 약한 커버리지 문제를 피하기 위해 더 나은 원-샷 검출 성능이 필요하게 된다.

[0093] 전술한 시스템들 중 적어도 하나에 있어서, 이들 시스템에 대한 동기화 신호들이 LTE NR에서와 동일하게 유지될 경우에는, 성능(예를 들어, 검출 정확도 및 동기화 레이턴시)이 저하될 수 있다. 따라서, 전술한 시스템들 중 적어도 하나에 대한 NR-SS/PBCH 블록 강화 및/또는 수정이 필요하다(다른 시스템이 본 개시에서 논의된 것과 동일하거나 상이한 강화 방식들을 사용할 수도 있음). 예를 들어, 강화 및/또는 수정은 예컨대 비면허 스펙트럼에 대한, 채널 액세스 기회를 증가시키는 것을 목표로 할 수 있다. 또한 예를 들어, 강화 및/또는 수정은 예컨대 비면허/V2X/URLLC/MTC/IoT 시스템에 대한, 셀 검색 및/또는 브로드캐스팅의 원-샷 검출 정확도를 향상시키는 것을 목표로 할 수 있다.

[0094] 주요한 설계 고려 사항은 상이한 응용 시나리오들(이 시나리오들은 서로 다른 캐리어 주파수 범위들, 독립형 또는 비독립형 등을 포함함)에 대해 통합된 강화 NR-SS/PBCH 블록 설계(예를 들어, 강화된 NR-SS/PBCH 블록에서의 구성 및/또는 매핑 및/또는 다중화)를 채택할지 여부이다.

[0095] 일 실시 예에서는, 강화된 NR-SS/PBCH 블록에서의 구성/매핑/다중화의 설계가 모든 캐리어 주파수 범위(예를 들어, 5 GHz, 6 GHz 및 60 GHz의 비면허 스펙트럼들이 동일한 설계를 사용함)에 대해 그리고 독립형 및 비독립형 시나리오들 모두에 대해 통합될 수 있다. 통합된 설계는 검출기 복잡성을 최소화하는데 도움이 된다. 강화된 NR-SS/PBCH 블록의 통합 설계는 강화된 NR-SS/PBCH 블록의 송신 주기 및/또는 LBT에 대하여 가능한 다른 설계를 배제하지 않는다는 점에 유의한다. 예를 들어, 강화된 NR-SS/PBCH 블록에서 동일한 구성/매핑/다중화를 이용하지만, 서로 다른 송신 주기 및/또는 LBT 절차(적용 가능한 경우)가 상이한 캐리어 주파수 범위들 및/또는 독립형 및 비독립형 시나리오들에 이용될 수 있다.

[0096] 다른 실시 예에서는, 강화된 NR-SS/PBCH 블록에서의 구성/매핑/다중화의 설계가 모든 캐리어 주파수 범위들에

대해 통합(예를 들어, 5 GHz, 6 GHz 및 60 GHz의 비면허 스펙트럼들이 동일한 설계를 사용함)되지만, 독립형 및 비독립형 시나리오들에 대해 상이하다. 예를 들어, 강화된 NR-SS/PBCH 블록에서의 통합된 구성/매핑/다중화 설계가 독립형 시나리오 및 모든 캐리어 주파수 범위에 사용되며, 강화된 NR-SS/PBCH 블록에서의 다른 통합된 구성/매핑/다중화 설계가 비독립형 시나리오 및 모든 캐리어 주파수 범위에 사용된다. 강화된 NR-SS/PBCH 블록의 통합된 설계는 강화된 NR-SS/PBCH 블록에 대하여 가능한 다른 송신 주기 및/또는 LBT 절차(적용 가능한 경우)의 설계를 배제하지 않는다는 점에 유의한다.

[0097] 또 다른 실시 예에서는, 강화된 NR-SS/PBCH 블록에서의 구성/매핑/다중화가 독립형 및 비독립형 시나리오들에 대해 통합되지만, 상이한 캐리어 주파수 범위들에 대해 상이하다(예를 들어, 5 GHz, 6 GHz 및 60 GHz의 비면허 스펙트럼들이 서로 다른 설계들을 사용함). 강화된 NR-SS/PBCH 블록의 통합 설계는 강화된 NR-SS/PBCH 블록에 대해 가능한 다른 송신 주기 및/또는 LBT 절차(적용 가능한 경우)의 설계를 배제하지 않는다는 점에 유의한다. 예를 들어, 강화된 NR-SS/PBCH 블록에서 동일한 구성/매핑/다중화를 이용하지만, 서로 다른 송신 주기 및/또는 LBT 절차(적용 가능한 경우)가 독립형 및 비독립형 시나리오들에 이용될 수 있다.

[0098] 또 다른 실시 예에서는, 강화된 NR-SS/PBCH 블록에서의 구성/매핑/다중화가 각각의 캐리어 주파수 범위(예를 들어, 5 GHz, 6 GHz 및 60 GHz의 비면허 스펙트럼들이 서로 다른 설계들을 사용함) 및 독립형/비독립형 시나리오에 대해 특정한 것이다.

[0099] 다른 중요한 설계 고려 사항은 검출기 관점에서 강화된 NR-SS/PBCH 블록의 디폴트 주기(또는 동등하게는 강화된 NR-SS/PBCH 버스트 세트의 디폴트 주기)이다. DRS(Discovery RS) 측정 타이밍 구성(DMTC) 내에서 송신되는 강화된 NR-SS/PBCH 블록들의 경우, 강화된 NR-SS/PBCH 블록의 디폴트 주기(또는 동등하게는 강화된 NR-SS/PBCH 버스트 세트의 디폴트 주기)가 DMTC의 디폴트 주기인 것으로 간주될 수 있지만, 실제로 있어서의 강화된 NR-SS/PBCH 블록들의 송신은 엄격하게 주기적인 것이 아닐 수도 있다.

[0100] 일 실시 예에서는, (예를 들어, NR 비면허 스펙트럼에 대한) 채널 액세스 기회들을 강화시키기 위해, 강화된 NR-SS/PBCH 블록의 디폴트 주기(또는 동등하게는 강화된 NR-SS/PBCH 버스트 세트의 디폴트 주기 또는 DMTC의 디폴트 주기)가 NR 면허 스펙트럼에 비해 감소될 수 있다. 예를 들어, 디폴트 주기가 10 ms 또는 5 ms로 감소될 수 있다.

[0101] 다른 실시 예에서는, 강화된 NR-SS/PBCH 블록의 디폴트 주기(또는 동등하게는 강화된 NR-SS/PBCH 버스트 세트의 디폴트 주기 또는 DMTC의 디폴트 주기)가 LTE NR과 동일하게 유지될 수 있다(예를 들면, 20 ms). 예를 들어, 강화된 NR-SS/PBCH 블록에 대한 LBT 절차의 지연이 최소화됨으로써 NR 비면허 스펙트럼에 대한 채널 액세스 기회를 향상시킬 수 있다.

[0102] 다음 설계 고려 사항은 원-샷 동기화/브로드캐스팅 성능을 향상시키기 위한(NR-ePSS/eSSS/ePBCH의 신호/채널 설계는 NR-PSS/SSS/PBCH와 동일하거나 또는 특정 시나리오들에 대한 NR-PSS/SSS/PBCH와 동일할 수 있음에 유의한다), 강화된 NR-SS/PBCH 블록 내에서의 NR-PSS/SSS/PBCH(NR-ePSS/eSSS/ePBCH로 지칭됨)의 반복적 및/또는 추가적 및/또는 강화된 송신이다.

[0103] 일 실시 예에서, 강화된 NR-SS/PBCH 블록은 NR-ePSS/eSSS/ePBCH만으로 구성된다.

[0104] 일 예에서, NR-ePSS/eSSS/ePBCH는 시분할 다중화된(여기서 NR-eSSS 및 NR-ePBCH의 일부는 동일한 심볼에서 주파수 분할 다중화될 수 있음). 예를 들어, NR-PSS/SSS/PBCH가 NR-ePSS/eSSS/ePBCH로 대체되지만, LTE NR-SS/PBCH 블록과 같은 방식으로 다중화 및 매핑된다.

[0105] 다른 예에서는, NR-ePSS/eSSS/ePBCH가 LTE NR-SS/PBCH 블록과 다르게 다중화 및/또는 매핑된다. 예를 들어, NR-ePSS/eSSS/ePBCH는 주파수 분할 다중화되거나, 또는 시분할 및 주파수 분할의 혼합으로 다중화된다.

[0106] 다른 실시 예에서, 강화된 NR-SS/PBCH 블록은 NR-PSS/SSS/PBCH 중 적어도 하나 및 이들의 강화 NR-ePSS/eSSS/ePBCH 중 적어도 하나로 구성된다.

[0107] 다른 실시 예에서는, NR-ePSS/eSSS/ePBCH가 NR-PSS/SSS/PBCH와 시분할 다중화된(FDM된 NR-SSS/NR-PBCH 및/또는 FDM된 NR-eSSS/NR-ePBCH을 포함하는 강화된 NR-SS/PBCH 블록에 심볼들이 존재할 수 있음에 유의한다).

[0108] 일 예에서, NR-ePSS 및 NR-PSS 모두가 강화된 NR-SS/PBCH 블록에서 지원되는 경우, 예를 들어 시간 도메인에서의 NR-PSS/NR-ePSS 공동 검출 구현을 용이하게 하기 위해, NR-ePSS 및 NR-PSS에 대응하여 매핑된 심볼들이 TDM 되어 연속적이며 된다.

- [0109] 다른 예에서, 강화된 NR-SS/PBCH 블록에서 둘 이상의 NR-ePSS가 지원되는 경우, 예를 들어 시간 도메인에서의 NR-ePSS 공동 검출 구현을 용이하게 하기 위해, NR-ePSS에 대해 매핑된 심볼들이 TDM되어 연속적이게 된다.
- [0110] 또 다른 예에서, NR-eSSS 및 NR-SSS 모두가 강화된 NR-SS/PBCH 블록에서 지원되는 경우, NR-eSSS 및 NR-SSS에 대응하여 매핑된 심볼들이 TDM되어 비연속적이게 되며, 예를 들어 NR-eSSS와 NR-SSS 사이의 심볼(들)이 NR-PBCH/NR-ePBCH에 매핑될 수 있다.
- [0111] 또 다른 예에서, 둘 이상의 NR-eSSS가 강화된 NR-SS/PBCH 블록에서 지원되는 경우, NR-eSSS에 매핑된 심볼들이 TDM되어 비연속적이게 되며, 예를 들어 NR-eSSS 사이의 심볼(들)이 NR-PBCH/NR-ePBCH에 매핑될 수 있다.
- [0112] 일 실시 예에서는, NR-ePSS/eSSS/ePBCH가 LTE NR-PSS/SSS/PBCH와 주파수 분할 다중화된다.
- [0113] 다른 실시 예에서는, NR-ePSS/eSSS/ePBCH가 시분할 다중화 및 주파수 분할 다중화의 혼합 방식으로 LTE NR-PSS/SSS/PBCH와 다중화된다.
- [0114] 또 다른 실시 예에서는, 강화된 NR-SS/PBCH 블록이 LTE NR-PSS/SSS/PBCH만으로 구성된다. 예를 들어, 비면허 스펙트럼의 강화된 NR-SS/PBCH 블록은 특정 응용 시나리오들(예를 들면, 비독립형 시나리오)에 대한 NR-PSS 및 NR-SSS만으로 구성된다.
- [0115] 또 다른 실시 예에서는, 강화된 NR-SS/PBCH 블록 내의 NR-PSS/SSS/PBCH가 시분할 다중화된다.
- [0116] 앞서의 설계 고려 사항들과 결합하여, 상기한 실시 예들이 상이한 응용 시나리오들에 적용될 수 있음에 유의한다. 예를 들어, LTE NR-PSS/SSS/PBCH만으로 구성되는 강화된 NR-SS/PBCH 블록이 비독립형 시나리오에 사용되며, LTE NR-PSS/SSS/PBCH 및 이들의 강화 NR-ePSS/eSSS/ePBCH로 구성되는 NR-SS/PBCH 블록이 독립형 시나리오에 사용된다.
- [0117] 강화된 NR-SS/PBCH 블록에 대한 다른 설계 고려 사항은 가능한 LBT 및/또는 가능한 강화 NR-PSS/SSS/PBCH의 추가 송신 및/또는 제어 채널들의 송신 및/또는 엠프티로서 예비되는 것(예를 들면, AGC 문제로 인해 또는 CORESET를 위해 예비)에 의해 영향을 받는 매핑 방식이다. LTE NR-SS/PBCH 블록의 경우, NR-PSS/SSS/PBCH는 4개의 연속적 심볼들에 매핑된다. 강화된 NR-SS/PBCH 블록의 경우, 강화된 NR-PSS/SSS/PBCH의 가능한 도입으로 인해, 하나의 강화된 NR-SS/PBCH 블록이 LTE NR-SS/PBCH 블록에 비해 더 많은 심볼들을 차지할 수 있다. 또한, 인접하는 강화된 NR-SS/PBCH 블록들의 송신(예를 들어, 비면허 스펙트럼의 이용 시나리오를 고려하는 경우)과 CORESET 또는 제어 신호들에 대한 가능한 위치들을 예비하는 것 사이의 잠재적인 LBT로 인해, 슬롯에 대한 강화된 NR-SS/PBCH의 매핑은 LTE NR-SS/PBCH 블록과 상이할 수 있다(예를 들어, LTE NR-SS/PBCH 블록과 비교하여 비연속적 심볼들에 매핑되거나 또는 상이한 순서로 매핑됨).
- [0118] 일 실시 예에서는, 연속적인 심볼들로 구성되는 강화된 NR-SS/PBCH 블록을 설계하는 것이 유리하다. 예를 들어, 비면허 스펙트럼의 이용 시나리오를 고려하는 경우, 강화된 NR-SS/PBCH 블록 내에 LBT가 필요하지 않게 된다.
- [0119] 다른 실시 예에서, CORESET 또는 제어 채널들에 대한 예비 및 다수의 뉴머볼로지의 공존 문제를 고려하면, 강화된 NR-SS/PBCH 블록은 비연속적인 심볼들로 구성될 수도 있다. 일 예에서, 비면허 스펙트럼의 이용 시나리오를 고려하면, 강화된 NR-SS/PBCH 블록 내의 심볼 그룹들 사이의 갭은 LBT를 수행하지 않는 최대 갭보다 짧으며(예를 들어, 5 GHz의 경우 16 us, 60 GHz의 경우 8 us), 이에 따라 강화된 NR-SS/PBCH 블록 내의 갭에서 LBT가 필요하지 않게 된다. 다른 예에서, 비면허 스펙트럼의 이용 시나리오를 고려하면, 강화된 NR-SS/PBCH 블록 내의 심볼 그룹들 사이의 갭은 LBT를 수행하지 않는 최대 갭보다 길며(예를 들어 5 GHz의 경우 16 us, 60 GHz의 경우 8 us) GHz), 이에 따라 송신 수행을 위해 강화된 NR-SS/PBCH 블록 내의 갭에 LBT가 필요하게 된다.
- [0120] 또 다른 실시 예에서, 강화된 NR-SS/PBCH 블록 내의 가능한 갭으로 인해, 서로 다른 강화된 NR-SS/PBCH 블록들에 대한 설계가 동일하지 않을 수도 있다. 예를 들어, 강화된 NR-SS/PBCH 블록들(예를 들어, 강화된 NR-SS/PBCH 블록 내의 신호들/채널들)의 컴포넌트들이 동일하더라도, 강화된 NR-SS/PBCH 블록 내의 갭 위치는 서로 다른 강화된 NR-SS/PBCH 블록들에 대해 상이할 수 있다.
- [0121] 일반적으로, 강화된 NR-SS/PBCH 블록은 NR-PSS에 대해 매핑된 0-1 심볼, NR-SSS에 대해 매핑된 0-1 심볼(각 심볼 내에서 강화된 NR-SS/PBCH 블록은 NR-PBCH 또는 NR-ePBCH와 FDM될 수 있음), NR-ePSS에 매핑된 0-2 심볼, NR-eSSS에 매핑된 0-2 심볼(각 심볼 내에서 강화된 NR-SS/PBCH 블록은 NR-PBCH 또는 NR-ePBCH와 FDM될 수 있음), NR-PBCH에 대해 완전히 매핑된 0-2 심볼(강화된 NR-SS/PBCH 블록의 DMRS 포함) 또는 NR-ePBCH에 대해 완전히 매핑된 0-8 심볼(강화된 NR-SS/PBCH 블록의 DMRS 포함), 및 갭에 대한 0-G 심볼(G는 정수)로 구성될 수

있다.

- [0122] 각 신호/채널/갭에 대한 특정 개수의 심볼들은 응용 시나리오들(예를 들어, 비면허 스펙트럼/V2X 사이드링크/URLLC/MTC/IoT, 및/또는 캐리어 주파수 범위, 및/또는 독립형/비독립형 중 적어도 하나를 포함하는 이용 시나리오)로부터 결정될 수 있다. 강화된 NR-SS/PBCH 블록 구성/매핑/다중화의 예들이 도 13 내지 도 19에 도시되어 있으며, 이것은 각각 2개 내지 8개의 심볼(갭이 카운트되지 않은 심볼들)을 갖는 강화된 NR-SS/PBCH 블록에 대응하고, 강화된 NR-SS/PBCH 블록 구성/매핑/다중화에 대한 더 많은 예들이 도 20에 도시되어 있으며, 이것은 14개의 심볼(즉, 잠재적인 예비의 엠프티 심볼들을 포함하는 슬롯)을 갖는 강화된 NR-SS/PBCH 블록에 대응하고, 여기서는 상기 설계 고려 사항들이 고려되었다.
- [0123] 일 실시 예에서는, 강화된 NR-SS/PBCH 블록의 모든 신호 및/또는 채널이 동일한 안테나 포트를 사용하여 송신된다. 도 13 내지 도 20은 본 개시에 의해 커버되는 모든 지원되는 설계의 배타적 예시가 아닐 수 있음에 유의한다.
- [0124] 강화된 NR-SS/PBCH 블록에 대해 더 넓은 BW가 지원될 수 있는 경우, 도면들에서 각 신호/채널의 BW가 그에 따라 확대된다는 점에 유의한다. 예를 들어, 강화된 NR-SS/PBCH 블록의 BW가 40개 PRB인 경우, 시간 도메인 다중화 패턴의 변화 없이, 도면들에서 20개 PRB의 BW가 40개 PRB로 교체될 수 있으며/있거나 12개 PRB가 24개 PRB로 교체될 수 있다.
- [0125] 강화된 NR-SS/PBCH 블록에 대해 더 작은 BW가 지원되는 경우, 도면들에서 각 신호/채널의 BW는 강화된 NR-SS/PBCH 블록의 지원되는 BW에 대응하는 중앙 PRB들로 줄어들게 된다는 점에 유의한다. 예를 들어, 강화된 NR-SS/PBCH 블록의 BW가 12개 PRB인 경우, 도면들에서 모든 신호/채널이 중앙 12개 PRB들로 줄어들게 됨으로써 도면들에서 NR-SSSS 또는 NR-eSSSS와 FDM되는 NR-PBCH 또는 NR-ePBCH가 존재하지 않게 된다.
- [0126] 도면들에서 NR-PBCH/NR-ePBCH에 대해 매핑된 심볼들 또는 심볼들의 일부가 NR-PBCH/NR-ePBCH의 DMRS를 포함할 수도 있으며, 여기서 일 실시 예에서는 DMRS에 대한 RE들이 NR-PBCH/NR-ePBCH에 대한 RE들과 FDM될 수 있으며, 또는 다른 실시 예에서는 NR-PBCH/NR-ePBCH에 대한 RE들과 TDM될 수 있다.
- [0127] RMSI(remaining minimum system information), OSI(other system information) 등과 같은 공통 제어 채널들을 수신하기 위한 제어 리소스 세트(control resource set, CORESET)가 구성되어야 한다. 일 CORESET 구성이 적어도 RMSI 스케줄링을 위해 물리 브로드캐스트 채널(physical broadcast channel, PBCH), 예를 들어 마스터 정보 블록(master information block, MIB)을 통해 제공될 수 있다.
- [0128] CORESET는 슬롯 타이밍, 각 슬롯에서의 OFDM 심볼 번호 및 주파수 리소스들에 의해 특징지어질 수 있다. 이러한 CORESET 특성들이 각각의 CORESET에 대해 표시되거나 사전 구성된다. RMSI/OSI 스케줄링의 경우, 이 CORESET 특성들이 PBCH에서 제공될 수 있다. PBCH에 의해 구성되는 이들 CORESET 특성들 중에서, OFDM 심볼 번호들 및 주파수 리소스들은 모든 공통 채널들(예를 들어, 시스템 정보 블록(SIBx) 등)에 공통적으로 적용될 수 있지만, 슬롯 타이밍은 상이한 SIBx에 대해 구체적으로 결정될 수 있다.
- [0129] 본 개시는 물리 다운링크 제어 채널(physical downlink control channel, PDCCH) 스케줄링 RMSI를 포함하는 RMSI 및 CORESET(슬롯 타이밍 및/또는 직교 주파수 분할 다중화(OFDM) 심볼 번호들로 잠재적으로 구성될 수 있음)에 대한 주파수/시간 리소스들의 구성을 고려하며, 이 구성은 가능하게는 SIB에 대해서도 재사용될 수 있다.
- [0130] 본 개시에서 표기법 $x:y:(x+(n-1)*y)$ 는 길이-n 벡터 $(x, x+y, x+2y, \dots, x+(n-2)y, x+(n-1)y)$ 를 지칭하는 것임에 유의한다.
- [0131] PDCCH 스케줄링 RMSI를 포함하는 RMSI 및 CORESET에 대한 주파수/시간 리소스들(본 명세서의 나머지 부분에서는 "RMSI 리소스들"로 약기함)과 관련된, 본 개시의 적어도 다음의 컴포넌트들은 직접 또는 간접적으로 NR-PBCH의 MIB에서 비트들로 구성되는 것으로 간주된다.
- [0132] 구성 컴포넌트들.
- [0133] RMSI 리소스들을 구성하기 위한 제1 컴포넌트는 RMSI 리소스들의 뉴머롤로지(numerology)일 수 있다.
- [0134] 일 실시 예에서, RMSI 리소스들의 뉴머롤로지는 MIB에서 1개의 개별 비트에 의해 구성될 수 있다.
- [0135] 다른 실시 예에서, RMSI 리소스의 뉴머롤로지는 페이로드 크기를 절감하기 위해 다른 구성들로 구성될 수 있다. 예를 들어, 본 개시에 도시된 바와 같은 테이블의 예에서 모든 RMSI CORESET 구성들의 구성이 캡처되는 경우, SS/PBCH 블록의 뉴머롤로지들과 RMSI 리소스들의 조합을 제한함으로써, RMSI 뉴머롤로지의 유효 페이로드 크기

가 1 비트보다 작게 될 수 있다.

- [0136] RMSI 리소스들을 구성하기 위한 제2 컴포넌트는 RMSI 리소스들의 다중화 패턴일 수 있다.
- [0137] 도 13a는 본 개시의 실시 예들에 따른 예시적인 TDM 다중화 패턴(1300)을 도시한 것이다. 도 13a에 도시된 TDM 다중화 패턴(1300)의 실시 예는 단지 예시를 위한 것이다. 도 13a는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0138] 다중화 패턴의 일 실시 예에서는, SS/PBCH 블록 및 RMSI 리소스들이 TDM되며, 여기서 SS/PBCH 블록 BW의 중앙과 RMSI 리소스 BW의 중앙이 정렬되거나 정렬되지 않을 수 있고, SS/PBCH 블록 BW는 RMSI 리소스 BW와 동일하거나 동일하지 않을 수 있다. 일 예가 도 13a에 도시되어 있다.
- [0139] 도 13b는 본 개시의 실시 예들에 따른 예시적인 FDM 다중화 패턴(1320)을 도시한 것이다. 도 13b에 도시된 FDM 다중화 패턴(1320)의 실시 예는 단지 예시를 위한 것이다. 도 13b는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0140] 다중화 패턴의 다른 실시 예에서는, SS/PBCH 블록 및 RMSI 리소스들이 FDM되며, 여기서 SS/PBCH 블록에 대한 심볼들과 RMSI 리소스에 대한 심볼들이 동일하거나 동일하지 않을 수 있고, SS/PBCH 블록 BW는 RMSI 리소스 BW와 동일하거나 동일하지 않을 수 있다. 일 예가 도 13b에 도시되어 있다.
- [0141] 일 예에서는, 도 13b의 타이밍 오프셋이 0일 수 있으며, 이에 따라 CORESET 및 RMSI의 PDSCH가 SS/PBCH 블록과 FDM된다.
- [0142] 다른 예에서는, 도 13b의 타이밍 오프셋이 0보다 클 수 있으며, 이에 따라 CORESET이 SS/PBCH 블록과 TDM 및 FDM되고, RMSI의 PDSCH가 SS/PBCH 블록과 FDM된다.
- [0143] SS/PBCH 블록에 대한 제1 심볼 및 RMSI 리소스들에 대한 제1 심볼이 동일한지 여부와 관계없이, 주파수 오프셋 표시 방식은 동일할 수 있으며, 예를 들어 이 실시 예의 상기한 두 가지 예에 대한 주파수 오프셋 표시 방식은 동일한 것일 수 있다.
- [0144] 도 13c는 본 개시의 실시 예들에 따른 예시적인 하이브리드 TDM 및 FDM 다중화 패턴(1340)을 도시한 것이다. 도 13c에 도시된 하이브리드 TDM 및 FDM 다중화 패턴(1340)의 실시 예는 단지 예시를 위한 것이다. 도 13c는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0145] 또 다른 실시 예에서는, SS/PBCH 블록 및 RMSI 리소스들이 동시에 TDM 및 FDM된다(예를 들어, 하이브리드 TDM 및 FDM됨). 일 예가 도 13c에 도시되어 있다.
- [0146] 이 실시 예의 일 예에서는, RMSI 리소스들이 SS/PBCH 블록과 하이브리드 TDM 및 FDM되더라도, RMSI CORESET이 전적으로 SS/PBCH 블록과 TDM될 수 있다. 이 케이스에 있어서, 타이밍 및 주파수 오프셋 구성은 TDM 케이스를 참조할 수 있다.
- [0147] 진술한 실시 예의 다른 예에서는, 다수의 RMSI 리소스 블록들(예를 들어, SS/PBCH 블록의 각 측면 상의 2개의 블록)이 전적으로 SS/PBCH 블록과 FDM된다. 이 케이스에 있어서, 타이밍 및 주파수 오프셋 구성은 일부 적절한 수정 사항들과 함께, FDM 케이스를 참조할 수 있다.
- [0148] RMSI 리소스들을 구성하기 위한 제3 컴포넌트는 PDCCH 스케줄링 RMSI를 포함하는 CORESET의 대역폭(예를 들어, RMSI CORESET BW)일 수 있으며, 이것은 RMSI의 서브캐리어 간격의 관점에서 PRB(physical resource block)의 수로 표현될 수 있다.
- [0149] 일 실시 예에서, CORESET에 대한 주파수/시간 리소스들이 RE 그리드에서 직사각형을 형성하는 경우(예를 들어, 도 13a 및 도 13b에서와 같은 전적 TDM 및 FDM 케이스들에서), CORESET에 대한 PRB들의 수는 PRB들의 관점에서 CORESET BW와 함께 OFDM 심볼들의 수로 구성될 수 있다. RMSI CORESET에 대해 주어진 총 PRB 수에 대해, CORESET BW는 RMSI CORESET의 뉴머롤로지를 기반으로 결정될 수 있음에 유의한다. 이 실시 예의 하나의 하위 실시 예에서는, RMSI CORESET의 유효 BW가 SS/PBCH 블록 뉴머롤로지 관점에서 24개 PRB 이상이다.
- [0150] 일 예에서, CORESET에 대한 총 PRB의 개수가 12개 PRB로 구성되는 경우, 12개의 PRB CORESET BW를 갖는 1개의 OFDM 심볼 또는 6개의 PRB CORESET BW를 갖는 2개의 OFDM 심볼을 사용하여 이것이 구성될 수 있다.
- [0151] 다른 예에서, CORESET에 대한 총 PRB의 개수가 24개 PRB로 구성되는 경우, 24개의 PRB CORESET BW를 갖는 1개의 OFDM 심볼 또는 12개의 PRB CORESET BW를 갖는 2개의 OFDM 심볼을 사용하여 이것이 구성될 수 있다.

- [0152] 또 다른 예에서, CORESET에 대한 총 PRB의 개수가 48개 PRB로 구성되는 경우, 48개의 PRB CORESET BW를 갖는 1개의 OFDM 심볼, 또는 24개의 PRB CORESET BW를 갖는 2개의 OFDM 심볼, 또는 16개의 PRB CORESET BW를 갖는 3개의 심볼을 사용하여 이것이 구성될 수 있다.
- [0153] 또 다른 예에서, CORESET에 대한 총 PRB의 개수가 72개 PRB에 의해 구성되는 경우, 24개의 PRB CORESET BW를 갖는 3개의 OFDM 심볼을 사용하여 이것이 구성될 수 있다.
- [0154] 또 다른 예에서, CORESET에 대한 총 PRB의 개수가 96개 PRB에 의해 구성되는 경우, 96개의 PRB CORESET BW를 갖는 1개의 OFDM 심볼, 또는 48개의 PRB CORESET BW를 갖는 2개의 OFDM 심볼, 또는 32개의 PRB CORESET BW를 갖는 3개의 심볼을 사용하여 이것이 구성될 수 있다.
- [0155] 또 다른 예에서, CORESET에 대한 총 PRB의 개수가 144개 PRB에 의해 구성되는 경우, 48개의 PRB CORESET BW를 갖는 3개의 OFDM 심볼을 사용하여 이것이 구성될 수 있다.
- [0156] 다른 실시 예에서는, CORESET에 대한 PRB의 개수가 PRB의 총 개수인 단일 개수로 구성될 수 있으며(예를 들어, $N_{\text{CORESET_PRB}} = 12$ 또는 24 또는 48 또는 96 PRB), 또한 RE 매핑 패턴을 정의하기 위해 다른 컴포넌트들로 추가로 구성될 수 있다.
- [0157] 예를 들어, CORESET에 대한 총 PRB의 개수가 $N_{\text{CORESET_PRB}}$ PRB들에 의해 구성되고, RE 매핑을 정의하기 위해 하이브리드 TDM 및 FDM되는 패턴(예를 들어, 도 13c에서와 같이)으로 이것이 추가로 구성될 수 있다.
- [0158] RMSI 리소스들을 구성하기 위한 제4 컴포넌트는 RMSI 리소스들을 모니터링하기 위한 타이밍 정보일 수 있다.
- [0159] 이 컴포넌트의 일 실시 예에서, 하나의 구성은 SS/PBCH 블록과 RMSI 리소스들 사이의 타이밍 오프셋일 수 있으며, 이것은 OFDM 심볼들의 개수에 의해 구성될 수 있거나(예를 들어, SS/PBCH 블록 뉴머롤로지 또는 RMSI CORESET 뉴머롤로지의 관점에서), 또는 슬롯들의 개수에 의해 구성될 수 있거나(예를 들어, SS/PBCH 블록 뉴머롤로지 또는 RMSI CORESET 뉴머롤로지의 관점에서), 또는 시간에 의해 구성될 수 있으며(예를 들어, ms의 관점에서), 이것은 SS/PBCH 블록의 시작 위치와 RMSI 리소스들(또는 CORESET 위치) 사이의 차이를 나타낸다. 이러한 타이밍 오프셋의 구성은 TDM/FDM/하이브리드 케이스들에 있어서 동일하거나 상이할 수 있음에 유의한다.
- [0160] 예를 들어, TDM 케이스에 있어서, 타이밍 오프셋은 수 ms 이상일 수 있다.
- [0161] 다른 예에서, FDM 케이스에 있어서, 타이밍 오프셋은 0 또는 최대 몇 개의 OFDM 심볼들만큼 작을 수 있다.
- [0162] 또 다른 예에서, 하이브리드 케이스에 있어서, 타이밍 오프셋은 FDM 케이스와 유사하게 작을 수 있다.
- [0163] 이러한 컴포넌트의 다른 실시 예에서, 다른 구성은 시간 도메인에서 RMSI 리소스들을 모니터링하는 주기일 수 있다.
- [0164] RMSI 리소스들을 구성하기 위한 제5 컴포넌트는 SS/PBCH 블록과 RMSI 리소스들(예를 들어, RMSI CORESET) 사이의 주파수 오프셋일 수 있다.
- [0165] 주파수 오프셋 구성의 정의는 TDM/FDM/하이브리드 케이스들을 포함하는, 다중화 케이스들에 있어서 동일하거나 상이할 수 있다. 예를 들어, 다음 실시 예들 중 하나가 TDM/FDM/하이브리드 케이스들에 공통적으로 이용된다. 다른 실시 예에서는, 다음 실시 예들 중 하나가 TDM 케이스에 대한 주파수 오프셋을 정의하는데 이용되고, 다음 실시 예들 중 하나가 FDM/하이브리드 케이스들에 이용된다. 또한 SS/PBCH 블록 BW 및 RMSI 리소스 BW를 알게 되면 다음 주파수 오프셋의 정의들이 이에 상응하게 될 수 있다(하나가 다른 것으로부터 차감될 수 있음).
- [0166] 일 실시 예에서, 주파수 오프셋은 SS/PBCH 블록 BW의 중앙과 RMSI 리소스 BW의 중앙 사이의 차이에 의해 정의될 수 있으며, 이것은 PRB 또는 RE 또는 Hz의 수에 관한 것일 수 있다. 일부 예(예를 들면, SS/PBCH 블록 BW=20 PRB이며, RMSI 리소스 BW는 짝수임)에서, 이 정의는 SS/PBCH 블록 BW와 RMSI 리소스 BW 사이의 중앙 PRB 그리드 오프셋과 동일하다.
- [0167] 다른 실시 예에서, 주파수 오프셋은 SS/PBCH 블록의 최하위/최상위 RE/PRB 그리드와 RMSI 리소스들의 최하위/최상위 RE/PRB 그리드 사이의 차이에 의해 정의될 수 있으며, 이것은 PRB 또는 RE 또는 Hz의 수에 관한 것일 수 있다.
- [0168] $\Delta F(\text{RMSI CORESET 뉴머롤로지의 관점})$ 는 $\Delta F = F_{\text{ref}} + \Delta F'$ 로서 정의되며, 여기서 F_{ref} 는 주파수 오프셋 기준을 나타내고(RMSI CORESET 뉴머롤로지의 관점) 그 사양에서의 상수/사전 정의된 값으로서 정의되거나 또는 다른 구성들에 의해 표시/구성되거나 또는 다른 정보로부터 알게 될 수 있으며, $\Delta F'$ (RMSI CORESET 뉴머롤로지의 관

점)는 주파수 오프셋 기준에 대한 표시/구성이 필요한 부분이다.

- [0169] 주파수 오프셋 ΔF 에 대한 구성이 필요한 범위(예를 들어, 벡터 ΔF_Range 로 정의됨)는 실제로 있어서 $\Delta F'$ 에 대한 범위(예를 들면, 벡터 $\Delta F'_Range$ 로 정의됨)에 의해 결정되며, 주파수 오프셋 기준이 알려져 있기 때문에, 이 범위들 사이의 관계는 $\Delta F_Range = F_ref + \Delta F'_Range$ 에 의해 주어진다.
- [0170] 주파수 오프셋의 구성은 상이한 다중화 방식들뿐만 아니라 SS/PBCH 블록의 뉴머롤로지들과 BW들 그리고 RMSI CORESET 간의 관계에 의존할 수 있다. 상이한 다중화 패턴들에 대한 다음 실시 예들이 본 개시에서 고려된다. 일 예에서는, TDM 및 FDM 서브케이스들부터의 다수의 실시 예들이 동시에 지원될 수 있음에 유의한다.
- [0171] TDM 서브케이스 1에 있어서, 최소 채널 BW는 RMSI CORESET BW 이상이다. 이 서브케이스의 경우, 가능한 SS 블록의 상대 위치, RMSI CORESET 및 최소 채널 대역폭의 관점에서 다수의 실시 예들이 고려되며, 이것은 주파수 오프셋 기준 및 구성될 필요가 있는 주파수 오프셋 범위(즉, $\Delta F'_Range$)를 추가로 결정한다.
- [0172] 도 14는 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제1 케이스에 대한 주파수 오프셋(1400)의 예시적인 구성을 도시한 것이다. 도 14에 도시된 주파수 오프셋(1400) 구성의 실시 예는 단지 예시를 위한 것이다. 도 14는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0173] TDM 서브케이스 1의 제1 실시 예(예를 들어, TDM-실시 예 1.1)에서, RMSI CORESET의 주파수 위치는 최소 채널 BW 내에서 임의적일 수 있다(도 14에 도시된 바와 같이, 여기서 1402, 1403, 1404, 1405 및 1406은 이 하위 실시 예에서 고려되는 RMSI 리소스들의 상대적 위치에 대한 모든 예들이다. 이 실시 예에서, 주파수 오프셋 기준은 $F_ref = 0$ (즉, $\Delta F = \Delta F'$)으로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_Range = (PRB\text{에서의 최소 채널 BW} - PRB\text{에서의 SS/PBCH 블록 BW}) * R_SCS$ 로 결정될 수 있으며, 여기서 최소 채널 BW는 SS/PBCH 블록 뉴머롤로지에서 정의되고, $\Delta F'_Range$ 는 RMSI CORESET 뉴머롤로지에서 정의되며, $R_SCS = SCS_SS/SCS_CORESET$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.
- [0174] TDM 서브케이스 1의 제2 실시 예(예를 들어, TDM-실시 예 1.2)에서, RMSI CORESET의 주파수 위치는 최소 채널 BW의 서브세트 내에서 제한될 수 있다(가능한 주파수 위치들은 TDM 실시 예 1.1의 서브세트). 예를 들어, RMSI CORESET의 주파수 위치는 SS/PBCH 블록 BW가 PRB 레벨에서 RMSI CORESET BW의 서브세트가 되도록 구성될 수 있다(이 구성은 이미 특정 구성으로 최소 채널 BW 내에서 전체 RMSI 리소스들을 얻을 수 있음을 보장한다는 것에 유의해야 한다).
- [0175] 도 15는 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제2 케이스에 대한 주파수 오프셋(1500)의 예시적인 구성을 도시한 것이다. 도 15에 도시된 주파수 오프셋(1500)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 15는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0176] 도 15에 도시된 바와 같이, 1502, 1503 및 1504는 이 하위 실시 예에서 고려되는 RMSI 리소스들의 상대 위치에 대한 모든 예들이다. 이 실시 예에서, 주파수 오프셋 기준은 $F_ref = 0$ (즉, $\Delta F = \Delta F'$)으로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_Range = \max(0, (PRB\text{에서의 RMSI CORESET BW} - PRB\text{에서의 SS/PBCH 블록 BW} * R_SCS))$ 로 결정될 수 있으며, 여기서 $\Delta F'_Range$ 는 RMSI CORESET 뉴머롤로지에서 정의되고, $R_SCS = SCS_SS/SCS_CORESET$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다. RMSI CORESET BW가 SS/PBCH 블록 BW보다 작거나 같은 경우, PRB에서의 $\Delta F'_Range$ 는 0(PRB 레벨 표시가 필요하지 않다는 것을 의미함)이다.
- [0177] 도 16은 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제3 케이스에 대한 주파수 오프셋(1600)의 예시적인 구성을 도시한 것이다. 도 16에 도시된 주파수 오프셋(1600)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 16은 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0178] TDM 서브케이스 1의 제3 실시 예(예를 들어, TDM-실시 예 1.3)에서, RMSI CORESET의 주파수 위치는 최소 채널 BW 내에서 제한된다(가능한 주파수 위치들은 TDM-실시 예 1.1의 서브세트). 예를 들어, RMSI CORESET의 주파수 위치는 RMSI CORESET BW를 초과하는 SS/PBCH 블록 BW가 RMSI CORESET 뉴머롤로지 관점에서 하나의 PRB를 초과하지 않게 BW 부분이 이루어지도록 구성될 수 있다(이 하나의 PRB는 SS/PBCH 블록 PRB 경계와 RMSI CORESET PRB 경계 사이의 가능한 오프셋을 나타내는 플로팅 동기화의 기능에 사용됨). 이 구성은 이미 특정 구성으로 최소 채널 BW 내에서 전체 RMSI 리소스를 얻을 수 있음을 보증한다는 것에 유의해야 한다.
- [0179] 도 16에 도시된 바와 같이, 1602, 1603 및 1604는 이 하위 실시 예에서 고려되는 RMSI 리소스들의 상대 위치의 예들이며, 플로팅 동기화가 SS/PBCH 블록에 동시에 적용될 수 있다. 이 실시 예에서, 주파수 오프셋 기준은

$F_{ref} = 0$ (즉, $\Delta F = \Delta F'$)으로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{Range} = \max(1, (PRB+1\text{에서의 RMSI CORESET BW} - PRB\text{에서의 SS/PBCH 블록 BW} * R_{SCS}))$ 으로 결정될 수 있으며, 여기서 $\Delta F'_{Range}$ 는 RMSI CORESET 뉴머롤로지서 정의되고, $R_{SCS} = SCS_{SS}/SCS_{CORESET}$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다. RMSI CORESET BW가 SS/PBCH 블록 BW보다 작거나 같은 경우, PRB에서의 $\Delta F'_{Range}$ 는 1(하나의 PRB 내에 PRB 레벨 표시가 필요하지 않으며 RE 레벨 표시만 필요함을 의미)이다.

[0180] TDM 서브케이스 2에서는, 최소 채널 BW가 RMSI CORESET BW보다 작다. 이 서브케이스의 경우, 가능한 SS 블록의 상대 위치, RMSI CORESET 및 최소 채널 대역폭의 관점에서 다수의 실시 예들이 고려되며, 이것은 주파수 오프셋 기준 및 구성될 필요가 있는 주파수 오프셋 범위(즉, $\Delta F'_{Range}$)를 추가로 결정한다.

[0181] 도 17은 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제4 케이스에 대한 주파수 오프셋(1700)의 예시적인 구성을 도시한 것이다. 도 17에 도시된 주파수 오프셋(1700)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 17은 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0182] TDM 서브케이스 2의 제1 실시 예(예를 들어, TDM 실시 예 2.1)에서, SS/PBCH 블록의 주파수 위치는 RMSI CORESET BW 내에서 임의적일 수 있다. 도 17에 도시된 바와 같이, 1701, 1702, ..., 1704는 본 실시 예에서 고려되는 SS/PBCH 블록의 상대적인 위치에 대한 모든 예들이다. 이 실시 예에서, 주파수 오프셋 기준은 $F_{ref} = 0$ (즉, $\Delta F = \Delta F'$)으로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{Range} = PRB\text{에서의 RMSI CORESET BW} - PRB\text{에서의 SS/PBCH 블록 BW} * R_{SCS}$ 로 결정될 수 있으며, 여기서 $\Delta F'_{Range}$ 는 RMSI CORESET 뉴머롤로지에 정의되고, $R_{SCS} = SCS_{SS}/SCS_{CORESET}$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.

[0183] TDM 서브케이스 2의 제2 실시 예(예를 들어, TDM-실시 예 2.2)에서, SS/PBCH 블록의 주파수 위치는 RMSI CORESET BW의 일부 내에서 제한될 수 있다(가능한 주파수 위치들은 TDM-실시 예 2.1의 서브세트). 예를 들어, RMSI CORESET의 주파수 위치는 SS/PBCH 블록 BW가 PRB 레벨에서 RMSI CORESET BW의 일부의 서브세트가 되도록 구성될 수 있으며, 여기서 RMSI CORESET BW의 일부는 "제한된 BW"를 지칭하는 것으로서, 오버헤드를 감소시키기 위해 사양에서 사전 정의된 값일 수 있다. 일 예에서, 제한된 BW는 SS/PBCH 블록 뉴머롤로지 관점에서 24개 PRB일 수 있으며, 이것은 전체 RMSI CORESET BW가 최소 UE BW 내에 존재할 수 있도록 하는 BW에 대한 최소값을 지칭한다.

[0184] 도 18은 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제5 케이스에 대한 주파수 오프셋(1800)의 예시적인 구성을 도시한 것이다. 도 18에 도시된 주파수 오프셋(1800)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 18은 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0185] 다른 예에서는, 제한된 BW가 최소 채널 BW와 동일할 수 있으며, 전체 RMSI CORESET BW도 또한 최소 UE BW 내에 존재할 수 있다. 도 18에 도시된 바와 같이, 1801, 1802, 1803 및 1804는 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치에 대한 모든 예들이다. 이 실시 예에서, 주파수 오프셋 기준은 사전 정의된 제한된 BW의 주파수 위치에 의해 결정되는, RMSI CORESET BW에 대한 제한된 BW의 중앙 오프셋을 지칭하는 것으로서, 사양에서 사전 정의된 값이며, 예를 들어 $F_{ref} = \Delta CORESET_BW_Offset$ (RMSI CORESET 뉴머롤로지서 정의)이다.

[0186] 일 예에서, 제한된 BW는 $F_{ref} = \Delta CORESET_BW_Offset = 0$ 이 되도록 RMSI CORESET BW의 중앙으로 제한될 수 있다(즉, RMSI CORESET BW 및 제한된 BW의 중앙들이 정렬됨). 다른 예에서, 제한된 BW는 시작할 끝 부분에 따라, $F_{ref} = \Delta CORESET_BW_Offset = CORESET\ BW/2 - \text{제한된 BW}/2$ 이 되거나 또는 $F_{ref} = \Delta CORESET_BW_Offset = -CORESET\ BW/2 + \text{제한된 BW}/2$ 이 되게, 한쪽 끝에서 시작하도록 제한될 수 있다. 이 실시 예에서, $\Delta F'$ 에 대한 전체 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{Range} = PRB\text{에서의 제한된 BW} - PRB\text{에서의 SS/PBCH 블록 BW} * R_{SCS}$ 로 결정될 수 있으며, 여기서 제한된 BW 및 $\Delta F'_{Range}$ 는 RMSI CORESET 뉴머롤로지서 정의되고, $R_{SCS} = SCS_{SS}/SCS_{CORESET}$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.

[0187] TDM 서브케이스 2의 제3 실시 예(예를 들어, TDM-실시 예 2.3)에서는, SS/PBCH 블록의 주파수 위치가 RMSI CORESET BW의 일부 내에서 제한되며(가능한 주파수 위치들은 TDM-실시 예 2.1의 서브세트), 잠재적인 추가 오프셋이 RMSI CORESET 뉴머롤로지 관점에서 최대 1 PRB로 표시된다(이 하나의 PRB는 SS/PBCH 블록 PRB 경계와 RMSI CORESET PRB 경계 사이의 가능한 오프셋을 나타내는 플로팅 동기화의 기능에 사용됨).

[0188] 예를 들어, RMSI CORESET의 주파수 위치는 RMSI CORESET 뉴머롤로지 관점에서 최대 1 PRB만큼 큰 잠재적 추가 오프셋을 제외하고 SS/PBCH 블록 BW가 RMSI CORESET BW의 일부의 서브세트가 되도록 구성될 수 있으며, 여기서

RMSI CORESET BW의 일부는 "제한된 BW"를 지칭하는 것으로서, 오버헤드를 줄이기 위해 사양에서 사전 정의된 값일 수 있다.

- [0189] 도 19는 본 개시의 실시 예들에 따른 TDM 다중화 패턴의 제6 케이스에 대한 주파수 오프셋(1900)의 예시적인 구성을 도시한 것이다. 도 19에 도시된 주파수 오프셋(1900)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 19는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0190] 일 예에서, 제한된 BW는 SS/PBCH 블록 뉴머롤로지 관점에서 24개 PRB일 수 있으며, 이것은 전체 RMSI CORESET BW가 최소 UE BW 내에 존재할 수 있도록 하는 BW에 대한 최소값을 지칭한다. 다른 예에서는, 제한된 BW가 최소 채널 BW와 동일할 수 있으며, 전체 RMSI CORESET BW가 또한 최소 UE BW 내에 존재할 수 있다. 도 19에 도시된 바와 같이, 1901, 1902, 1903 및 1904는 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치의 모든 예들이다.
- [0191] 이 실시 예에서, 주파수 오프셋 기준은 사전 정의된 제한된 BW의 주파수 위치에 의해 결정되는, RMSI CORESET BW에 대한 제한된 BW의 중앙 오프셋을 지칭하는 것으로서, 사양에서 사전 정의된 값이며, 예를 들어 $F_{ref} = \Delta CORESET_BW_Offset$ (RMSI CORESET 뉴머롤로지에서 정의)이다.
- [0192] 일 예에서, 제한된 BW는 $F_{ref} = \Delta CORESET_BW_Offset = 0$ 이 되도록 RMSI CORESET BW의 중앙으로 제한될 수 있다(즉, RMSI CORESET BW 및 제한된 BW의 중앙들이 정렬됨). 다른 예에서, 제한된 BW는 시작할 끝 부분에 따라, $F_{ref} = \Delta CORESET_BW_Offset = CORESET\ BW/2 - \text{제한된 BW}/2$ 이 되거나 또는 $F_{ref} = \Delta CORESET_BW_Offset = -CORESET\ BW/2 + \text{제한된 BW}/2$ 이 되게, 한쪽 끝에서 시작하도록 제한될 수 있다. 이 실시 예에서, $\Delta F'$ 에 대한 전체 주파수 오프셋 범위는 PRB에서의 $\Delta F'_Range = PRB\text{에서의 제한된 BW} + 1 - PRB\text{에서의 SS/PBCH 블록 BW} * R_SCS$ 로 결정될 수 있으며, 여기서 제한된 BW 및 $\Delta F'_Range$ 는 RMSI CORESET 뉴머롤로지서 정의되고, $R_SCS = SCS_SS/SCS_CORESET$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.
- [0193] FDM 서브케이스 1에서는, 단일 RMSI 리소스 블록이 SS/PBCH 블록과 FDM되며, 주파수 도메인에서 SS/PBCH 블록의 어느 한쪽에 있을 수 있다. 이 서브케이스의 경우, 가능한 SS 블록의 상대 위치, RMSI CORESET 및 최소 채널 대역폭의 관점에서 다수의 실시 예들이 고려되며, 이것은 주파수 오프셋 기준 및 구성될 필요가 있는 주파수 오프셋 범위(즉, $\Delta F'_Range$)를 추가로 결정한다.
- [0194] FDM 서브케이스 1의 제1 실시 예(예를 들어, FDM-실시 예 1.1)에서, SS/PBCH 블록의 주파수 위치는 최소 채널 BW 내에서 임의적일 수 있고, RMSI CORESET 블록은 주파수 도메인에서 잠재적 사전 정의된 상수 갭 ΔGap (RMSI CORESET 뉴머롤로지서 정의)과 최소 채널 BW 외부에서 다중화된다.
- [0195] 도 20은 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제1 케이스에 대한 주파수 오프셋(2000)의 예시적인 구성을 도시한 것이다. 도 20에 도시된 주파수 오프셋(2000)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 20은 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0196] 도 20에 도시된 바와 같이, 2001, 2002, 2003 및 2004는 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치에 대한 모든 예들이다. 일 예에서, 갭은 0 PRB이다. 다른 예에서, 갭은 1 PRB 내에 있는 것으로 결정되며, 플로팅 동기화를 가능하게 하기 위해 RE 레벨 오프셋 값들과 정렬된다(예를 들어, RE 레벨 오프셋이 -6:1:5 또는 -6:1:6으로 정의된 경우, $\Delta Gap = 6$ RE이고; RE 레벨 오프셋이 0:1:11 또는 0:1:12로 정의된 경우, $\Delta Gap = 0$ RE이고; RE 레벨 오프셋이 -11:1:0로 정의된 경우, $\Delta Gap = 11$ RE이고; RE 레벨 오프셋이 -12:1:0로 정의된 경우; $\Delta Gap = 12$ RE임).
- [0197] 이 실시 예에서, 주파수 오프셋 기준은 $F_{ref} = RMSI\ CORESET\ BW/2 + \Delta Gap + \text{최소 채널 BW}/2$ 가 되도록 하는 RMSI CORESET BW와 최소 채널 BW 사이의 중앙 오프셋으로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_Range = (PRB\text{에서 최소 채널 BW} - PRB\text{에서의 SS/PBCH 블록 BW}) * R_SCS$ 로 결정될 수 있으며, 여기서 최소 채널 BW는 SS/PBCH 블록 뉴머롤로지서 정의되고, $\Delta F'_Range$ 는 RMSI CORESET 뉴머롤로지서 정의되며, $R_SCS = SCS_SS/SCS_CORESET$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.
- [0198] 이 실시 예의 하나의 가능한 변형에서는, SS/PBCH 블록과의 RMSI 리소스들의 다중화 패턴이 SS/PBCH 블록의 어느 한쪽에 있을 수 있으며, 따라서 주파수 오프셋 기준은 $RMSI\ CORESET\ BW/2 + \Delta Gap + \text{최소 채널 BW}/2$ 또는 $-(RMSI\ CORESET\ BW/2 + \Delta Gap) + \text{최소 채널 BW} * R_SCS/2$ 일 수 있고, 여기서 $\Delta Gap'$ 은 사전 정의된 상수 갭이다. 일 고려 사항에서, 플로팅 동기화를 가능하게 하기 위해 $\Delta Gap' + \Delta Gap = 12$ RE이다(예를 들어, -6:1:5로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta Gap = 6$ RE를 선택하는 경우, 이 설정과 정렬되도록 -5:1:6으로 정의된

RE 레벨 오프셋으로 $\Delta\text{Gap}' = 6$ RE이 된다.

- [0199] 다른 예에서, $-6:1:6$ 으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 6$ RE를 선택하는 경우, 이 설정과 정렬되도록 $-6:1:6$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 6$ RE이 된다. 다른 예에서, $0:1:11$ 로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 0$ RE를 선택하는 경우, 이 설정과 정렬되도록 $-11:1:0$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 12$ RE이 된다. 다른 예에서, $0:1:12$ 으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 0$ RE를 선택하는 경우, 이 설정과 정렬되도록 $-12:1:0$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 12$ RE이 된다. 또 다른 예에서, $-12:1:0$ 으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 12$ RE를 선택하는 경우, 이 설정과 정렬되도록 $0:1:12$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 0$ RE이 된다). 이 변형에서는, 사양에서 사전 정의된 SS/PBCH 블록의 특정 측에서 RMSI 리소스를 제한하는 것에 비해 구성들의 수가 두 배로 된다.
- [0200] FDM 서브케이스 1의 제2 실시 예(예를 들어, FDM-실시 예 1.2)에서, SS/PBCH 블록의 주파수 위치는 최소 채널 BW 내에 있을 수 있고, RMSI CORESET 블록은 또한 주파수 도메인에서 잠재적 사전 정의된 상수 갭 ΔGap (RMSI CORESET 뉴머롤로지서 정의)과 최소 채널 BW 내에서 (부분적으로) 다중화될 수 있다.
- [0201] 도 21은 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제2 케이스에 대한 주파수 오프셋(2100)의 예시적인 구성을 도시한 것이다. 도 21에 도시된 주파수 오프셋(2100)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 21은 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0202] 도 21에 도시된 바와 같이, 2101, 2102 및 2103은 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치에 대한 모든 예들이다. 일 예에서, 갭은 0 PRB이다. 다른 예에서, 갭은 1 PRB 내에 있는 것으로 결정되고 플로팅 동기화를 가능하게 하기 위해 RE 레벨 오프셋 값들과 정렬된다(예를 들어, RE 레벨 오프셋이 $-6:1:5$ 또는 $-6:1:6$ 로 정의된 경우, $\Delta\text{Gap} = 6$ RE이고; RE 레벨 오프셋이 $0:1:11$ 또는 $0:1:12$ 로 정의된 경우, $\Delta\text{Gap} = 0$ RE이고; RE 레벨 오프셋이 $-11:1:0$ 으로 정의된 경우, $\Delta\text{Gap} = 11$ RE이고; RE 레벨 오프셋이 $-12:1:0$ 으로 정의된 경우, $\Delta\text{Gap} = 12$ RE임). 플로팅 동기화를 가능하게 하기 위해 예비된 RE들 이외의, 다른 가능한 갭의 컴포넌트는 혼합 뉴머롤로지 시나리오에 대해 FDM을 가능하게 하기 위한 1 PRB일 수 있다. 이 실시 예에서, 주파수 오프셋 기준은 $F_{\text{ref}} = \text{RMSI CORESET BW}/2 + \Delta\text{Gap} + \text{SS/PBCH 블록 BW} * R_{\text{SCS}}/2$ 로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{\text{Range}} = 0$ (이것은 상대 위치가 PRB 레벨에서 고정됨을 의미)으로 결정될 수 있으며, 여기서 $\Delta F'_{\text{Range}}$ 는 RMSI CORESET 뉴머롤로지서 정의되고, $R_{\text{SCS}} = \text{SCS}_{\text{SS}}/\text{SCS}_{\text{CORESET}}$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.
- [0203] 이 실시 예의 하나의 가능한 변형에서는, SS/PBCH 블록과의 RMSI 리소스들의 다중화 패턴이 SS/PBCH 블록의 어느 한쪽에 있을 수 있으며, 따라서 주파수 오프셋 기준은 $\text{RMSI CORESET BW}/2 + \Delta\text{Gap} + \text{SS/PBCH 블록 BW} * R_{\text{SCS}}/2$ 또는 $-(\text{RMSI CORESET BW}/2 + \Delta\text{Gap}' + \text{SS/PBCH 블록 BW} * R_{\text{SCS}}/2)$ 일 수 있고, 여기서 $\Delta\text{Gap}'$ 은 사전 정의된 상수 갭이다. 일 고려 사항에서, 플로팅 동기화를 가능하게 하기 위해 $\Delta\text{Gap}' + \Delta\text{Gap} = 11$ RE이다((예를 들어, $-6:1:5$ 로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 6$ RE를 선택하는 경우, 이 설정과 정렬되도록 $-5:1:6$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 6$ RE이 된다. 다른 예에서, $-6:1:6$ 으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 6$ RE를 선택하는 경우, 이 설정과 정렬되도록 $-6:1:6$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 6$ RE이 된다).
- [0204] 다른 예에서, $0:1:11$ 로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 0$ RE를 선택하는 경우, 이 설정과 정렬되도록 $-11:1:0$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 12$ RE이 된다. 다른 예에서, $0:1:12$ 으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 0$ RE를 선택하는 경우, 이 설정과 정렬되도록 $-12:1:0$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 12$ RE이 된다. 또 다른 예에서, $-12:1:0$ 으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 12$ RE를 선택하는 경우, 이 설정과 정렬되도록 $0:1:12$ 으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 0$ RE이 된다). 이 변형에서는, 사양에서 사전 정의된 SS/PBCH 블록의 특정 측에서 RMSI 리소스를 제한하는 것에 비해 구성들의 수가 두 배로 된다.
- [0205] FDM 서브케이스 1의 제3 실시 예(예를 들어, FDM-실시 예 1.3)에서, SS/PBCH 블록의 주파수 위치는 최소 채널 BW 내에 있을 수 있고, RMSI CORESET 블록은 또한 잠재적 사전 정의된 상수 갭 ΔGap (RMSI CORESET 뉴머롤로지서 정의)과 최소 채널 BW 내에서 (부분적으로) 다중화될 수 있으며, 여기서 SS/PBCH 블록은 RMSI CORESET 뉴머롤로지 관점에서 최대 1 PRB만큼 크게 표시되는 잠재적 추가 오프셋을 갖는다(이 하나의 PRB는 SS/PBCH 블록 PRB 경계와 RMSI CORESET PRB 경계 사이의 가능한 오프셋을 나타내는 플로팅 동기화의 기능에 사용됨).
- [0206] 도 22는 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제3 케이스에 대한 주파수 오프셋(2200)의 예시적인 구

성을 도시킨 것이다. 도 22에 도시된 주파수 오프셋(2200)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 22는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

- [0207] 도 22에 도시된 바와 같이, 2201, 2202 및 2203은 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치에 대한 모든 예들이다. 일 예에서, 갭은 0 PRB이다. 다른 예에서, 갭은 1 PRB 내에 있는 것으로 결정되고 플로팅 동기화를 가능하게 하기 위해 RE 레벨 오프셋 값들과 정렬된다(예를 들어, RE 레벨 오프셋이 -6:1:5 또는 -6:1:6로 정의된 경우, $\Delta\text{Gap} = 6$ RE이고; RE 레벨 오프셋이 0:1:11 또는 0:1:12로 정의된 경우, $\Delta\text{Gap} = 0$ RE이고; RE 레벨 오프셋이 -11:1:0으로 정의된 경우, $\Delta\text{Gap} = 11$ RE이고; RE 레벨 오프셋이 -12:1:0으로 정의된 경우, $\Delta\text{Gap} = 12$ RE임). 이 실시 예에서, 주파수 오프셋 기준은 $F_{\text{ref}} = \text{RMSI CORESET BW}/2 + \Delta\text{Gap} + \text{SS/PBCH 블록 BW} * R_{\text{SCS}}/2$ 로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{\text{Range}} = 1$ 로 결정될 수 있으며, 여기서 $\Delta F'_{\text{Range}}$ 는 RMSI CORESET 뉴머롤로지에서 정의되고, $R_{\text{SCS}} = \text{SCS}_{\text{SS}}/\text{SCS}_{\text{CORESET}}$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.
- [0208] 이 실시 예의 하나의 가능한 변형에서는, SS/PBCH 블록과의 RMSI 리소스들의 다중화 패턴이 SS/PBCH 블록의 어느 한쪽에 있을 수 있으며, 따라서 주파수 오프셋 기준은 $\text{RMSI CORESET BW}/2 + \Delta\text{Gap} + \text{SS/PBCH 블록 BW} * R_{\text{SCS}}/2$ 또는 $-(\text{RMSI CORESET BW}/2 + \Delta\text{Gap} + \text{SS/PBCH 블록 BW} * R_{\text{SCS}}/2)$ 일 수 있고, 여기서 $\Delta\text{Gap}'$ 은 사전 정의된 상수 갭이다. 일 고려 사항에서, 플로팅 동기화를 가능하게 하기 위해 $\Delta\text{Gap}' + \Delta\text{Gap} = 11$ RE이다((예를 들어, -6:1:5로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 6$ RE를 선택하는 경우, 이 설정과 정렬되도록 -5:1:6으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 6$ RE이 된다. 다른 예에서, -6:1:6으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 6$ RE를 선택하는 경우, 이 설정과 정렬되도록 -6:1:6으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 6$ RE이 된다).
- [0209] 다른 예에서, 0:1:11로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 0$ RE를 선택하는 경우, 이 설정과 정렬되도록 -11:1:0으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 12$ RE이 된다. 다른 예에서, 0:1:12로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 0$ RE를 선택하는 경우, 이 설정과 정렬되도록 -12:1:0으로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 12$ RE이 된다. 또 다른 예에서, -12:1:0으로 정의된 RE 레벨 오프셋과 정렬되도록 $\Delta\text{Gap} = 12$ RE를 선택하는 경우, 이 설정과 정렬되도록 0:1:12로 정의된 RE 레벨 오프셋으로 $\Delta\text{Gap}' = 0$ RE이 된다). 이 변형에서는, 사양에서 사전 정의된 SS/PBCH 블록의 특정 측에서 RMSI 리소스를 제한하는 것에 비해 구성들의 수가 두 배로 된다.
- [0210] FDM 서브케이스 2에서는, 다수의 RMSI 리소스 블록(예를 들어 2개)이 SS/PBCH 블록과 FDM되고, 주파수 도메인에서 SS/PBCH 블록의 양쪽에 있을 수 있다. 이 서브케이스의 경우, 가능한 SS 블록의 상대 위치, RMSI CORESET 및 최소 채널 대역폭의 관점에서 다수의 실시 예들이 고려되며, 이것은 주파수 오프셋 기준 및 구성될 필요가 있는 주파수 오프셋 범위(즉, $\Delta F'_{\text{Range}}$)를 추가로 결정한다.
- [0211] FDM 서브케이스 2의 제1 실시 예(예를 들어, FDM-실시 예 2.1)에서, SS/PBCH 블록의 주파수 위치는 최소 채널 BW 내에서 임의적일 수 있고, 다수의 RMSI CORESET 블록(예를 들어, SS/PBCH 블록의 각 측의 2개 블록)은 주파수 도메인에서 잠재적 사전 정의된 상수 갭들 $\Delta\text{Gap}1$ 및 $\Delta\text{Gap}2$ (모두 RMSI CORESET 뉴머롤로지에서 정의됨)과 최소 채널 BW 외부에서 다중화된다.
- [0212] 도 23은 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제4 케이스에 대한 주파수 오프셋(2300)의 예시적인 구성을 도시킨 것이다. 도 23에 도시된 주파수 오프셋(2300)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 23은 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0213] 도 23에 도시된 바와 같이, 2301, 2302, 2303 및 2304는 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치에 대한 모든 예들이다. 이 실시 예에서, 총 RMSI CORESET BW는 이전 정의와 일치되도록 하기 위해, 2개 블록의 BW의 합(예를 들어, $\text{RMSI CORESET BW} = \text{RMSI CORESET BW } 1 + \text{RMSI CORESET BW } 2$)으로 정의된다.
- [0214] 이 실시 예에서, RMSI CORESET BW의 주파수 중앙은 RMSI CORESET BW 1, RMSI CORESET BW 2, $\Delta\text{Gap}1$, $\Delta\text{Gap}2$ 및 최소 채널 BW를 포함하는 전체 주파수 범위의 중앙을 지칭할 수 있다. 일 고려 사항에서, RMSI CORESET BW 1 및 RMSI CORESET BW 2는 고정되어 있으며, 사양에서의 오버헤드를 줄이기 위해 동일한 값을 갖는다.
- [0215] 다른 고려 사항에서, 갭들 $\Delta\text{Gap}1$ 및 $\Delta\text{Gap}2$ 는 $\Delta\text{Gap}1 + \Delta\text{Gap}2 = 12$ RE로 결정되고 플로팅 동기화를 가능하게 하기 위해 RE 레벨 오프셋 값들과 정렬된다(예를 들어, RE 레벨 오프셋이 -6:1:5 또는 -6:1:6으로 정의된 경우, $\Delta\text{Gap}1 = 6$ RE 및 $\Delta\text{Gap}2 = 6$ RE이고; RE 레벨 오프셋이 0:1:11 또는 0:1:12로 정의된 경우, $\Delta\text{Gap}1 = 0$ RE 및 $\Delta\text{Gap}2 = 12$ RE이고; RE 레벨 오프셋이 -11:1:0로 정의된 경우, $\Delta\text{Gap}1 = 11$ RE 및 $\Delta\text{Gap}2 = 1$ RE이고; RE 레

벨 오프셋이 -12:1:0로 정의된 경우; $\Delta\text{Gap1} = 12 \text{ RE}$ 및 $\Delta\text{Gap2} = 0 \text{ RE}$ 임).

- [0216] 이 실시 예에서, 주파수 오프셋 기준은 $F_{\text{ref}} = (\Delta\text{Gap1} - \Delta\text{Gap2})/2 + (\text{RMSI CORESET BW 1} - \text{RMSI CORESET BW 2})/2$ 으로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{\text{Range}} = (\text{PRB에서 최소 채널 BW} - \text{PRB에서의 SS/PBCH 블록 BW}) * R_{\text{SCS}}$ 로 결정될 수 있으며, 여기서 최소 채널 BW는 SS/PBCH 블록 뉴머롤로지에서 정의되고, $\Delta F'_{\text{Range}}$ 는 RMSI CORESET 뉴머롤로지에서 정의되며, $R_{\text{SCS}} = \text{SCS}_{\text{SS}}/\text{SCS}_{\text{CORESET}}$ 는 SS/PBCH 블록 및 RMSI CORESET의 서브캐리어 간격 값들 사이의 비율이다.
- [0217] FDM 서브케이스 2의 제2 실시 예(예를 들어, FDM-실시 예 2.2)에서는, SS/PBCH 블록의 주파수 위치가 최소 채널 BW 내에 있을 수 있고, 다수의 RMSI CORESET 블록(예를 들면, SS/PBCH 블록의 각 측 상의 2개 블록)이 또한 주파수 도메인에서 잠재적 사전 정의된 상수 갭 ΔGap1 및 ΔGap2 (모두 RMSI CORESET 뉴머롤로지에서 정의됨)과 최소 채널 BW 내에서 (부분적으로) 다중화될 수 있다.
- [0218] 도 24는 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제5 케이스에 대한 주파수 오프셋(2400)의 예시적인 구성을 도시한 것이다. 도 24에 도시된 주파수 오프셋(2400)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 24는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0219] 도 24에 도시된 바와 같이, 2401, 2402 및 2403은 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치에 대한 모든 예들이다. 이 실시 예에서, 총 RMSI CORESET BW는 이전 정의와 일치되도록 하기 위해, 2개 블록의 BW의 합(예를 들어, $\text{RMSI CORESET BW} = \text{RMSI CORESET BW 1} + \text{RMSI CORESET BW 2}$)으로 정의된다. 이 실시 예에서, RMSI CORESET BW의 주파수 중앙은 RMSI CORESET BW 1, RMSI CORESET BW 2, ΔGap1 , ΔGap2 및 SS/PBCH 블록 BW를 포함하는 전체 주파수 범위의 중앙을 지칭할 수 있다.
- [0220] 일 고려 사항에서, RMSI CORESET BW 1 및 RMSI CORESET BW 2는 고정되어 있으며, 사양에서의 오버헤드를 줄이기 위해 동일한 값을 갖는다. 다른 고려 사항에서, 갭들 ΔGap1 및 ΔGap2 는 $\Delta\text{Gap1} + \Delta\text{Gap2} = 12 \text{ RE}$ 로 결정되고 플로팅 동기화를 가능하게 하기 위해 RE 레벨 오프셋 값들과 정렬된다(예를 들어, RE 레벨 오프셋이 -6:1:5 또는 -6:1:6으로 정의된 경우, $\Delta\text{Gap1} = 6 \text{ RE}$ 및 $\Delta\text{Gap2} = 6 \text{ RE}$ 이고; RE 레벨 오프셋이 0:1:11 또는 0:1:12로 정의된 경우, $\Delta\text{Gap1} = 0 \text{ RE}$ 및 $\Delta\text{Gap2} = 12 \text{ RE}$ 이고; RE 레벨 오프셋이 -11:1:0로 정의된 경우, $\Delta\text{Gap1} = 11 \text{ RE}$ 및 $\Delta\text{Gap2} = 1 \text{ RE}$ 이고; RE 레벨 오프셋이 -12:1:0로 정의된 경우; $\Delta\text{Gap1} = 12 \text{ RE}$ 및 $\Delta\text{Gap2} = 0 \text{ RE}$ 임). 이 실시 예에서, 주파수 오프셋 기준은 $F_{\text{ref}} = (\Delta\text{Gap1} - \Delta\text{Gap2})/2 + (\text{RMSI CORESET BW 1} - \text{RMSI CORESET BW 2})/2$ 으로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{\text{Range}} = 0$ (이것은 상대 위치가 PRB 레벨에서 고정됨을 의미)으로 결정될 수 있으며, 여기서 $\Delta F'_{\text{Range}}$ 는 RMSI CORESET 뉴머롤로지에서 정의된다.
- [0221] FDM 서브케이스 2의 제3 실시 예(예를 들어, FDM-실시 예 2.3)에서는, SS/PBCH 블록의 주파수 위치가 최소 채널 BW 내에 있을 수 있고, 다수의 RMSI CORESET 블록(예를 들면, SS/PBCH 블록의 각 측 상의 2개 블록)이 또한 주파수 도메인에서 잠재적 사전 정의된 상수 갭 ΔGap1 및 ΔGap2 (모두 RMSI CORESET 뉴머롤로지에서 정의됨)과 최소 채널 BW 내에서 (부분적으로) 다중화될 수 있으며, 여기서 SS/PBCH 블록은 RMSI CORESET 뉴머롤로지 관점에서 최대 1 PRB로 표시되는(이 하나의 PRB는 SS/PBCH 블록 PRB 경계와 RMSI CORESET PRB 경계 사이의 가능한 오프셋을 나타내는 플로팅 동기화의 기능에 사용됨) 잠재적인 추가 오프셋을 갖는다.
- [0222] 도 25는 본 개시의 실시 예들에 따른 FDM 다중화 패턴의 제6 케이스에 대한 주파수 오프셋(2500)의 예시적인 구성을 도시한 것이다. 도 25에 도시된 주파수 오프셋(2500)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 25는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0223] 도 25에 도시된 바와 같이, 2501, 2502 및 2503은 본 실시 예에서 고려되는 SS/PBCH 블록의 상대 위치에 대한 모든 예들이다. 이 실시 예에서, 총 RMSI CORESET BW는 이전 정의와 일치되도록 하기 위해, 2개 블록의 BW의 합(예를 들어, $\text{RMSI CORESET BW} = \text{RMSI CORESET BW 1} + \text{RMSI CORESET BW 2}$)으로 정의된다. 이 실시 예에서, RMSI CORESET BW의 주파수 중앙은 RMSI CORESET BW 1, RMSI CORESET BW 2, ΔGap1 , ΔGap2 및 SS/PBCH 블록 BW를 포함하는 전체 주파수 범위의 중앙을 지칭할 수 있다.
- [0224] 일 고려 사항에서, RMSI CORESET BW 1 및 RMSI CORESET BW 2는 고정되어 있으며, 사양에서의 오버헤드를 줄이기 위해 동일한 값을 갖는다. 다른 고려 사항에서, 갭들 ΔGap1 및 ΔGap2 는 $\Delta\text{Gap1} + \Delta\text{Gap2} = 12 \text{ RE}$ 로 결정되고 플로팅 동기화를 가능하게 하기 위해 RE 레벨 오프셋 값들과 정렬된다(예를 들어, RE 레벨 오프셋이 -6:1:5 또는 -6:1:6으로 정의된 경우, $\Delta\text{Gap1} = 6 \text{ RE}$ 및 $\Delta\text{Gap2} = 6 \text{ RE}$ 이고; RE 레벨 오프셋이 0:1:11 또는 0:1:12로 정의된 경우, $\Delta\text{Gap1} = 0 \text{ RE}$ 및 $\Delta\text{Gap2} = 12 \text{ RE}$ 이고; RE 레벨 오프셋이 -11:1:0로 정의된 경우, Δ

Gap1 = 11 RE 및 $\Delta\text{Gap2} = 1$ RE이고; RE 레벨 오프셋이 -12:1:0로 정의된 경우; $\Delta\text{Gap1} = 12$ RE 및 $\Delta\text{Gap2} = 0$ RE임). 이 실시 예에서, 주파수 오프셋 기준은 $F_{\text{ref}} = (\Delta\text{Gap1} - \Delta\text{Gap2})/2 + (\text{RMSI CORESET BW } 1 - \text{RMSI CORESET BW } 2)/2$ 로 결정될 수 있고, $\Delta F'$ 에 대한 주파수 오프셋 범위는 PRB에서의 $\Delta F'_{\text{Range}} = 1$ 로 결정될 수 있으며, 여기서 $\Delta F'_{\text{Range}}$ 는 RMSI CORESET 뉴머롤로지에서 정의된다.

- [0225] 구성 방법 및 원리.
- [0226] 상기 컴포넌트들 중 적어도 하나를 구성하는 방법은 다음의 실시 예들에 따를 수 있다.
- [0227] 일 실시 예에서, 상기 컴포넌트들 각각은 비트로 표현될 수 있다. 예를 들어, 컴포넌트 i 의 경우($1 \leq i \leq 5$), $N_{\text{Component}_i}$ 비트가 해당 구성들을 구성하는데 사용되며, RMSI CORESET 구성에 대한 MIB 내의 총 비트 수는 $N_{\text{Component}_1} + N_{\text{Component}_2} + N_{\text{Component}_3} + N_{\text{Component}_4} + N_{\text{Component}_5}$ 에 의해 주어진다.
- [0228] 다른 실시 예에서는, 상기 컴포넌트들의 조합이 테이블들의 예에서 표현될 수 있다. 각 RMSI CORESET 구성이 모든 컴포넌트들의 정보를 포함하는, 테이블 내의 행 또는 열에 의해 나타나 있다.
- [0229] 또 다른 실시 예에서는, 비트들과 테이블 모두를 사용하는 하이브리드 구성 방법이 RMSI CORESET 구성에 이용될 수 있다. 예를 들어, 일부 컴포넌트들, 또는 상기 컴포넌트들의 일부 파라미터들이 개별적 비트로 표현될 수 있고, 나머지 컴포넌트들 또는 컴포넌트들의 일부의 조합이 테이블 또는 다수의 테이블로 표현될 수 있다.
- [0230] RMSI CORESET 구성을 표현하기 위해 테이블을 사용하거나 부분적으로 테이블을 사용하는 방법에서, 주된 모티베이션은 MIB 내의 총 비트 수를 저장하는 것이다. 예를 들어, 주파수 오프셋을 표시하기 위한 비트 수가 상이한 TDM 및 FDM 실시 예들에 대해 상당히 상이할 수 있으며, 이 경우 구성을 위해 균일한 수의 비트를 사용하는 것은 효율적이지 않을 수 있다. 컴포넌트들의 조합 수를 제한하려고 할 경우 다음의 원리들이 고려된다.
- [0231] 일 원리에서는, 구성이 완전히 분리될 수 없거나, 개별 구성이 총 비트 수의 증가를 일으키지 않는 한, 개별 구성에 이용되는 비트 수가 최소화될 수 있다.
- [0232] 다른 원리에서는, 지원되는 SS/PBCH 블록 및 RMSI CORESET의 뉴머롤로지들의 조합이, 더 적은 수의 구성이 요구 되도록 제한될 수 있다. 하기 예들 중 하나 또는 다수의 조합이 고려된다.
- [0233] 일 예에서는, $\text{SCS}_{\text{SS}} = 240$ kHz 및 $\text{SCS}_{\text{CORESET}} = 60$ kHz의 조합이 모든 시나리오들에 대해 지원될 수 없다.
- [0234] 다른 예에서는, $\text{SCS}_{\text{SS}} = 240$ kHz 및 $\text{SCS}_{\text{CORESET}} = 60$ kHz의 조합이 적어도 TDM 케이스들에 대해 지원될 수 없다.
- [0235] 다른 예에서는, $\text{SCS}_{\text{SS}} = 240$ kHz 및 $\text{SCS}_{\text{CORESET}} = 60$ kHz의 조합이 적어도 FDM 케이스들에 대해 지원될 수 없다.
- [0236] 또 다른 예에서는, FDM 케이스들에 대해, $\text{SCS}_{\text{SS}} = \text{SCS}_{\text{CORESET}}$ 의 조합만이 지원될 수 있다.
- [0237] 또 다른 원리에서는, RMSI CORESET BW가 가능하게는 RMSI CORESET 뉴머롤로지와 관련하여, 특정 제한을 가질 수 있다. 하기 예들 중 하나 또는 다수의 조합이 고려된다.
- [0238] 일 예에서는, RMSI CORESET BW가 SS/PBCH 블록 뉴머롤로지의 관점에서 적어도 24개의 PRB일 수 있고, SS/PBCH 블록 뉴머롤로지의 관점에서 최대 48개의 PRB일 수 있다.
- [0239] 다른 예에서는, RMSI CORESET BW가 적어도 TDM 케이스들에 대하여, SS/PBCH 블록 뉴머롤로지의 관점에서 적어도 24개의 PRB일 수 있으며, 또한 SS/PBCH 블록 뉴머롤로지의 관점에서 최대 48개의 PRB일 수 있다.
- [0240] 또 다른 예에서는, RMSI CORESET BW가 적어도 FDM 케이스들에 대하여, SS/PBCH 블록 뉴머롤로지 관점에서 적어도 12개의 PRB일 수 있으며, SS/PBCH 블록 뉴머롤로지 관점에서 최대 24개의 PRB일 수 있다.
- [0241] 또 다른 예에서는, RMSI CORESET BW가 적어도 FDM 케이스들에 대하여, SS/PBCH 블록 뉴머롤로지 관점에서 단지 24개의 PRB일 수 있다.
- [0242] 또 다른 원리에서는, RMSI CORESET에 대한 심볼의 수가 가능하게는 RMSI CORESET 뉴머롤로지 및/또는 SS/PBCH 뉴머롤로지 및/또는 RMSI CORESET BW와 관련된, 특정 제한을 가질 수 있다. 하기 예들 중 하나 또는 다수의 조합이 고려된다.
- [0243] 일 예에서는, RMSI CORESET BW가 RMSI CORESET 뉴머롤로지 관점에서 24개의 PRB인 경우, RMSI CORESET에 대한 심볼 수가 1 또는 2일 수 있다.

- [0244] 다른 예에서는, RMSI CORESET BW가 RMSI CORESET 뉴머롤로지 관점에서 48개의 PRB인 경우, RMSI CORESET에 대한 심볼 수가 1 또는 2일 수 있다.
- [0245] 또 다른 예에서는, RMSI CORESET BW가 RMSI CORESET 뉴머롤로지 관점에서 96개의 PRB인 경우, RMSI CORESET에 대한 심볼 수가 1일 수 있다.
- [0246] 또 다른 예에서는, RMSI CORESET에 대한 심볼 수가 R_SCS 와 동일할 수 있으며, 여기서 R_SCS 는 SS/PBCH SCS와 RMSI CORESET SCS(SS/PBCH 블록들이 매핑되는 슬롯 내에서 SS 블록 앞의 일부 공백 심볼들을 점유) 사이의 비율이다
- [0247] 또 다른 예에서는, RMSI CORESET에 대한 심볼 수는 $2 \times R_SCS$ 와 동일할 수 있으며, 여기서 R_SCS 는 SS/PBCH SCS와 RMSI CORESET SCS(SS/PBCH 블록들이 매핑되는 슬롯 내에서 SS 블록 앞의 일부 공백 심볼들을 점유) 사이의 비율이다.
- [0248] 또 다른 원리에서는, 주파수 오프셋을 결정할 때, SS/PBCH 블록의 상대 위치, RMSI CORESET 및 최소 채널 BW이 필요한 구성의 수를 최소화할 수 있도록 제한될 수 있다. 하기 예들 중 하나 또는 다수의 조합이 고려된다.
- [0249] 일 예에서는, TDM 서브케이스 1에 대하여, TDM-실시 예 1.2 또는 TDM-실시 예 1.3이 TDM-실시 예 1.1과 비교하여 구성의 수를 감소시키는 것으로 고려될 수 있다.
- [0250] 다른 예에서는, TDM 서브케이스 2에 대하여, TDM-실시 예 2.2 또는 TDM-실시 예 2.3이 TDM-실시 예 2.1과 비교하여 구성의 수를 감소시키는 것으로 고려될 수 있다.
- [0251] 또 다른 예에서는, FDM 케이스들에 대하여, FDM 실시 예 1.2 또는 FDM 실시 예 1.3이 FDM 실시 예 1.1과 비교하여 구성의 수를 감소시키는 것으로 고려될 수 있다.
- [0252] 또 다른 예에서는, FDM 케이스들에 대하여, FDM 실시 예 2.2 또는 FDM 실시 예 2.3이 FDM 실시 예 2.1과 비교하여 구성의 수를 감소시키는 것으로 고려될 수 있다.
- [0253] RMSI CORESET 구성을 표현하기 위해 테이블을 사용하거나 부분적으로 테이블을 사용하는 방법에 대한 다른 원리들이 또한 본 개시에서 고려된다.
- [0254] 다른 하나의 원리에서는, RMSI CORESET에 대한 구성 테이블이 대역마다 정의되거나, 또는 동일한 SS/PBCH 뉴머롤로지를 사용하여 대역 그룹마다 정의되거나, 또는 SS/PBCH 뉴머롤로지마다 정의될 수 있다. 서로 다른 SS/PBCH 뉴머롤로지들에 대한 최대 구성 수(최대 구성 수가 다른 경우)가, 테이블을 나타내는데 필요한 비트 수를 결정함에 유의한다. 다른 실시 예에서는, RMSI CORESET 구성의 공통 테이블이 모든 대역들 및 모든 SS/PBCH 뉴머롤로지들에 대해 정의될 수 있지만, 상이한 대역 또는 상이한 SS/PBCH 뉴머롤로지들에 대한 상이한 수의 구성들로 인해 일부 구성 낭비가 있을 수 있다(예를 들어, 공통적인 구성들의 수가 각각의 SS/PBCH 뉴머롤로지에 대한 임의의 개별 테이블보다 클 수 있음).
- [0255] 다른 다른 원리에서는, RMSI CORESET에 대한 구성 테이블이 TDM 케이스로부터의 하나 이상의 엔트리(예를 들어, 하나 또는 다수의 서브케이스들로부터의 것일 수 있음)뿐만 아니라, FDM 케이스로부터의 하나 이상의 엔트리(예를 들어, 하나 또는 다수의 서브케이스들로부터의 것일 수 있음)를 포함할 수 있다. 각각의 케이스에 대하여, 구성들이 대응적으로 결정될 수 있으며(예를 들어, 각각의 다중화 케이스마다에 대한 구성 그룹), 테이블에서의 총 구성의 수는 모든 그룹들로부터의 모든 구성들의 합이며, 어떠한 특정 다중화 케이스들이 지원되는지에 의존한다.
- [0256] 또 다른 다른 원리에서는, 본 개시에서 고려되는 컴포넌트들의 일부 또는 전부가 테이블 또는 다수의 테이블을 사용하여 공동으로 코딩될 수 있으며, 나머지 컴포넌트들 각각(나머지 컴포넌트들이 있는 경우)은 독립적으로 코딩되는 적어도 하나의 개별 필드(컴포넌트 내의 추가 서브-컴포넌트를 고려하기 위한 다수의 필드들일 수 있음)를 가질 수 있다. 테이블에 공동으로 코딩되는 컴포넌트들은 다음 중 적어도 하나를 포함할 수 있다: 다중화 패턴(다른 컴포넌트들의 조합으로 명확하게 표시될 수 있는 경우에는 명시적으로 표시되지 않을 수 있음), RMSI CORESET 뉴머롤로지, RMSI CORESET BW, RMSI CORESET 심볼 수, PRB 레벨 주파수 오프셋(이중 필드 구성 방식에서만 있음), RE 레벨 주파수 오프셋, 주파수 오프셋 및 타이밍 오프셋.
- [0257] 종속 관계는(컴포넌트가 테이블에 공동으로 코딩되지 않은 경우에도 이 종속성이 유지됨), 다중화 패턴(또는 타이밍 오프셋) 및 RMSI CORESET 뉴머롤로지를 알고난 이후에, RMSI CORESET BW에 대한 구성들 및 RMSI CORESET 심볼 수가 결정될 수 있는 것이며, 타이밍 오프셋 및 RMSI CORESET 심볼 수를 제외한 이러한 모든 것이 주파수

오프셋(PRB 레벨 주파수 오프셋 및 RE 레벨 주파수 오프셋)의 구성을 결정한다.

- [0258] 또 다른 원리에서는, 테이블 방식을 사용하거나 부분적으로 테이블 방식을 사용하며, 그 구성이 일부 테이블의 모든 코드워드를 완전히 사용하지 않는 경우, 여분/예비된 코드워드들 중 하나가 SS/PBCH 블록과 관련된 여분/예비된 코드워드들 중 하나의 RMSI 및 CORESET를 나타내지 않도록 이용될 수 있으며, MIB 내의 별도의 비트가 이 정보를 나타내기 위해 요구되지 않는다.
- [0259] 예를 들어, 이중 필드 주파수 오프셋 표시를 사용하고, RE 레벨 오프셋 $\Delta F1$ 에 대한 구성들의 수가 12개인 경우, 4개의 예비된 코드워드 중 하나(예를 들어, 1111)가 SS/PBCH 블록과 관련된 4개의 예비된 코드워드 중 하나의 RMSI 및 CORESET를 나타내지 않도록 사용될 수 있다. 다른 예에서, 이중 필드 주파수 오프셋 표시를 사용하고, RE 레벨 오프셋 $\Delta F1$ 의 구성 수가 24개인 경우, 8개의 예비된 코드워드 중 하나(예를 들면, 11111)가 SS/PBCH 블록과 관련된 8개의 코드워드 중 하나의 RMSI 및 CORESET를 나타내지 않도록 사용될 수 있다.
- [0260] 다른 예에서, 이중 필드 주파수 오프셋 표시를 사용하고, PRB 레벨 오프셋 $\Delta F2$ 에 대한 구성 수가 2^x 보다 작은 경우(여기서, x 는 $\Delta F2$ 를 표현하기 위한 비트 수), 미사용/예비된 코드워드들(예를 들어, 길이가 x 인 모든 1개의 코드워드)이 SS/PBCH 블록과 관련된 미사용/예비된 코드워드들 중 하나의 RMSI 및 CORESET를 나타내지 않도록 사용될 수 있다.
- [0261] 또 다른 예에서, 단일 필드 주파수 오프셋 표시를 사용하고, RE 레벨 오프셋 ΔF 에 대한 구성 수가 2^x 보다 작은 경우(여기서, x 는 ΔF 를 표현하기 위한 비트 수), 미사용/예비된 코드워드들(예를 들어, 길이가 x 인 모든 1개의 코드워드) 중의 하나는 SS/PBCH 블록과 관련된 미사용/예비된 코드워드들 중 하나의 RMSI 및 CORESET를 나타내지 않도록 사용될 수 있다.
- [0262] 또 다른 예에서, CORESET BW와 심볼 수의 조인트 코딩을 사용하고, 구성들의 수가 2^y 보다 작은 경우(여기서, y 는 이 표시에 대한 총 비트 수(예를 들어, $y = 1$ 또는 2), 미사용/예비된 코드워드들(예를 들어, 길이가 y 인 모든 1개의 코드워드) 중 하나는 SS/PBCH 블록과 관련된 미사용/예비된 코드워드들 중 하나의 RMSI 및 CORESET를 나타내지 않도록 사용될 수 있다.
- [0263] 구성 접근법 및 예.
- [0264] 상기한 방법 원리들에 따른 다음의 구성 방식의 예들이 주파수 오프셋을 나타내기 위해 고려될 수 있으며, 이것은 상기한 TDM/FDM 실시 예들 중 임의의 것에 이용될 수 있다. 일 실시 예에서는, 모든 대역들(예를 들어 <6 및 >6 GHz 양쪽 모두에 대한)이 동일한 구성 방식을 이용한다. 다른 실시 예에서는, 구성 방식이 대역마다 선택될 수 있다.
- [0265] 제1 방식(예를 들어, 방식 1)에서는, 주파수 오프셋이 2개의 부분/필드(이중 필드 구성 방식)에 의해 구성될 수 있다: 제1 구성은 SS/PBCH 블록과 RMSI CORESET PRB 그리드(예를 들면, 플로팅 동기화에서 정의된 RE 오프셋) 사이의 RE 레벨 오프셋이며, 제2 구성은 SS/PBCH 블록과 RMSI 리소스들 사이의 PRB 레벨 오프셋이다.
- [0266] 제1 방식의 제1 접근법(예를 들어, 방식 1a)에서는, RE 오프셋 $\Delta F1$ 및 PRB 오프셋 $\Delta F2$ 가 SS/PBCH RE 및 PRB의 그레놀래티티로 그에 따라 측정 및 표현된다(즉, 이에 따라 $\Delta F1$ 및 $\Delta F2$ 의 가능한 값들의 단위는 SS/PBCH RE 및 PRB임).
- [0267] 그러면, RE에서의 $\Delta F1$ 및 PRB에서의 $\Delta F2$ 에 대한 가능한 값들의 총 수, 즉 $N_{\Delta F1}$ 및 $N_{\Delta F2}$ 는, TDM 케이스의 경우, $N_{\Delta F1} = N_{RE_PRB}/R_SCS$ (비대칭 RE 위치), $N_{\Delta F2} = PRB\text{에서의 } \Delta F'_{Range}/R_SCS + 1$ 이고, FDM 케이스의 경우, $N_{\Delta F2} = PRB\text{에서의 } \Delta F'_{Range}/R_SCS$ (여기서, $R_SCS = SCS_SS/SCS_CORESET$)으로 결정될 수 있으며, $\Delta F1$ 및 $\Delta F2$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F1$: $-(N_{\Delta F1}-2)/2, -(N_{\Delta F1}-4)/2, \dots, (N_{\Delta F1}-2)/2, N_{\Delta F1}/2$ 또는 $-N_{\Delta F1}/2, -(N_{\Delta F1}-2)/2, \dots, (N_{\Delta F1}-2)/2$ 또는 $0, 1, \dots, N_{\Delta F1}-1$ 또는 $-(N_{\Delta F1}-1), \dots, -1, 0$ (또한 $-(N_{\Delta F1}-2)/2:1:N_{\Delta F1}/2$ 또는 $-N_{\Delta F1}/2:1:(N_{\Delta F1}-2)/2$ 또는 $0:1:N_{\Delta F1}-1$ 또는 $-(N_{\Delta F1}-1):1:0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F1$: $-(N_{\Delta F1}-1)/2, -(N_{\Delta F1}-3)/2, \dots, (N_{\Delta F1}-3)/2, (N_{\Delta F1}-1)/2$ (또한 $-(N_{\Delta F1}-1)/2:1:(N_{\Delta F1}-1)/2$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아니며; 또는 (3) $\Delta F2$: $-(N_{\Delta F2}-1)/2, -(N_{\Delta F2}-3)/2, \dots, (N_{\Delta F2}-3)/2, (N_{\Delta F2}-1)/2$ (또한 $-(N_{\Delta F2}-1)/2:1:(N_{\Delta F2}-1)/2$ 로도 표시됨)임에 유의한다. $N_{\Delta F2} = 0$ 또는 1인 경우, $\Delta F2$ 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).
- [0268] 최종 주파수 오프셋 ΔF 는 표 1에서와 같은 오프셋 내의 주파수 오프셋 기준을 고려하여, TDM/FDM 실시 예들에 따라 결정될 수 있으며, 여기서 $\Delta F = \Delta F' + F_{ref}$ 이고, $\Delta F' = \Delta F1 + \Delta F2 * N_{RE_PRB}$ 이다(뉴머롤로지에 관

계없이 $N_{RE_PRB} = 12$). 표 1은 방식 1a를 사용하는 상이한 다중화 케이스들에서의 ΔF 결정을 예시한 것이다.

[표 1]

	SS 블록 뉴머로지에 의한 RE 단위에서 ΔF	비고
TDM-Embodiment 1.1	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM-Embodiment 1.2	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM-Embodiment 1.3	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM-Embodiment 2.1	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM-Embodiment 2.2	$\Delta F1 + \Delta F2 * N_{RE_PRB} +$ $\Delta CORESET_BW_Offset$ in RE / R_SCS	$\Delta CORESET_BW_Offset$ is the predefined offset between centers of RMSI CORESET BW and Restricted BW as defined in TDM-Embodiment 2.2 (in RMSI CORESET numerology)
TDM-Embodiment 2.3	$\Delta F1 + \Delta F2 * N_{RE_PRB} +$ $\Delta CORESET_BW_Offset$ in RE / R_SCS	$\Delta CORESET_BW_Offset$ is the predefined offset between centers of RMSI CORESET BW and Restricted BW as defined in TDM-Embodiment 2.3 (in RMSI CORESET numerology)
FDM-Embodiment 1.1	$\Delta F1 + \Delta F2 * N_{RE_PRB} + \Delta Gap$ in RE / $R_SCS + RMSI$ CORESET BW in RE / $2 / R_SCS + Min$ CH BW in RE / 2 and / or $\Delta F1 + \Delta F2 * N_{RE_PRB} - (\Delta Gap'$ in RE / R_SCS + $RMSI$ CORESET BW in RE	ΔGap and $\Delta Gap'$ are the predefined frequency gap between RMSI resources and min channel BW as defined in FDM-Embodiment 1.1 (in RMSI CORESET numerology)

	$/2/R_SCS + \text{Min CH BW in RE}/2$	
FDM-Embodiment 1.2	$\Delta F1 + \Delta F2 * N_RE_PRB + \Delta \text{Gap in RE}/R_SCS + \text{RMSI CORESET BW in RE}/2/R_SCS + SS/PBCH \text{ block BW in RE}/2 \text{ and/or } \Delta F1 + \Delta F2 * N_RE_PRB - (\Delta \text{Gap}' \text{ in RE}/R_SCS + \text{RMSI CORESET BW in RE}/2/R_SCS + SS/PBCH \text{ block BW in RE}/2)$	ΔGap and $\Delta \text{Gap}'$ are the predefined frequency gap between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 1.2 (in RMSI CORESET numerology)
FDM-Embodiment 1.3	$\Delta F1 + \Delta F2 * N_RE_PRB + \Delta \text{Gap in RE}/R_SCS + \text{RMSI CORESET BW in RE}/2/R_SCS + SS/PBCH \text{ block BW in RE}/2 \text{ and/or } \Delta F1 + \Delta F2 * N_RE_PRB - (\Delta \text{Gap}' \text{ in RE}/R_SCS + \text{RMSI CORESET BW in RE}/2/R_SCS + SS/PBCH \text{ block BW in RE}/2)$	ΔGap and $\Delta \text{Gap}'$ are the predefined frequency gap between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 1.3 (in RMSI CORESET numerology)
FDM-Embodiment 2.1	$\Delta F1 + \Delta F2 * N_RE_PRB + (\Delta \text{Gap1 in RE} - \Delta \text{Gap2 in RE})/2/R_SCS + (\text{RMSI CORESET BW 1 in RE} - \text{RMSI CORESET BW 2 in RE})/2/R_SCS$	ΔGap1 and ΔGap2 are the predefined frequency gaps between RMSI resources and min channel BW as defined in FDM-Embodiment 2.1 (in RMSI CORESET numerology)
FDM-Embodiment 2.2	$\Delta F1 + \Delta F2 * N_RE_PRB + (\Delta \text{Gap1 in RE} - \Delta \text{Gap2 in RE})/2/R_SCS + (\text{RMSI CORESET BW 1 in RE} - \text{RMSI CORESET BW 2 in RE})/2/R_SCS$	ΔGap1 and ΔGap2 are the predefined frequency gaps between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 2.2 (in RMSI CORESET numerology)
FDM-Embodiment 2.3	$\Delta F1 + \Delta F2 * N_RE_PRB + (\Delta \text{Gap1 in RE} - \Delta \text{Gap2 in RE})/2/R_SCS + (\text{RMSI CORESET BW 1 in RE} - \text{RMSI CORESET BW 2 in RE})/2/R_SCS$	ΔGap1 and ΔGap2 are the predefined frequency gaps between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 2.3 (in RMSI CORESET numerology)

	$\text{RMSI CORESET BW 2 in RE}/2/R_SCS$	defined in FDM-Embodiment 2.3 (in RMSI CORESET numerology)
--	---	--

제1 방식의 제2 접근법(예를 들어, 방식 1b)에서는, RE 오프셋 $\Delta F1$ 및 PRB 오프셋 $\Delta F2$ 가 RMSI CORESET RE 및 PRB의 그레놀래티티로 그에 따라 측정 및 표현된다(즉, 이에 따라 $\Delta F1$ 및 $\Delta F2$ 의 가능한 값들의 단위는 RMSI CORESET RE 및 PRB임). 그러면, RE에서의 $\Delta F1$ 및 PRB에서의 $\Delta F2$ 의 가능한 값들의 총 수, 즉 $N_ \Delta F1$ 및 $N_ \Delta F2$ 는 대응적으로 다음과 같이 결정될 수 있다: TDM 케이스의 경우, $N_ \Delta F1 = N_RE_PRB$ (비대칭 RE 위치); 또는 $N_ \Delta F1 = N_RE_PRB + 1$ (대칭 RE 위치); 및 $N_ \Delta F2 = PRB$ 에서의 $\Delta F'$ _Range + 1; FDM 케이스의 경우, $N_ \Delta F2 = PRB$ 에서의 $\Delta F'$ _Range.

$\Delta F1$ 및 $\Delta F2$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F1$: $-(N_ \Delta F1-2)/2, -(N_ \Delta F1-4)/2, \dots, (N_ \Delta F1-2)/2, N_ \Delta F1/2$ 또는 $-N_ \Delta F1/2, -(N_ \Delta F1-2)/2, \dots, (N_ \Delta F1-2)/2$ 또는 0, 1, $\dots, N_ \Delta F1-1$ 또는 $-(N_ \Delta F1-1), \dots, -1, 0$ (또한 $-(N_ \Delta F1-2)/2:1:N_ \Delta F1/2$ 또는 $-N_ \Delta F1/2:1:(N_ \Delta F1-2)/2$ 또는 $0:1:N_ \Delta F1-1$ 또는 $-(N_ \Delta F1-1):1:0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F1$: $-(N_ \Delta F1-1)/2, -(N_ \Delta F1-3)/2, \dots, (N_ \Delta F1-3)/2, (N_ \Delta F1-1)/2$ (또한 $-(N_ \Delta F1-1)/2:1:(N_ \Delta F1-1)/2$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아니며; 또는 (3) $\Delta F2$: $-(N_ \Delta F2-1)/2, -(N_ \Delta F2-3)/2, \dots, (N_ \Delta F2-3)/2, (N_ \Delta F2-1)/2$ (또한 $-(N_ \Delta F2-1)/2:1:(N_ \Delta F2-1)/2$ 로도 표시됨)임에 유의한다. $N_ \Delta F2 = 0$ 또는 1인 경우, $\Delta F2$ 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).

최종 주파수 오프셋 ΔF 는 표 2에서와 같은 오프셋 내의 주파수 오프셋 기준을 고려하여, TDM/FDM 실시 예들에 따라 결정될 수 있으며, 여기서 $\Delta F = \Delta F' + F_ref$ 이고, $\Delta F' = \Delta F1 + \Delta F2 * N_RE_PRB$ 이다(뉴머롤로지에 관

계없이 $N_{RE_PRB} = 12$). 표 2는 방식 1b를 사용하는 상이한 다중화 케이스들에서의 ΔF 결정을 예시한 것이다.

[표 2]

	RMSI CORESET 뉴머로지에 의한 RE 단위에서 ΔF	비고
TDM- Embodiment 1.1	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM- Embodiment 1.2	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM- Embodiment 1.3	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM- Embodiment 2.1	$\Delta F1 + \Delta F2 * N_{RE_PRB}$	
TDM- Embodiment 2.2	$\Delta F1 + \Delta F2 * N_{RE_PRB} + \Delta CORESET_BW_Offset$ in RE	$\Delta CORESET_BW_Offset$ is the predefined offset between centers of RMSI CORESET BW and Restricted BW as defined in TDM-Embodiment 2.2 (in RMSI CORESET numerology)
TDM- Embodiment 2.3	$\Delta F1 + \Delta F2 * N_{RE_PRB} + \Delta CORESET_BW_Offset$ in RE	$\Delta CORESET_BW_Offset$ is the predefined offset between centers of RMSI CORESET BW and Restricted BW as defined in TDM-Embodiment 2.3 (in RMSI CORESET numerology)
FDM- Embodiment 1.1	$\Delta F1 + \Delta F2 * N_{RE_PRB} + \Delta Gap$ in RE + RMSI CORESET BW in RE / 2 + Min CH BW in RE / 2 * R_{SCS} and / or $\Delta F1 + \Delta F2 * N_{RE_PRB} - (\Delta Gap' \text{ in RE} + \text{RMSI CORESET BW in RE} / 2 + \text{Min CH BW in RE} / 2 * R_{SCS})$	ΔGap and $\Delta Gap'$ are the predefined frequency gap between RMSI resources and min channel BW as defined in FDM-Embodiment 1.1 (in RMSI CORESET numerology)
FDM-	$\Delta F1 + \Delta F2 * N_{RE_PRB} +$	ΔGap and $\Delta Gap'$ are the predefined

Embodiment 1.2	ΔGap in RE + RMSI CORESET BW in RE /2 + SS/PBCH block BW in RE /2* R_SCS and/or $\Delta F1 + \Delta F2 * N_RE_PRB - (\Delta\text{Gap}' \text{ in RE} + \text{RMSI CORESET BW in RE} /2 + \text{SS/PBCH block BW in RE} /2 * R_SCS)$	frequency gap between RMSI resources and SS/PBCH block, and (RMSI CORESET BW/2 + ΔGap + SS/PBCH block BW*R_SCS/2) and/or -(RMSI CORESET BW/2 + $\Delta\text{Gap}'$ + SS/PBCH block BW*R_SCS/2) are the frequency offset references as defined in FDM-Embodiment 1.2 (in RMSI CORESET numerology)
FDM-Embodiment 1.3	$\Delta F1 + \Delta F2 * N_RE_PRB + \Delta\text{Gap}$ in RE + RMSI CORESET BW in RE/2 + SS/PBCH block BW in RE/2* R_SCS and/or $\Delta F1 + \Delta F2 * N_RE_PRB - (\Delta\text{Gap}' \text{ in RE} + \text{RMSI CORESET BW in RE/2} + \text{SS/PBCH block BW in RE/2} * R_SCS)$	ΔGap and $\Delta\text{Gap}'$ are the predefined frequency gap between RMSI resources and SS/PBCH block, and (RMSI CORESET BW/2 + ΔGap + SS/PBCH block BW*R_SCS/2) and/or -(RMSI CORESET BW/2 + $\Delta\text{Gap}'$ + SS/PBCH block BW*R_SCS/2) are the frequency offset references as defined in FDM-Embodiment 1.3 (in RMSI CORESET numerology)
FDM-Embodiment 2.1	$\Delta F1 + \Delta F2 * N_RE_PRB + (\Delta\text{Gap1 in RE} - \Delta\text{Gap2 in RE})/2 + (\text{RMSI CORESET BW 1 in RE} - \text{RMSI CORESET BW 2 in RE})/2$	ΔGap1 and ΔGap2 are the predefined frequency gaps between RMSI resources and min channel BW as defined in FDM-Embodiment 2.1 (in RMSI CORESET numerology)
FDM-Embodiment 2.2	$\Delta F1 + \Delta F2 * N_RE_PRB + (\Delta\text{Gap1 in RE} - \Delta\text{Gap2 in RE})/2 + (\text{RMSI CORESET BW 1 in RE} - \text{RMSI CORESET BW 2 in RE})/2$	ΔGap1 and ΔGap2 are the predefined frequency gaps between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 2.2 (in RMSI CORESET numerology)
FDM-Embodiment 2.3	$\Delta F1 + \Delta F2 * N_RE_PRB + (\Delta\text{Gap1 in RE} - \Delta\text{Gap2 in RE})/2 + (\text{RMSI CORESET BW 1 in RE} - \text{RMSI CORESET BW 2 in RE})/2$	ΔGap1 and ΔGap2 are the predefined frequency gaps between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 2.3 (in RMSI CORESET numerology)

[0278]

[0279]

제1 방식의 제3 접근법(예를 들어, 방식 1c)에서는, RE 오프셋 $\Delta F1$ /PRB 오프셋 $\Delta F2$ 가 SS/PBCH 블록 RE/PRB과 RMSI CORESET RE/PRB 사이의 더 작은 것의 그레놀래터티로 측정 및 표현된다. 그러면, RE에서의 $\Delta F1$ 및 PRB에서의 $\Delta F2$ 에 대한 가능한 값들의 총 수, 즉 $N_ \Delta F1$ 및 $N_ \Delta F2$ 는, TDM 케이스에 대하여, $N_ \Delta F1 = N_RE_PRB/\min(R_SCS,1)$ (비대칭 RE 위치); 또는 $N_ \Delta F1 = N_RE_PRB/\min(R_SCS,1) + 1$ (대칭 RE 위치); $N_ \Delta F2 = PRB\text{-}에서의 \Delta F'_{\text{Range}}/\min(R_SCS,1) + 1$ 으로 결정될 수 있으며; 또한 FDM 케이스에 대하여 $N_ \Delta F2 = PRB\text{-}에서의 \Delta F'_{\text{Range}}/\min(R_SCS,1)$ 으로 결정될 수 있다($R_SCS = SCS_SS/SCS_CORESET$).

[0280]

$\Delta F1$ 및 $\Delta F2$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F1$: $-(N_ \Delta F1-2)/2, -(N_ \Delta F1-4)/2, \dots, (N_ \Delta F1-2)/2, N_ \Delta F1/2$ 또는 $-N_ \Delta F1/2, -(N_ \Delta F1-2)/2, \dots, (N_ \Delta F1-2)/2$ 또는 0, 1, $\dots, N_ \Delta F1-1$ 또는 $-(N_ \Delta F1-1), \dots, -1, 0$ (또한 $-(N_ \Delta F1-2)/2:1:N_ \Delta F1/2$ 또는 $-N_ \Delta F1/2:1:(N_ \Delta F1-2)/2$ 또는 $0:1:N_ \Delta F1-1$ 또는 $-(N_ \Delta F1-1):1:0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F1$: $-(N_ \Delta F1-1)/2, -(N_ \Delta F1-3)/2, \dots, (N_ \Delta F1-3)/2, (N_ \Delta F1-1)/2$ (또한 $-(N_ \Delta F1-1)/2:1:(N_ \Delta F1-1)/2$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아니며; 또는 (3) $\Delta F2$: $-(N_ \Delta F2-1)/2, -(N_ \Delta F2-3)/2, \dots, (N_ \Delta F2-3)/2, (N_ \Delta F2-1)/2$ (또한 $-(N_ \Delta F2-1)/2:1:(N_ \Delta F2-1)/2$ 로도 표시됨)임에 유의한다. $N_ \Delta F2 = 0$ 또는 1인 경우, $\Delta F2$ 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).

[0281]

최종 주파수 오프셋 ΔF 는 오프셋 내의 주파수 오프셋 기준을 고려하여, TDM/FDM 실시 예들에 따라 결정될 수 있으며, 여기서 $\Delta F = \Delta F' + F_ref$ 이고, $\Delta F' = \Delta F1 + \Delta F2 * N_RE_PRB$ 이다(뉴머롤로지에 관계없이 $N_RE_PRB = 12$).

[0282]

제1 방식의 제4 접근법(예를 들어, 방식 1d)에서는, RE 오프셋 $\Delta F1$ 및 PRB 오프셋 $\Delta F2$ 가 RMSI CORESET RE 및 PRB로 대응적으로 표현된다(즉, $\Delta F1$ 및 $\Delta F2$ 의 단위가 RMSI CORESET RE 및 PRB임).

- [0283] $\Delta F2$ 의 그레놀래리티의 제1 예에서는, $\Delta F2$ 의 그레놀래리티가 SS/PBCH PRB와 동일하다(예를 들어, RMSI CORESET SCS가 SS/PBCH SCS보다 작은 경우 SS/PBCH PRB보다 작은 그레놀래리티를 나타낼 필요 없음). 그러면, PRB에서의 $\Delta F2$ 에 대한 가능한 값들의 총 수, 즉 $N_{\Delta F2}$ 는, TDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}}/R_{\text{SCS}} + 1$, 및 FDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}}/R_{\text{SCS}}$ 로 결정될 수 있고, 여기서 $R_{\text{SCS}} = \text{SCS}_{\text{SS}}/\text{SCS}_{\text{CORESET}}$ (SS/PBCH SCS와 CORESET SCS 사이의 비율)이며, $\Delta F2$ 의 가능한 값들은 $-(N_{\Delta F2}-1)*R_{\text{SCS}}/2$, $-(N_{\Delta F2}-3)*R_{\text{SCS}}/2$, ..., $(N_{\Delta F2}-3)*R_{\text{SCS}}/2$, $(N_{\Delta F2}-1)*R_{\text{SCS}}/2$ (또한 $-(N_{\Delta F2}-1)*R_{\text{SCS}}/2:R_{\text{SCS}}:(N_{\Delta F2}-1)*R_{\text{SCS}}/2$ 로도 표시됨)로 결정될 수 있다. $N_{\Delta F2} = 0$ 또는 ≤ 1 인 경우, $\Delta F2$ 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).
- [0284] $\Delta F2$ 의 그레놀래리티의 제2 예에서는, $\Delta F2$ 의 그레놀래리티가 SS/PBCH PRB와 RMSI CORESET PRB의 최대값과 동일하다. 그러면, PRB에서의 $\Delta F2$ 에 대한 가능한 값들의 총 수, 즉 $N_{\Delta F2}$ 는, TDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}}/\max(1, R_{\text{SCS}}) + 1$, 및 FDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}}/\max(1, R_{\text{SCS}})$ 로 결정될 수 있고, 여기서 $R_{\text{SCS}} = \text{SCS}_{\text{SS}}/\text{SCS}_{\text{CORESET}}$ (SS/PBCH SCS와 CORESET SCS 사이의 비율)이며, $\Delta F2$ 의 가능한 값들은 $-(N_{\Delta F2}-1)*\max(1, R_{\text{SCS}})/2$, $-(N_{\Delta F2}-3)*\max(1, R_{\text{SCS}})/2$, ..., $(N_{\Delta F2}-3)*\max(1, R_{\text{SCS}})/2$, $(N_{\Delta F2}-1)*\max(1, R_{\text{SCS}})/2$ (또한 $-(N_{\Delta F2}-1)*\max(1, R_{\text{SCS}})/2: \max(1, R_{\text{SCS}}):(N_{\Delta F2}-1)*\max(1, R_{\text{SCS}})/2$ 으로도 표시됨)으로 결정될 수 있다. $N_{\Delta F2} = 0$ 또는 ≤ 1 인 경우, $\Delta F2$ 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).
- [0285] $\Delta F2$ 의 그레놀래리티의 제3 예에서는, $\Delta F2$ 의 그레놀래리티가 RMSI CORESET PRB와 동일하다(예를 들어, RMSI CORESET SCS가 SS/PBCH SCS보다 큰 경우 RMSI CORESET PRB보다 작은 그레놀래리티를 나타낼 필요 없음). 그러면, PRB에서의 $\Delta F2$ 에 대한 가능한 값들의 총 수, 즉 $N_{\Delta F2}$ 는, TDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}} + 1$, 및 FDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}}$ 로 결정될 수 있고, 여기서 $R_{\text{SCS}} = \text{SCS}_{\text{SS}}/\text{SCS}_{\text{CORESET}}$ (SS/PBCH SCS와 CORESET SCS 사이의 비율)이며, $\Delta F2$ 의 가능한 값들은 $-(N_{\Delta F2}-1)/2$, $-(N_{\Delta F2}-3)/2$, ..., $(N_{\Delta F2}-3)/2$, $(N_{\Delta F2}-1)/2$ (또한 $-(N_{\Delta F2}-1)/2:1:(N_{\Delta F2}-1)/2$ 로도 표시됨)으로 결정될 수 있다. $N_{\Delta F2} = 0$ 또는 1인 경우, $\Delta F2$ 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).
- [0286] $\Delta F2$ 의 그레놀래리티의 제4 예에서는, $\Delta F2$ 의 그레놀래리티가 SS/PBCH PRB와 RMSI CORESET PRB의 최소값과 동일하다. 그러면, PRB에서의 $\Delta F2$ 에 대한 가능한 값들의 총 수, 즉 $N_{\Delta F2}$ 는, TDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}}/\min(1, R_{\text{SCS}}) + 1$, 및 FDM 케이스에 대한, $N_{\Delta F2} = \text{PRB에서의 } \Delta F'_{\text{Range}}/\min(1, R_{\text{SCS}})$ 로 결정될 수 있고, 여기서 $R_{\text{SCS}} = \text{SCS}_{\text{SS}}/\text{SCS}_{\text{CORESET}}$ (SS/PBCH SCS와 CORESET SCS 사이의 비율)이며, $\Delta F2$ 의 가능한 값들은 $-(N_{\Delta F2}-1)*\min(1, R_{\text{SCS}})/2$, $-(N_{\Delta F2}-3)*\min(1, R_{\text{SCS}})/2$, ..., $(N_{\Delta F2}-3)*\min(1, R_{\text{SCS}})/2$, $(N_{\Delta F2}-1)*\min(1, R_{\text{SCS}})/2$ (또한 $-(N_{\Delta F2}-1)*\min(1, R_{\text{SCS}})/2: \min(1, R_{\text{SCS}}):(N_{\Delta F2}-1)*\min(1, R_{\text{SCS}})/2$ 로도 표시됨)으로 결정될 수 있다. $N_{\Delta F2} = 0$ 또는 ≤ 1 인 경우, $\Delta F2$ 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).
- [0287] $\Delta F2$ 의 그레놀래리티의 제5 예에서는, $\Delta F2$ 의 그레놀래리티가 하나 또는 다수의 RMSI CORESET PRB와 동일하며(예를 들어, CORESET SCS가 SS/PBCH보다 큰 경우 그것이 이미 RE 오프셋에 대해 $\Delta F1$ 에서 표시되어 있기 때문에 RMSI CORESET PRB보다 작은 그레놀래리티를 나타낼 필요 없음), 여기서 그레놀래리티 $\Delta f2$ ("RMSI 래스터"로 간주될 수 있음)는 TDM 서브케이스 1에 대하여 최소 CH BW와 RMSI CORESET BW 사이의 관계에 의해 결정되고(예를 들면, RMSI CORESET BW가 최소 채널 BW 내에 있는 경우, $\Delta f2 = \text{RMSI 뉴머롤로지에서의 PRB의 최소 CH BW} - \text{PRB에서의 RMSI CORESET BW} + \text{PRB_CH_Raster}$), TDM 서브케이스 2에 대하여 캐리어 BW와 RMSI CORESET BW 사이의 관계에 의해 결정되고(예를 들어, RMSI CORESET BW가 최소 채널 BW보다 큰 경우, $\Delta f2 = \text{RMSI 뉴머롤로지에서의 캐리어 BW} - \text{RMSI CORESET BW} + \text{PRB_CH_Raster}$), FDM 케이스들에 대하여 $\Delta f2 = 1$ 이고(PRB 레벨 표시가 필요하지 않으므로 $\Delta f2$ 값은 중요하지 않음), 여기서 PRB_CH_Raster는 CORESET SCS, SS SCS 및 채널 래스터 사이의 관계에 의해 결정되고, $\text{PRB_CH_Raster} = \min(\text{CH Raster}/\text{SCS}_{\text{CORESET}}, 1)$ 으로 결정될 수 있으며, 이것은 $\text{SCS}_{\text{CORESET}} > \text{CH 래스터일 경우}$, 하프 PRB 이하의 표시가 필요하지 않음을 의미한다. PRB_CH_Raster의 결정에 대한 예들의 요약이 표 3에 나와 있다. 표 3은 PRB_CH_Raster의 결정의 예들을 보여준다.

[0288] [표 3]

CH 래스터	SCS_SS	SCS_CORESET	PRB_CH 래스터
15 kHz, 100 kHz	15 kHz	15 kHz	1
15 kHz, 100 kHz	15 kHz	30 kHz	0.5
15 kHz, 100 kHz	30 kHz	30 kHz	1
15 kHz, 100 kHz	30 kHz	15 kHz	1
60 kHz	120 kHz	120kHz	1
60 kHz	120 kHz	60 kHz	1
60 kHz	240 kHz	120 kHz	1
60 kHz	240 kHz	60 kHz	1

[0289]

[0290] 이 예에서, Δf_2 는 동일한 SS/PBCH 블록 및 RMSI CORESET 다중화 패턴이 사용될 수 있도록 하는 최대 주파수 오프셋을 나타낸다. PRB에서의 ΔF_2 의 가능한 값들의 총 수, 즉 $N_{\Delta F_2}$ 는, TDM 케이스의 경우, $N_{\Delta F_2} = \lceil \text{표시 범위} / \Delta f_2 \rceil$ 로 결정될 수 있고, FDM 케이스의 경우, $N_{\Delta F_2} = 1$ 로 결정될 수 있으며, 여기서 $R_{SCS} = SCS_SS / SCS_CORESET$ (SS/PBCH SCS와 CORESET SCS 사이의 비율)이고, 또한 표시 범위는 TDM 케이스의 경우 RMSI CORESET 뉴머롤로지(최소 CH BW 내의 상대적 SS/PBCH 블록 위치들의 수)관점에서의 SS 래스터(예를 들면, = 최소 CH BW - SS/PBCH 블록 BW(일부 대역들에 관한))에 대응한다. ΔF_2 의 가능한 값들은 $N_{\Delta F_2} > 3$ 인 경우 -(PRB에서의 $\Delta F'_\text{Range}$)/2: Δf_2 : (PRB에서의 $\Delta F'_\text{Range}$)/2로 결정될 수 있으며, ΔF_2 의 가능한 값들(중앙 오프셋으로 표시되는 경우)은 $N_{\Delta F_2} = 2$ 인 경우 -(PRB에서의 $\Delta F'_\text{Range}$)/2 및 +(PRB에서의 $\Delta F'_\text{Range}$)/2로 결정되거나 또는 $N_{\Delta F_2} = 2$ 인 경우 -(PRB에서의 $\Delta F'_\text{Range}$)/2+1 및 +(PRB에서의 $\Delta F'_\text{Range}$)/2-1로 결정될 수 있고, 또한 ΔF_2 의 가능한 값들(중앙 오프셋으로 표시되는 경우)은 $N_{\Delta F_2} = 1$ 인 경우 0으로 결정될 수 있다(고정된 값이며 구성할 필요가 없음을 나타냄). $\Delta F'_\text{Range}$ 는 앞서의 TDM 및 FDM 실시 예들로 결정된다.

[0291] ΔF_2 의 가능한 값들의 선택은 SS/PBCH 블록에 대한 주파수 범위가 RMSI CORESET에 대한 주파수 범위의 서브세트인 것으로 가정하며, 이에 따라 이들의 BW의 차이만이 표시를 필요로 하게 된다.

[0292] 이 예에 대한 하나의 가능한 변형에서는, $\Delta F_2 = 0$ 의 구성이 없는 경우(중앙 오프셋으로 표현되는 경우), $\Delta F_2 = 0$ 의 다른 구성이 도입될 수 있다. 가능한 값 0을 도입하는 목적은 더욱 양호한 측정을 위한 것이다.

[0293] 이 예에 대한 다른 가능한 변형에서는, FDM 케이스들에 있어서, $N_{\Delta F_2} = 1$ 인 경우에도, 예를 들어 잠재적 겹을 갖는 SS 블록의 하단의 상단에 대한 다중화와 같은, 그 기준에 대한 2개의 가능한 값이 여전히 존재할 수 있다.

[0294] 도 26a는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 15 kHz, 5 MHz, 24 PRB}의 케이스에 있어서의 ΔF_2 (2610)의 예시적인 구성을 도시한 것이다. 도 26a에 도시된 ΔF_2 (2610)의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26a는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0295] TDM 서브케이스-1에 대한, ΔF_2 의 그레놀러티의 제5 예를 갖는 이러한 접근법(방식 1d)의 예들이 도 26a에 도시되어 있으며, 이 예들의 요약이 표 4에 나와 있다. 표 4는 TDM 서브케이스-1에 대한 ΔF_2 구성의 예들을 보여준다.

[0296] [표 4]

SS SCS (kHz)	CORESET SCS (kHz)	CORESET BW (CORESET 뉴머롤로지의 에서 PRB)	주파수 오프셋 구성 개수	CORESET 뉴머롤로지의 PRB 에서 중앙 주파수 오프셋 $\Delta F2$	CORESET 뉴머롤로지의 PRB 에서 에지 주파수 오프셋 $\Delta F2$
15	15	24	3	-2, 0, 2	4, 2, 0
15	30	12	Not supported unless 12 PRBs are available for CORESET		
30	15	48	2	-2, 2	4, 0
30	30	24	5	-2, -1, 0, 1, 2	4, 3, 2, 1, 0
120	60	48	2	-4, 4	8, 0
120	120	24	2	-2, 2	4, 0
240	60	96	2	-8, 8	16, 0
240	120	48	2	-4, 4	8, 0

[0297]

[0298] 도 26a에서와 같은 제1 예에서는, SCS_SS = 15 kHz 및 SCS_CORESET = 15 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 TDM 시나리오가 고려된다(최소 CH BW는 5 MHz(SS 및 RMSI 뉴머롤로지에서 25 PRB)인 것으로 가정됨). 이 케이스에서는, RMSI CORESET BW가 24 PRB인 경우, 표시 범위 = 5 PRB이고, $\Delta f2 = 2$ PRB이며, 이에 따라 $N_{\Delta F2} = 3$, 즉 3개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -2, 0, 2 PRB(중앙 오프셋)이거나 또는 4, 2, 0 PRB(에지 오프셋)일 수 있다.

[0299] 도 26a에 도시된 바와 같이, 26a01 및 26a02는 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 4$ PRB)을 사용하고, 26a03 및 26a04는 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 0$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 2$ PRB)을 사용하고, 26a05 및 26a06은 동일한 구성 #2(중앙 오프셋의 경우 $\Delta F2 = 2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 0$ PRB)을 사용한다.

[0300] 도 26b는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 30 kHz, 5 MHz, 12 PRB}의 케이스에 있어서의 $\Delta F2(2620)$ 의 예시적인 구성을 도시한 것이다. 도 26b에 도시된 $\Delta F2(2620)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26b는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0301] 도 26b와 같은 제2 예에서는, SCS_SS = 15 kHz 및 SCS_CORESET = 30 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 시나리오가 고려된다(최소 CH BW는 5 MHz(SS 뉴머롤로지에서 25 PRB 및 RMSI 뉴머롤로지에 있어서 11 PRB)인 것으로 가정됨). 이 케이스에서는, 30 kHz SCS를 갖는 5 MHz BW의 채널 이용이 12 PRB 이상이 아니면 12 PRB로서의 RMSI CORESET BW가 지원될 수 없다. 예를 들어, 도 26b에서는, CORESET를 최소 CH BW 내에 맞추도록 이용 가능한 구성이 없다.

[0302] 도 26c는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 15 kHz, 10 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2(2630)$ 의 예시적인 구성을 도시한 것이다. 도 26c에 도시된 $\Delta F2(2630)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26c는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0303] 도 26c에서와 같은 제3 예에서는, SCS_SS = 30 kHz 및 SCS_CORESET = 15 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 시나리오가 고려된다(최소 CH BW는 10 MHz(SS 뉴머롤로지에서 24 PRB 및 RMSI 뉴머롤로지에서 52 PRB)인 것으로 가정됨). 이 케이스에서는, RMSI CORESET BW가 48 PRB인 경우, 표시 범위 = 8 PRB이고, $\Delta f2 = 5$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -2, 2 PRB(중앙 오프셋)이거나 또는 6, 2 PRB(에지 오프셋)일 수 있다.

[0304] 도 26c에 도시된 바와 같이, 26c01 내지 26c05는 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -2$ PRB 또는 에지

오프셋의 경우 $\Delta F2 = 6$ PRB)을 사용하고, 26c06 내지 26c09는 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 2$ PRB)을 사용한다. 이 케이스에 있어서 채널 이용 정렬이 도 26c에서 도시되지 않은 경우(예를 들어, 중앙 정렬되지 않은 경우), 여전히 2개의 구성을 사용할 수 있고, 각 구성의 값이 그에 따라 변경될 수 있으며, 여기서 이 값의 차이는 혼합 뉴머롤로지들에서의 채널 이용의 PRB들 사이의 오프셋과 동일하다.

[0305] 도 26d는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 30 kHz, 10 MHz, 24 PRB}의 케이스에 있어서의 $\Delta F2(2640)$ 의 예시적인 구성을 도시한 것이다. 도 26d에 도시된 $\Delta F2(2640)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26d는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0306] 도 26d에서와 같은 제4 예에서는, SCS_SS = 30 kHz 및 SCS_CORESET = 30 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 시나리오가 고려된다(최소 CH BW는 10 MHz(SS 및 RMSI 뉴머롤로지에서 24 PRB)인 것으로 가정됨). 이 케이스에서는, RMSI CORESET BW가 24 PRB인 경우, 표시 범위 = 4 PRB이고, $\Delta f2 = 1$ PRB이며, 이에 따라 $N_{\Delta F2} = 5$, 즉 5개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -2, -1, 0, 1, 2 PRB(중앙 오프셋)이거나 또는 4, 3, 2, 1, 0 PRB(에지 오프셋)일 수 있다.

[0307] 도 26d에 도시된 바와 같이, 각각의 26d01, 26d03, 26d05, 26d07 및 26d09는 개별 구성 #0 내지 #4를 상응하게 사용하며, 여기서 각각의 구성은 중앙 오프셋의 경우 -2, -1, 0, 1, 2 PRB로서 $\Delta F2$ 에 대응하거나, 또는 에지 오프셋의 경우 4, 3, 2, 1, 0 PRB로서 $\Delta F2$ 에 대응하며, 또한 다른 케이스들(예를 들면, 26d02, 26d04, 26d06 및 26d08)은 그 오프셋이 RMSI PRB의 정수 배가 아니며 $\Delta F2$ 의 기존 구성들과 조합되는 RE 레벨 오프셋 표시 $\Delta F1$ 이 이 케이스들을 커버할 수 있기 때문에 별도의 구성을 필요로 하지 않는다.

[0308] 도 26e는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {120 kHz, 60 kHz, 50 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2(2650)$ 의 예시적인 구성을 도시한 것이다. 도 26e에 도시된 $\Delta F2(2650)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26e는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0309] 도 26e에서와 같은 제5 예에서는, SCS_SS = 120 kHz 및 SCS_CORESET = 60 kHz 및 채널 래스터 = 60 kHz의 시나리오가 고려된다(최소 CH BW는 50 MHz(SS 뉴머롤로지에서 32 PRB 및 RMSI 뉴머롤로지에서 66 PRB)인 것으로 가정됨). 이 케이스에서는, RMSI CORESET BW가 48 PRB인 경우, 표시 범위 = 24 PRB이고, $\Delta f2 = 19$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -4, 4 PRB(중앙 오프셋)이거나 또는 8, 0 PRB(에지 오프셋)일 수 있다.

[0310] 도 26e에 도시된 바와 같이, 26e01 내지 26e03은 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -4$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 8$ PRB)을 사용하고, 26e04 내지 26e06은 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 4$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 8$ PRB)을 사용한다. 일부 케이스들(예를 들면, 26e03 및 26e04)의 경우, 두 구성 중 하나가 사용될 수 있음에 유의한다. 또한 세 번째 구성, 중앙 오프셋의 경우 $\Delta F2 = 0$ 또는 에지 오프셋의 경우 $\Delta F2 = 4$ 를 추가하는 경우, 26e03 및 26e04가 이 구성을 사용할 수 있다.

[0311] 도 26f는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {120 kHz, 120 kHz, 50 MHz, 24 PRB}의 케이스에 있어서의 $\Delta F2(2660)$ 의 예시적인 구성을 도시한 것이다. 도 26f에 도시된 $\Delta F2(2660)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26f는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0312] 도 26f와 같은 제6 예에서는, SCS_SS = 120 kHz 및 SCS_CORESET = 120 kHz 및 채널 래스터 = 60 kHz의 시나리오가 고려된다(최소 CH BW는 50 MHz(SS 및 RMSI 뉴머롤로지에서 32 PRB)인 것으로 가정됨). 이 케이스에서는, RMSI CORESET BW가 24 PRB인 경우, 표시 범위 = 12 PRB이고, $\Delta f2 = 9$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -2, 2 PRB(중앙 오프셋)이거나 또는 4, 0 PRB(에지 오프셋)일 수 있다.

[0313] 도 26f에 도시된 바와 같이, 26f01 내지 26f03은 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 4$ PRB)을 사용하고, 26f04 내지 26f06은 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 0$ PRB)을 사용한다. 일부 케이스들(예를 들면, 26f03 및 26f04)의 경우, 이 구성들 중 하나가 사용될 수 있다. 또한 세 번째 구성, 중앙 오프셋의 경우 $\Delta F2 = 0$ 또는 에지 오프셋의 경우 $\Delta F2 = 2$ 를 추가하면, 26f03 내지 26f04가 이 구성을 사용할 수 있다.

- [0314] 도 26g는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {240 kHz, 120 kHz, 100 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2(2670)$ 의 예시적인 구성을 도시한 것이다. 도 26g에 도시된 $\Delta F2(2670)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26g는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0315] 도 26g에서와 같은 제7 예에서는, SCS_SS = 240 kHz 및 SCS_CORESET = 120 kHz 및 채널 래스터 = 60 kHz의 시나리오가 고려된다(최소 CH BW는 100 MHz(SS 뉴머롤로지에서 32 PRB 및 RMSI 뉴머롤로지에서 66 PRB)인 것으로 가정됨). 이 케이스에서는, RMSI CORESET BW가 48 PRB인 경우, 표시 범위 = 24 PRB이고, $\Delta f2 = 19$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -4, 4 PRB(중앙 오프셋)이거나 또는 8, 0 PRB(에지 오프셋)일 수 있다.
- [0316] 도 26g에 도시된 바와 같이, 26g01 내지 26g03은 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -4$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 8$ PRB)을 사용하고, 26g04 내지 26g06은 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 4$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 0$ PRB)을 사용한다. 일부 케이스들(예를 들면, 26g03 및 26g04)의 경우, 이 구성들 중 하나가 사용될 수 있다. 또한 세 번째 구성, 중앙 오프셋의 경우 $\Delta F2 = 0$ 또는 에지 오프셋의 경우 $\Delta F2 = 4$ 를 추가하면, 26g03 내지 26g04가 이 구성을 사용할 수 있음에 유의한다.
- [0317] 도 26h는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {240 kHz, 60 kHz, 100 MHz, 96 PRB}의 케이스에 있어서의 $\Delta F2(2680)$ 의 예시적인 구성을 도시한 것이다. 도 26h에 도시된 $\Delta F2(2680)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 26h는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0318] 도 26h에서와 같은 제8 예에서는, SCS_SS = 240 kHz 및 SCS_CORESET = 60 kHz 및 채널 래스터 = 60 kHz의 시나리오가 고려된다(최소 CH BW는 100 MHz(SS 뉴머롤로지에서 32 PRB 및 RMSI 뉴머롤로지에서 132 PRB)인 것으로 가정됨). 이 케이스에서는, RMSI CORESET BW가 96 PRB인 경우, 표시 범위 = 48 PRB이고, $\Delta f2 = 37$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -8, 8 PRB(중앙 오프셋)이거나 또는 16, 0 PRB(에지 오프셋)일 수 있다.
- [0319] 도 26h에 도시된 바와 같이, 26h01 내지 26h03은 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -4$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 8$ PRB)을 사용하고, 26h04 내지 26h06은 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 4$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 0$ PRB)을 사용한다. 일부 케이스들(예를 들면, 26h03 및 26h04)의 경우, 이 구성들 중 하나가 사용될 수 있다. 또한 세 번째 구성, 중앙 오프셋의 경우 $\Delta F2 = 0$ 또는 에지 오프셋의 경우 $\Delta F2 = 8$ 를 추가하면, 26h03 내지 26h04가 이 구성을 사용할 수 있다.
- [0320] 도 27a는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 15 kHz, 10 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2(2700)$ 의 예시적인 구성을 도시한 것이다. 도 27a에 도시된 $\Delta F2(2700)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 27a는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0321] TDM 서브케이스-2에 대한, $\Delta F2$ 의 그래놀래터의 제5 예를 갖는 이러한 접근법(방식 1d)의 예들이 도 27a에 도시되어 있으며, 이 예들의 요약이 표 5에 나와 있다. 표 5는 TDM 서브케이스-2에 대한 $\Delta F2$ 구성의 예들을 보여준다.

[0322] [표 5]

SS SCS (kHz)	CORESET SCS (kHz)	CORESET BW (CORESET 뉴머롤로지 에서 PRB)	주파수 오프셋 구성 개수	CORESET 뉴머롤로지의 PRB 에서 중앙 주파수 오프셋 값 $\Delta F2$	CORESET 뉴머롤로지의 PRB 에서 에지 주파수 오프셋 값 $\Delta F2$
15	15	48	2	-2, 2	16, 12
15	15	96	1	0	38
15	30	24	3	-1, 0, 1	6, 7, 8
15	30	48	2	-1, 1	18, 20
30	15	96	1	0	28
30	30	48	3	-2, 0, 2	12, 14, 16
120	60	96	1	0	28
120	120	48	1	0	14

[0323]

[0324]

도 27a와 같은 제1 예에서는, SCS_SS = 15 kHz 및 SCS_CORESET = 15 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 TDM 시나리오가 고려된다. 캐리어 BW는 10 MHz이며, SS 및 RMSI 뉴머롤로지에서 52 PRB이다. 이 케이스에서는, RMSI CORESET BW가 48 PRB이고, 제한된 BW가 RMSI CORESET BW의 중앙 24 PRB로서 선택될 수 있는 경우, 표시 범위 = 5 PRB이고, $\Delta f2 = 5$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -2, 2 PRB(중앙 오프셋)이거나 또는 12, 16 PRB(에지 오프셋)일 수 있다.

[0325]

도 27a에 도시된 바와 같이, 27a01, 27a02 및 275a03은 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 16$ PRB)을 사용하고, 27a04, 27a05 및 27a06은 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 12$ PRB)을 사용한다.

[0326]

도 27b는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 15 kHz, 20 MHz, 96 PRB}의 케이스에 있어서의 $\Delta F2(2710)$ 의 예시적인 구성을 도시한 것이다. 도 27b에 도시된 $\Delta F2(2710)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 27b는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0327]

도 27b와 같은 제2 예에서는, SCS_SS = 15 kHz 및 SCS_CORESET = 15 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 TDM 시나리오가 고려된다. 캐리어 BW는 20 MHz이며, SS 및 RMSI 뉴머롤로지에서 106 PRB이다. 이 케이스에서는, RMSI CORESET BW가 96 PRB이고, 제한된 BW가 RMSI CORESET BW의 중앙 24 PRB로서 선택될 수 있는 경우, 표시 범위 = 5 PRB이고, $\Delta f2 = 11$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0 PRB(중앙 오프셋)이거나 또는 38 PRB(에지 오프셋)일 수 있다.

[0328]

도 27b에 도시된 바와 같이, 27b01 내지 27b06은 모두 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = 0$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 38$ PRB)을 사용한다.

[0329]

도 27c는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 30 kHz, 10 MHz, 24 PRB}의 케이스에 있어서의 $\Delta F2(2720)$ 의 예시적인 구성을 도시한 것이다. 도 27c에 도시된 $\Delta F2(2720)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 27c는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.

[0330]

도 27c와 같은 제3 예에서는, SCS_SS = 15 kHz 및 SCS_CORESET = 30 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 TDM 시나리오가 고려된다. 캐리어 BW는 10MHz이며, SS 뉴머롤로지에서 52 PRB이고 RMSI 뉴머롤로지에서 24 PRB이다. 이 케이스에서는, RMSI CORESET BW가 24 PRB이고, 제한된 BW가 RMSI CORESET BW의 중앙 12 PRB로서 선택될 수 있는 경우, 표시 범위 = 2.5 PRB이고, $\Delta f2 = 1$ PRB이며, 이에 따라 $N_{\Delta F2} = 3$, 즉 3개의 구성

으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -1, 0, 1 PRB(중앙 오프셋)이거나 또는 6, 7, 8 PRB(에지 오프셋)일 수 있다.

- [0331] 도 27c에 도시된 바와 같이, 27c01은 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -1$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 8$ PRB)을 사용하고, 27c03은 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 0$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 7$ PRB)을 사용하고, 27c05는 구성 #2(중앙 오프셋의 경우 $\Delta F2 = 1$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 6$ PRB)을 사용하며, 나머지 것들은 PRB가 정렬되지 않기 때문에 구성들을 필요로 하지 않는다(다른 기존의 구성들과의 RE 레벨 표시 조합이 이러한 케이스들을 커버할 수 있음).
- [0332] 도 27d는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {15 kHz, 30 kHz, 20 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2(2730)$ 의 예시적인 구성을 도시한 것이다. 도 27d에 도시된 $\Delta F2(2730)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 27d는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0333] 도 27d와 같은 제4 예에서는, SCS_SS = 15 kHz 및 SCS_CORESET = 30 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 TDM 시나리오가 고려된다. 캐리어 BW는 20 MHz이며, SS 뉴머롤로지에서 106 PRB이고 RMSI 뉴머롤로지서 50 PRB이다(혼합 뉴머롤로지들에서 짝수의 PRB로 인해 하나의 PRB를 잘라냄). 이 케이스에서는, RMSI CORESET BW가 48 PRB이고, 제한된 BW가 RMSI CORESET BW의 중앙 12 PRB로서 선택될 수 있는 경우, 표시 범위 = 2.5 PRB이고, $\Delta f2 = 3$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -1, 1 PRB(중앙 오프셋)이거나 또는 18, 20 PRB(에지 오프셋)일 수 있다.
- [0334] 도 27d에 도시된 바와 같이, 27d01, 27d02 및 27d03은 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -1$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 20$ PRB)을 사용하고, 27d04 및 27d05 및 27d06은 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 1$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 18$ PRB)을 사용한다.
- [0335] 도 27e는 본 개시의 실시 예에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 15 kHz, 20 MHz, 96 PRB}의 케이스에 있어서의 $\Delta F2(2740)$ 의 예시적인 구성을 도시한 것이다. 도 27e에 도시된 $\Delta F2(2740)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 27e는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0336] 도 27e와 같은 제5 예에서는, SCS_SS = 30 kHz 및 SCS_CORESET = 15 kHz 및 채널 래스터 = 15 kHz 또는 100 kHz의 TDM 시나리오가 고려된다. 캐리어 BW는 20 MHz이며, SS 뉴머롤로지서 50 PRB이고(혼합 뉴머롤로지들에서 짝수의 PRB로 인해 하나의 PRB를 잘라냄), RMSI 뉴머롤로지서 106 PRB이다. 이 케이스에서는, RMSI CORESET BW가 96 PRB이고, 제한된 BW가 RMSI CORESET BW의 중앙 48 PRB로서 선택될 수 있는 경우, 표시 범위 = 9 PRB이고, $\Delta f2 = 11$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0 PRB(중앙 오프셋)이거나 또는 28 PRB(에지 오프셋)일 수 있다.
- [0337] 도 27e에 도시된 바와 같이, 모두가 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = 0$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 28$ PRB)을 사용한다.
- [0338] 도 27f는 본 개시의 실시 예들에 따른 {SS SCS, RMSI SCS, CH BW, CORESET BW} = {30 kHz, 30 kHz, 20 MHz, 48 PRB}의 케이스에 있어서의 $\Delta F2(2750)$ 의 예시적인 구성을 도시한 것이다. 도 27f에 도시된 $\Delta F2(2750)$ 의 구성의 실시 예는 단지 예시를 위한 것이다. 도 27f는 본 개시의 범위를 임의의 특정 구현으로 제한하지 않는다.
- [0339] 도 27f와 같은 제6 예에서는, SCS_SS = 30kHz 및 SCS_CORESET = 30kHz 및 채널 래스터 = 15kHz 또는 100kHz의 TDM 시나리오가 고려된다. 캐리어 BW는 20 MHz이며, SS 및 RMSI 뉴머롤로지서 50 PRB이다. 이 케이스에서는, RMSI CORESET BW가 48 PRB이고, 제한된 BW가 RMSI CORESET BW의 중앙 24 PRB로서 선택될 수 있는 경우, 표시 범위 = 9 PRB이고, $\Delta f2 = 3$ PRB이며, 이에 따라 $N_{\Delta F2} = 3$, 즉 3개의 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 -2, 0, 2 PRB(중앙 오프셋)이거나 또는 12, 14, 16 PRB(에지 오프셋)일 수 있다.
- [0340] 도 27f에 도시된 바와 같이, 27f01 내지 27f03은 동일한 구성 #0(중앙 오프셋의 경우 $\Delta F2 = -2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 16$ PRB)을 사용하고, 27f04 내지 27f06은 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 0$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 14$ PRB)을 사용하고, 27f07 내지 27f09는 동일한 구성 #1(중앙 오프셋의 경우 $\Delta F2 = 2$ PRB 또는 에지 오프셋의 경우 $\Delta F2 = 12$ PRB)을 사용한다.

[0341] >6 GHz 케이스들의 경우(예를 들면, SS SCS는 240 kHz 또는 120 kHz), 채널 이용율이 상당히 높기 때문에, 표시 범위는 Δf_2 보다 훨씬 작으며, 이에 따라 단일 구성으로 SS 블록 및 RMSI CORESET의 중앙들/에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0 PRB(중앙 오프셋)이거나 또는 $\text{CORESET_BW}/2 - \text{SS_BW}/2 * R_SCS$ PRB(에지 오프셋)일 수 있다.

[0342] TDM 서브케이스 1 및 2를 함께 병합하는 경우, 하나의 조인트 테이블이 표 6에서와 같이 주어질 수 있으며, 여기서 $a = R_SCS = \text{SCS_SS}/\text{SCS_CORESET}$ 이다. 에지 오프셋과 중앙 오프셋 간의 관계는 에지 오프셋 = 중앙 오프셋 + $\text{CORESET_BW}/2 - \text{SS_블록 BW}/2 * R_SCS$ 에 의해 주어진다는 것에 유의한다. 표 6은 TDM 케이스에 대한 ΔF_2 구성의 예들을 보여준다.

[0343] [표 6]

SS SCS (kHz)	CORESET SCS (kHz)	CORESET BW (CORESET 뉴머롤로지 에서 PRB)	주파수 오프셋 구성 개수	CORESET 뉴머롤로지의 PRB 에서 중앙 주파수 오프셋 값 ΔF_2	CORESET 뉴머롤로지의 PRB 에서 에지 주파수 오프셋 값 ΔF_2
15	15	24	3	-2a, 0, 2a	0, 2, 4
15	15	48	2	-2a, 2a	12, 16
15	15	96	1	0	38
15	30	24	3	-2a, 0, 2a	6, 7, 8
15	30	48	2	-2a, 2a	18, 20
30	15	48	2	-a, a	2, 6
30	15	96	1	0	28
30	30	24	5	-2a, -a, 0, a, 2a	0, 1, 2, 3, 4
30	30	48	3	-2a, 0, 2a	12, 14, 16
120	60	48	2	-2a, 2a	0, 8
120	60	96	1	0	28
120	120	24	2	-2a, 2a	0, 4
120	120	48	1	0	14
240	60	96	2	-2a, 2a	0, 16
240	120	48	2	-2a, 2a	0, 8

[0344]

[0345] FDM 케이스들에 대한, ΔF_2 의 그레놀래리티의 제5 예를 갖는 이러한 접근법(예를 들어, 방식 1d)의 경우, 2개의 구성으로 PRB 레벨 주파수 오프셋 ΔF_2 를 나타내는데 충분하며, 즉 CORESET이 SS 블록의 상단에 다중화되거나 또는 SS 블록의 하단에 다중화되며, 이들 모두는 플로팅 동기화 및/또는 SS 및 RMSI의 혼합 뉴머롤로지를 가능하게 하도록 하기 위해 잠재적으로 더 작은 갭을 갖는다. 예를 들어, 에지 오프셋은 ΔF_1 이 0이 아니거나(즉, PRB 그리드가 정렬되지 않음) SS 및 RMSI 뉴머롤로지가 동일한 경우 SS 블록 $\text{BW} * R_SCS - 1$ 또는 CORESET BW일 수 있고; 또한 ΔF_1 이 0이고(즉, PRB 그리드가 정렬됨) SS 및 RMSI 뉴머롤로지가 동일한 경우 SS 블록 $\text{BW} * R_SCS$ 또는 CORESET BW일 수 있고; 또한 ΔF_1 이 0이 아니거나(즉, PRB 그리드가 정렬되지 않음) SS 및 RMSI 뉴머롤로지가 상이한 경우 SS 블록 $\text{BW} * R_SCS - 2$ 또는 CORESET BW+1일 수 있으며; 또한 ΔF_1 이 0이고(즉, PRB 그리드가 정렬됨) SS 및 RMSI 뉴머롤로지가 상이한 경우 SS 블록 $\text{BW} * R_SCS - 1$ 또는 CORESET BW+1일 수 있다.

[0346] 이 접근법(방식 1d)에 대한 일 실시 예에서, SS SCS 및 RMSI CORESET SCS의 각각의 조합에 대해, SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET에 대한 심볼 수, 및 PRB 레벨 오프셋DL NR-PBCH에서 X 비트를 사용하여 테이블에서 공동 코딩되며, 여기서 X는 예를 들어 4일 수 있다.

[0347] 이 실시 예의 예들이 표 7A 내지 표 7H에 나와 있으며, 이 표들에서, "패턴 1"은 SS/PBCH 블록과 RMSI CORESET

이 상이한 시간 인스턴스들에서 발생하고, SS/PBCH 블록 TX BW와 RMSI CORESET를 포함하는 초기 활성 DL BWP가 중첩되는(앞서의 실시예들에서 TDM 케이스(서브케이스 1 및 2 포함)) 다중화 패턴을 지칭하고; "패턴 2"는 SS/PBCH 블록과 RMSI CORESET이 상이한 시간 인스턴스들에서 발생하고, SS/PBCH 블록 TX BW와 RMSI CORESET를 포함하는 초기 활성 DL BWP가 중첩되지 않는(상이한 심볼들에서 시작하는(타이밍 오프셋이 0보다 큼) SS 블록 및 RMSI CORESET를 갖는 FDM 서브케이스 1) 다중화 패턴을 지칭하고; "패턴 3"은 SS/PBCH 블록과 RMSI CORESET이 동일한 시간 인스턴스들에서 발생하고, SS/PBCH 블록 TX BW와 RMSI CORESET를 포함하는 초기 활성 DL BWP가 중첩되지 않는(동일한 심볼에서 시작하는(타이밍 오프셋이 0) SS 블록 및 RMSI CORESET를 갖는 FDM 서브케이스 1) 다중화 패턴을 지칭한다.

[0348] 표 7A는 SS의 SCS가 15 kHz이고 및 CORESET의 SCS가 15 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 15 kHz SS SCS 및 5 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 최소 채널 BW가 5 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 5 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7A가 이들 캐리어들에 대해서도 재사용될 수 있다.

[0349] 예를 들어, 최소 CH BW가 10 MHz이지만 SS 래스터 스텝 크기가 여전히 900 kHz + 채널 래스터 내에 있는 대역들의 경우, 표 7A가 이들 대역들에도 적용될 수 있고; 최소 CH BW가 20 MHz이지만 SS 래스터 스텝 크기가 여전히 900 kHz + 채널 래스터 내에 있는 대역들의 경우, 표 7A가 이들 대역들에도 적용될 수 있다. 표 7A는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0350] [표 7A]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET에 대한 심볼 개수	CORESET 뉴머로토지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	2
3	Pattern 1	24	2	4
4	Pattern 1	24	3	0
5	Pattern 1	24	3	2
6	Pattern 1	24	3	4
7	Pattern 1	48	1	12
8	Pattern 1	48	1	16
9	Pattern 1	48	2	12
10	Pattern 1	48	2	16
11	Pattern 1	48	3	12
12	Pattern 1	48	3	16
13	Pattern 1	96	1	38
14	Pattern 1	96	2	38
15	Pattern 1	96	3	38
16	Reserved			

[0351]

[0352] 표 7B는 SS의 SCS가 15 kHz이고 및 CORESET의 SCS가 30 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 15 kHz SS SCS 및 5 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 최소 채널 BW가 5 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 5 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7B가 이들 캐리어들에 대해서도 재사용될 수 있다. 예를 들어, 최소 CH BW가 10 MHz이지만 SS 래스터 스텝 크기가 여전히 900 kHz + 채널 래스터 내에 있는 대역들의 경우, 표 7B가 이들 대역들에도 적용될 수 있고; 최소 CH BW가 20 MHz이지만 SS 래스터 스텝 크기가 여전히 900 kHz + 채널 래스터 내에 있는 대역들의 경우, 표 7B가 이들 대역들에도 적용될 수 있다. 표 7B는 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0353] [표 7B]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	6
2	Pattern 1	24	2	7
3	Pattern 1	24	2	8
4	Pattern 1	24	3	6
5	Pattern 1	24	3	7
6	Pattern 1	24	3	8
7	Pattern 1	48	1	18
8	Pattern 1	48	1	20
9	Pattern 1	48	2	18
10	Pattern 1	48	2	20
11	Pattern 1	48	3	18
12	Pattern 1	48	3	20
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0354]

[0355]

표 7C는 SS의 SCS가 30 kHz이고 및 CORESET의 SCS가 15 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 30 kHz SS SCS 및 10 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 5 MHz 최소 채널 BW를 갖는 캐리어들의 경우, 하나의 네트워크가 10 MHz에서 동작할 수 있으면, 표 7C가 이들 캐리어들에 대해서도 재사용될 수 있다. 최소 채널 BW가 10 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 10 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7C가 이들 캐리어들에 대해서도 재사용될 수 있다. 표 7C는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0356] [표 7C]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	2
2	Pattern 1	48	1	6
3	Pattern 1	48	2	2
4	Pattern 1	48	2	6
5	Pattern 1	48	3	2
6	Pattern 1	48	3	6
7	Pattern 1	96	1	28
8	Pattern 1	96	2	28
9	Pattern 1	96	3	28
10	Reserved			
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			

[0357]

16	Reserved
----	----------

[0358]

[0359] 표 7D는 SS의 SCS가 30 kHz이고 및 CORESET의 SCS가 30 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 30 kHz SS SCS 및 10 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 5 MHz 최소 채널 BW를 갖는 캐리어들의 경우, 하나의 네트워크가 10 MHz에서 동작할 수 있으면, 표 7D가 이들 캐리어들에 대해서도 재사용될 수 있다. 최소 채널 BW가 10 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 10 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7D가 이들 캐리어들에 대해서도 재사용될 수 있다. 표 7D는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0360] [표 7D]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	1
3	Pattern 1	24	2	2
4	Pattern 1	24	2	3
5	Pattern 1	24	2	4
6	Pattern 1	24	3	0
7	Pattern 1	24	3	1
8	Pattern 1	24	3	2
9	Pattern 1	24	3	3
10	Pattern 1	24	3	4
11	Pattern 1	48	1	12
12	Pattern 1	48	1	14
13	Pattern 1	48	1	16

[0361]

14	Pattern 1	48	2	12
15	Pattern 1	48	2	14
16	Pattern 1	48	2	16

[0362]

[0363]

표 7E는 SS의 SCS가 120 kHz이고 및 CORESET의 SCS가 60 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 120 kHz SS SCS 및 50 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 최소 채널 BW가 50 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 50 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7E가 이들 캐리어들에 대해서도 재사용될 수 있다. 표 7E는 {SS SCS, RMSI SCS} = {120 kHz, 60 kHz}일 경우, 적어도 최소 CH BW가 50 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0364]

[표 7E]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	0
2	Pattern 1	48	1	8
3	Pattern 1	48	2	0
4	Pattern 1	48	2	8
5	Pattern 1	48	3	0
6	Pattern 1	48	3	8
7	Pattern 1	96	1	28
8	Pattern 1	96	2	28
9	Pattern 2	48	1	-42 if $\Delta F_1 \neq 0$ and -41 if $\Delta F_1 = 0$
10	Pattern 2	48	1	-49
11	Pattern 2	96	1	-42 if $\Delta F_1 \neq 0$ and -41 if

[0365]

				$\Delta F_1 = 0$
12	Pattern 2	96	1	97
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0366]

[0367]

표 7F는 SS의 SCS가 120 kHz이고 및 CORESET의 SCS가 120 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 120 kHz SS SCS 및 50 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 최소 채널 BW가 50 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 50 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7F가 이들 캐리어들에 대해서도 재사용될 수 있다. 표 7F는 {SS SCS, RMSI SCS} = {120 kHz, 120 kHz}일 경우, 적어도 최소 CH BW가 50 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0368] [표 7F]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	4
3	Pattern 1	48	1	14
4	Pattern 1	48	2	14
5	Pattern 3	24	2	-21 if $\Delta F_1 \neq 0$ and -20 if $\Delta F_1 = 0$
6	Pattern 3	24	2	24
7	Pattern 3	48	2	-21 if $\Delta F_1 \neq 0$ and -20 if $\Delta F_1 = 0$

[0369]

8	Pattern 3	48	2	48
9	Reserved			
10	Reserved			
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0370]

[0371] 표 7G는 SS의 SCS가 240 kHz이고 및 CORESET의 SCS가 60 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 240 kHz SS SCS 및 100 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 50 MHz 최소 채널 BW를 갖는 캐리어들의 경우, 하나의 네트워크가 100 MHz에서 동작할 수 있으면, 표 7G가 이들 캐리어들에 대해서도 재사용될 수 있다. 최소 채널 BW가 100 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 100 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7G가 이들 캐리어들에 대해서도 재사용될 수 있다. 표 7G는 {SS SCS, RMSI SCS} = {240 kHz, 60 kHz}일 경우, 적어도 최소 CH BW가 50 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0372] [표 7G]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	96	1	0
2	Pattern 1	96	1	16
3	Pattern 1	96	2	0
4	Pattern 1	96	2	16
5	Reserved			

[0373]

6	Reserved
7	Reserved
8	Reserved
9	Reserved
10	Reserved
11	Reserved
12	Reserved
13	Reserved
14	Reserved
15	Reserved
16	Reserved

[0374]

[0375]

표 7H는 SS의 SCS가 240 kHz이고 및 CORESET의 SCS가 120 kHz인 경우, MIB에서 4 비트를 사용한 SS/PBCH 블록 및 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수, PRB 레벨 오프셋의 조인트 구성을 제공한다. 이 구성 테이블은 240 kHz SS SCS 및 100 MHz의 최소 채널 BW를 갖는 캐리어들을 위해 적어도 이용될 수 있다. 50 MHz 최소 채널 BW를 갖는 캐리어들의 경우, 하나의 네트워크가 100 MHz에서 동작할 수 있으면, 표 7H가 이들 캐리어들에 대해서도 재사용될 수 있다. 최소 채널 BW가 100 MHz보다 큰 캐리어들의 경우, 동기화 래스터가 최소 채널 BW가 100 MHz인 캐리어들과 동일하거나 작게 유지될 수 있으면, 표 7H가 이들 캐리어들에 대해서도 재사용될 수 있다. 표 7H는 {SS SCS, RMSI SCS} = {240 kHz, 120 kHz}일 경우, 적어도 최소 CH BW가 50 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0376]

[표 7H]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	0
2	Pattern 1	48	1	8
3	Pattern 1	48	2	0

[0377]

4	Pattern 1	48	2	8
5	Pattern 2	24	1	-42 if $\Delta F_1 \neq 0$ and -41 if $\Delta F_1 = 0$
6	Pattern 2	24	1	25
7	Pattern 2	48	1	-42 if $\Delta F_1 \neq 0$ and -41 if $\Delta F_1 = 0$
8	Pattern 2	48	1	49
9	Reserved			
10	Reserved			
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0378]

[0379]

ΔF_1 의 그레놀래리티의 제1 예에서는, ΔF_1 의 그레놀래리티가 RMSI CORESET SCS와 동일하다(예를 들어, 채널 래스터가 RMSI CORESET SCS보다 작은 경우에도 더 작은 그레놀래리티의 표시는 없음). 이 경우, 네트워크는 더 작은 그레놀래리티의 표시가 필요하지 않도록 채널 래스터로부터 서브셋을 선택하고, UE는 SS/PBCH 블록 PRB 그리드가 RMSI RE 그리드와 정렬됨으로써, SS/PBCH 블록과 RMSI 사이의 PRB 그리드 오프셋이 RMSI 서브캐리어 간격의 정수배가 된 것으로 가정한다.

- [0380] 그러면, RE에서의 $\Delta F1$ 에 대한 가능한 값들의 총 수, 즉 $N_{\Delta F1}$ 는 $N_{\Delta F1} = N_{\Delta F1} = N_{RE_PRB}$ (비대칭 RE 위치)로 결정되거나; 또는 $N_{\Delta F1} = N_{RE_PRB} + 1$ (대칭 RE 위치)로 결정될 수 있으며, 여기서 $N_{RE_PRB}=12$, 및 $R_SCS = SCS_SS/SCS_CORESET$ (ratio between SS/PBCH SCS와 CORESET SCS 사이의 비율)이고, $\Delta F1$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F1$: $-(N_{\Delta F1}-2)/2, -(N_{\Delta F1}-4)/2, \dots, (N_{\Delta F1}-2)/2, N_{\Delta F1}/2$ 또는 $-N_{\Delta F1}/2, -(N_{\Delta F1}-2)/2, \dots, (N_{\Delta F1}-2)/2$ 또는 $0, 1, \dots, N_{\Delta F1}-1$ 또는 $-(N_{\Delta F1}-1), \dots, -1, 0$ (또한 $-(N_{\Delta F1}-2)/2:1:N_{\Delta F1}/2$ 또는 $-N_{\Delta F1}/2:1:(N_{\Delta F1}-2)/2$ 또는 $0:1:N_{\Delta F1}-1$ 또는 $-(N_{\Delta F1}-1):1:0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F1$: $-(N_{\Delta F1}-1)/2, -(N_{\Delta F1}-3)/2, \dots, (N_{\Delta F1}-3)/2, (N_{\Delta F1}-1)/2$ (또한 $-(N_{\Delta F1}-1)/2:1:(N_{\Delta F1}-1)/2$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아님에 유의한다.
- [0381] $\Delta F1$ 의 그레놀래리티의 제2 예에서는, $\Delta F1$ 의 그레놀래리티가 SCS 기반(예를 들어 <6GHz의 경우 15kHz, >6GHz의 경우 60kHz)으로 정의되는 경우, 채널 래스터와 동일하다. 그러면, RE에서의 $\Delta F1$ 에 대한 가능한 값들의 총 수, 즉 $N_{\Delta F1}$ 은 $N_{\Delta F1} = N_{RE_PRB} * R_SCS'$ (비대칭 RE 위치)으로 결정되거나; 또는 $N_{\Delta F1} = N_{RE_PRB} * R_SCS' + 1$ (대칭 RE 위치)로 결정될 수 있으며; 여기서 $N_{RE_PRB}=12$, 및 <6GHz에 대해 $R_SCS' = SCS_CORESET/15$ kHz이고, >6GHz에 대해 $R_SCS' = SCS_CORESET/60$ kHz이고(예를 들면, 채널 래스터가 SCS 기반인 경우 CORESET SCS와 채널 래스터 사이의 비율), 또한 $\Delta F1$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F1$: $-(N_{\Delta F1}-2)/2/R_SCS', -(N_{\Delta F1}-4)/2/R_SCS', \dots, (N_{\Delta F1}-2)/2/R_SCS', N_{\Delta F1}/2/R_SCS'$ 또는 $-N_{\Delta F1}/2/R_SCS', -(N_{\Delta F1}-2)/2/R_SCS', \dots, (N_{\Delta F1}-2)/2/R_SCS'$ 또는 $0, 1/R_SCS', \dots, (N_{\Delta F1}-1)/R_SCS'$ 또는 $-(N_{\Delta F1}-1)/R_SCS', \dots, -1/R_SCS', 0$ (또한 $-(N_{\Delta F1}-2)/2/R_SCS':1/R_SCS':N_{\Delta F1}/2/R_SCS'$ 또는 $-N_{\Delta F1}/2/R_SCS':1/R_SCS':(N_{\Delta F1}-2)/2/R_SCS'$ 또는 $0:1/R_SCS':(N_{\Delta F1}-1)/R_SCS'$ 또는 $-(N_{\Delta F1}-1)/R_SCS':1/R_SCS':0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F1$: $-(N_{\Delta F1}-1)/2/R_SCS', -(N_{\Delta F1}-3)/2/R_SCS', \dots, (N_{\Delta F1}-3)/2/R_SCS', (N_{\Delta F1}-1)/2/R_SCS'$ (또한 $-(N_{\Delta F1}-1)/2/R_SCS':1/R_SCS':(N_{\Delta F1}-1)/2/R_SCS'$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아님에 유의한다.
- [0382] 주어진 주파수 범위에 대한, $\Delta F1$ 의 그레놀래리티의 두 가지 예에 대한 한 가지 고려 사항에서, 이 두 가지 예들 중에서 그레놀래리티를 선택할 수 있다. 예를 들어, > 6GHz인 경우, 제1 예가 사용되며, < 6GHz인 경우, 제2 예가 사용된다.
- [0383] 제1 방식의 제4 접근법(예를 들어, 방식 1d)에서는, 최종 주파수 오프셋 ΔF 가 표 8에서와 같은 오프셋 내의 주파수 오프셋 기준을 고려하여, $\Delta F = \Delta F1 + \Delta F2 * N_{RE_PRB}$ (뉴머롤로지에 관계없이 $N_{RE_PRB} = 12$)에 의해 결정될 수 있다. 표 8은 방식 1d를 사용하는 상이한 다중화 케이스들에서의 ΔF 결정을 예시한 것이다.

[0384] [표 8]

	RMSI CORESET 뉴머로지에 의한 RE 단위에서 ΔF	비고
TDM-Embodiment 1.1	$\Delta F1 + \Delta F2 * N_RE_PRB$	
TDM-Embodiment 1.2	$\Delta F1 + \Delta F2 * N_RE_PRB$	
TDM-Embodiment 1.3	$\Delta F1 - \Delta F2 * N_RE_PRB$	
TDM-Embodiment 2.1	$\Delta F1 - \Delta F2 * N_RE_PRB$	
TDM-Embodiment 2.2	$\Delta F1 - \Delta F2 * N_RE_PRB - \Delta CORESET_BW_Offset$ in RE	$\Delta CORESET_BW_Offset$ is the predefined offset between centers of RMSI CORESET BW and Restricted BW as defined in TDM-Embodiment 2.2 (in RMSI CORESET numerology)
TDM-Embodiment 2.3	$\Delta F1 - \Delta F2 * N_RE_PRB + \Delta CORESET_BW_Offset$ in RE	$\Delta CORESET_BW_Offset$ is the predefined offset between centers of RMSI CORESET BW and Restricted BW as defined in TDM-Embodiment 2.3 (in RMSI CORESET numerology)
FDM-Embodiment 1.1	$\Delta F1 + \Delta F2 * N_RE_PRB + \Delta Gap$ in RE + RMSI CORESET BW in RE / 2 + Min CH BW in RE / 2 * R_SCS and / or $\Delta F1 + \Delta F2 * N_RE_PRB - (\Delta Gap'$ in RE + RMSI CORESET BW in RE / 2 + Min CH BW in RE / 2 * R_SCS)	ΔGap and $\Delta Gap'$ are the predefined frequency gap between RMSI resources and min channel BW as defined in FDM-Embodiment 1.1 (in RMSI CORESET numerology)
FDM-Embodiment	$\Delta F1 + \Delta F2 * N_RE_PRB +$	ΔGap and $\Delta Gap'$ are the predefined

[0385]

1.2	ΔGap in RE + RMSI CORESET BW in RE /2 + SS/PBCH block BW in RE /2* R_{SCS} and/or $\Delta F_1 + \Delta F_2 * N_{\text{RE_PRB}} - (\Delta\text{Gap}' \text{ in RE} + \text{RMSI CORESET BW in RE} /2 + \text{SS/PBCH block BW in RE} /2 * R_{\text{SCS}})$	frequency gap between RMSI resources and SS/PBCH block, and (RMSI CORESET BW/2 + ΔGap + SS/PBCH block BW* $R_{\text{SCS}}/2$) and/or -(RMSI CORESET BW/2 + $\Delta\text{Gap}'$ + SS/PBCH block BW* $R_{\text{SCS}}/2$) are the frequency offset references as defined in FDM-Embodiment 1.2 (in RMSI CORESET numerology)
FDM-Embodiment 1.3	$\Delta F_1 + \Delta F_2 * N_{\text{RE_PRB}} + \Delta\text{Gap}$ in RE + RMSI CORESET BW in RE/2 + SS/PBCH block BW in RE/2* R_{SCS} and/or $\Delta F_1 + \Delta F_2 * N_{\text{RE_PRB}} - (\Delta\text{Gap}' \text{ in RE} + \text{RMSI CORESET BW in RE/2} + \text{SS/PBCH block BW in RE/2} * R_{\text{SCS}})$	ΔGap and $\Delta\text{Gap}'$ are the predefined frequency gap between RMSI resources and SS/PBCH block, and (RMSI CORESET BW/2 + ΔGap + SS/PBCH block BW* $R_{\text{SCS}}/2$) and/or -(RMSI CORESET BW/2 + $\Delta\text{Gap}'$ + SS/PBCH block BW* $R_{\text{SCS}}/2$) are the frequency offset references as defined in FDM-Embodiment 1.3 (in RMSI CORESET numerology)
FDM-Embodiment 2.1	$\Delta F_1 + \Delta F_2 * N_{\text{RE_PRB}} + (\Delta\text{Gap}_1 \text{ in RE} - \Delta\text{Gap}_2 \text{ in RE})/2 + (\text{RMSI CORESET BW } 1 \text{ in RE} - \text{RMSI CORESET BW } 2 \text{ in RE})/2$	ΔGap_1 and ΔGap_2 are the predefined frequency gaps between RMSI resources and min channel BW as defined in FDM-Embodiment 2.1 (in RMSI CORESET numerology)
FDM-Embodiment 2.2	$\Delta F_1 + \Delta F_2 * N_{\text{RE_PRB}} + (\Delta\text{Gap}_1 \text{ in RE} - \Delta\text{Gap}_2 \text{ in RE})/2 + (\text{RMSI CORESET BW } 1 \text{ in RE} - \text{RMSI CORESET BW } 2 \text{ in RE})/2$	ΔGap_1 and ΔGap_2 are the predefined frequency gaps between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 2.2 (in RMSI CORESET numerology)
FDM-Embodiment 2.3	$\Delta F_1 + \Delta F_2 * N_{\text{RE_PRB}} + (\Delta\text{Gap}_1 \text{ in RE} - \Delta\text{Gap}_2 \text{ in RE})/2 + (\text{RMSI CORESET BW } 1 \text{ in RE} - \text{RMSI CORESET BW } 2 \text{ in RE})/2$	ΔGap_1 and ΔGap_2 are the predefined frequency gaps between RMSI resources and SS/PBCH block as defined in FDM-Embodiment 2.3 (in RMSI CORESET numerology)

	$\text{BW } 1 \text{ in RE} - \text{RMSI CORESET BW } 2 \text{ in RE})/2$	Embodiment 2.3 (in RMSI CORESET numerology)
--	---	---

제2 방식(예를 들어, 방식 2)에서는, 주파수 오프셋이 SS/PBCH 블록과 RMSI 리소스 PRB 그리드들(예를 들어, 단일 필드 구성 방식, 여기서는 플로팅 동기화에 의해 PRB 내에서 RE 오프셋을 별도로 표시할 필요가 없음) 사이의 RE 오프셋을 캡처하는 단일 구성에 의해 구성될 수 있다. 이 실시 예(예를 들어, 이중 필드 구성과 비교되는 단일 필드 구성)로부터의 이점은 잠재적 구성(또는 비트) 수를 절감하는 것임에 유의한다.

제2 방식의 제1 접근법(예를 들어, 방식 2a)에서는, RE 오프셋 $\Delta F'$ 이 SS/PBCH SCS의 그레놀래리티(즉, $\Delta F'$ 의 가능한 값들의 단위 및 인터벌은 SS/PBCH SCS임)로 측정 및 표현된다. 그러면, $\Delta F'$ 의 가능한 값들의 총 수, 즉 $N_{\Delta F'}$ 은, TDM 및 FDM 케이스들에 대한, $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}} / R_{\text{SCS}}$ (비대칭 RE 위치)로 결정되거나; 또는 TDM 및 FDM 케이스들에 대한, $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}} / R_{\text{SCS}} + 1$ (대칭 RE 위치)로 결정될 수 있으며, 여기서 $N_{\text{RE_PRB}} = 12$ 는 뉴머로지와 무관한 주파수 도메인에서의 PRB 내의 RE 개수이고, $R_{\text{SCS}} = \text{SCS}_{\text{SS}} / \text{SCS}_{\text{CORESET}}$ 이며, 또한 $\Delta F'$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F'$: $-(N_{\Delta F'} - 2)/2, -(N_{\Delta F'} - 4)/2, \dots, (N_{\Delta F'} - 2)/2, N_{\Delta F'}/2$ 또는 $-N_{\Delta F'}/2, -(N_{\Delta F'} - 2)/2, \dots, (N_{\Delta F'} - 2)/2$ 또는 $0, 1, \dots, N_{\Delta F'} - 1$ 또는 $-(N_{\Delta F'} - 1), \dots, -1, 0$ (또한 $-(N_{\Delta F'} - 2)/2 : 1 : N_{\Delta F'}/2$ 또는 $-N_{\Delta F'}/2 : 1 : (N_{\Delta F'} - 2)/2$ 또는 $0 : 1 : N_{\Delta F'} - 1$ 또는 $-(N_{\Delta F'} - 1) : 1 : 0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F'$: $-(N_{\Delta F'} - 1)/2, -(N_{\Delta F'} - 3)/2, \dots, (N_{\Delta F'} - 3)/2, (N_{\Delta F'} - 1)/2$ (또한 $-(N_{\Delta F'} - 1)/2 : 1 : (N_{\Delta F'} - 1)/2$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아님에 유의한다.

제2 방식의 제2 접근법(예를 들어, 방식 2b)에서는, RE 오프셋 $\Delta F'$ 이 RMSI CORESET SCS의 그레놀래리티(즉, Δ

F'의 가능한 값들의 단위는 RMSI CORESET SCS임)로 측정 및 표현된다. 그러면, $\Delta F'$ 의 가능한 값들의 총 수, 즉 $N_{\Delta F'}$ 은, TDM 및 FDM 케이스들에 대한, $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}}$ (비대칭 RE 위치)로 결정되거나; 또는 TDM 및 FDM 케이스들에 대한, $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}} + 1$ (대칭 RE 위치)로 결정될 수 있으며, 여기서 $N_{\text{RE_PRB}} = 12$ 는 뉴머롤로지와 무관한 주파수 도메인에서의 PRB 내의 RE 개수이며, 또한 $\Delta F'$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F'$: $-(N_{\Delta F'}-2)/2, -(N_{\Delta F'}-4)/2, \dots, (N_{\Delta F'}-2)/2, N_{\Delta F'}/2$ 또는 $-N_{\Delta F'}/2, -(N_{\Delta F'}-2)/2, \dots, (N_{\Delta F'}-2)/2$ 또는 $0, 1, \dots, N_{\Delta F'}-1$ 또는 $-(N_{\Delta F'}-1), \dots, -1, 0$ (또한 $-(N_{\Delta F'}-2)/2:1:N_{\Delta F'}/2$ 또는 $-N_{\Delta F'}/2:1:(N_{\Delta F'}-2)/2$ 또는 $0:1:N_{\Delta F'}-1$ 또는 $-(N_{\Delta F'}-1):1:0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F'$: $-(N_{\Delta F'}-1)/2, -(N_{\Delta F'}-3)/2, \dots, (N_{\Delta F'}-3)/2, (N_{\Delta F'}-1)/2$ (또한 $-(N_{\Delta F'}-1)/2:1:(N_{\Delta F'}-1)/2$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아님에 유의한다.

[0391] 제2 방식의 제3 접근법(예를 들어, 방식 2c)에서는, RE 오프셋 $\Delta F'$ 이 SS/PBCH SCS와 RMSI CORESET SCS 사이의 더 작은 것의 그레놀래리티(즉, $\Delta F'$ 의 가능한 값들의 단위 및 인터벌은 SS/PBCH SCS와 RMSI CORESET SCS 사이의 더 작은 것임)로 측정 및 표현된다. 그러면, $\Delta F'$ 의 가능한 값들의 총 수, 즉 $N_{\Delta F'}$ 은, TDM 및 FDM 케이스들에 대한, $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}} / \min(R_{\text{SCS}}, 1)$ (비대칭 RE 위치)로 결정되거나; 또는 TDM 및 FDM 케이스들에 대한, $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}} / \min(R_{\text{SCS}}, 1) + 1$ (대칭 RE 위치)로 결정될 수 있으며, 여기서 $N_{\text{RE_PRB}} = 12$ 는 뉴머롤로지와 무관한 주파수 도메인에서의 PRB 내의 RE 개수이며, 또한 $\Delta F'$ 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 $\Delta F'$: $-(N_{\Delta F'}-2)/2, -(N_{\Delta F'}-4)/2, \dots, (N_{\Delta F'}-2)/2, N_{\Delta F'}/2$ 또는 $-N_{\Delta F'}/2, -(N_{\Delta F'}-2)/2, \dots, (N_{\Delta F'}-2)/2$ 또는 $0, 1, \dots, N_{\Delta F'}-1$ 또는 $-(N_{\Delta F'}-1), \dots, -1, 0$ (또한 $-(N_{\Delta F'}-2)/2:1:N_{\Delta F'}/2$ 또는 $-N_{\Delta F'}/2:1:(N_{\Delta F'}-2)/2$ 또는 $0:1:N_{\Delta F'}-1$ 또는 $-(N_{\Delta F'}-1):1:0$ 로도 표시됨); (2) 대칭 RE 위치를 가진 $\Delta F'$: $-(N_{\Delta F'}-1)/2, -(N_{\Delta F'}-3)/2, \dots, (N_{\Delta F'}-3)/2, (N_{\Delta F'}-1)/2$ (또한 $-(N_{\Delta F'}-1)/2:1:(N_{\Delta F'}-1)/2$ 로도 표시됨)으로 결정될 수 있다. 이러한 대칭 RE 위치 구성에서, RE 위치 구성 중 하나는 필수적인 것이 아님에 유의한다.

[0392] 제2 방식의 제4 접근법(예를 들어, 방식 2d)에서는, RE 오프셋 $\Delta F'$ 이 $\Delta F' = N_{\text{RE_PRB}} * \Delta F_2 + \Delta F_1$ 에 의해 구성되며, 여기서 RE 오프셋 ΔF_1 및 PRB 오프셋 ΔF_2 는 방식 1d에서와 동일한 방식으로 정의된다. 최종 주파수 오프셋 ΔF 는 오프셋 내의 주파수 오프셋 기준을 고려하여, TDM/FDM 실시 예들에 따라 결정될 수 있으며, 즉 $\Delta F = \Delta F' + F_{\text{ref}}$ 이다.

[0393] 제3 방식(예를 들어, 방식 3)에서는, 주파수 오프셋이 SS/PBCH 블록과 RMSI 리소스들 사이의 주파수 오프셋을 캡처하는 단일 구성에 의해 구성될 수 있으며, 여기서 오프셋은 플로팅 동기화가 지원되는지 여부에 관계없이, 채널 래스터의 크기의 관점에서 측정된다. 예를 들어, MIB에서의 $N_{\Delta F'}$ 가능한 구성들은 주파수 오프셋을 나타내는데 이용되며, $N_{\Delta F'}$ 의 값은 $N_{\Delta F'}$ 구성들이 x 비트로 표현되는 경우(여기서 $x = \lceil \log_2(N_{\Delta F'}) \rceil$), $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}} * \text{SCS_CORESET/CH_Raster}$ 로 결정될 수 있으며, 여기서 $N_{\text{RE_PRB}} = 12$ 는 뉴머롤로지에 관계없이 주파수 도메인에서의 PRB 내의 RE 개수이고, SCS_CORESET는 RMSI CORESET의 서브캐리어 간격이며, CH_Raster는 Hz 단위의 채널 래스터 크기이고, $\Delta F'$ 의 가능한 값들은 $-(N_{\Delta F'}-1)/2, -(N_{\Delta F'}-3)/2, \dots, (N_{\Delta F'}-3)/2, (N_{\Delta F'}-1)/2$ (또한 $-(N_{\Delta F'}-1)/2:1:(N_{\Delta F'}-1)/2$ 로도 표시됨)로 결정될 수 있다.

[0394] 제4 방식(예를 들어, 방식 4)에서는, 주파수 오프셋이 SS/PBCH 블록과 RMSI 리소스들 사이의 주파수 오프셋을 캡처하는 단일 구성에 의해 구성될 수 있으며, 여기서 오프셋은 플로팅 동기화가 지원되는지 여부에 관계없이, 동기화 래스터의 크기의 관점에서 측정된다. 예를 들어, MIB에서의 $N_{\Delta F'}$ 가능한 구성들은 주파수 오프셋을 나타내는데 이용되며, $N_{\Delta F'}$ 의 값은 $N_{\Delta F'}$ 구성들이 x 비트로 표현되는 경우(여기서 $x = \lceil \log_2(N_{\Delta F'}) \rceil$), $N_{\Delta F'} = \text{PRB에서의 } \Delta F'_{\text{Range}} * N_{\text{RE_PRB}} * \text{SCS_CORESET/SS_Raster}$ 로 결정될 수 있으며, 여기서 $N_{\text{RE_PRB}} = 12$ 는 뉴머롤로지에 관계없이 주파수 도메인에서의 PRB 내의 RE 개수이고, SCS_CORESET는 RMSI CORESET의 서브캐리어 간격이며, SS_Raster는 Hz 단위의 동기화 래스터 크기이고, $\Delta F'$ 의 가능한 값들은 $-(N_{\Delta F'}-1)/2, -(N_{\Delta F'}-3)/2, \dots, (N_{\Delta F'}-3)/2, (N_{\Delta F'}-1)/2$ (또한 $-(N_{\Delta F'}-1)/2:1:(N_{\Delta F'}-1)/2$ 로도 표시됨)로 결정될 수 있다.

[0395] 제5 방식(예를 들어, 방식 5)에서는, 주파수 오프셋이 두 부분으로 구성될 수 있다(이중 필드 구성): 제1 구성은 SS/PBCH 블록과 RMSI CORESET PRB 그리드 사이의 RE 오프셋(예를 들어, 플로팅 동기화에 정의된 RE 오프셋)이고, 제2 구성은 SS/PBCH 블록과 RMSI 리소스들 사이의 PRB 오프셋이다. 예를 들어, 전체 $N_{\Delta F1} \cdot N_{\Delta F2}$ 에서 MIB의 가능한 구성들은 주파수 오프셋을 나타내는데 사용되며, 여기서 $N_{\Delta F1}$ 구성들은 PRB 그리드와 비교하여 RE 오프셋을 나타내기 위해 사용되고(예를 들면, 플로팅 동기화), $N_{\Delta F2}$ 구성들은 SS/PBCH 블록과 RMSI 리소스들 사이의 PRB 오프셋(예를 들어, 이 오프셋은 PRB의 관점에서 ΔF_2 로 표시됨)을 나타내기 위해 사용된다. $N_{\Delta F1}$ 구성들이 x_1 비트로 표현되는 경우 $x_1 = \lceil \log_2(N_{\Delta F1}) \rceil$ 이고, $N_{\Delta F2}$ 구성들이 x_2 비트로 표현되는 경우

$x_2 = \lceil \log_2(N_{\Delta F2}) \rceil$ 이다. 전체적으로, 필요한 비트 수는, 비트로 표현되는 경우, $x = x_1 + x_2$ 에 의해 주어진다. 방식 5와 방식 1의 차이는, 플로팅 동기화에서의 표시 그레놀래리티가 더욱 스파스할 수 있으며, 이것은 채널 래스터 값의 잠재적 변화에 대응한다.

[0396] 이 접근법의 일 예에서는, PRB 오프셋 ΔF_2 가 RMSI CORESET PRB의 그레놀래리티로 측정 및 표현되고, RE 오프셋 ΔF_1 이 $N_{RE_}\Delta F_1$ 의 RMSI CORESET RE의 그레놀래리티로 측정 및 표현되며($N_{RE_}\Delta F_1$ 은 1 또는 2 또는 3 또는 4 또는 6 또는 12일 수 있음), $N_{RE_}\Delta F_1$ RE들에서의 ΔF_1 및 PRB에서의 ΔF_2 의 가능한 값들의 총 수, 즉 $N_{\Delta F1}$ 및 $N_{\Delta F2}$ 는 TDM 케이스에 대하여, $N_{\Delta F1} = N_{RE_}PRB/N_{RE_}\Delta F_1$ (비대칭 RE 위치)으로 결정되거나; 또는 $N_{\Delta F1} = N_{RE_}PRB/N_{RE_}\Delta F_1 + 1$ (대칭 RE 위치)로 결정될 수 있으며; 또한 $N_{\Delta F2} = PRB$ 에서의 $\Delta F_Range + 1$ 로 결정될 수 있고; 또한 TDM 케이스에 대하여, $N_{\Delta F2} = PRB$ 에서의 ΔF_Range 로 결정될 수 있으며; 또한 ΔF_1 및 ΔF_2 의 가능한 값들은 (1) 비대칭 RE 위치를 가진 ΔF_1 : $-(N_{\Delta F1}-2)/2, -(N_{\Delta F1}-4)/2, \dots, (N_{\Delta F1}-2)/2, N_{\Delta F1}/2$ 또는 $-N_{\Delta F1}/2, -(N_{\Delta F1}-2)/2, \dots, (N_{\Delta F1}-2)/2$ 또는 0, 1, $\dots, N_{\Delta F1}-1$ 또는 $-(N_{\Delta F1}-1), \dots, -1, 0$ (또한 $-(N_{\Delta F1}-2)/2:1:N_{\Delta F1}/2$ 또는 $-N_{\Delta F1}/2:1:(N_{\Delta F1}-2)/2$ 또는 $0:1:N_{\Delta F1}-1$ 또는 $-(N_{\Delta F1}-1):1:0$ 로도 표시됨); 대칭 RE 위치를 가진 ΔF_1 : $-(N_{\Delta F1}-1)/2, -(N_{\Delta F1}-3)/2, \dots, (N_{\Delta F1}-3)/2, (N_{\Delta F1}-1)/2$ (또한 $-(N_{\Delta F1}-1)/2:1:(N_{\Delta F1}-1)/2$ 로도 표시됨)으로 결정되거나; 또는 ΔF_2 : $-(N_{\Delta F2}-1)/2, -(N_{\Delta F2}-3)/2, \dots, (N_{\Delta F2}-3)/2, (N_{\Delta F2}-1)/2$ (또한 $-(N_{\Delta F2}-1)/2:1:(N_{\Delta F2}-1)/2$ 로도 표시됨)로 결정될 수 있다. $N_{\Delta F2} = 0$ 또는 1인 경우, ΔF_2 의 가능한 값은 0이다(고정된 값이며 구성할 필요가 없음을 나타냄).

[0397] 방식 5는 $N_{RE_}\Delta F_1 = 1$ 인 경우 방식 1과 동일하다. 또한 이 방식의 특별한 케이스에서는, $N_{RE_}\Delta F_1 = 12$ 인 경우(채널 래스터가 PRB 레벨로 정의된 시나리오를 지칭할 수 있음), $N_{\Delta F1}=1$ 이며, 이에 따라 플로팅 동기화의 표시가 필요하지 않으며(SS/PBCH 블록 PRB 및 RMSI CORESET PRB가 자동으로 정렬됨), PRB 오프셋만 표시하면 된다.

[0398] 제6 방식(예를 들어, 방식 6)에서는, 주파수 오프셋이 PRB 레벨에서 SS/PBCH 블록과 RMSI 리소스들 사이의 주파수 오프셋을 캡처하는 단일 구성에 의해 구성될 수 있으며, 여기서 오프셋은 RMSI CORESET 뉴머롤로지 또는 SS/PBCH 블록 뉴머롤로지의 관점에서 측정된다. RMSI 리소스들 및 SS/PBCH 블록 PRB 그리드들은 정렬되거나 서브세트 관계를 갖는 것으로 가정되며(이들의 뉴머롤로지들이 동일하지 않은 경우, 서브캐리어 간격이 큰 PRB 그리드가 서브캐리어 간격이 더 작은 PRB 그리드의 서브세트임), 이에 따라 MIB에서 플로팅 동기화가 필요하지 않게 된다. RMSI와 RE 레벨로 측정되는 초기 활성 BW 외부의 다른 데이터 사이의 PRB 그리드 오프셋은 RMSI/OSI로 표시될 수 있다. PRB 레벨 오프셋의 결정은 방식 1의 ΔF_2 를 참조할 수 있다.

[0399] 방식 1d를 사용한 추가 구성 예들.

[0400] SS/PBCH 블록과 RMSI CORESET의 다중화 패턴, RMSI CORESET BW, CORESET의 심볼 수 및 PRB 레벨 오프셋의 조인트 구성을 사용하는 방식 1d에 대한 더 많은 예들이 이하에 제공되며, 여기서는 SS SCS와 CORESET SCS의 상이한 조합이 고려된다. 이러한 예들에서, 표시 범위는 최소 CH BW - SS/PBCH 블록 BW + CH 래스터와 같은 이론 상한보다 작을 수 있으며, 대응하는 캐리어의 SS 래스터와 같다.

[0401] 제1 예에서는, NR 대역에 있어서, 최소 CH BW = 10 MHz인 경우, SS SCS는 15 kHz로 결정된다. 이 대역에 대하여, SS 래스터가 4320 kHz(SS SCS에서 24 PRB)로 정의된 경우, 상이한 SS 래스터를 사용할 때 주파수 오프셋 표시가 다를 수 있으므로, CORESET 구성이 상기한 표들과 다를 수 있다. 이 예에 대한 주파수 오프셋(PRB 레벨) 구성의 요약이 표 9에 나와 있다. 표 9는 TDM 케이스에 대한 ΔF_2 구성의 예들을 보여준다.

[0402] [표 9]

SCS_SS (kHz)	SCS_RMSI (kHz)	CORESET BW (PRB)	캐리어 BW (PRB)	구성 개수	오프셋 값들 $\Delta F2$ (PRB)
15	15	24	52	2	0,4
15	15	48	52	6	2,7,12,17,22,27
15	15	96	106	3	27,38,49
15	30	12	24	2	0,2
15	30	24	24	15	0,1,2,...,13,14
15	30	24	51 or 50	1	7
15	30	48	51	4	13,17,21,25
15	30	48	50	5	13,16,19,22,25

[0403]

[0404]

SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 10 MHz(SS 및 RMSI 뉴머롤로지에서 52 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB), $\Delta f2 = 29$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값은 RMSI CORESET 뉴머롤로지 관점에서 2 PRB일 수 있다.

[0405]

SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 10 MHz(SS 및 RMSI 뉴머롤로지에서 52 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB), $\Delta f2 = 5$ PRB이며, 이에 따라 $N_{\Delta F2} = 5$, 즉 5개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값은 RMSI CORESET 뉴머롤로지 관점에서 4, 9, 14, 19, 24 PRB일 수 있다(오프셋 값들의 선택은 다른 세트들에서도 가능하지만, 이 케이스에서는 인터벌이 5 PRB이어야 한다. 예를 들어, 이 오프셋에 가능한 값들은 X, X+5, X+10, X+15, X+20일 수 있으며, 여기서 X는 0 또는 1 또는 2 또는 3 또는 4 또는 5 또는 6 또는 7일 수 있다).

[0406]

SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 (이 케이스에서 최소 CH BW를 초과하는) 20 MHz(SS 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB), $\Delta f2 = 11$ PRB이며, 이에 따라 $N_{\Delta F2} = 3$, 즉 3개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 27, 38, 49 PRB일 수 있다.

[0407]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 10 MHz(SS 뉴머롤로지에서 52 PRB 및 RMSI 뉴머롤로지서 24 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB 및 RMSI 뉴머롤로지서 12 PRB), $\Delta f2 = 1$ PRB이며, 이에 따라 $N_{\Delta F2} = 12$, 즉 12개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 1, ..., 12 PRB일 수 있다.

[0408]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 (이 케이스에서 최소 CH BW를 초과하는) 20 MHz(SS 뉴머롤로지서 106 PRB 및 RMSI 뉴머롤로지서 51 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB 및 RMSI 뉴머롤로지서 12 PRB), $\Delta f2 = 28$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 7 PRB일 수 있다. RMSI에 대한 이 케이스의 채널 이용률은 필터 설계로 인해 50 PRB만이며, $\Delta f2 = 27$ PRB이고, 이에 따라 1개의 구성으로 충분하며, 가능한 값은 RMSI CORESET 뉴머롤로지 관점에서 7 PRB가 될 수 있다.

[0409]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 (최소 CH BW를 초과하는) 20 MHz(SS 뉴머롤로지서 106 PRB 및 RMSI 뉴머롤로지서 51 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB 및 RMSI 뉴머롤로지서 12 PRB), $\Delta f2 = 4$ PRB이며, 이에 따라 $N_{\Delta F2} = 3$, 즉 3개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 15, 19, 23 PRB일 수 있다. RMSI에 대한 이 케이스의 채널 이용률이 필터 설계로 인해 50 PRB만인 경우, $\Delta f2 = 3$ PRB이며, 이에 따라 $N_{\Delta F2} = 4$, 즉 4개의 구성으로 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 X, X+3, X+6, X+9 PRB일 수 있으며, 여기서 X는 14 또는 15일 수 있다.

[0410]

10 MHz 최소 CH BW 및 15 kHz SS SCS를 갖는 대역들에 대한 CORESET 구성(CORESET에 대한 상이한 심볼 수 선택

과 조합된 주파수 PRB 오프셋)의 일 예가 표 10에서와 같이 요약될 수 있으며, 여기서 표 10A는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}에 대한 것이고, 표 10B는 30 kHz의 채널 이용률이 51 PRB인 경우 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}에 대한 것이며, 표 10C는 30 kHz의 채널 이용률이 50 PRB인 경우 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}에 대한 것이다.

[0411] 최소 CH BW = 5 MHz 및 최소 CH BW = 10 MHz에 대한 CORESET 구성 테이블들이 모두 지원되는 경우, 하나의 접근법에서는, 구성 테이블들의 표시가 없으며, UE는 SS 라스터가 정렬되어 있는지 또는 너무 근접해 있어서 UE가 초기 셀 탐색에서 구별될 수 없는지를 블라인드 검출할 필요가 있다. 최소 CH BW = 5 MHz 및 최소 CH BW = 10 MHz에 대한 CORESET 구성 테이블들이 모두 지원되는 경우, 다른 접근법에서는, PBCH에서 1 비트를 사용하여 대역(들) 수/구성 테이블/캐리어 주파수 범위가 표시된다. 일 예에서는, 표시를 위해 이용되는 비트가 PBCH에서 예비된 비트일 수 있으며, < 3GHz에만 해당될 수 있다. 다른 예에서는, 표시를 위해 이용되는 비트가 원래 하프 프레임 표시에서 사용되는 PBCH의 필드일 수 있고, PBCH에서의 하프 프레임 표시는 > 3 GHz에 대한 것만이며, 동일한 필드가 대역(들) 수/구성 테이블/캐리어 주파수 범위를 표시하는데 이용된다. 표 10A는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0412] [표 10A]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB에서 주파수 오프셋 ΔF2
1	Pattern 1	24	2	2
2	Pattern 1	48	1	4
3	Pattern 1	48	1	9
4	Pattern 1	48	1	14
5	Pattern 1	48	1	19
6	Pattern 1	48	1	24
7	Pattern 1	48	2	4
8	Pattern 1	48	2	9
9	Pattern 1	48	2	14
10	Pattern 1	48	2	19
11	Pattern 1	48	2	24
12	Pattern 1	48	3	4
13	Pattern 1	48	3	9
14	Pattern 1	48	3	14
15	Pattern 1	48	3	19
16	Pattern 1	48	3	24

[0413]

[0414] 표 10B는 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0415] [표 10B]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머올로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	1
2	Pattern 1	24	2	2
3	Pattern 1	24	2	3
4	Pattern 1	24	2	4
5	Pattern 1	24	2	5
6	Pattern 1	24	2	6
7	Pattern 1	24	2	7
8	Pattern 1	24	2	8
9	Pattern 1	24	2	9
10	Pattern 1	24	2	10
11	Pattern 1	24	2	11
12	Pattern 1	24	2	12
13	Pattern 1	48	2	15
14	Pattern 1	48	2	18
15	Pattern 1	48	2	21
16	Pattern 1	48	2	24

[0416]

[0417] 표 10C는 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0418] [표 10C]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머올로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	1
2	Pattern 1	24	2	2
3	Pattern 1	24	2	3
4	Pattern 1	24	2	4
5	Pattern 1	24	2	5
6	Pattern 1	24	2	6
7	Pattern 1	24	2	7
8	Pattern 1	24	2	8
9	Pattern 1	24	2	9
10	Pattern 1	24	2	10
11	Pattern 1	24	2	11
12	Pattern 1	24	2	12
13	Pattern 1	48	2	15
14	Pattern 1	48	2	18
15	Pattern 1	48	2	21
16	Pattern 1	48	2	24

[0419]

[0420] 제2 예에서는, NR 대역에 있어서, 최소 CH BW = 10 MHz인 경우, SS SCS는 15 kHz로 결정된다. 이 대역에 대하

여, SS 래스터가 3600 kHz(SS SCS에서 20 PRB)로 정의될 수 있으며, 상이한 SS 래스터를 사용할 때 주파수 오프셋 표시가 다를 수 있으므로, CORESET 구성이 상기한 표들과 다를 수 있다. 이 예에 대한 주파수 오프셋(PRB 레벨) 구성의 요약이 표 11에 나와 있다. 표 11은 TDM 케이스에 대한 $\Delta F2$ 구성의 예들을 보여준다.

[표 11]

SCS _{SS} (kHz)	SCS _{RMSI} (kHz)	CORESET BW (PRB)	캐리어 BW (PRB)	구성 개수	오프셋 값들 $\Delta F2$ (PRB)
15	15	24	52	1	2
15	15	48	52	4	7, 12, 17, 22
15	15	96	106	2	0, 76
15	30	24	24	10	2, ..., 11
15	30	48	51	3	15, 19, 23
15	30	48	50	4	15, 18, 21, 24

SCS_{CORESET} = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 10 MHz(SS 및 RMSI 뉴머롤로지에서 52 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 20 PRB), $\Delta f2 = 29$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값은 RMSI CORESET 뉴머롤로지 관점에서 2 PRB일 수 있다.

SCS_{CORESET} = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 10 MHz(SS 및 RMSI 뉴머롤로지에서 52 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 20 PRB), $\Delta f2 = 5$ PRB이며, 이에 따라 $N_{\Delta F2} = 4$, 즉 4개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 7, 12, 17, 22 PRB일 수 있다(오프셋 값들의 선택은 다른 세트들에서도 가능하지만, 이 케이스에서는 인터벌이 5 PRB이어야 한다. 예를 들어, 이 오프셋에 가능한 값들은 X, X+5, X+10, X+15일 수 있으며, 여기서 X는 0 또는 1 또는 2 또는 3 또는 4 또는 5 또는 6 또는 7일 수 있다).

SCS_{CORESET} = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 (이 케이스에서 최소 CH BW를 초과하는) 20 MHz(SS 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 20 PRB), $\Delta f2 = 11$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0, 76 PRB일 수 있다.

SCS_{CORESET} = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 10 MHz(SS 뉴머롤로지에서 52 PRB 및 RMSI 뉴머롤로지에서 24 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 20 PRB 및 RMSI 뉴머롤로지에서 10 PRB), $\Delta f2 = 1$ PRB이며, 이에 따라 $N_{\Delta F2} = 10$, 즉 10개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 2, ..., 11 PRB일 수 있다.

SCS_{CORESET} = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 (최소 CH BW를 초과하는) 20 MHz(SS 뉴머롤로지에서 106 PRB 및 RMSI 뉴머롤로지에서 51 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 20 PRB 및 RMSI 뉴머롤로지에서 10 PRB), $\Delta f2 = 4$ PRB이며, 이에 따라 $N_{\Delta F2} = 3$, 즉 3개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 15, 19, 23 PRB일 수 있다. RMSI에 대한 이 케이스의 채널 이용률이 필터 설계로 인해 50 PRB만인 경우, $\Delta f2 = 3$ PRB이며, 이에 따라 $N_{\Delta F2} = 4$, 즉 4개의 구성으로 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 X, X+3, X+6, X+9 PRB일 수 있고, 여기서 X는 14 또는 15일 수 있다.

10 MHz 최소 CH BW 및 15 kHz SS SCS를 갖는 대역들에 대한 CORESET 구성(CORESET에 대한 상이한 심볼 수 선택과 조합된 주파수 PRB 오프셋)의 일 예가 표 12에서와 같이 요약될 수 있으며, 여기서 표 12A는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}에 대한 것이고, 표 12B는 30 kHz의 채널 이용률이 51 PRB인 경우 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}에 대한 것이고, 표 12C는 30 kHz의 채널 이용률이 50 PRB인 경우 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}에 대한 것이다.

[0429] 최소 CH BW = 5 MHz 및 최소 CH BW = 10 MHz에 대한 CORESET 구성 테이블들이 모두 지원되는 경우, 하나의 접근법에서는, 구성 테이블들의 표시가 없으며, UE는 SS 래스터가 정렬되어 있는지 또는 너무 근접해 있어서 UE가 초기 셀 탐색에서 구별될 수 없는지를 블라인드 검출할 필요가 있다.

[0430] 최소 CH BW = 5 MHz 및 최소 CH BW = 10 MHz에 대한 CORESET 구성 테이블들이 모두 지원되는 경우, 다른 접근법에서는, PBCH에서 1 비트를 사용하여 대역(들) 수/구성 테이블/캐리어 주파수 범위가 표시된다. 일 예에서는, 표시를 위해 이용되는 비트가 PBCH에서 예비된 비트일 수 있으며, < 3GHz에만 해당될 수 있다. 다른 예에서는, 표시를 위해 이용되는 비트가 원래 하프 프레임 표시에서 사용되는 PBCH의 필드일 수 있고, PBCH에서의 하프 프레임 표시는 > 3 GHz에 대한 것만이며, 동일한 필드가 대역(들) 수/구성 테이블/캐리어 주파수 범위를 표시하는데 이용된다. 표 12A는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0431] [표 12A]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머를르지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	2
2	Pattern 1	24	3	2
3	Pattern 1	48	1	7
4	Pattern 1	48	1	12
5	Pattern 1	48	1	17
6	Pattern 1	48	1	22
7	Pattern 1	48	2	7
8	Pattern 1	48	2	12
9	Pattern 1	48	2	17
10	Pattern 1	48	2	22
11	Pattern 1	48	3	7
12	Pattern 1	48	3	12
13	Pattern 1	48	3	17
14	Pattern 1	48	3	22
15	Pattern 1	96	1	0
16	Pattern 1	96	1	76

[0432]

[0433] 표 12B는 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0434] [표 12B]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머클로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	2
2	Pattern 1	24	2	3
3	Pattern 1	24	2	4
4	Pattern 1	24	2	5
5	Pattern 1	24	2	6
6	Pattern 1	24	2	7
7	Pattern 1	24	2	8
8	Pattern 1	24	2	9
9	Pattern 1	24	2	10
10	Pattern 1	24	2	11
11	Pattern 1	48	1	15
12	Pattern 1	48	1	19
13	Pattern 1	48	1	23
14	Pattern 1	48	2	15
15	Pattern 1	48	2	19
16	Pattern 1	48	2	23

[0435]

[0436] 표 12C는 {SS SCS, RMSI SCS} = {15 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0437] [표 12C]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머클로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	2
2	Pattern 1	24	2	3
3	Pattern 1	24	2	4
4	Pattern 1	24	2	5
5	Pattern 1	24	2	6
6	Pattern 1	24	2	7
7	Pattern 1	24	2	8
8	Pattern 1	24	2	9
9	Pattern 1	24	2	10
10	Pattern 1	24	2	11
11	Pattern 1	48	2	15
12	Pattern 1	48	2	18
13	Pattern 1	48	2	21
14	Pattern 1	48	2	24
15	Reserved			
16	Reserved			

[0438]

[0439] 제3 예에서는, NR 대역에 있어서, 최소 CH BW = 40 MHz인 경우, SS SCS는 30 kHz로 결정된다. 이 대역에 대하여, SS 래스터가 30240 kHz(SS SCS에서 84 PRB) 이하로 정의되는 경우, 상이한 SS 래스터를 사용할 때 주파수 오프셋 표시가 다를 수 있으므로, CORESET 구성이 상이한 표들과 다를 수 있다. 주파수 오프셋(PRB 레벨) 구성 방식의 요약이 표 13에 나와 있다.

[0440] 본 논의에서는, 최대 TX BW가 40 MHz이며, 최소 UE BW가 20 MHz로 정의되면, 15 kHz RMSI SCS를 갖는 RMSI CORESET BW의 192 PRB 및 30 kHz RMSI SCS를 갖는 RMSI CORESET BW의 96 PRB에 대한 구성들이 지원되지 않는다. 표 13은 TDM 케이스에 대한 $\Delta F2$ 구성의 예들을 보여준다.

[0441] [표 13]

SCS_SS (kHz)	SCS_RMSI (kHz)	CORESET BW (PRB)	캐리어 BW (PRB)	구성 개수	오프셋 값들 $\Delta F2$ (PRB)
30	15	48	216	1	4
30	15	96	216	2	0, 56
30	15	192	216	7	1, 26, 51, 76, 101, 126, 151
30	30	24	106	2	0, 4
30	30	48	106	2	0, 28
30	30	96	106	8	0, 11, 22, 33, 43, 54, 65, 76

[0442]

[0443] SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 뉴머롤로지서 106 PRB 및 RMSI 뉴머롤로지서 216 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 84 PRB 및 RMSI SCS에서 168 PRB), $\Delta f2 = 169$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 4 PRB일 수 있다.

[0444]

SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 뉴머롤로지서 106 PRB 및 RMSI 뉴머롤로지서 216 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 84 PRB 및 RMSI SCS에서 168 PRB), $\Delta f2 = 121$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0, 56 PRB일 수 있다.

[0445]

SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 뉴머롤로지서 106 PRB 및 RMSI 뉴머롤로지서 216 PRB)이고, RMSI CORESET BW가 192 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 84 PRB 및 RMSI SCS에서 168 PRB), $\Delta f2 = 25$ PRB이며, 이에 따라 $N_{\Delta F2} = 7$, 즉 7개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 X, X+25, X+50, X+75, X+100, X+125, X+150 PRB일 수 있으며, 여기서 X는 0 또는 1 또는 2일 수 있다.

[0446]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 및 RMSI 뉴머롤로지서 106 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 84 PRB), $\Delta f2 = 83$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0, 4 PRB일 수 있다.

[0447]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 및 RMSI 뉴머롤로지서 106 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 84 PRB), $\Delta f2 = 59$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0, 28 PRB일 수 있다.

[0448]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 및 RMSI 뉴머롤로지서 106 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 84 PRB), $\Delta f2 = 11$ PRB이며, 이에 따라 $N_{\Delta F2} = 8$, 즉 8개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0, 11, 22, 33, 43, 54, 65, 76 PRB일 수 있다.

[0449]

40 MHz 최소 CH BW 및 30 kHz SS SCS를 갖는 대역들에 대한 CORESET 구성(CORESET에 대한 상이한 심볼 수 선택과 조합된 주파수 PRB 오프셋)의 일 예가 표 14A 및 표 14B에서와 같이 요약될 수 있으며, 여기서 이 표들은

{SCS_SS, SCS_RMSI}의 서로 다른 조합에 대해 결정되며, 예를 들면, 표 14A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}에 대한 것이고, 표 14B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}에 대한 것이다. 최소 UE BW는 이 대역에 대해 20 MHz인 것으로 가정된다(예를 들면, 15 kHz RMSI SCS를 갖는 RMSI CORESET BW의 192 PRB 및 30kHz RMSI SCS를 갖는 RMSI CORESET BW의 96 PRB에 대한 구성들이 지원되지 않음)는 것에 유의한다. 또한 동기화 래스터가 40 MHz 최소 CH BW를 갖는 대역들에 대한 것과 동일하거나 작으면, 다른 대역들에도 이 테이블들이 이용될 수 있음에 유의한다. 표 14A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 40 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0450]

[표 14A]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	4
2	Pattern 1	48	2	4
3	Pattern 1	48	3	4
4	Pattern 1	96	1	0
5	Pattern 1	96	1	56
6	Pattern 1	96	2	0
7	Pattern 1	96	2	56
8	Pattern 1	96	3	0
9	Pattern 1	96	3	56
10	Reserved			
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0451]

[0452]

표 14B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 40 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0453] [표 14B]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 $\Delta F2$
1	Pattern 1	24	2	0
2	Pattern 1	24	2	4
3	Pattern 1	24	3	0
4	Pattern 1	24	3	4
5	Pattern 1	48	1	0
6	Pattern 1	48	1	28
7	Pattern 1	48	2	0
8	Pattern 1	48	2	28
9	Pattern 1	48	3	0
10	Pattern 1	48	3	28
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0454]

[0455] 제4 예에서는, NR 대역에 있어서, 최소 CH BW = 40 MHz인 경우, SS SCS는 30 kHz로 결정된다. 이 대역에 대하여, SS 래스터가 23040 kHz(SS SCS에서 64 PRB)로 정의되는 경우, 상이한 SS 래스터를 사용할 때 주파수 오프셋 표시가 다를 수 있으므로, CORESET 구성이 상기한 표들과 다를 수 있다. 주파수 오프셋(PRB 레벨) 구성 방식의 요약이 표 15에 나와 있다.

[0456] 본 논의에서는, 최대 TX BW가 40 MHz이며, 최소 UE BW가 20 MHz로 정의되면, 15 kHz RMSI SCS를 갖는 RMSI CORESET BW의 192 PRB 및 30 kHz RMSI SCS를 갖는 RMSI CORESET BW의 96 PRB에 대한 구성들이 지원되지 않는다. 표 15는 TDM 케이스에 대한 $\Delta F2$ 구성의 예들을 보여준다.

[0457] [표 15]

SCS_SS (kHz)	SCS_RMSI (kHz)	CORESET BW (PRB)	캐리어 BW (PRB)	구성 개수	오프셋 값들 $\Delta F2$ (PRB)
30	15	48	216	1	4
30	15	96	216	2	0, 56
30	15	192	216	6	14, 39, 64, 89, 114, 139
30	30	24	106	1	2
30	30	48	106	2	0, 28
30	30	96	106	6	11, 22, 33, 44, 55, 66

[0458]

[0459] SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 뉴머롤로지서 106 PRB 및 RMSI 뉴머롤로지서 216 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 64 PRB 및 RMSI SCS에서 128 PRB), $\Delta f2 = 169$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 4 PRB일 수 있다.

[0460] SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 뉴머롤로지서 106 PRB 및 RMSI 뉴머롤로지서 216 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 64 PRB 및 RMSI SCS에서 128 PRB), $\Delta f2 = 121$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성

으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0, 56 PRB일 수 있다.

[0461] SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 뉴머롤로지에서 106 PRB 및 RMSI 뉴머롤로지에서 216 PRB)이고, RMSI CORESET BW가 192 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 64 PRB 및 RMSI SCS에서 128 PRB), $\Delta f_2 = 25$ PRB이며, 이에 따라 $N_{\Delta F_2} = 7$, 즉 7개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 X, X+25, X+50, X+75, X+100, X+125 PRB일 수 있으며, 여기서 X는 14 또는 15일 수 있다.

[0462] SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 64 PRB), $\Delta f_2 = 83$ PRB이며, 이에 따라 $N_{\Delta F_2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 2 PRB일 수 있다.

[0463] SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 64 PRB), $\Delta f_2 = 59$ PRB이며, 이에 따라 $N_{\Delta F_2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 0, 28 PRB일 수 있다.

[0464] SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 40 MHz(SS 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 64 PRB), $\Delta f_2 = 11$ PRB이며, 이에 따라 $N_{\Delta F_2} = 6$, 즉 6개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 X+11, X+22, X+33, X+44, X+55, X+66 PRB일 수 있고, 여기서 X는 0 또는 -1일 수 있다.

[0465] 40 MHz 최소 CH BW 및 30 kHz SS SCS를 갖는 대역들에 대한 CORESET 구성(CORESET에 대한 상이한 심볼 수 선택과 조합된 주파수 PRB 오프셋)의 일 예가 표 16A 및 표 16B에서와 같이 요약될 수 있으며, 여기서 이 두 개의 표들은 {SCS_SS, SCS_RMSI}의 서로 다른 조합에 대해 결정되며, 예를 들면, 표 16A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}에 대한 것이고, 표 16B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}에 대한 것이다. 최소 UE BW는 이 대역에 대해 20 MHz인 것으로 가정된다(예를 들면, 15 kHz RMSI SCS를 갖는 RMSI CORESET BW의 192 PRB 및 30kHz RMSI SCS를 갖는 RMSI CORESET BW의 96 PRB에 대한 구성들이 지원되지 않음)는 것에 유의한다. 또한 동기화 래스터가 40 MHz 최소 CH BW를 갖는 대역들에 대한 것과 동일하거나 작으면, 다른 대역들에도 이 테이블들이 이용될 수 있음에 유의한다. 표 16A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 40 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0466] [표 16A]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	4
2	Pattern 1	48	2	4
3	Pattern 1	48	3	4
4	Pattern 1	96	1	0
5	Pattern 1	96	1	56
6	Pattern 1	96	2	0
7	Pattern 1	96	2	56
8	Pattern 1	96	3	0
9	Pattern 1	96	3	56
10	Reserved			
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0467]

[0468] 표 16B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 40 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0469] [표 16B]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	2
2	Pattern 1	24	3	2
3	Pattern 1	48	1	0
4	Pattern 1	48	1	28
5	Pattern 1	48	2	0
6	Pattern 1	48	2	28
7	Pattern 1	48	3	0
8	Pattern 1	48	3	28
9	Reserved			
10	Reserved			
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0470]

[0471] 제5 예에서는, NR 대역에 있어서, 최소 CH BW = 20 MHz인 경우, SS SCS는 30 kHz로 결정된다. 이 대역에 대하여, SS 래스터가 10080 kHz(SS SCS에서 28 PRB)로 정의되는 경우, 상이한 SS 래스터를 사용할 때 주파수 오프셋 표시가 다를 수 있으므로, CORESET 구성이 상기한 표들과 다를 수 있다. 주파수 오프셋(PRB 레벨) 구성 방식의 요약이 표 17에 나와 있다. 표 17은 TDM 케이스에 대한 ΔF_2 구성의 예들을 보여준다.

[0472] [표 17]

SCS_SS (kHz)	SCS_RMSI (kHz)	CORESET BW (PRB)	캐리어 BW (PRB)	구성 개수	오프셋 값들 $\Delta F2$ (PRB)
30	15	48	106	1	4
30	15	96	106	6	0, 11, 22, 33, 44, 55
30	30	24	51	1	2
30	30	48	51	7	2, 6, 10, 14, 18, 22, 26

[0473]

[0474] SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 뉴머롤로지에서 51 PRB 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 28 PRB 및 RMSI SCS에서 56 PRB), $\Delta f2 = 59$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 4 PRB일 수 있다.

[0475] SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 뉴머롤로지에서 51 PRB 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 28 PRB 및 RMSI SCS에서 56 PRB), $\Delta f2 = 11$ PRB이며, 이에 따라 $N_{\Delta F2} = 6$, 즉 6개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 X, X+11, X+22, X+33, X+44, X+55 PRB일 수 있으며, 여기서 X는 0 또는 1일 수 있다.

[0476] SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 및 RMSI 뉴머롤로지에서 51 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS 및 RMSI SCS에서 28 PRB), $\Delta f2 = 28$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 2 PRB일 수 있다.

[0477] SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 및 RMSI 뉴머롤로지에서 51 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS 및 RMSI SCS에서 28 PRB), $\Delta f2 = 4$ PRB이며, 이에 따라 $N_{\Delta F2} = 7$, 즉 7개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 2, 6, 10, 14, 18, 22, 26 PRB일 수 있다.

[0478] 20 MHz 최소 CH BW 및 30 kHz SS SCS를 갖는 대역들에 대한 CORESET 구성(CORESET에 대한 상이한 심볼 수 선택과 조합된 주파수 PRB 오프셋)의 일 예가 표 18A 및 표 18B에서와 같이 요약될 수 있으며, 여기서 이 두 개의 표들은 {SCS_SS, SCS_RMSI}의 서로 다른 조합에 대해 결정되며, 예를 들면, 표 18A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}에 대한 것이고, 표 18B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}에 대한 것이다. 일 예로서, 표 18A에서 X = 1이다. 다른 예로서, 표 18B에서 X = 3이다. 표 18A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 20 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0479] [표 18A]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	4
2	Pattern 1	48	2	4
3	Pattern 1	48	3	4
4	Pattern 1	96	1	0
5	Pattern 1	96	1	11
6	Pattern 1	96	1	22
7	Pattern 1	96	1	33
8	Pattern 1	96	1	44
9	Pattern 1	96	1	55
10	Pattern 1	96	2	0
11	Pattern 1	96	2	11
12	Pattern 1	96	2	22
13	Pattern 1	96	2	33
14	Pattern 1	96	2	44
15	Pattern 1	96	2	55
16	Reserved			

[0480]

[0481] 표 18B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 20 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0482] [표 18B]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋
1	Pattern 1	24	2	2
2	Pattern 1	24	3	2
3	Pattern 1	48	2	2
4	Pattern 1	48	2	6
5	Pattern 1	48	2	10
6	Pattern 1	48	2	14
7	Pattern 1	48	2	18
8	Pattern 1	48	2	22
9	Pattern 1	48	2	26
10	Pattern 1	48	X	2
11	Pattern 1	48	X	6
12	Pattern 1	48	X	10
13	Pattern 1	48	X	14
14	Pattern 1	48	X	18
15	Pattern 1	48	X	22
16	Pattern 1	48	X	26

[0483]

[0484] 제6 예에서는, NR 대역에 있어서, 최소 CH BW = 20 MHz인 경우, SS SCS는 30 kHz로 결정된다. 이 대역에 대하여, SS 래스터가 8640 kHz(SS SCS에서 64 PRB)로 정의되는 경우, 상이한 SS 래스터를 사용할 때 주파수 오프셋 표시가 다를 수 있으므로, CORESET 구성이 상기한 표들과 다를 수 있다. 주파수 오프셋(PRB 레벨) 구성 방식의 요약이 표 19에 나와 있다. 표 19는 TDM 케이스에 대한 ΔF_2 구성의 예들을 보여준다.

[0485] [표 19]

SCS_SS (kHz)	SCS_RMSI (kHz)	CORESET BW (PRB)	캐리어 BW (PRB)	구성 개수	오프셋 값들 $\Delta F2$ (PRB)
30	15	48	106	1	4
30	15	96	106	5	6, 17, 28, 39, 50
30	30	24	51	1	2
30	30	48	51	6	4, 8, 12, 16, 20, 24

[0486]

[0487] SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 뉴머롤로지에서 51 PRB 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB 및 RMSI SCS에서 48 PRB), $\Delta f2 = 59$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 예지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 4 PRB일 수 있다.

[0488]

SCS_CORESET = 15 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 뉴머롤로지에서 51 PRB 및 RMSI 뉴머롤로지에서 106 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 24 PRB 및 RMSI SCS에서 48 PRB), $\Delta f2 = 11$ PRB이며, 이에 따라 $N_{\Delta F2} = 5$, 즉 5개의 구성으로 SS 블록 및 RMSI CORESET의 예지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 6, 17, 28, 39, 50 PRB일 수 있다.

[0489]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 및 RMSI 뉴머롤로지에서 51 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS 및 RMSI SCS에서 24 PRB), $\Delta f2 = 28$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 예지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 2 PRB일 수 있다.

[0490]

SCS_CORESET = 30 kHz에 대한 이러한 예에서, 캐리어 BW가 20 MHz(SS 및 RMSI 뉴머롤로지에서 51 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS 및 RMSI SCS에서 24 PRB), $\Delta f2 = 4$ PRB이며, 이에 따라 $N_{\Delta F2} = 6$, 즉 6개의 구성으로 SS 블록 및 RMSI CORESET의 예지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 4, 8, 12, 16, 20, 24 PRB일 수 있다.

[0491]

20 MHz 최소 CH BW 및 30 kHz SS SCS를 갖는 대역들에 대한 CORESET 구성(CORESET에 대한 상이한 심볼 수 선택과 조합된 주파수 PRB 오프셋)의 일 예가 표 20A 및 표 20B에서와 같이 요약될 수 있으며, 여기서 이 두 개의 표들은 {SCS_SS, SCS_RMSI}의 서로 다른 조합에 대해 결정되며, 표 20A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}에 대한 것이고, 표 20B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}에 대한 것이다. 일 예로서, 표 20A에서 $X = 1$ 이다. 다른 예로서, 표 20B에서 $X = 3$ 이다. 표 20A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 20 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0492] [표 20A]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	4
2	Pattern 1	48	2	4
3	Pattern 1	48	3	4
4	Pattern 1	96	1	6
5	Pattern 1	96	1	17
6	Pattern 1	96	1	28
7	Pattern 1	96	1	39
8	Pattern 1	96	1	50
9	Pattern 1	96	2	6
10	Pattern 1	96	2	17
11	Pattern 1	96	2	28
12	Pattern 1	96	2	39
13	Pattern 1	96	2	50
14	Reserved			
15	Reserved			
16	Reserved			

[0493]

[0494] 표 20B는 {SS SCS, RMSI SCS} = {30 kHz, 30 kHz}일 경우, 적어도 최소 CH BW가 20 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0495] [표 20B]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋
1	Pattern 1	24	2	2
2	Pattern 1	24	3	2
3	Pattern 1	48	2	4
4	Pattern 1	48	2	8
5	Pattern 1	48	2	12
6	Pattern 1	48	2	16
7	Pattern 1	48	2	20
8	Pattern 1	48	2	24
9	Pattern 1	48	X	4
10	Pattern 1	48	X	8
11	Pattern 1	48	X	12
12	Pattern 1	48	X	16
13	Pattern 1	48	X	20
14	Pattern 1	48	X	24
15	Reserved			
16	Reserved			

[0496]

[0497] 제7 예에서는, NR 대역에 있어서, 최소 CH BW = 100 MHz인 경우, SS SCS는 120 kHz로 결정된다. 이 대역에 대하여, SS 래스터가 51840 kHz(SS SCS에서 36 PRB)로 정의되는 경우, 상이한 SS 래스터를 사용할 때 주파수 오프셋 표시가 다를 수 있으므로, CORESET 구성이 상기한 표들과 다를 수 있다. 패턴 1에 대한, 주파수 오프셋(PRB 레벨) 구성 방식의 요약이 표 21에 나와 있다. 표 21은 TDM 케이스에 대한 ΔF_2 구성의 예들을 보여준다.

[0498] [표 21]

SCS_SS (kHz)	SCS_RMSI (kHz)	CORESET BW (PRB)	캐리어 BW (PRB)	구성 개수	오프셋 값들 $\Delta F2$ (PRB)
120	60	48	132	1	4
120	60	96	132	2	10, 46
120	120	24	66	1	2
120	120	48	66	2	5, 23

[0499]

[0500] SCS_CORESET = 60 kHz 및 다중화 패턴 1에 대한 이러한 예에서, 캐리어 BW가 100 MHz(SS 뉴머롤로지서 66 PRB 및 RMSI 뉴머롤로지서 132 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 36 PRB 및 RMSI SCS에서 72 PRB), $\Delta f2 = 85$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 4 PRB일 수 있다.

[0501]

SCS_CORESET = 60 kHz 및 다중화 패턴 1에 대한 이러한 예에서, 캐리어 BW가 100 MHz(SS 뉴머롤로지서 66 PRB 및 RMSI 뉴머롤로지서 132 PRB)이고, RMSI CORESET BW가 96 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS SCS에서 36 PRB 및 RMSI SCS에서 72 PRB), $\Delta f2 = 37$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 10, 46 PRB일 수 있다.

[0502]

SCS_CORESET = 120 kHz 및 다중화 패턴 1에 대한 이러한 예에서, 캐리어 BW가 100 MHz(SS 및 RMSI 뉴머롤로지서 66 PRB)이고, RMSI CORESET BW가 24 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS 및 RMSI SCS에서 36 PRB), $\Delta f2 = 43$ PRB이며, 이에 따라 $N_{\Delta F2} = 1$, 즉 1개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 2 PRB일 수 있다.

[0503]

SCS_CORESET = 120 kHz 및 다중화 패턴 1에 대한 이러한 예에서, 캐리어 BW가 100 MHz(SS 및 RMSI 뉴머롤로지서 66 PRB)이고, RMSI CORESET BW가 48 PRB인 경우, 표시 범위는 SS 래스터와 동일할 수 있고(예를 들면, SS 및 RMSI SCS에서 36 PRB), $\Delta f2 = 19$ PRB이며, 이에 따라 $N_{\Delta F2} = 2$, 즉 2개의 구성으로 SS 블록 및 RMSI CORESET의 에지들 사이의 PRB 레벨 주파수 오프셋을 구성하기에 충분하며, 가능한 값들은 RMSI CORESET 뉴머롤로지 관점에서 5, 23 PRB일 수 있다.

[0504]

다중화 패턴 2 및 패턴 3에 대한 이러한 예에서는, 2개의 구성(예를 들어 SS 블록의 상단 또는 하단)으로 충분하며, PRB 오프셋 값은 $\Delta F1$ 의 값 및 SS 및 RMSI의 SCS들이 동일한지 여부에 의존한다.

[0505]

100 MHz 최소 CH BW 및 120 kHz SS SCS를 갖는 대역들에 대한 CORESET 구성(CORESET에 대한 상이한 심볼 수 선택과 조합된 주파수 PRB 오프셋)의 일 예가 표 22A 및 표 22B에서와 같이 요약될 수 있으며, 여기서 이 두 개의 표들은 {SCS_SS, SCS_RMSI}의 서로 다른 조합에 대해 결정되며, 표 22A는 {SS SCS, RMSI SCS} = {120 kHz, 60 kHz}에 대한 것이고, 표 22B는 {SS SCS, RMSI SCS} = {120 kHz, 120 kHz}에 대한 것이다. 표 22A는 {SS SCS, RMSI SCS} = {120 kHz, 60 kHz}일 경우, 적어도 최소 CH BW가 100 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0506] [표 22A]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	4
2	Pattern 1	48	2	4
3	Pattern 1	96	1	10
4	Pattern 1	96	1	46
5	Pattern 1	96	2	10
6	Pattern 1	96	2	46
7	Pattern 2	48	1	-42 if $\Delta F_1 \neq 0$ and -41 if $\Delta F_1 = 0$
8	Pattern 2	48	1	49
9	Pattern 2	48	2	-42 if $\Delta F_1 \neq 0$ and -41 if $\Delta F_1 = 0$
10	Pattern 2	48	2	49
11	Pattern 2	96	1	-42 if $\Delta F_1 \neq 0$ and -41 if $\Delta F_1 = 0$
12	Pattern 2	96	1	97
13	Pattern 2	96	2	-42 if $\Delta F_1 \neq 0$ and -41 if $\Delta F_1 = 0$
14	Pattern 2	96	2	97
15	Reserved			
16	Reserved			

[0507]

[0508] 표 22B는 {SS SCS, RMSI SCS} = {120 kHz, 120 kHz}일 경우, 적어도 최소 CH BW가 100 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0509] [표 22B]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	2
2	Pattern 1	48	1	5
3	Pattern 1	48	1	23
4	Pattern 1	48	2	5
5	Pattern 1	48	2	23
6	Pattern 3	24	2	-21 if $\Delta F_1 \neq 0$ and -20 if $\Delta F_1 = 0$
7	Pattern 3	24	2	24
8	Pattern 3	48	2	-21 if $\Delta F_1 \neq 0$ and -20 if $\Delta F_1 = 0$
9	Pattern 3	48	2	48
10	Reserved			
11	Reserved			
12	Reserved			
13	Reserved			
14	Reserved			
15	Reserved			
16	Reserved			

[0510]

[0511] 구성 테이블 병합.

[0512] 다수의 CORESET 구성 테이블들이 상이한 최소 CH BW를 갖는 중첩 대역들에 대해 지원될 수 있는 경우, 하나의 접근법에서는, 다수의 구성 테이블들이 하나의 테이블로 병합되어 대역들 모두를 지원할 수 있다.

[0513] 표 23A 내지 표 23E는 표 7A가 5 MHz 최소 CH BW를 갖는 대역들에 독점적으로 이용되고, 표 12A가 10 MHz 최소 CH BW를 갖는 대역들에 독점적으로 이용되는 경우, 최소 CH BW가 5 MHz 또는 10 MHz인 대역들을 동시에 지원하기 위해 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}에 대해, 표 7A 및 표 12A를 병합하는 예들이다. 표 23A는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0514] [표 23A]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	2
3	Pattern 1	24	2	4
4	Pattern 1	24	3	0
5	Pattern 1	24	3	2
6	Pattern 1	24	3	4
7	Pattern 1	48	1	12
8	Pattern 1	48	1	16
9	Pattern 1	48	2	7
10	Pattern 1	48	2	12
11	Pattern 1	48	2	17
12	Pattern 1	48	2	22
13	Pattern 1	48	3	12
14	Pattern 1	48	3	16
15	Pattern 1	96	1	38
16	Pattern 1	96	2	38

[0515]

[0516] 표 23B는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0517] [표 23B]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	2
3	Pattern 1	24	2	4
4	Pattern 1	24	3	0
5	Pattern 1	24	3	2
6	Pattern 1	24	3	4
7	Pattern 1	48	1	7
8	Pattern 1	48	1	12
9	Pattern 1	48	1	17
10	Pattern 1	48	1	22
11	Pattern 1	48	2	12
12	Pattern 1	48	2	16
13	Pattern 1	48	3	12
14	Pattern 1	48	3	16
15	Pattern 1	96	1	38
16	Pattern 1	96	2	38

[0518]

[0519] 표 23C는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0520] [표 23C]

구성 인덱스	다중화 패턴	PRB 에서 CORESET BW	CORESET 에 대한 심볼 개수	RMSI CORESET 뉴머로지의 PRB 에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	2
3	Pattern 1	24	2	4
4	Pattern 1	24	3	0
5	Pattern 1	24	3	2
6	Pattern 1	24	3	4
7	Pattern 1	48	1	7
8	Pattern 1	48	1	12
9	Pattern 1	48	1	17
10	Pattern 1	48	1	22
11	Pattern 1	48	2	7
12	Pattern 1	48	2	12
13	Pattern 1	48	2	17
14	Pattern 1	48	2	22
15	Pattern 1	96	1	38
16	Pattern 1	96	2	38

[0521]

[0522] 표 23D는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0523] [표 23D]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	2
3	Pattern 1	24	2	4
4	Pattern 1	24	3	0
5	Pattern 1	24	3	2
6	Pattern 1	24	3	4
7	Pattern 1	48	2	7
8	Pattern 1	48	2	12
9	Pattern 1	48	2	17
10	Pattern 1	48	2	22
11	Pattern 1	48	3	7
12	Pattern 1	48	3	12
13	Pattern 1	48	3	17
14	Pattern 1	48	3	22
15	Pattern 1	96	1	38
16	Pattern 1	96	2	38

[0524]

[0525] 표 23E는 {SS SCS, RMSI SCS} = {15 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 5 MHz 또는 10 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

[0526] [표 23E]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	24	2	0
2	Pattern 1	24	2	2
3	Pattern 1	24	2	4
4	Pattern 1	24	3	0
5	Pattern 1	24	3	2
6	Pattern 1	24	3	4
7	Pattern 1	48	1	12
8	Pattern 1	48	1	16
9	Pattern 1	48	2	12
10	Pattern 1	48	2	16
11	Pattern 1	48	3	7
12	Pattern 1	48	3	12
13	Pattern 1	48	3	17
14	Pattern 1	48	3	22
15	Pattern 1	96	1	38
16	Pattern 1	96	2	38

[0527]

[0528] 표 24A는 표 14A가 40 MHz 최소 CH BW를 갖는 대역들에 독점적으로 이용되고, 표 20A가 20 MHz 최소 CH BW를 갖는 대역들에 독점적으로 이용되는 경우, 최소 CH BW가 40 MHz 또는 20 MHz인 대역들을 동시에 지원하기 위해 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}에 대해, 표 14A 및 표 20A를 병합하는 예이다. 표 24A는 {SS SCS, RMSI SCS} = {30 kHz, 15 kHz}일 경우, 적어도 최소 CH BW가 20 MHz 또는 40 MHz인 대역들에 대한 RMSI

CORESET 구성을 예시한 것이다.

[표 24A]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋 ΔF_2
1	Pattern 1	48	1	4
2	Pattern 1	48	2	4
3	Pattern 1	48	3	4
4	Pattern 1	96	1	6
5	Pattern 1	96	1	17
6	Pattern 1	96	1	28
7	Pattern 1	96	1	39
8	Pattern 1	96	1	50
9	Pattern 1	96	2	6
10	Pattern 1	96	2	17
11	Pattern 1	96	2	28
12	Pattern 1	96	2	39
13	Pattern 1	96	2	50
14	Reserved			
15	Reserved			
16	Reserved			

표 24B는 표 14B가 40 MHz 최소 CH BW를 갖는 대역들에 독점적으로 이용되고, 표 20B가 20 MHz 최소 CH BW를 갖는 대역들에 독점적으로 이용되는 경우, 최소 CH BW가 40 MHz 또는 20 MHz인 대역들을 동시에 지원하기 위해 $\{SS\ SCS, RMSI\ SCS\} = \{30\ kHz, 30\ kHz\}$ 에 대해, 표 14B 및 표 20B를 병합하는 예이다. 일 예로서, 표 24A에서 $X = 1$ 이다. 다른 예로서, 표 24B에서 $X = 3$ 이다. 표 24B는 $\{SS\ SCS, RMSI\ SCS\} = \{30\ kHz, 30\ kHz\}$ 일 경우, 적어도 최소 CH BW가 20 MHz 또는 40 MHz인 대역들에 대한 RMSI CORESET 구성을 예시한 것이다.

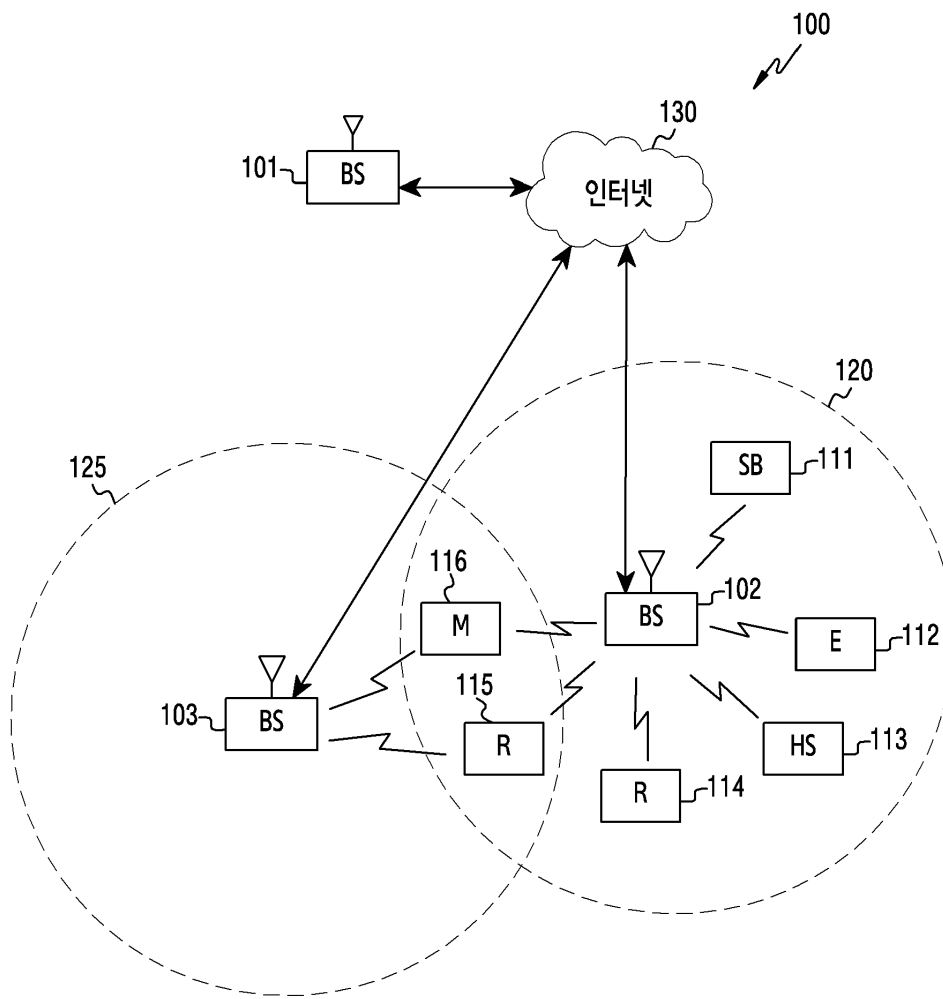
[표 24B]

구성 인덱스	다중화 패턴	PRB에서 CORESET BW	CORESET에 대한 심볼 개수	RMSI CORESET 뉴머롤로지의 PRB에서 주파수 오프셋
1	Pattern 1	24	2	0
2	Pattern 1	24	2	4
3	Pattern 1	24	3	0
4	Pattern 1	24	3	4
5	Pattern 1	48	2	4
6	Pattern 1	48	2	8
7	Pattern 1	48	2	12
8	Pattern 1	48	2	16
9	Pattern 1	48	2	20
10	Pattern 1	48	2	24
11	Pattern 1	48	X	4
12	Pattern 1	48	X	8
13	Pattern 1	48	X	12
14	Pattern 1	48	X	16
15	Pattern 1	48	X	20
16	Pattern 1	48	X	24

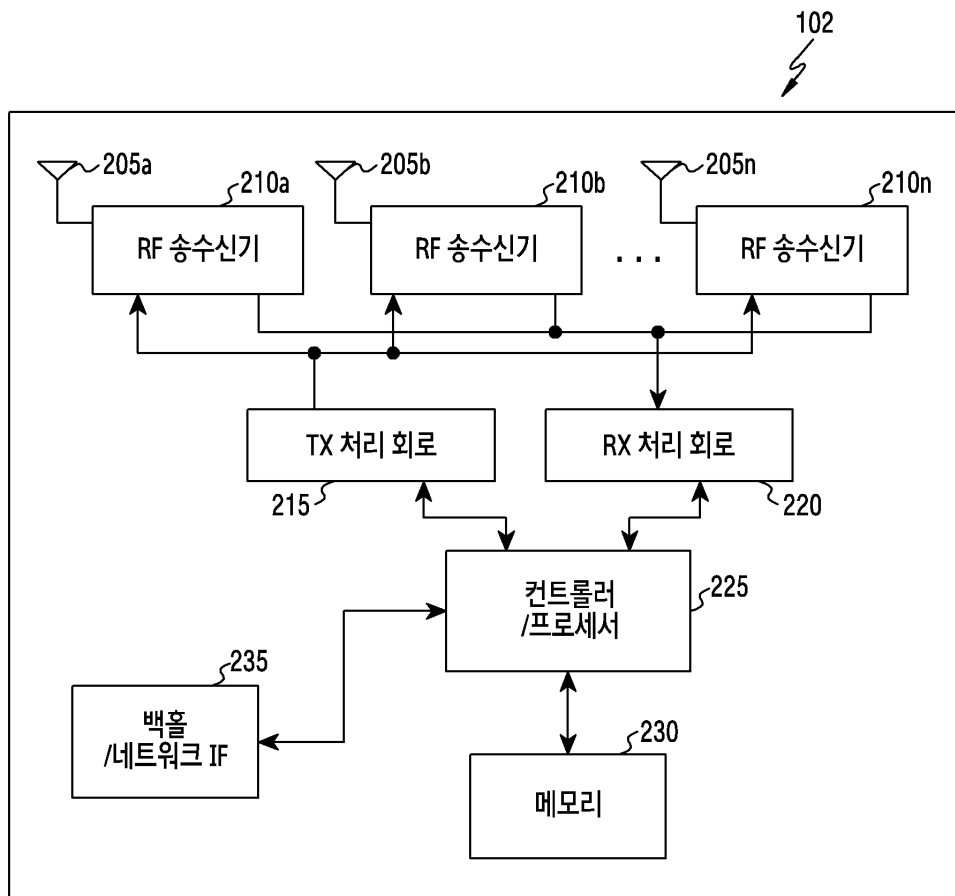
- [0534] 측정 목적을 위한 구성 강화.
- [0535] 일 실시 예에서, 그것이 해당 테이블에 포함되어 있지 않고 예비된 구성이 해당 테이블에서 이용 가능한 경우, CORESET BW 및 다수의 CORESET 심볼의 모든 조합에 대해, SS 블록 및 RMSI CORESET BW의 중앙 정렬 구성이 다중화 패턴 1에 대해 추가될 수 있다. SS 블록 및 RMSI CORESET BW의 중앙 정렬을 추가하는 목적은 SS 블록의 신호들(예를 들면, SSS)을 사용하여 보다 양호한 측정을 위한 것이며, 이 구성이 필수적인 것은 아니다(예를 들면, 전체 구성 수가 이론상 최소 구성 수를 초과할 수 있음).
- [0536] 일 예에서, 예비된 구성들 중 하나를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1, 2 또는 3과 조합되는 "CORESET BW" = 24 PRB에 대한 $\Delta F2 = 14$ 가 표 7B에 추가될 수 있다.
- [0537] 일 예에서, 예비된 구성들 중 3개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1, 2 또는 3과 조합되는 "CORESET BW" = 48 PRB에 대한 $\Delta F2 = 19$ 가 표 7B에 추가될 수 있다.
- [0538] 다른 예에서, 예비된 구성들 중 3개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1, 2 또는 3과 조합되는 "CORESET BW" = 48 PRB에 대한 $\Delta F2 = 4$ 가 표 7C에 추가될 수 있다.
- [0539] 또 다른 예에서, 예비된 구성들 중 3개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1, 2 및 3과 조합되는 "CORESET BW" = 48 PRB에 대한 $\Delta F2 = 4$ 가 표 7E에 추가될 수 있다.
- [0540] 또 다른 예에서, 예비된 구성들 중 하나를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 2와 조합되는 "CORESET BW" = 24 PRB에 대한 $\Delta F2 = 2$ 가 표 7F에 추가될 수 있다.
- [0541] 또 다른 예에서, 예비된 구성들 중 2개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1 및 2와 조합되는 "CORESET BW" = 96 PRB에 대한 $\Delta F2 = 8$ 이 표 7G에 추가될 수 있다.
- [0542] 또 다른 예에서, 예비된 구성들 중 2개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1 및 2와 조합되는 "CORESET BW" = 48 PRB에 대한 $\Delta F2 = 4$ 가 표 7H에 추가될 수 있다.
- [0543] 또 다른 예에서, 예비된 구성들 중 3개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1, 2 및 3과 조합되는 "CORESET BW" = 96 PRB에 대한 $\Delta F2 = 28$ 이 표 14A에 추가될 수 있다.
- [0544] 또 다른 예에서, 예비된 구성들 중 2개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 2 및 3과 조합되는 "CORESET BW" = 24 PRB에 대한 $\Delta F2 = 2$ 가 표 14B에 추가될 수 있다.
- [0545] 또 다른 예에서, 예비된 구성들 중 3개를 사용하여, "다중화 패턴" = 패턴 1 및 "CORESET의 심볼 수" = 1, 2 및 3과 조합되는 "CORESET BW" = 48 PRB에 대한 $\Delta F2 = 14$ 가 표 14C에 추가될 수 있다.
- [0546] 본 개시가 예시적인 실시 예로 설명되었지만, 당업자에게는 다양한 변경 및 수정이 제안될 수 있다. 본 개시는 첨부된 청구 범위의 범주 내에 속하는 그러한 변경 및 수정을 포함하는 것으로 의도된다.
- [0547] 본원의 설명 중 어느 것도 임의의 특정 요소, 단계 또는 기능이 청구 범위에 포함되어야 하는 필수 요소임을 나타내는 것으로 해석되어서는 안된다. 특히 대상의 범위는 청구 범위에 의해서만 정의된다.

도면

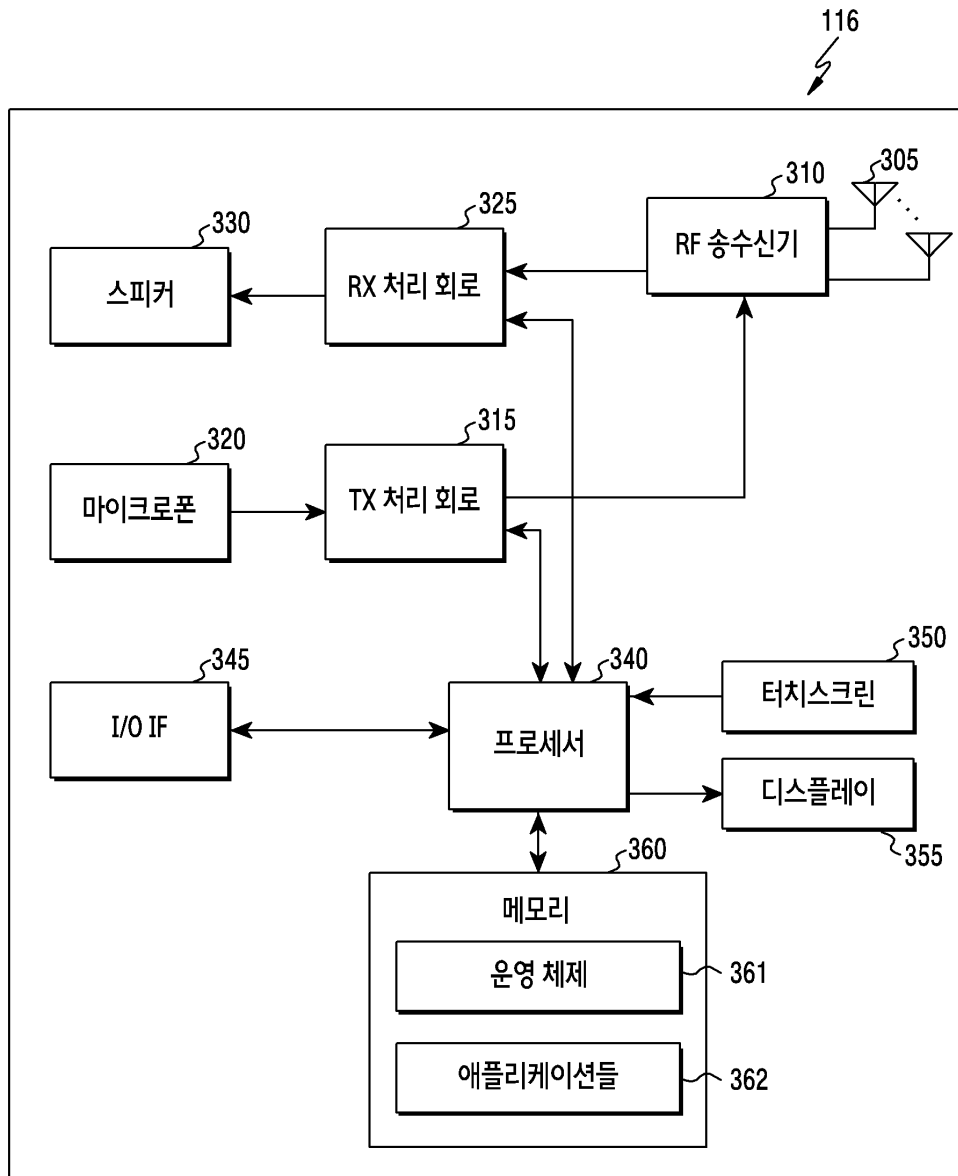
도면1



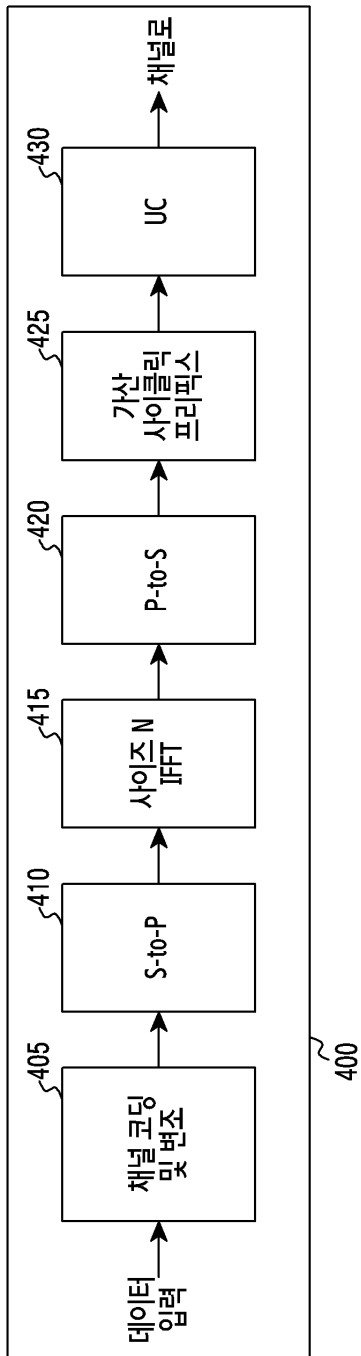
도면2



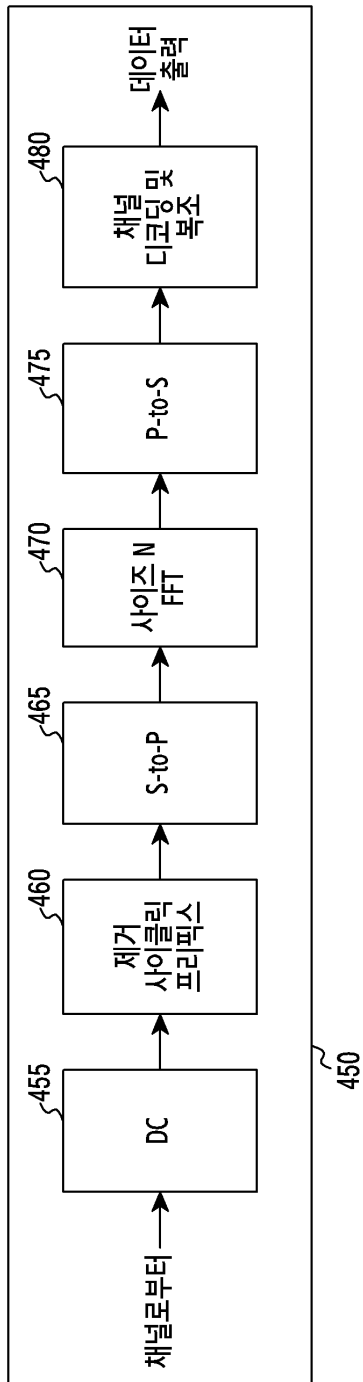
도면3



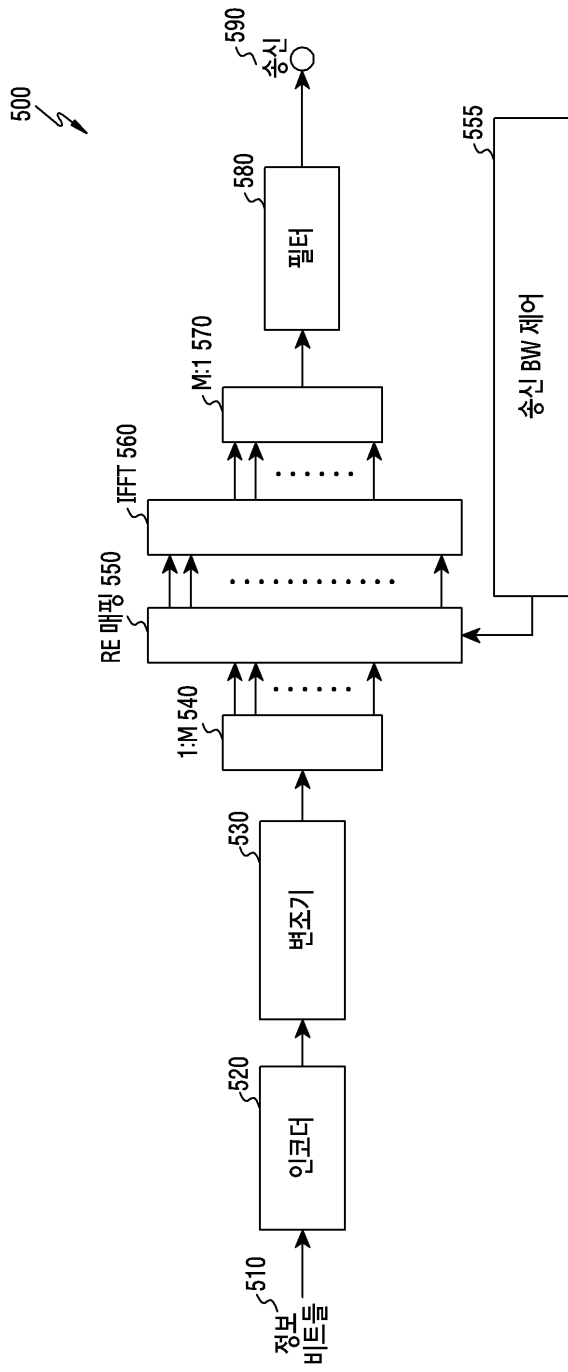
도면4a



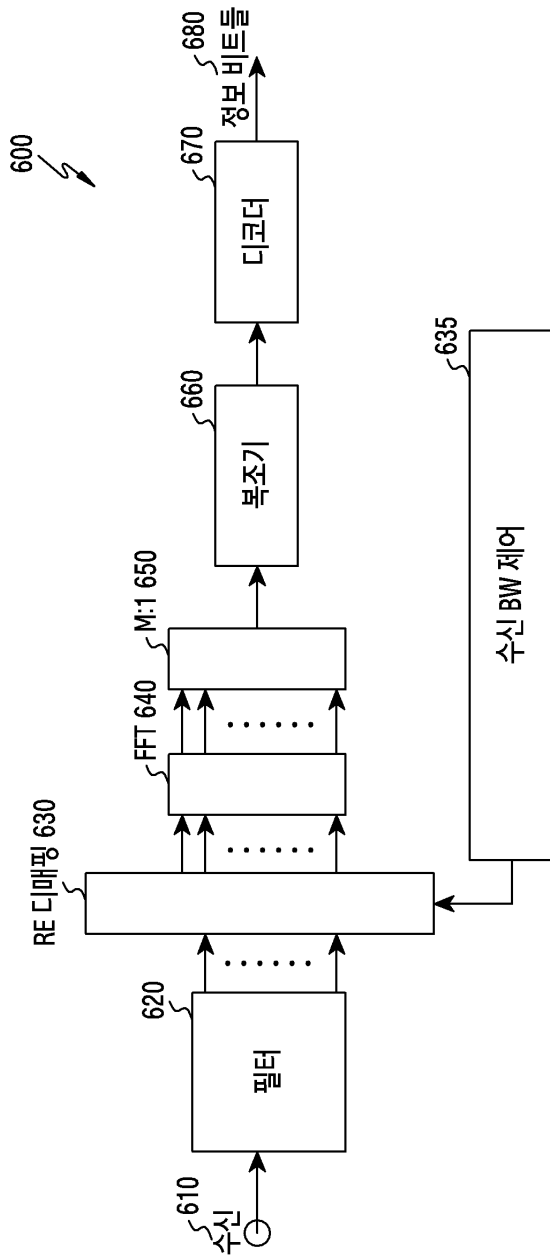
도면4b



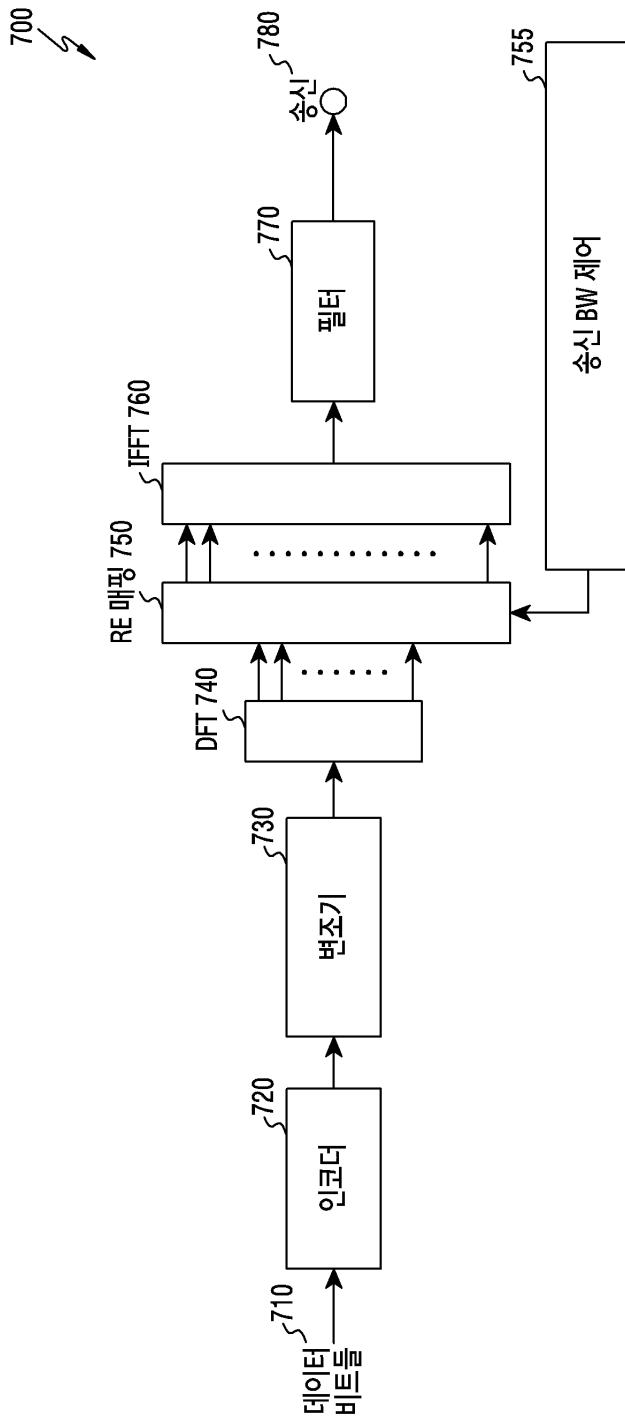
도면5



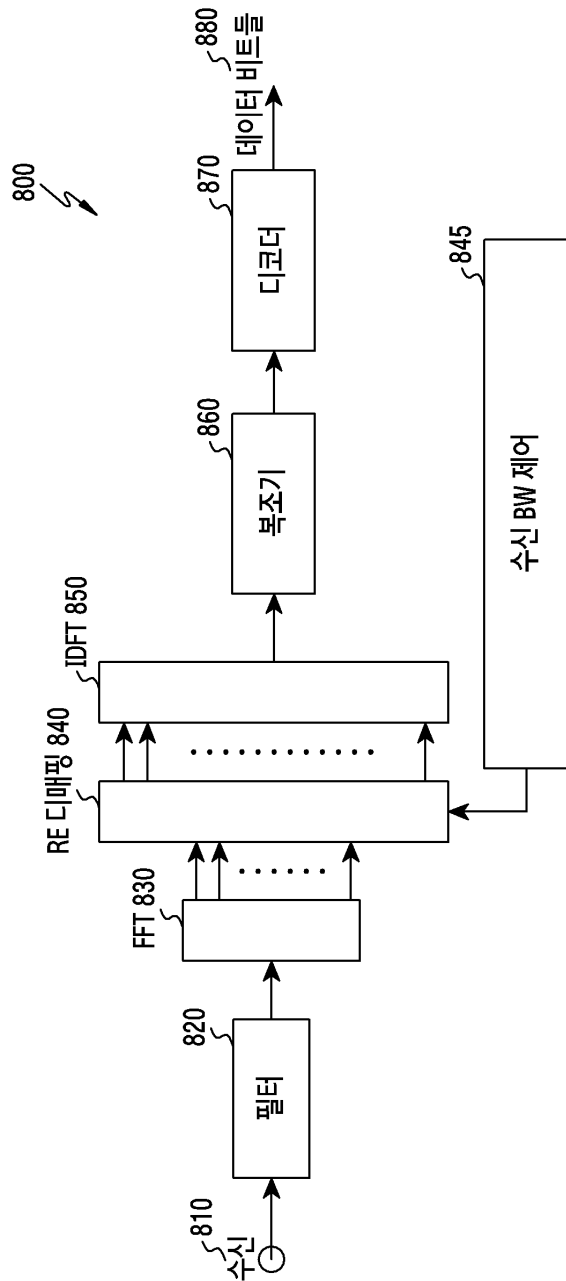
도면6



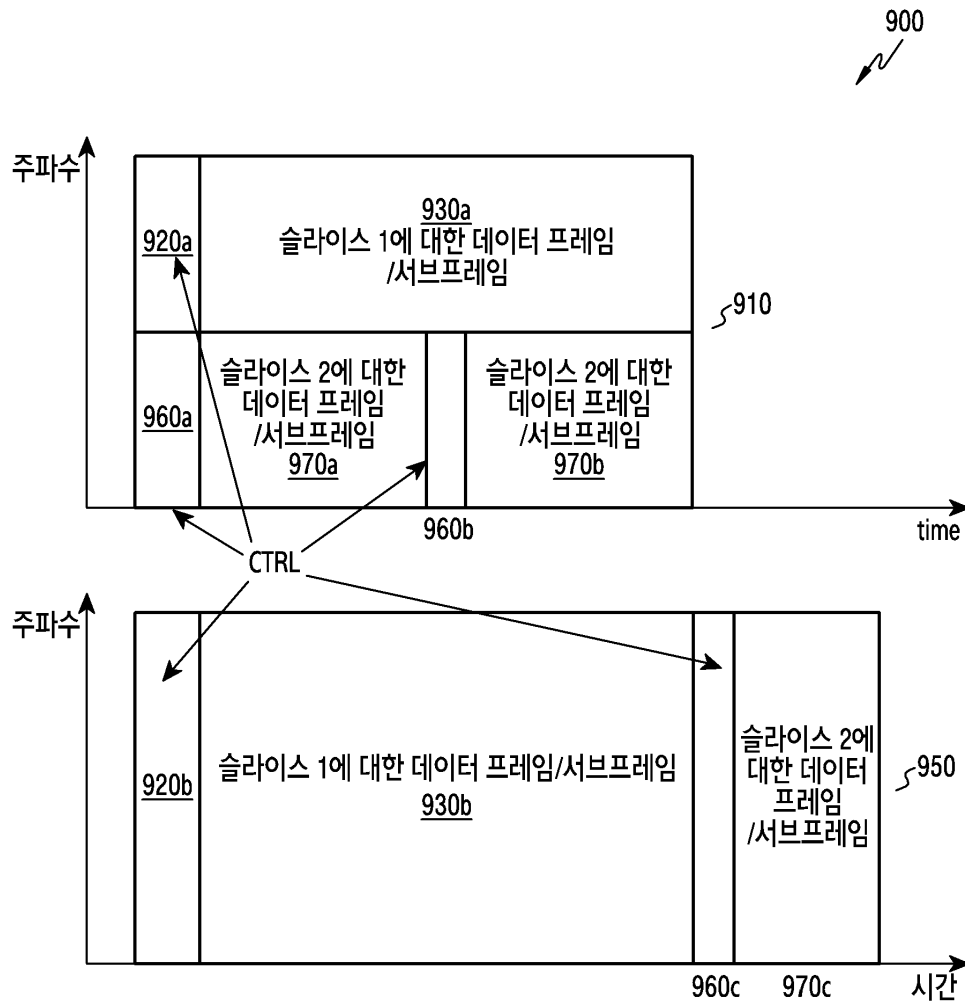
도면7



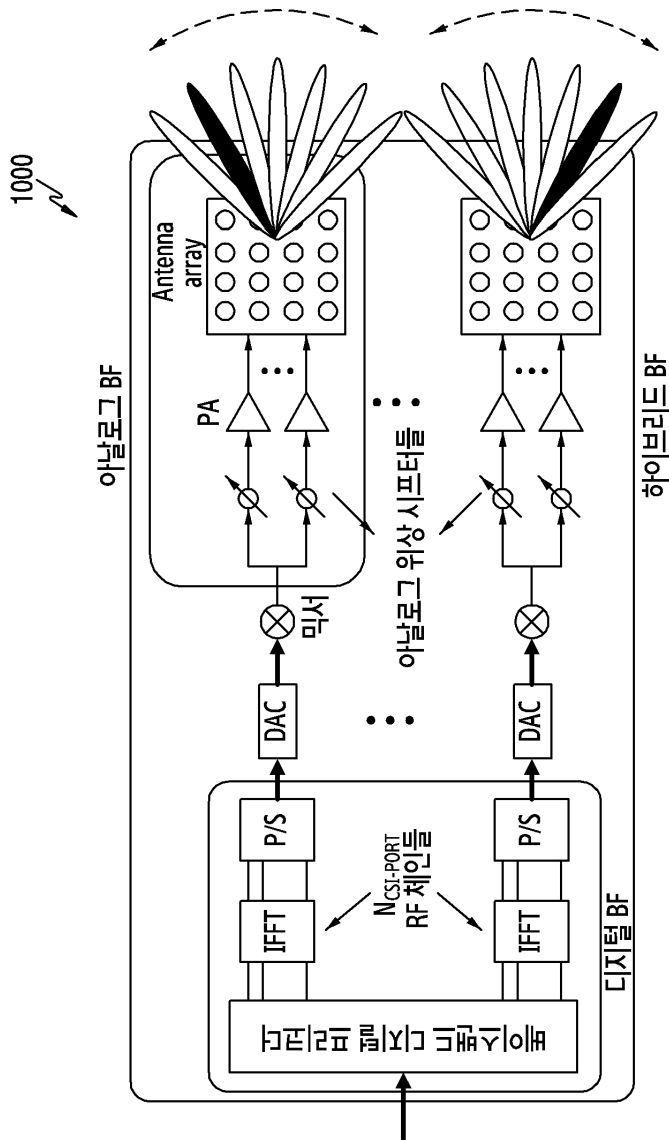
도면8



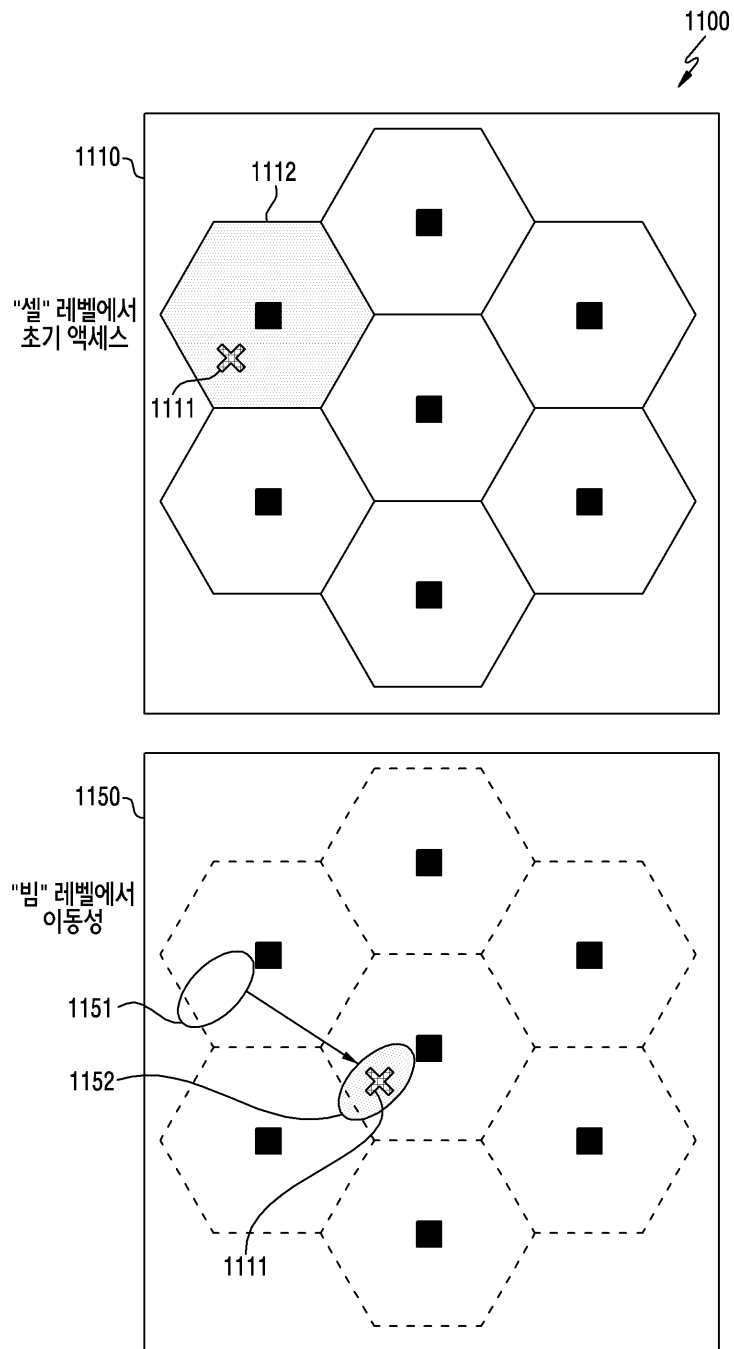
도면9



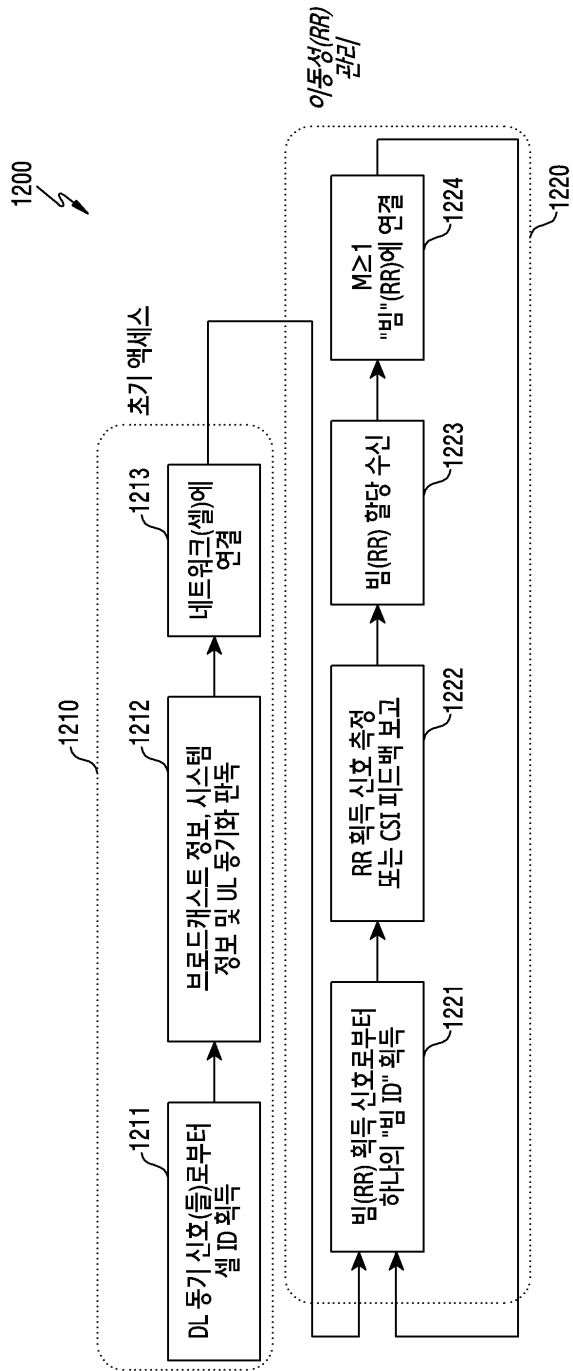
도면10



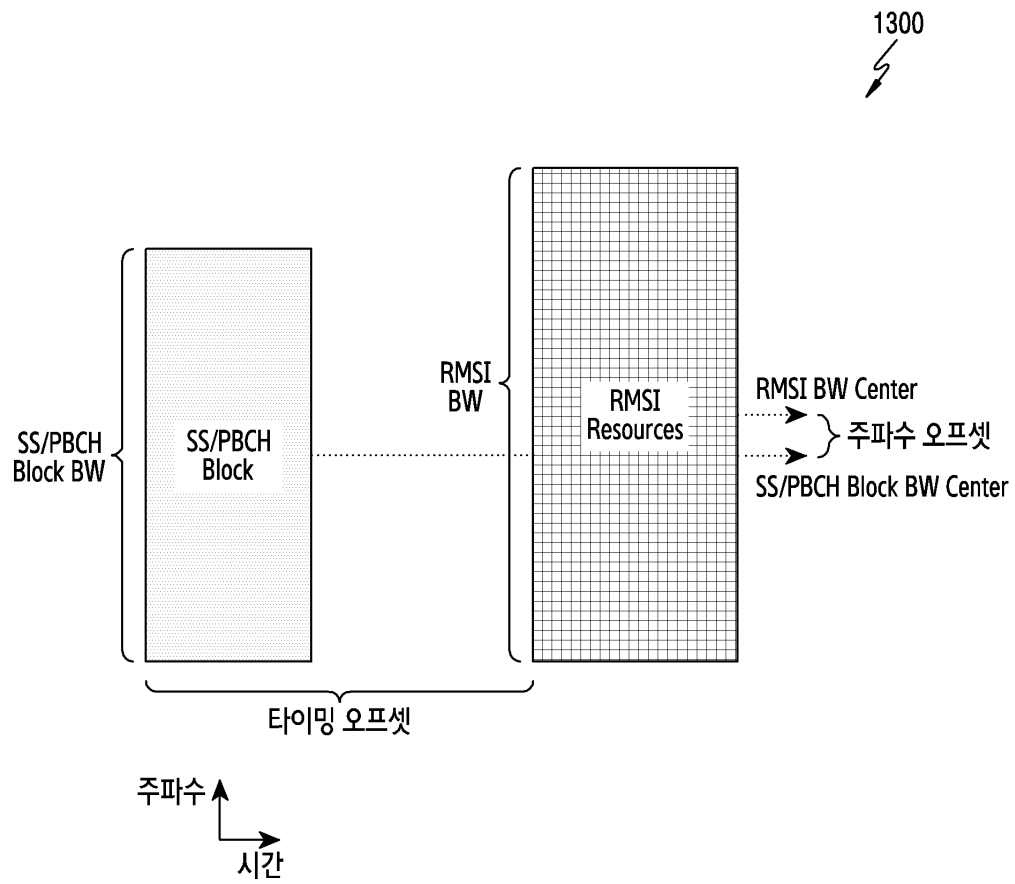
도면11



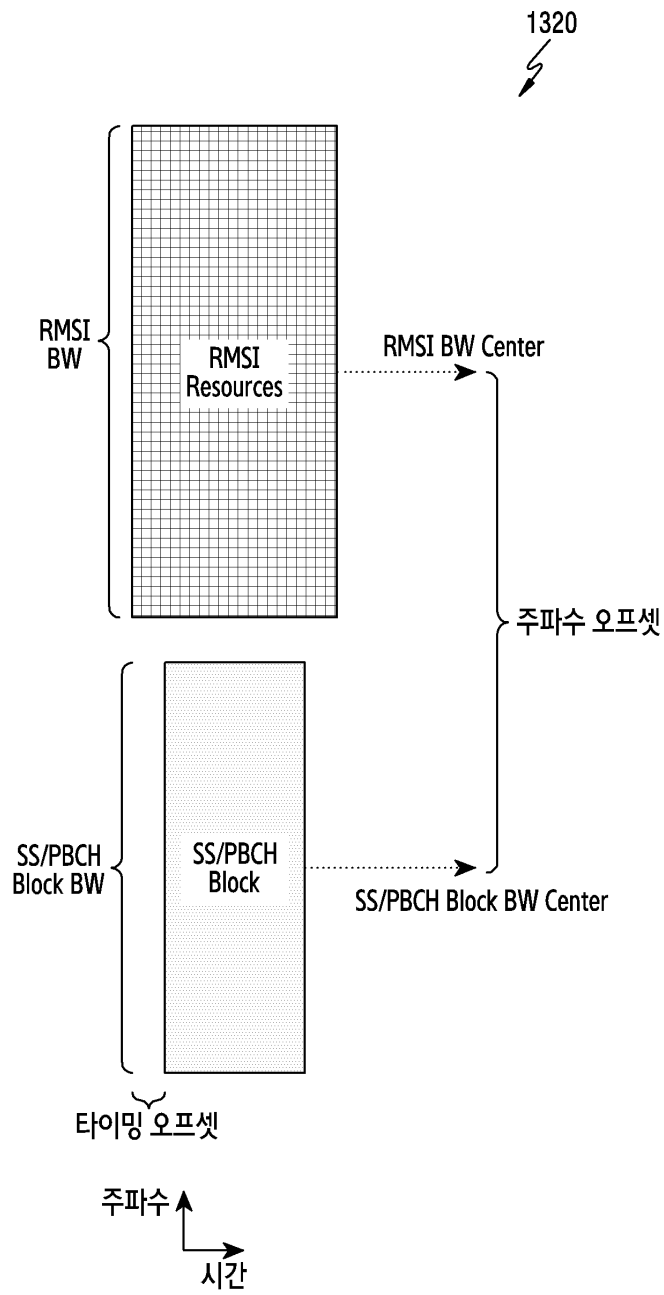
도면12



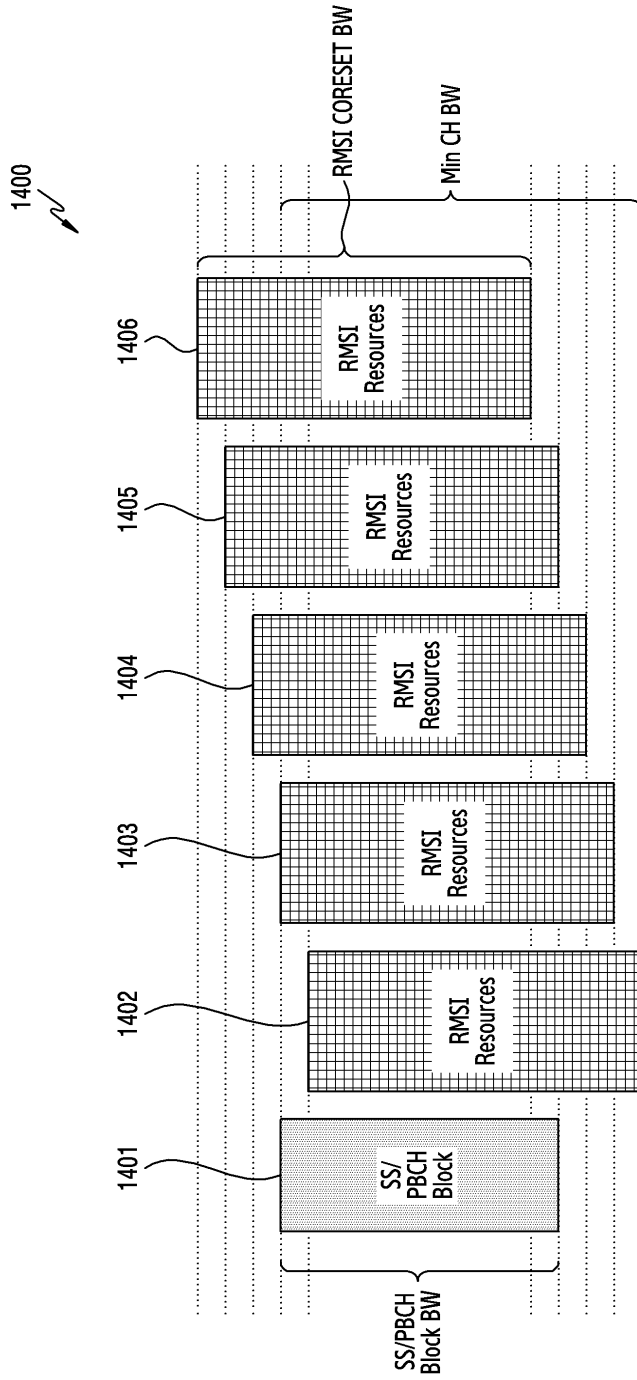
도면 13a



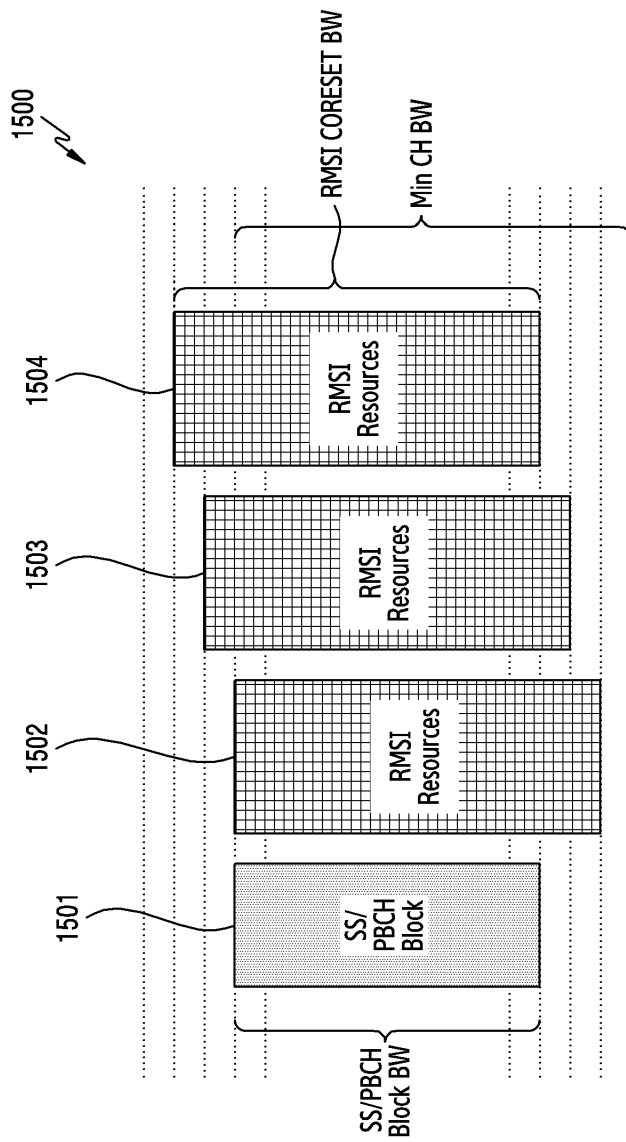
도면 13b



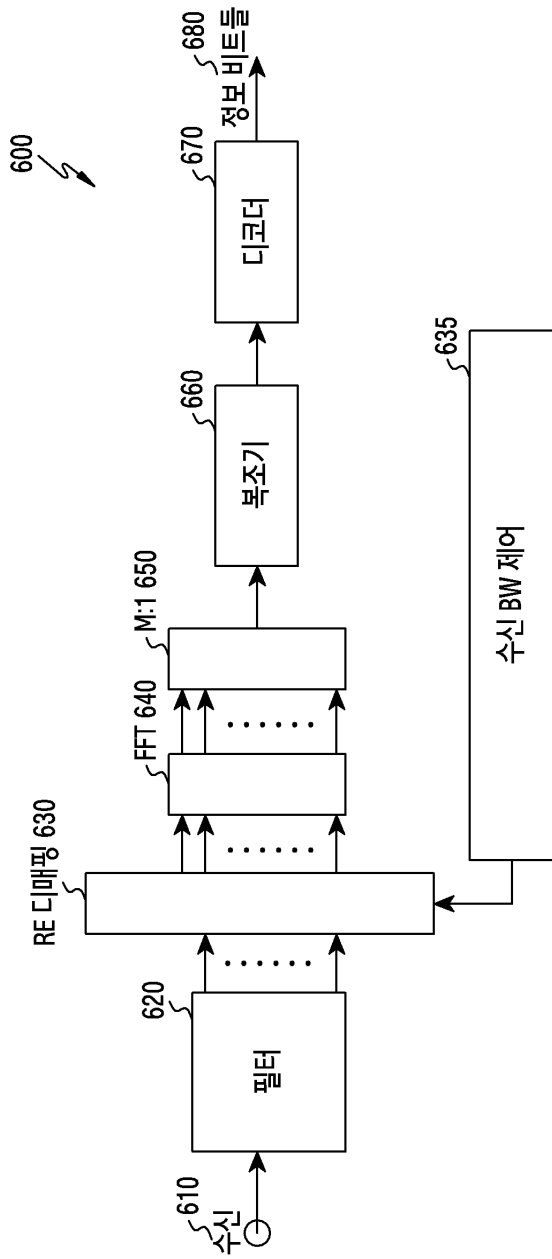
도면14



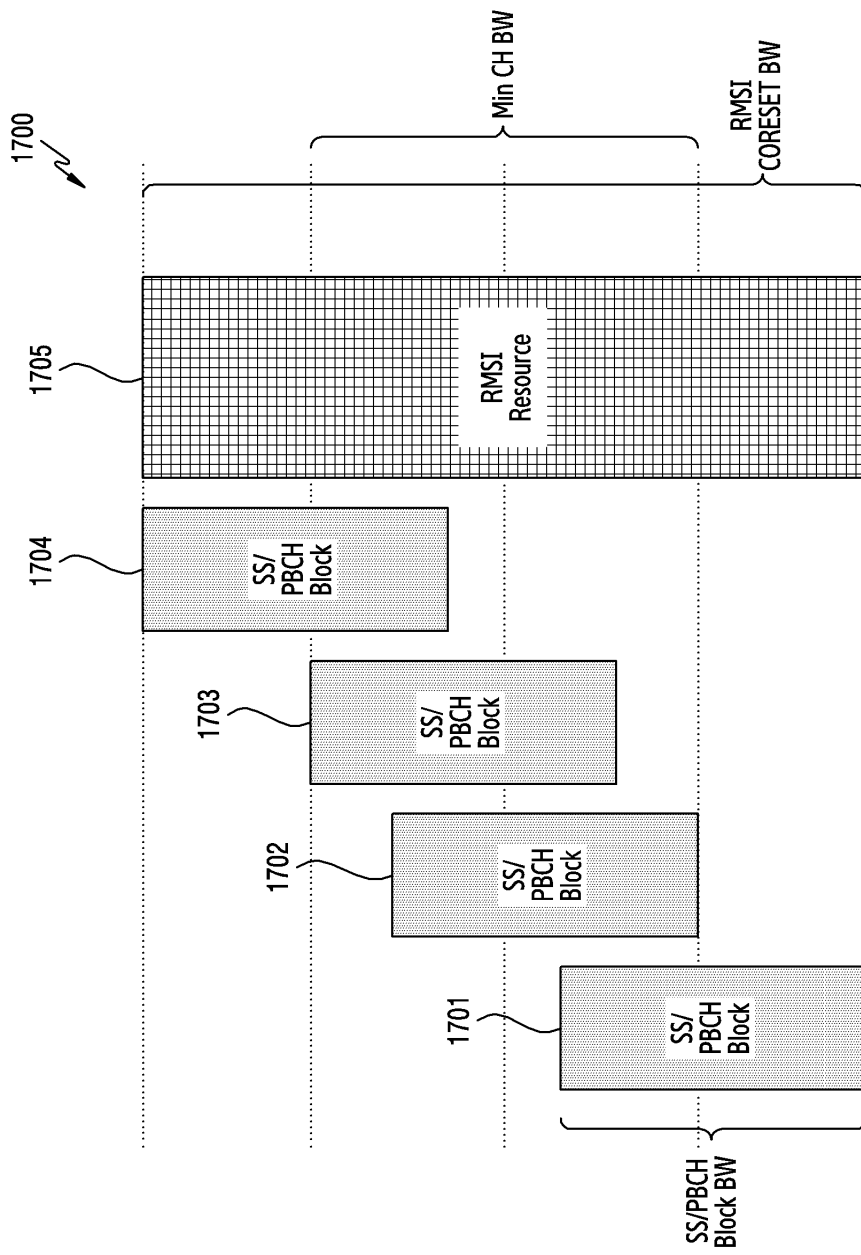
도면15



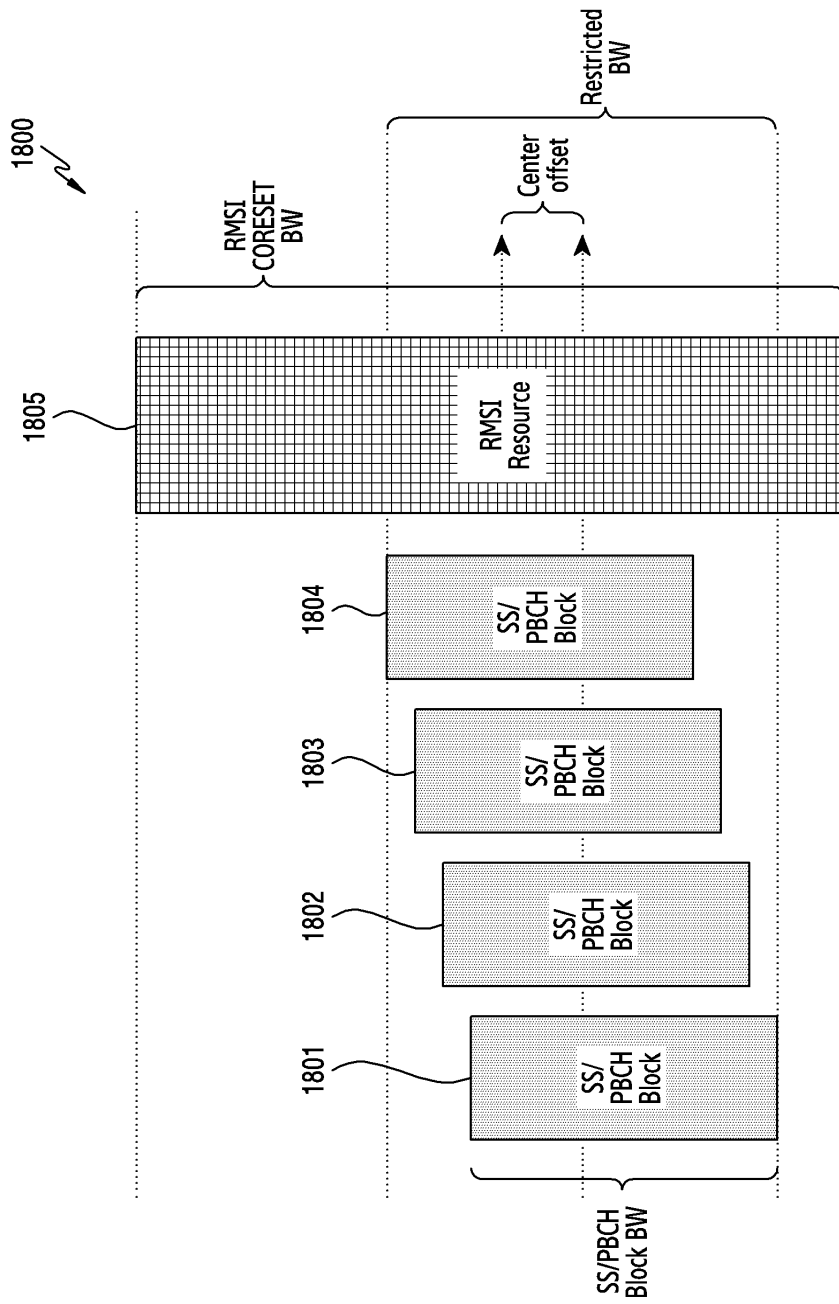
도면16



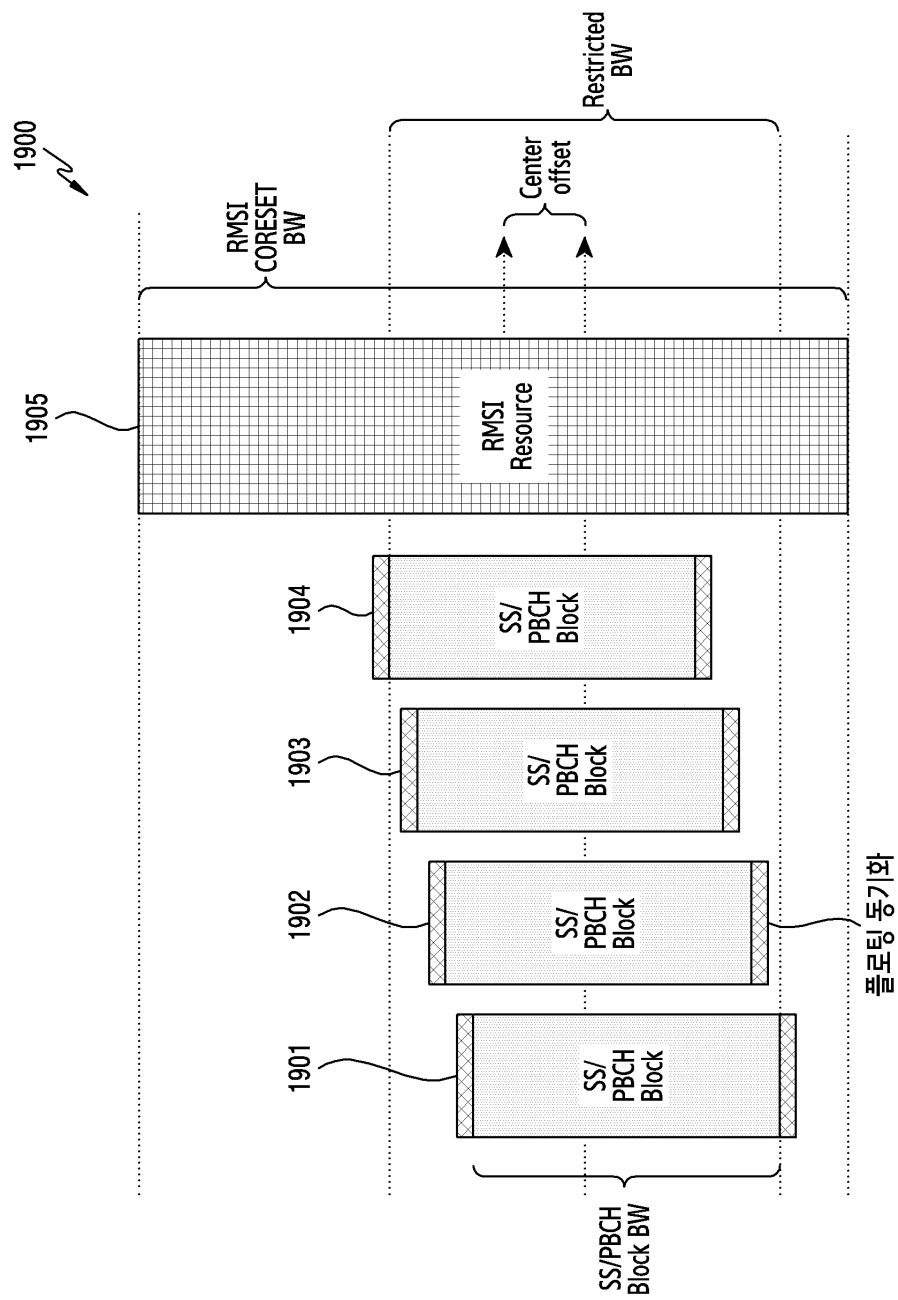
도면17



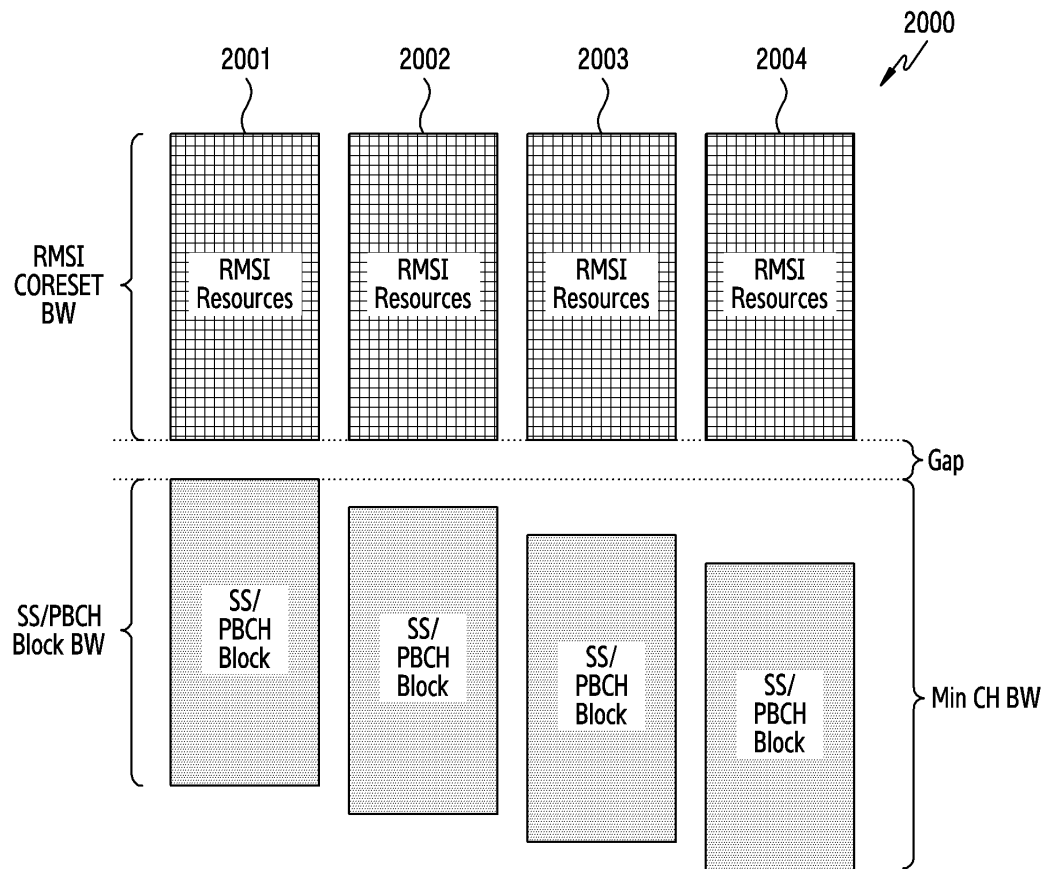
도면18



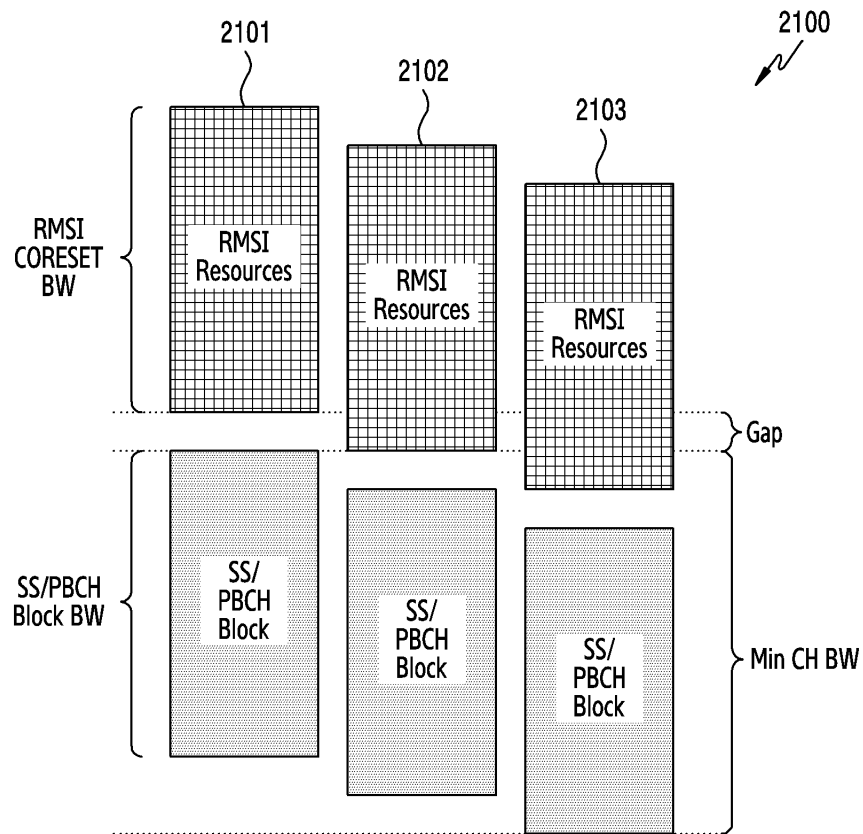
도면19



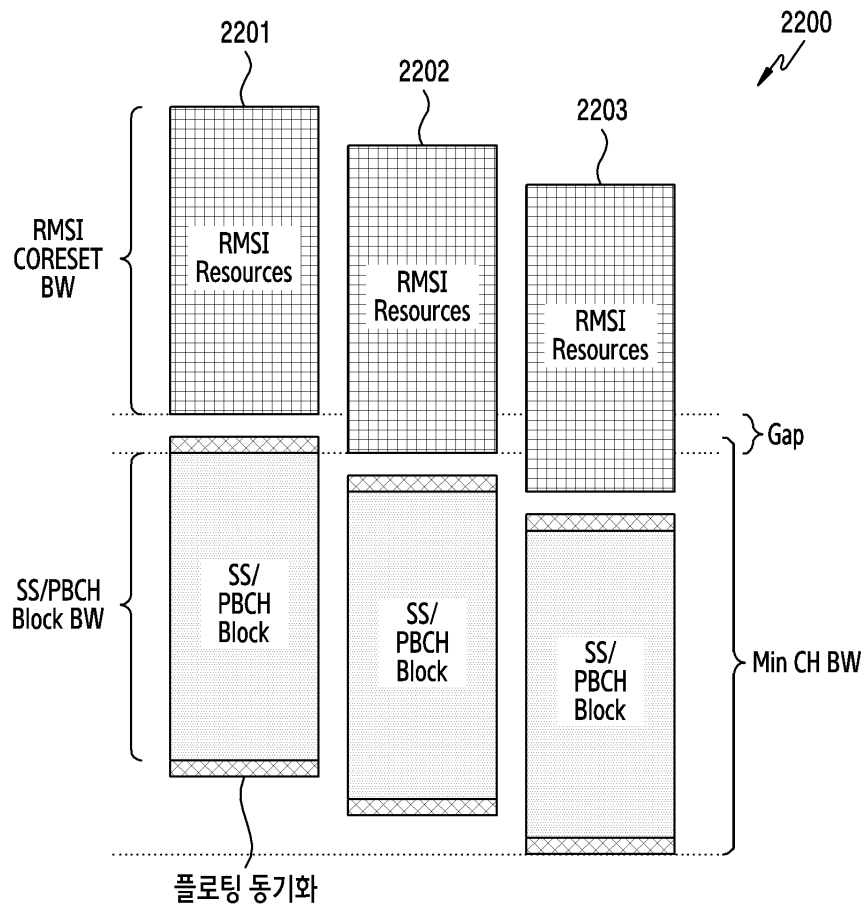
도면20



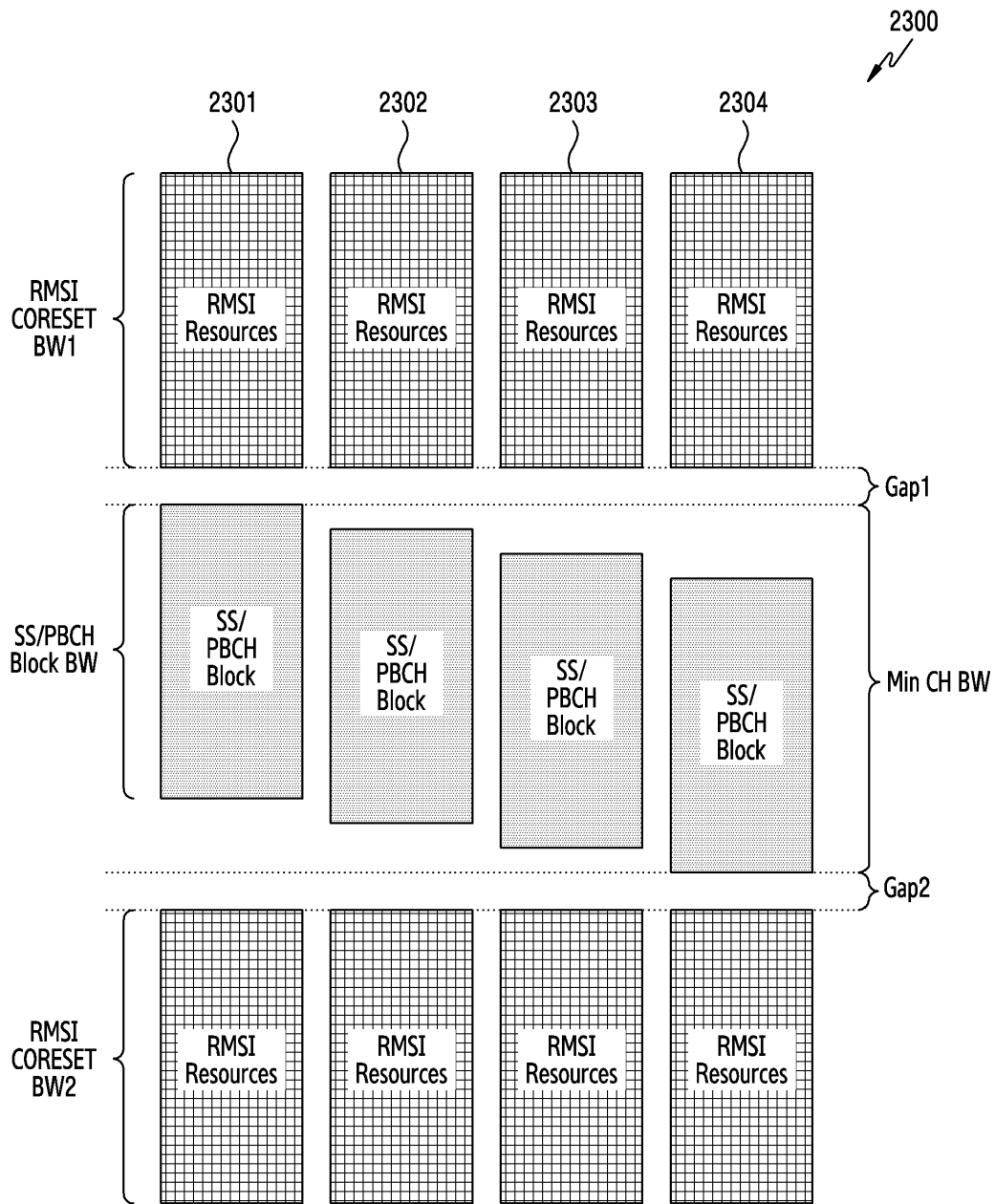
도면21



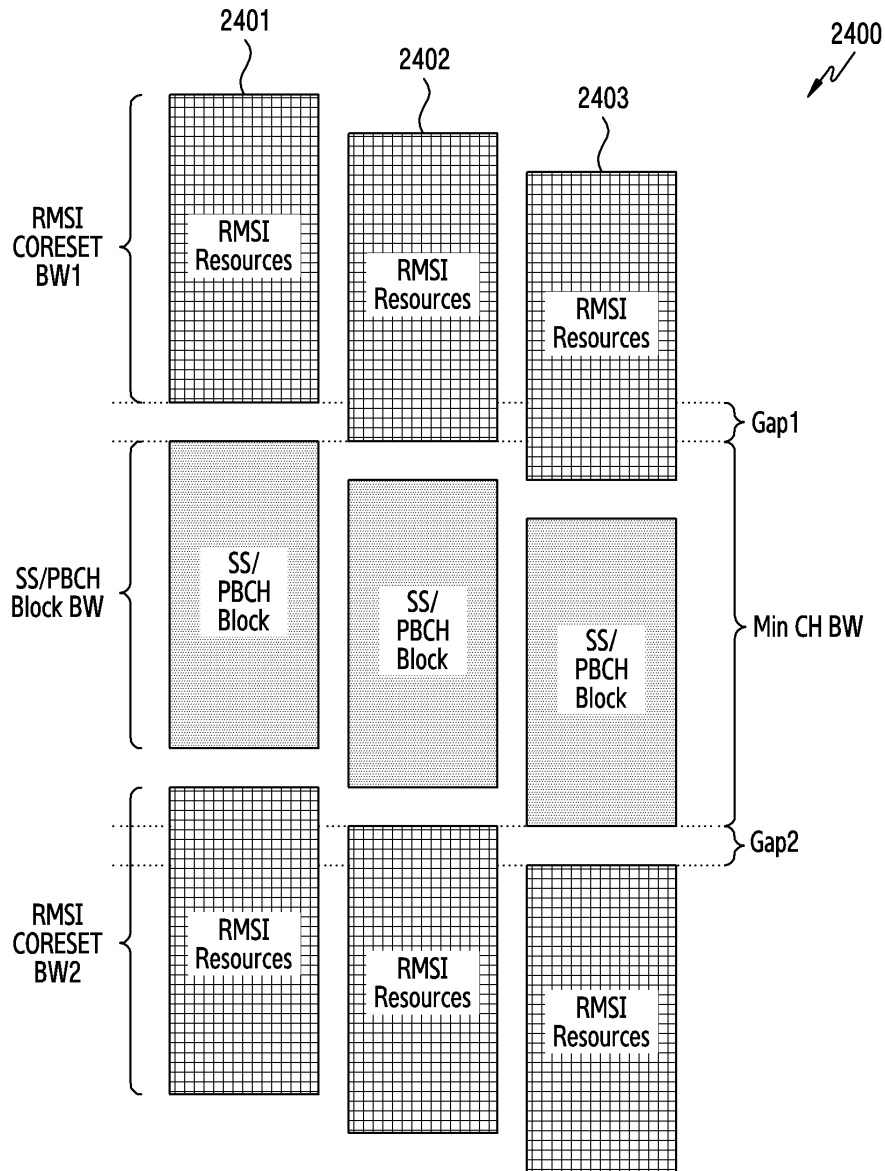
도면 22



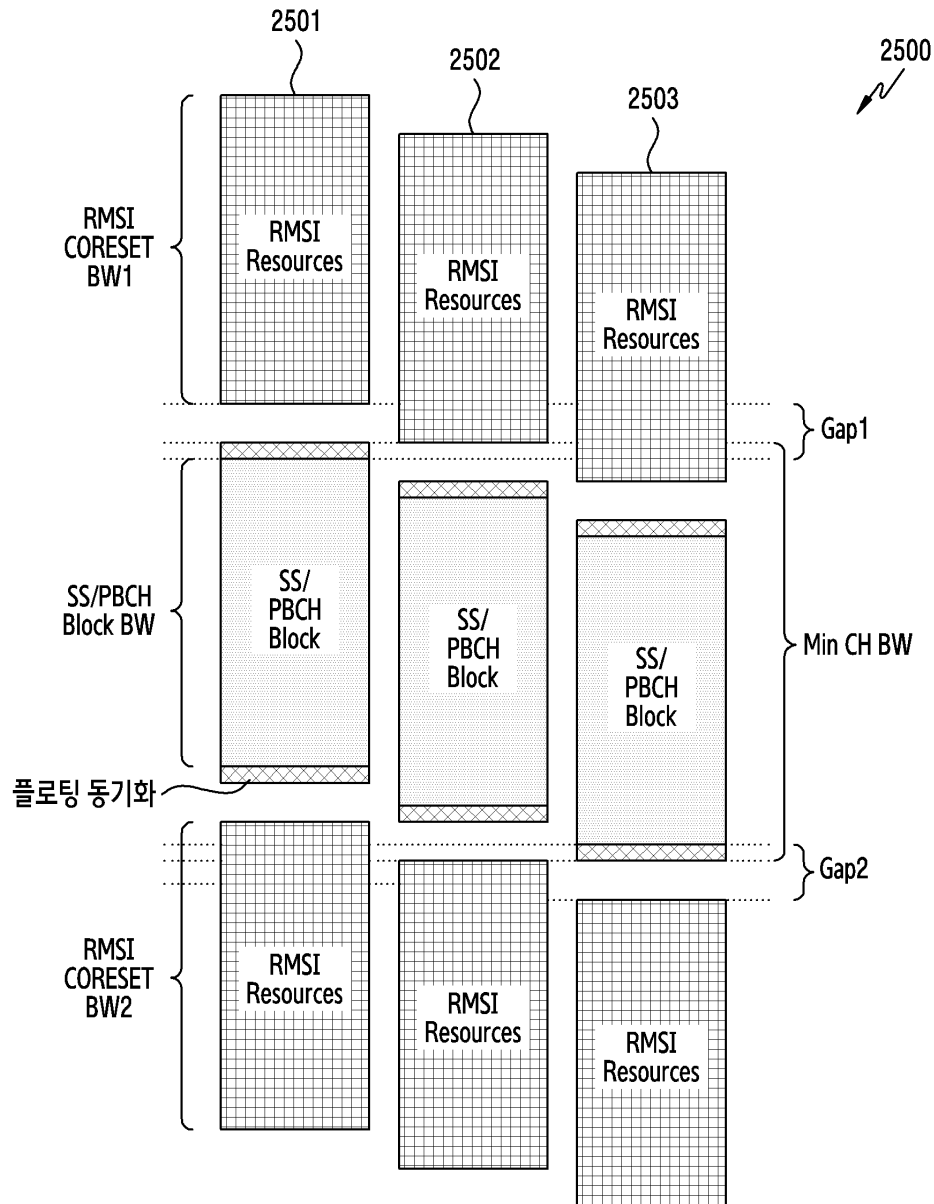
도면23



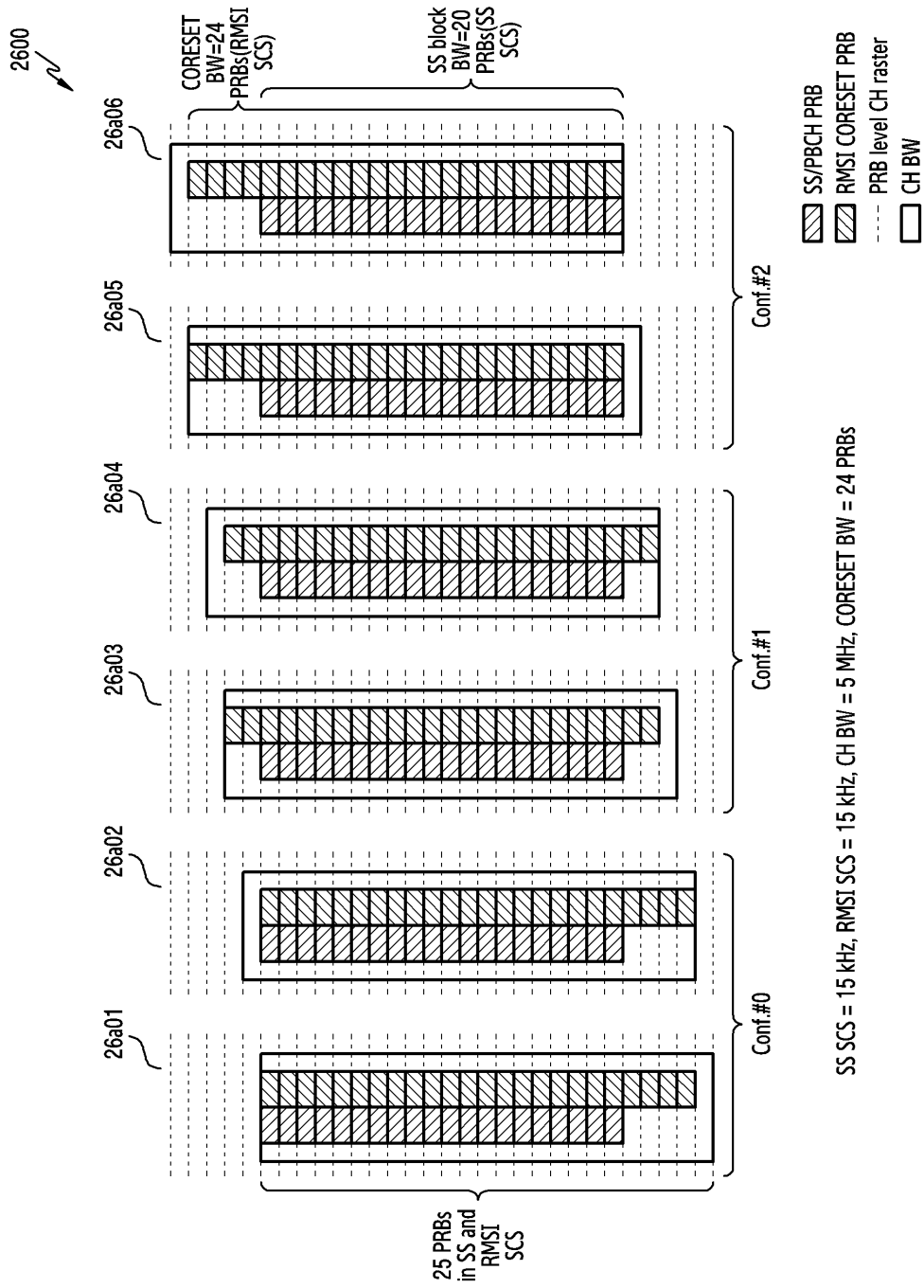
도면24



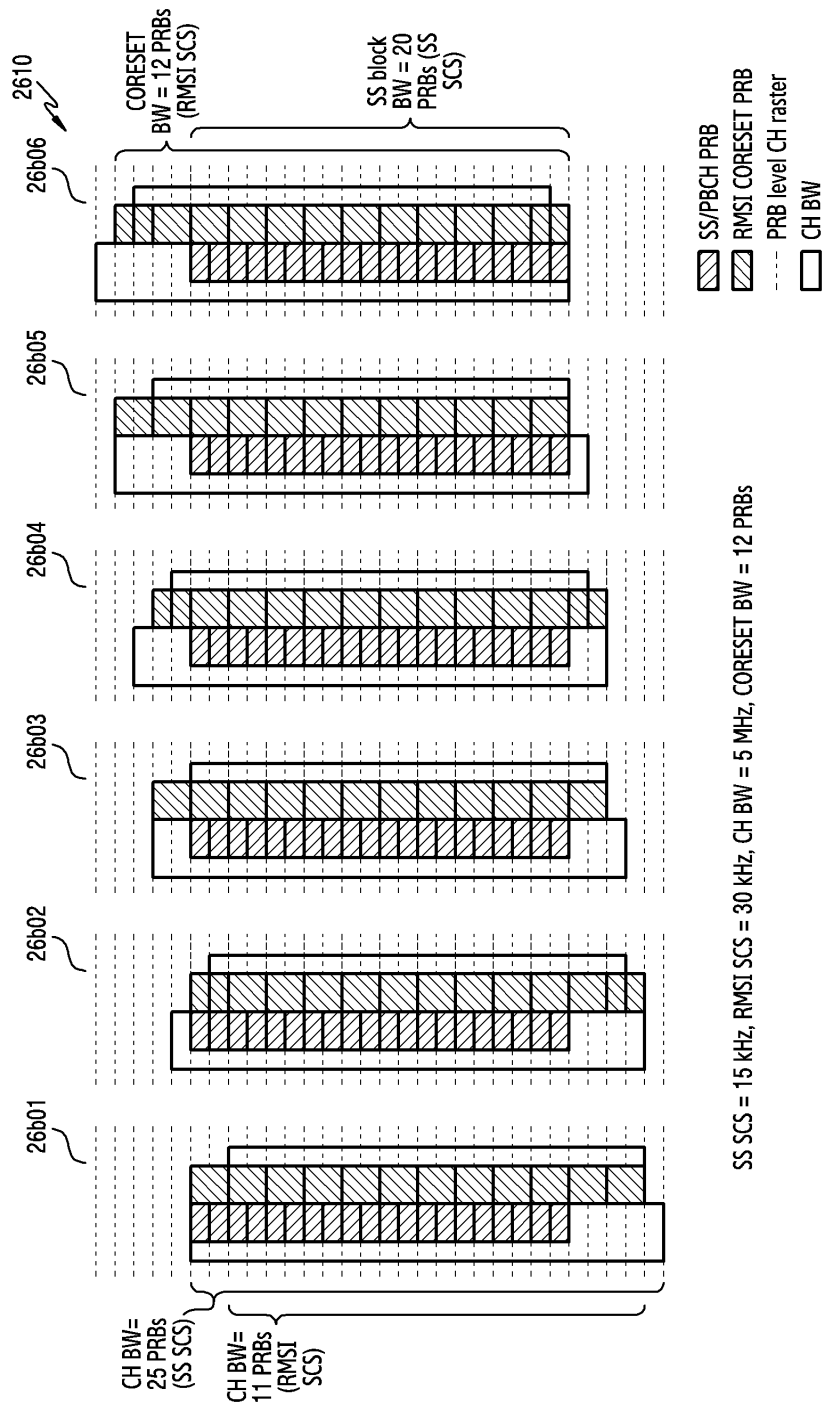
도면25



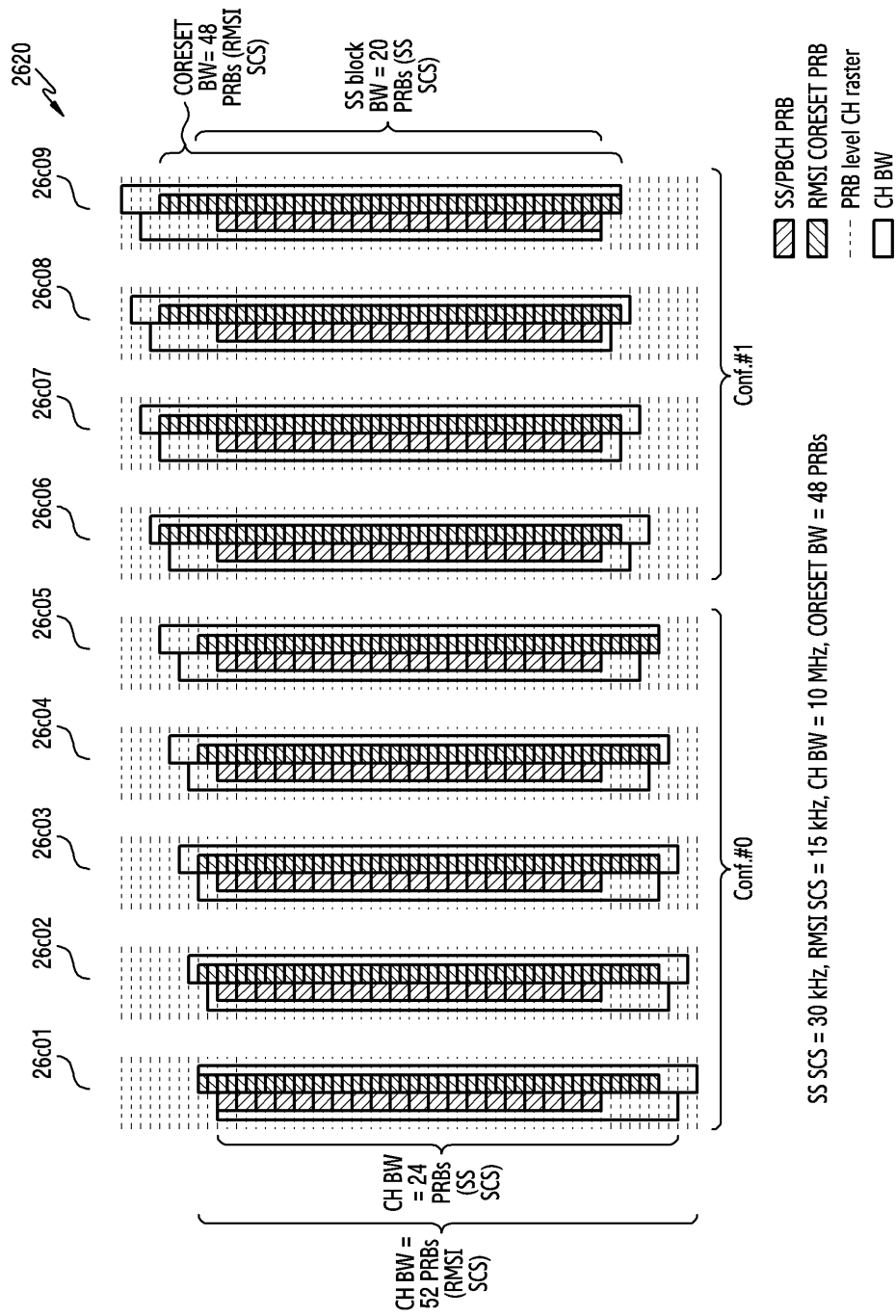
도면 26a



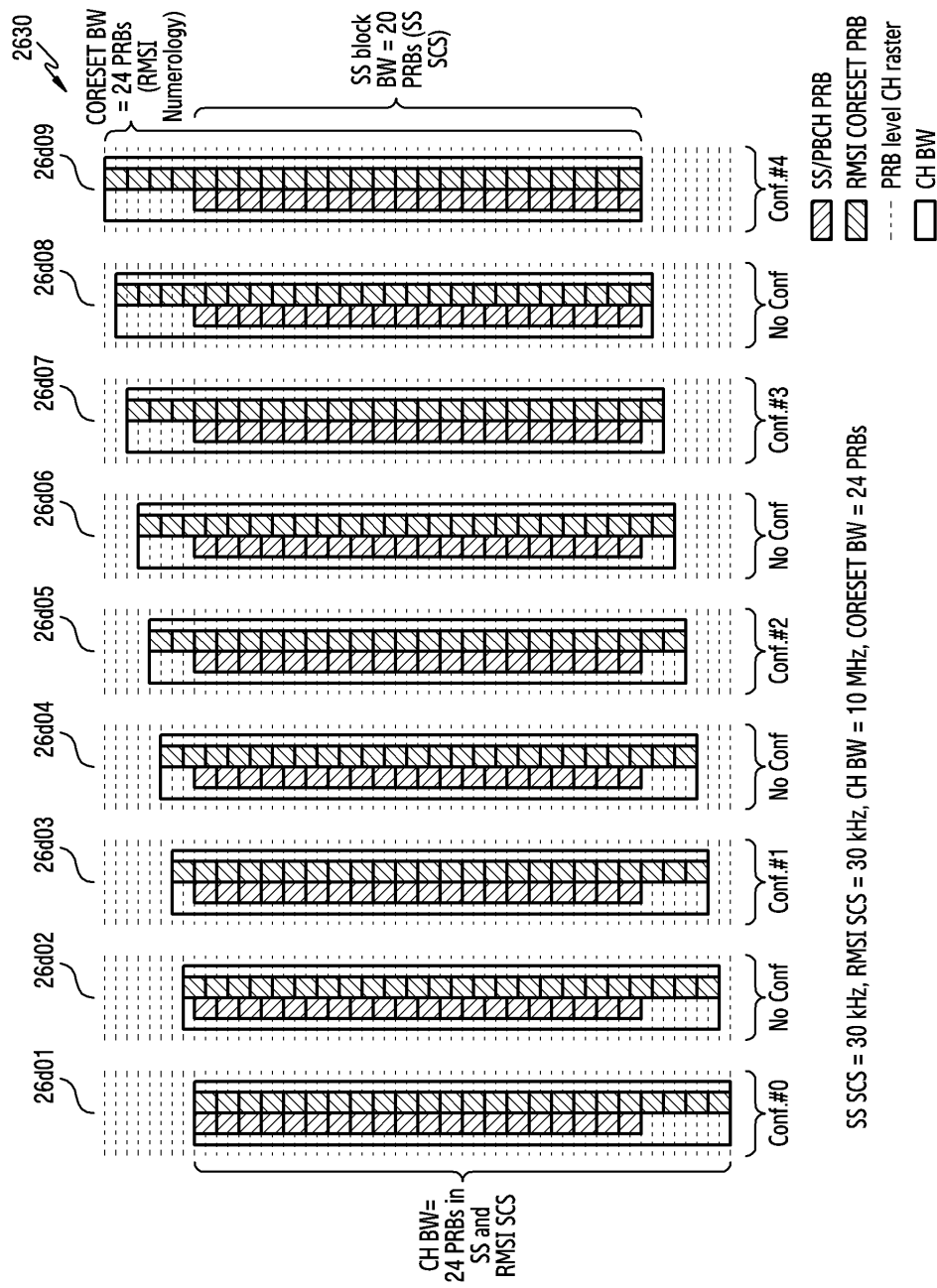
도면26b



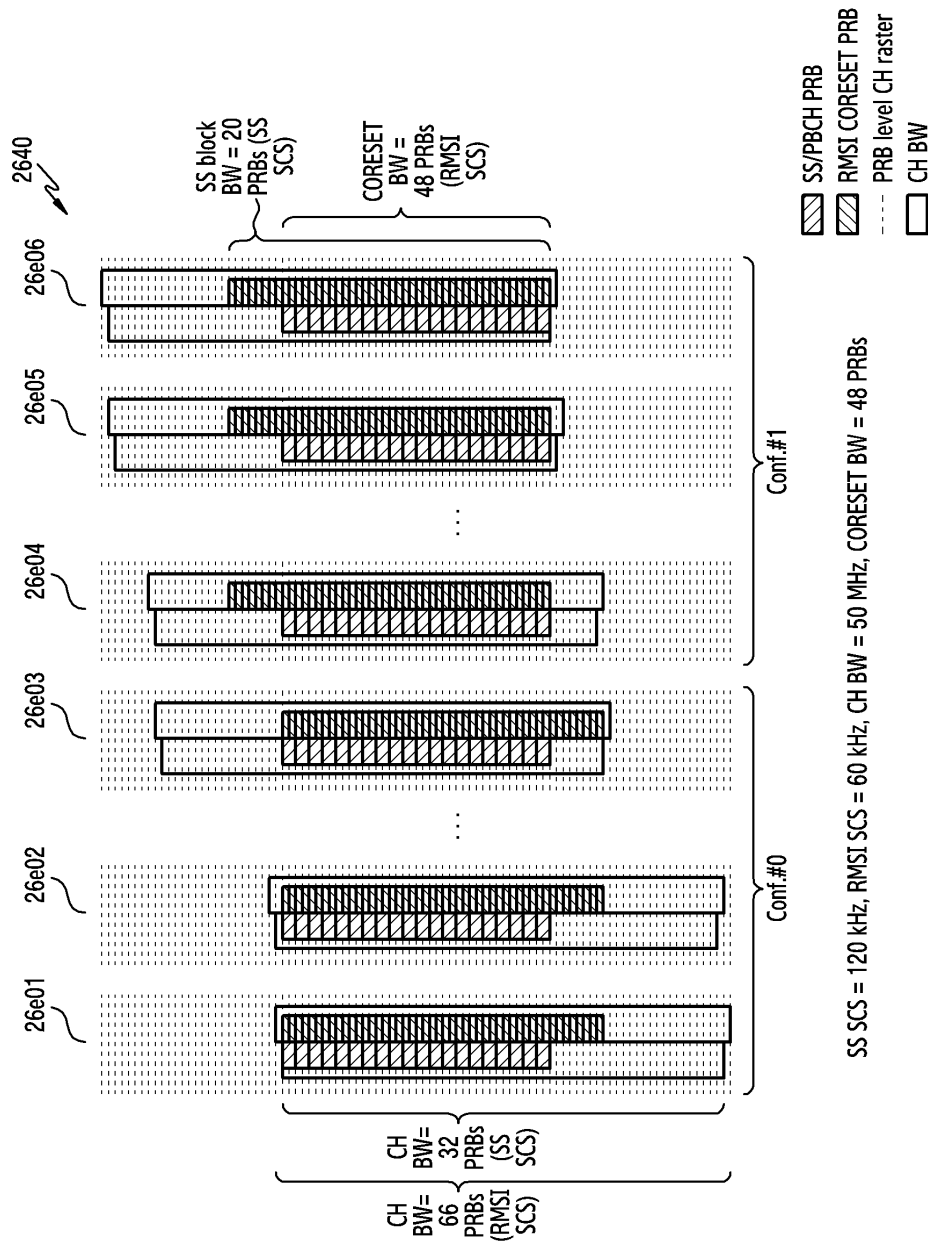
도면 26c



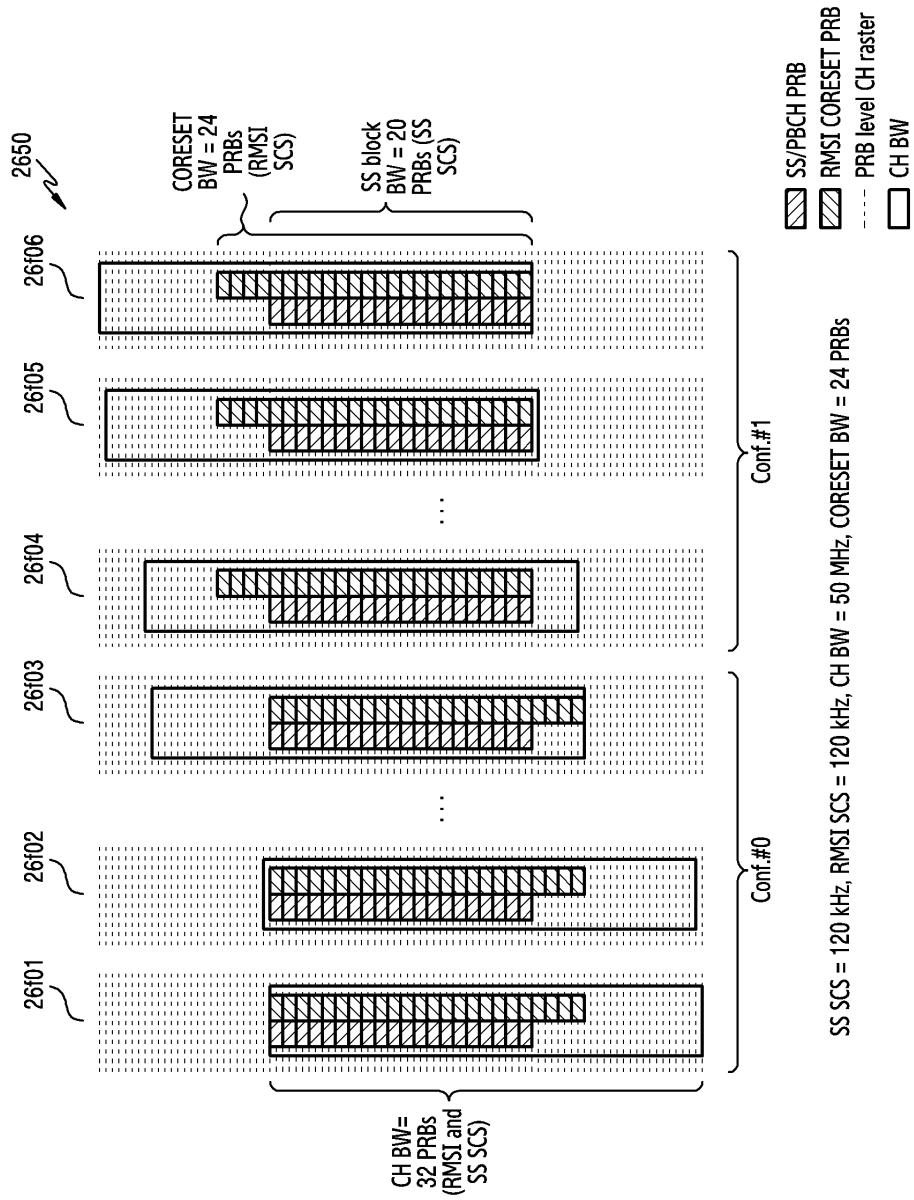
도면26d



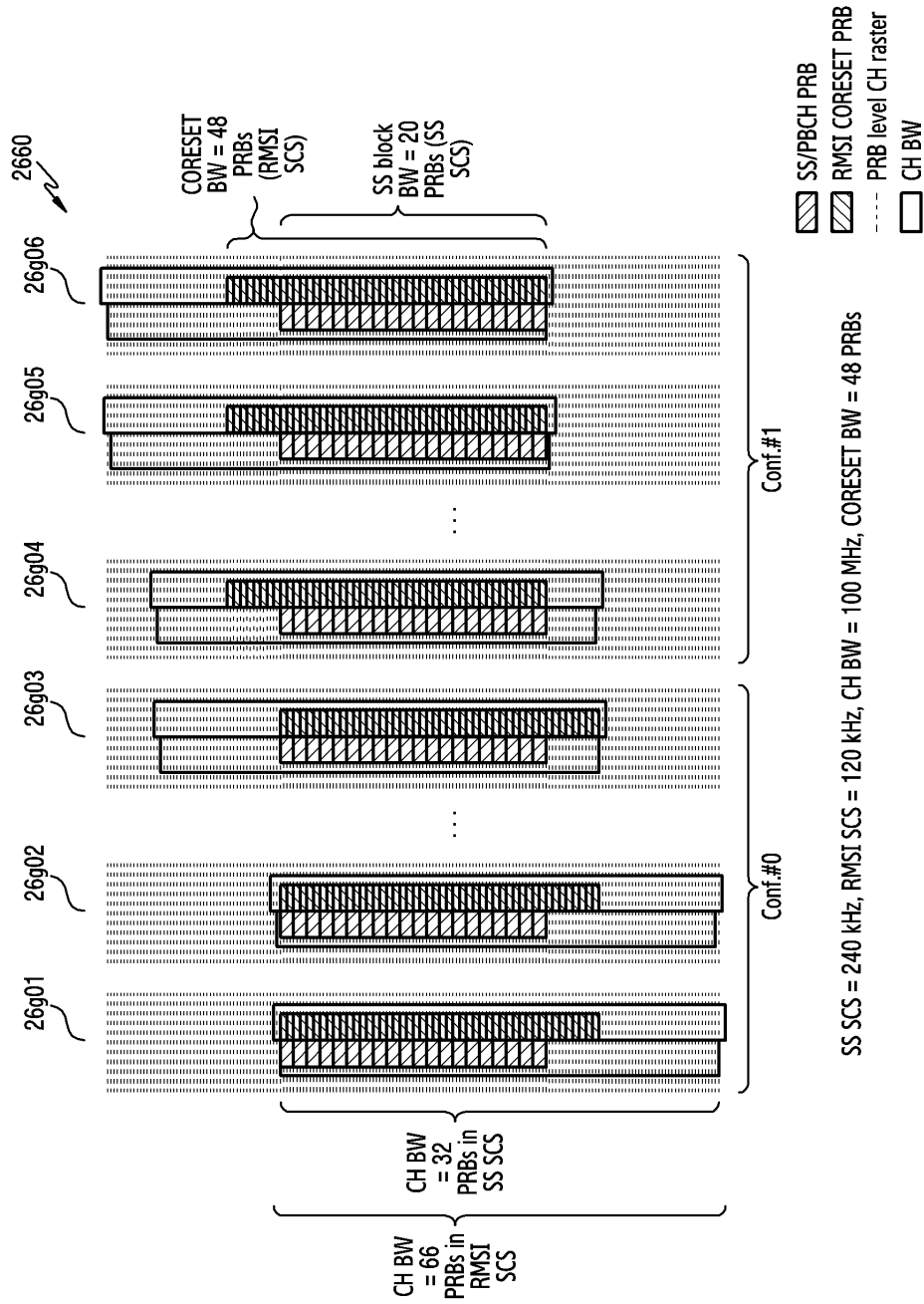
도면 26e



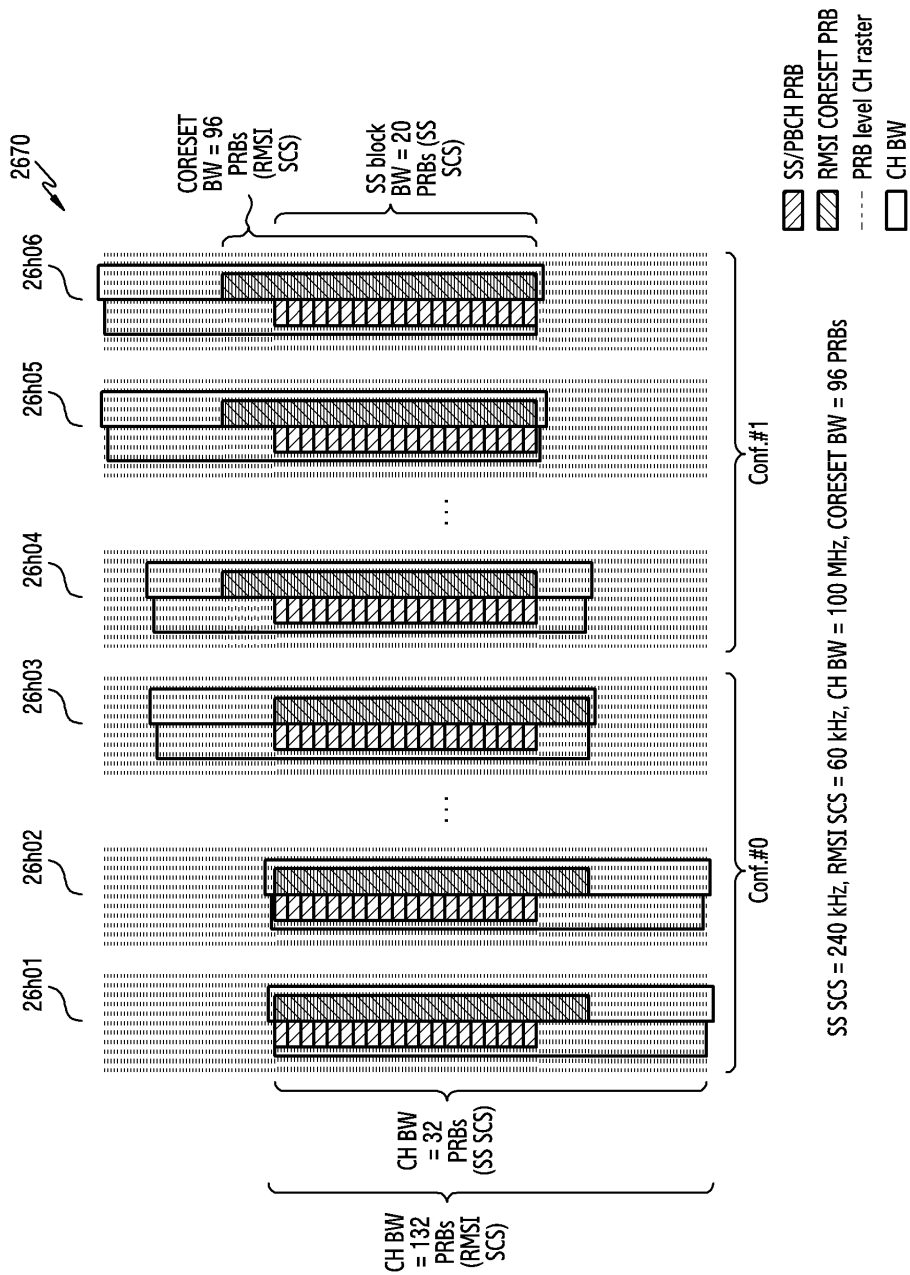
도면26f



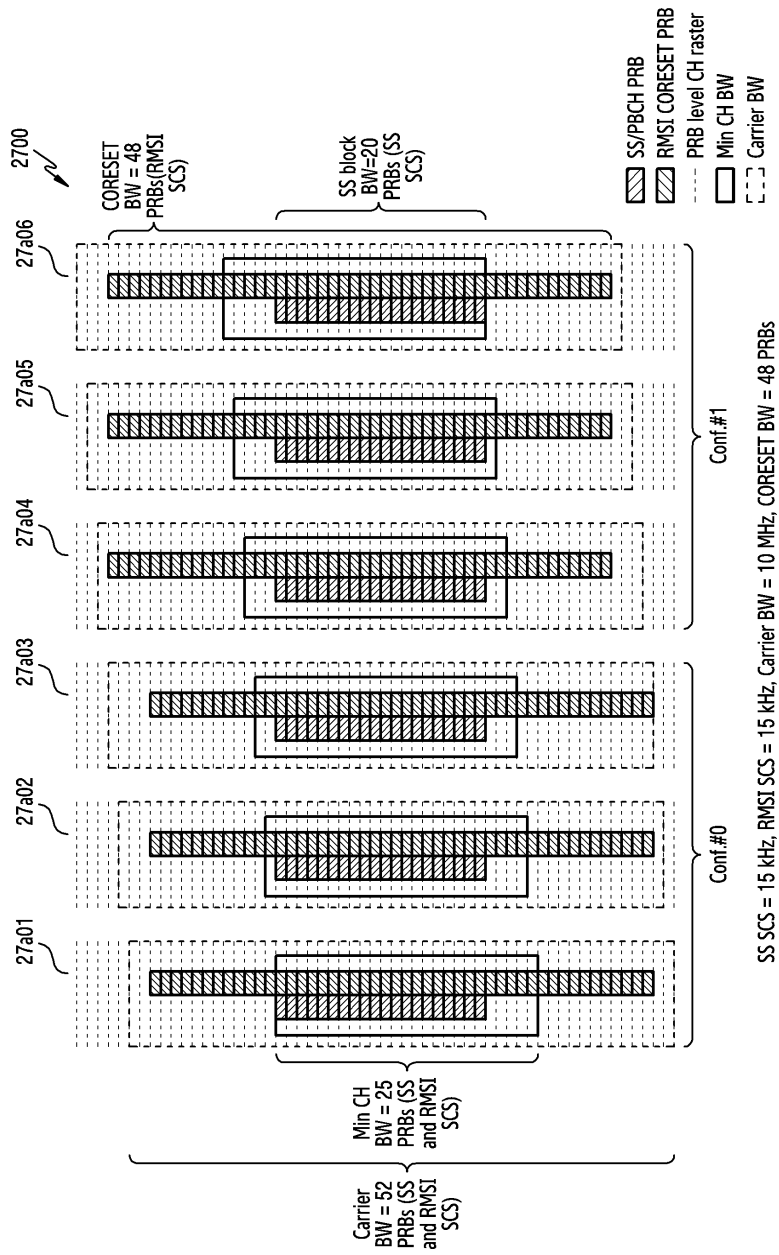
도면 26g



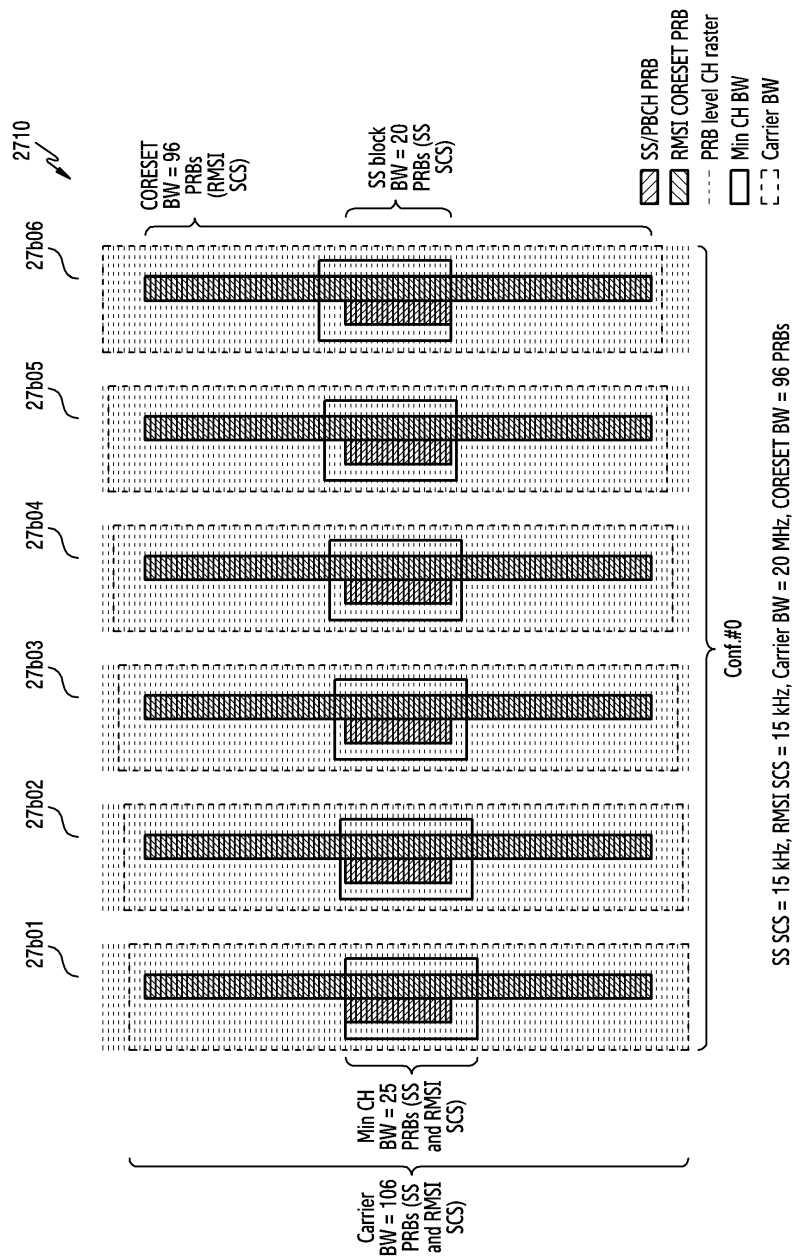
도면 26h



도면27a

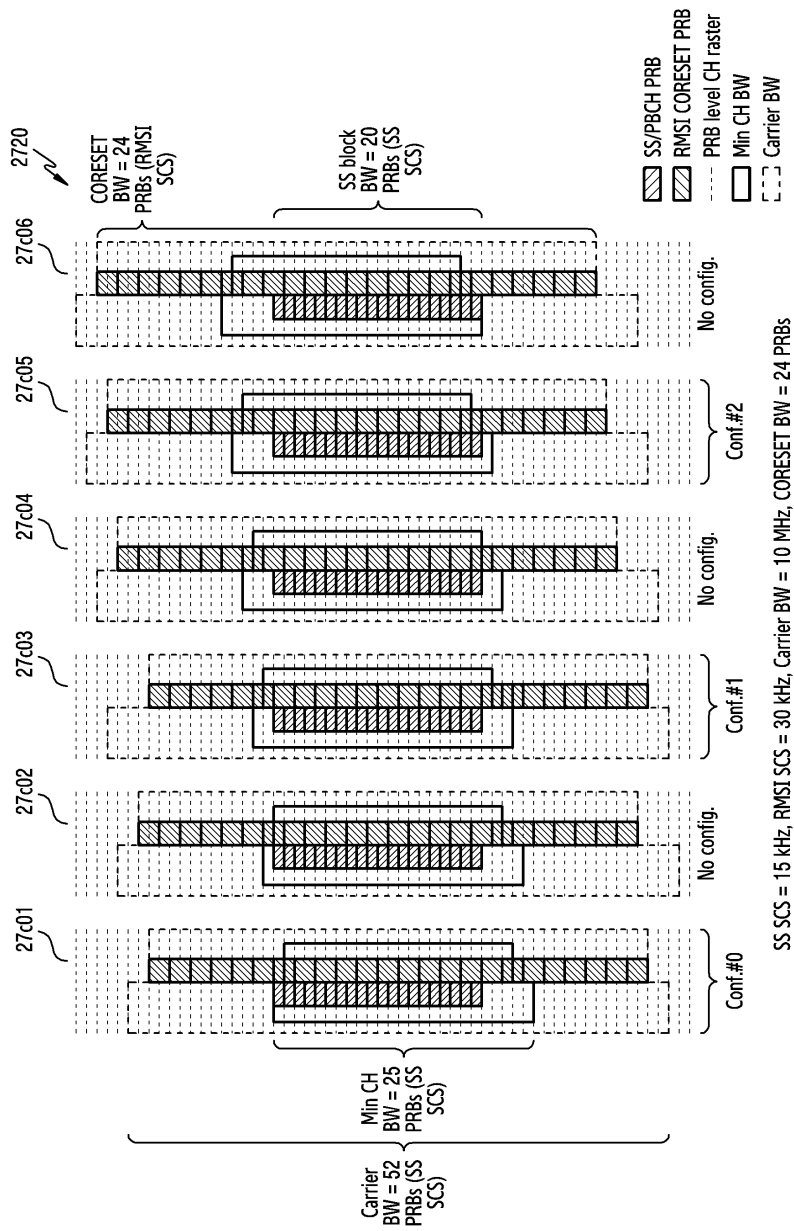


도면27b

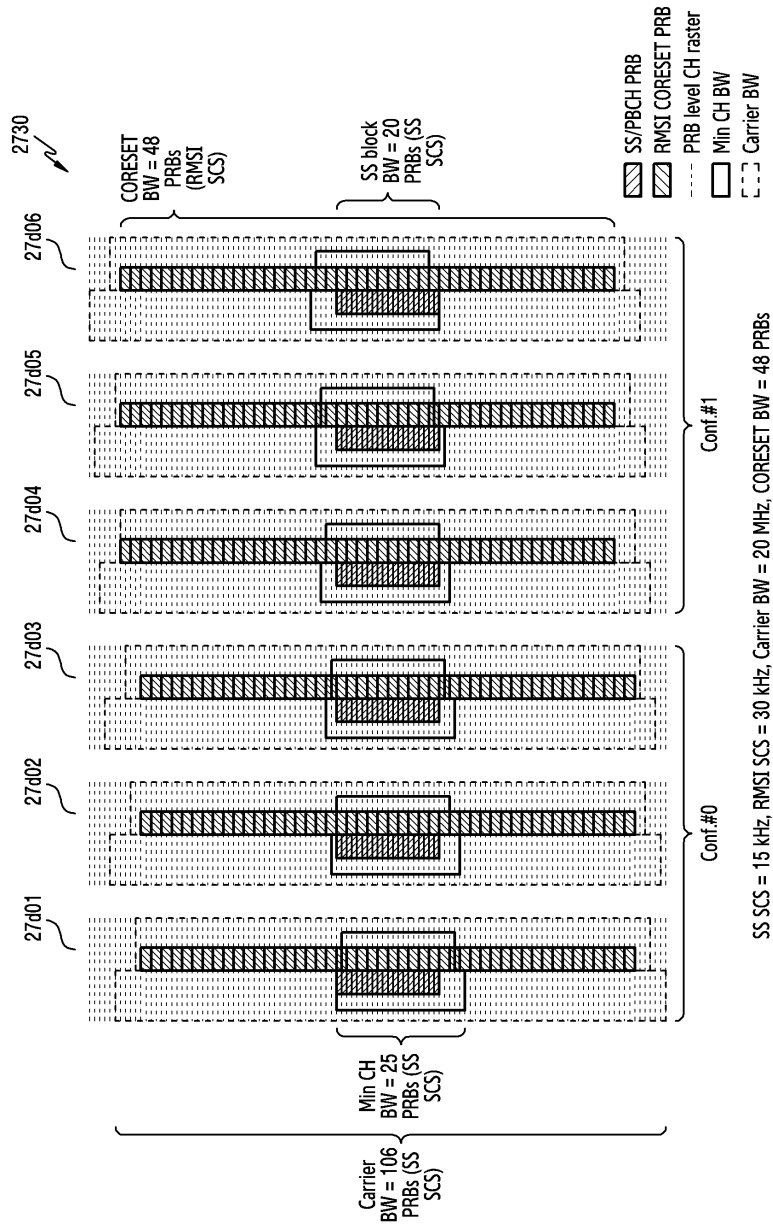


SS SCS = 15 kHz, RMSI SCS = 15 kHz, Carrier BW = 20 MHz, CORESET BW = 96 PRBs

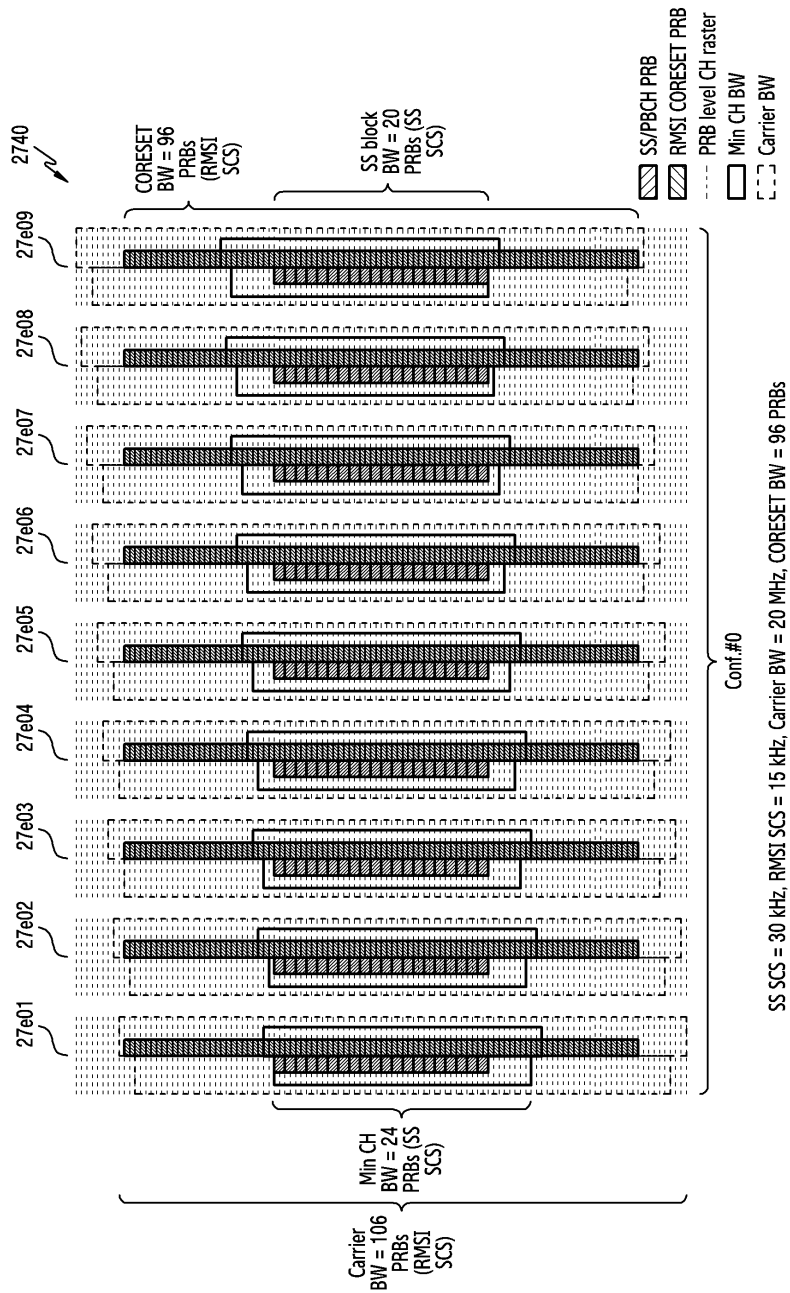
도면27c



도면27d



도면27e



도면27f

