

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3914047号  
(P3914047)

(45) 発行日 平成19年5月16日(2007.5.16)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int.C1.

F 1

<b>H03K</b>	<b>4/06</b>	<b>(2006.01)</b>	H03K	4/06	G
<b>H02M</b>	<b>3/155</b>	<b>(2006.01)</b>	H02M	3/155	P
<b>H03K</b>	<b>3/02</b>	<b>(2006.01)</b>	H03K	3/02	Q
<b>H03K</b>	<b>7/08</b>	<b>(2006.01)</b>	H03K	7/08	C

請求項の数 2 (全 8 頁)

(21) 出願番号

特願2001-387087 (P2001-387087)

(22) 出願日

平成13年12月20日 (2001.12.20)

(65) 公開番号

特開2003-188693 (P2003-188693A)

(43) 公開日

平成15年7月4日 (2003.7.4)

審査請求日

平成16年4月9日 (2004.4.9)

(73) 特許権者 302062931

N E C エレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100124914

弁理士 德丸 達雄

(72) 発明者 藤原 博史

滋賀県大津市晴嵐2丁目9番1号

関西日本電気株式会社内

審査官 清水 稔

(56) 参考文献 実開平5-70030 (JP, U)  
特開昭47-37167 (JP, A)

最終頁に続く

(54) 【発明の名称】発振回路

## (57) 【特許請求の範囲】

## 【請求項 1】

定電流で充放電するコンデンサの端子間電圧を発振信号として出力して PWM 制御に用いる発振回路において、

前記コンデンサが、ON/OFF スイッチを介した第1コンデンサと、第1コンデンサより容量を小さく設定した第2コンデンサとの並列回路からなり、

前記端子間電圧が前記発振信号の電圧振幅の最小値と最大値間に設定した閾値電圧以上のときのみ、前記ON/OFF スイッチを OFF 制御して、前記第2コンデンサのみを充放電し、このときの発振信号を用いて前記 PWM 制御の最大オン・デューティ比を決定することを特徴とする発振回路。

## 【請求項 2】

定電流で充放電するコンデンサの端子間電圧を発振信号として出力するために、

コンデンサへの充電電流を生成する第1定電流回路と、

コンデンサの放電電流を生成する第2定電流回路と、

充電と放電とを切り替える充放電切替えスイッチと

前記端子間電圧を第1閾値電圧および第2閾値電圧とで比較し、第1閾値電圧以下になつたら充電側に、第2閾値電圧以上になつたら放電側に充放電切替えスイッチを切替える制御信号を生成する第1コンパレータとを具備した PWM 制御に用いる発振回路において、前記コンデンサが、ON/OFF スイッチを介した第1コンデンサと、第1コンデンサより容量を小さく設定した第2コンデンサとの並列回路からなり、

10

20

前記端子間電圧を第1閾値電圧と第2閾値電圧間に設定した第3閾値電圧で比較し、前記端子間電圧が前記第3閾値電圧以上のときのみ、前記ON/OFFスイッチをOFF制御する信号を生成する第2コンパレータを有し、このOFF制御により前記第2コンデンサのみを充放電し、このときの発振信号を用いて前記PWM制御の最大オン・デューティ比を決定することを特徴とする発振回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、PWM制御に使用される発振回路に関する。

##### 【0002】

##### 【従来の技術】

PWM制御を用いる代表例としてDC-DCコンバータがある。このDC-DCコンバータは、発振回路で生成される三角波信号 $V_t$ を出力電圧と基準電圧との差電圧 $V_{EA}$ と比較してPWM制御のデューティ比を決定するとともに、この三角波信号 $V_t$ をデッドタイムコントロール（以下、DTCという）回路からのDTC電圧 $V_{D_{max}}$ と比較して最大オン・デューティ比を決定している。

##### 【0003】

以下、PWM制御に使用される発振回路の従来例について、図4を参照して説明する。発振回路10は、第1および第2定電流回路11、12と、ヒステリシスコンパレータ13と、充放電切替えスイッチ14と、コンデンサ15とを備えている。発振回路10は、通常、例えば、DC-DCコンバータ用半導体集積回路内に構成され、コンデンサ15はこの半導体集積回路に外付けされている。第1定電流回路11は、電源VDDとノードN1間に接続され、コンデンサ15を定電流I1で充電するため定電流I1を吐き出し供給する。第2定電流回路12は、スイッチ14を介して、ノードN1と接地間に接続され、コンデンサ15を定電流I1で放電するための電流と第1定電流回路11からの定電流I1とを吸い込むために定電流I2 = 2 × I1を供給する。コンデンサ15は、ノードN1と接地間に接続されている。また、ノードN1の電位は、三角波信号 $V_t$ として出力されるとともに、コンパレータ13に入力される。コンパレータ13は、3入力のコンパレータであって、例えば、図5に示すように、2入力コンパレータ16、17とNOR回路18、19とで構成され、ノードN1の電位の他に、第1および第2しきい値電圧 $V_L$ 、 $V_H$ が入力され、ノードN1の電位と各しきい値電圧 $V_L$ 、 $V_H$ とが比較され、その結果に基づく制御信号がスイッチ14に出力される。すなわち、コンパレータ13は、ノードN1の電位が第1しきい値電圧 $V_L$ 以下になると、ノードN1の電位が第2しきい値電圧 $V_H$ 以上になるまでLレベルの制御信号をスイッチ14に出力し、ノードN1の電位が第2しきい値電圧 $V_H$ 以上になると、ノードN1の電位が第1しきい値電圧 $V_L$ 以下になるまでHレベルの制御信号をスイッチ14に出力する。スイッチ14は、Lレベルの制御信号が入力されるとOFFし、Hレベルの制御信号が入力されるとONする。

##### 【0004】

つぎに、発振回路10の動作について説明する。ノードN1の電位が第1しきい値電圧 $V_L$ 以下になると、コンパレータ13からスイッチ14にLレベルの制御信号が出力され、スイッチ14はOFFし、コンデンサ15が第1定電流回路11からの電流I1によりノードN1の電位が第2しきい値電圧 $V_H$ 以上になるまで充電される。ノードN1の電位が第2しきい値電圧 $V_H$ 以上になると、コンパレータ13からスイッチ14にHレベルの制御信号が出力され、スイッチ14はONし、コンデンサ15が第2定電流回路12の電流I2 = 2 × I1と第1定電流回路11の電流I1との差I2 - I1 = I1によりノードN1の電位が第1しきい値電圧 $V_L$ 以下になるまで放電される。そして、この充放電動作を繰り返し、ノードN1から図6に示す三角波信号 $V_t$ として出力される。

##### 【0005】

##### 【発明が解決しようとする課題】

ところで、上述の発振回路10は、三角波信号 $V_t$ の周波数を高くした場合、回路内部で

10

20

30

40

50

の充放電の切替えにおける動作遅延が生じ、この動作遅延は周波数が高くなるほど増加する。そのため、図7に示すように、周波数が比較的低い場合には、三角波信号 $V_t$ の最小値 $V_{t_L}$ および最大値 $V_{t_H}$ は、第1および第2しきい値電圧 $V_L$ 、 $V_H$ にはほぼ一致するが、周波数を高くしていくほど、三角波信号 $V_t$ の最小値 $V_{t_L}$ が第1しきい値電圧 $V_L$ より低くなっている、最大値 $V_{t_H}$ が第2しきい値電圧 $V_H$ より高くなっている。

この発振回路10を用いて、三角波信号をDTC電圧 $V_{D_{max}}$ と比較して最大オン・デューティ比を決定するとき、DTC電圧 $V_{D_{max}}$ を生成するDTC回路が発振回路10と同一の半導体集積回路に構成されている場合、DTC電圧値 $V_{D_{max}}$ が半導体集積回路内部で固定であり調整できない。そのため、三角波信号 $V_t$ の周波数が比較的低く、三角波信号 $V_t$ の最小値 $V_{t_L}$ および最大値 $V_{t_H}$ が、第1および第2しきい値電圧 $V_L$ 、 $V_H$ にほぼ一致している間は、図6に示すように、最大オン・デューティ比が所定の適正值に設定できているが、三角波信号 $V_t$ の周波数が高くなるに従い、三角波信号 $V_t$ の振幅が大きくなり、最大オン・デューティ比が低下するという問題がある。  
10

また、最大オン・デューティ比が一定となるように、三角波信号 $V_t$ の振幅が大きくなるのに追随させて、DTC電圧値 $V_{D_{max}}$ を調整可能にするには、DTC回路を半導体集積回路の外付け回路としなければならず、半導体集積回路には、外付けのDTC回路からのDTC電圧 $V_{D_{max}}$ を入力する端子と、半導体集積回路から外付けのDTC回路へ基準電圧を供給する端子が必要となり、端子数が2個も増えるという問題がある。

本発明は三角波信号の周波数特性による最大オン・デューティ比低下を低減させた発振回路を提供することを目的とする。  
20

### 【0006】

#### 【課題を解決するための手段】

本発明に係る発振回路は、定電流で充放電するコンデンサの端子間電圧を発振信号として出力してPWM制御に用いる発振回路において、前記コンデンサが、ON/OFFスイッチを介した第1コンデンサと、第1コンデンサより容量を小さく設定した第2コンデンサとの並列回路からなり、前記端子間電圧が前記発振信号の電圧振幅の最小値と最大値間に設定した閾値電圧以上のときのみ、前記ON/OFFスイッチをOFF制御して、前記第1コンデンサのみを充放電し、このときの発振信号を用いて前記PWM制御の最大オン・デューティ比を決定することを特徴とする。

また、本発明に係る発振回路は、定電流で充放電するコンデンサの端子間電圧を発振信号として出力するために、コンデンサへの充電電流を生成する第1定電流回路と、コンデンサの放電電流を生成する第2定電流回路と、充電と放電とを切り替える充放電切替えスイッチと、前記端子間電圧を第1閾値電圧および第2閾値電圧とで比較し、第1閾値電圧以下になったら充電側に、第2閾値電圧以上になったら放電側に充放電切替えスイッチを切替える制御信号を生成する第1コンパレータとを具備したPWM制御に用いる発振回路において、前記コンデンサが、ON/OFFスイッチを介した第1コンデンサと、第1コンデンサより容量を小さく設定した第2コンデンサとの並列回路からなり、前記端子間電圧を第1閾値電圧と第2閾値電圧間に設定した第3閾値電圧で比較し、前記端子間電圧が前記第3閾値電圧以上のときのみ、前記ON/OFFスイッチをOFF制御する信号を生成する第2コンパレータを有し、このOFF制御により前記第1コンデンサのみを充放電し、このときの発振信号を用いて前記PWM制御の最大オン・デューティ比を決定することを特徴とする。  
30  
40

### 【0007】

#### 【発明の実施の形態】

以下に、本発明に基づき第1実施例の発振回路について、図1を参照して説明する。尚、図4と同一のものについては同一符号を付している。発振回路20は、第1および第2定電流回路11、12と、ヒステリシスコンパレータ13と、充放電切替えスイッチ14とを、発振回路10と同様に、備えるとともに、コンパレータ21と、ON/OFFスイッチ22と、第1コンデンサ23と、第2コンデンサ24とを新たに備えている。発振回路20は、例えば、DC-DCコンバータ用半導体集積回路内に構成され、コンデンサ23

、24はこの半導体集積回路に外付けされる。スイッチ22と第1コンデンサ23とは、ノードN1と接地間に直列に接続されている。第2コンデンサ24は、ノードN1と接地間に接続されている。第2コンデンサ24の容量 $C_{T_2}$ は、第1コンデンサ23の容量C<sub>T\_1</sub>より小さく設定する。コンパレータ21は、2入力のコンパレータであって、ノードN1の電位と、第3しきい値電圧 $V_B$ ( $V_L < V_B < V_H$ 、 $V_H - V_B = V_B - V_L$ )が入力され、ノードN1の電位としきい値電圧 $V_B$ とが比較され、その結果に基づく制御信号がスイッチ22に出力される。すなわち、コンパレータ21は、ノードN1の電位が第3しきい値電圧 $V_B$ 以上になるとHレベルの制御信号をスイッチ22に出力し、ノードN1の電位が第3しきい値電圧 $V_B$ 以上になるとLレベルの制御信号をスイッチ22に出力する。スイッチ22は、Hレベルの制御信号が入力されるとONし、Lレベルの制御信号が入力されるとOFFする。  
10

#### 【0008】

つぎに、発振回路20の動作について説明する。ノードN1の電位が第1しきい値電圧 $V_L$ 以下になると、コンパレータ13からスイッチ14にLレベルの制御信号が出力され、スイッチ14はOFFするとともに、このときコンパレータ21からスイッチ22にHレベルの制御信号が出力されており、スイッチ22はONし、コンデンサ23、24が第1定電流回路11からの電流 $I_1$ によりノードN1の電位が第3しきい値電圧 $V_B$ になるまで充電される。充電されるコンデンサ23、24は並列接続であるため、その容量の和Cは $C = C_{T_1} + C_{T_2}$ で表される。このとき、ノードN1の電位が $V_L$ から $V_B$ になるまでの充電時間 $T_1$ は、 $T_1 = C \times (V_B - V_L) / I_1$ で表される。  
20

ノードN1の電位が第3しきい値電圧 $V_B$ 以上になると、コンパレータ21からスイッチ22にLレベルの制御信号が出力され、スイッチ22はOFFし、容量 $C_{T_2}$ のコンデンサ24のみが第1定電流回路11からの電流 $I_1$ によりノードN1の電位が第2しきい値電圧 $V_H$ になるまで充電される。このとき、ノードN1の電位が $V_B$ から $V_H$ になるまでの充電時間 $T_2$ は、 $T_2 = C_{T_2} \times (V_H - V_B) / I_1$ で表される。

ノードN1の電位が第2しきい値電圧 $V_H$ 以上になると、コンパレータ13からスイッチ14にHレベルの制御信号が出力され、スイッチ14はONするとともに、このときコンパレータ21からスイッチ22にLレベルの制御信号が出力されており、スイッチ22はOFFし、コンデンサ24のみが第2定電流回路12の電流 $I_2 = 2 \times I_1$ と第1定電流回路11の電流 $I_1$ との差 $I_2 - I_1 = I_1$ によりノードN1の電位が第1しきい値電圧 $V_B$ になるまで放電される。このとき、ノードN1の電位が $V_H$ から $V_B$ になるまでの放電時間 $T_3$ は、 $T_3 = C_{T_2} \times (V_H - V_B) / I_1 = T_2$ で表される。  
30

ノードN1の電位が第3しきい値電圧 $V_B$ 以下になると、コンパレータ21からスイッチ22にHレベルの制御信号が出力され、スイッチ22はONし、コンデンサ23、24が第2定電流回路12の電流 $I_2 = 2 \times I_1$ と第1定電流回路11の電流 $I_1$ との差 $I_2 - I_1 = I_1$ によりノードN1の電位が第1しきい値電圧 $V_L$ になるまで放電される。放電されるコンデンサ23、24は並列接続であるため、その容量の和Cは、 $C = C_{T_1} + C_{T_2}$ で表される。このとき、ノードN1の電位が $V_B$ から $V_L$ になるまでの放電時間 $T_4$ は、 $T_4 = C \times (V_B - V_L) / I_1 = T_1$ で表される。

そして、この充放電動作を繰り返し、ノードN1から図2に示す三角波信号 $V_t$ として出力される。  
40

#### 【0009】

以上により生成される三角波信号 $V_t$ の周期は $T_1 + T_2 + T_3 + T_4 = 2 \times (T_1 + T_2)$ で表され、コンデンサ24の容量 $C_{T_2}$ をコンデンサ23の容量 $C_{T_1}$ より小さく設定することにより、 $T_1$ と $T_2$ との大小関係は $T_1 > T_2$ で表される。この三角波信号 $V_t$ を用いてDTC電圧 $V_{D_{max}}$ との比較による最大オン・デューティ比を決定するとき、コンデンサ23、24の充放電により生成される $T_1 + T_4 = 2 \times T_1$ の期間より短い、コンデンサ24のみの充放電により生成される $T_2 + T_3 = 2 \times T_2$ の期間の三角波信号にDTC電圧 $V_{D_{max}}$ を重畠させて比較する。従って、最大オン・デューティ比は、従来の三角波を用いるよりも振幅変動に対する変化率を低くすることができる。例えば、 $V_B$   
50

-  $V_L = V_H - V_B$  とすると、 $T_1 / (T_1 + T_2) = C / (C + C_{T_2}) = (C_{T_1} + C_{T_2}) / (C_{T_1} + 2C_{T_2})$  となり、最大オン・デューティ比は外付けのコンデンサ 23、24 の容量を調整することにより所望値以上にすることができる。例えば、 $C_{T_2} = 0$  にすると  $(C_{T_1} + C_{T_2}) / (C_{T_1} + 2C_{T_2}) = 78\%$  となり、最大オン・デューティ比は 78% 以上で決定できる。このとき、例えば、DTC 電圧  $V_{D_{max}}$  を  $V_H$  と  $V_B$  の中間電圧（振幅の 75% の電圧）で重畠させて比較すると、最大オン・デューティ比は 88% に決定される。三角波信号  $V_t$  の周波数が高くなつて三角波信号  $V_t$  の振幅が大きくなつた場合に、例えば、DTC 電圧  $V_{D_{max}}$  が  $V_H$  と  $V_B$  の中間電圧から  $(V_H - V_B) / 4$  低下した電圧（振幅の 62.5%）で重畠されると、最大オン・デューティ比は 82% に決定され、6% 低下する。従来の三角波信号を用いた場合と同一レベルで比較すると、従来の場合の最大オン・デューティ比は、振幅の 75% の電圧で重畠させると、75% に決定され、振幅の 62.5% で重畠されると、62.5% に決定され、12.5% 低下し、従来よりも最大オン・デューティ比の低下を低減させることができる。  
10

#### 【0010】

次に、本発明に基づき第2実施例の発振回路について、図3を参照して説明する。尚、図1と同一のものについては同一符号を付して、その説明を省略する。図1と異なる点は、第2定電流回路12の替わりに、コンデンサ23、24を定電流I1で放電するための電流を吸い込むために定電流I2=I1を供給する第2定電流回路31を設け、充放電切替えスイッチ14の替わりにCMOS構成の充放電切替えスイッチ32を第1定電流回路11と第2定電流回路31間に接続し、ヒステリシスコンパレータ13の出力をスイッチ32に供給し、スイッチ32の出力端をノードN1に接続している点である。この発振回路30の動作は、コンパレータ32の出力がLレベルのとき、第1定電流回路11からノードN1に定電流I1を吐き出し、Hレベルのとき、ノードN1から第2定電流回路31に定電流I2=I1を吸い込む以外は、図1の発振回路20と同様の動作であり、説明を省略する。  
20

#### 【0011】

尚、上記実施例では、発振回路がPWM制御されるDC-DCコンバータに用いられることを例に説明したが、PWM制御される回路で、PWM制御が最大オン・デューティ比で制限される回路であれば、他の回路にも用いることができる。  
30

#### 【0012】

#### 【発明の効果】

本発明によれば、定電流で充放電するコンデンサの端子間電圧を三角波信号として出力するPWM制御に用いる発振回路において、コンデンサを第1コンデンサと、スイッチを介した第2コンデンサとの並列回路で構成し、第1コンデンサの容量を第2コンデンサの容量より小さく設定するとともに、発振信号の電圧振幅の最小値と最大値間に閾値電圧を設定し、端子間電圧が閾値電圧以上のとき、スイッチをOFF制御して、第1コンデンサのみを充放電し、このときの発振信号を用いてPWM制御の最大オン・デューティ比を決定するようになっているので、発振信号の周波数が高くなり、発振信号の振幅が大きくなつても、最大オン・デューティ比が低くなるのを低減することができる。また、発振回路を半導体集積回路で構成する場合、外付けコンデンサ用端子を従来よりも1個増やすだけで、第1コンデンサの容量と第2コンデンサの容量を調整することにより最大オン・デューティ比を外部調整できる。  
40

#### 【図面の簡単な説明】

- 【図1】 本発明の第1実施例の発振回路の回路図。
- 【図2】 図1の発振回路からの三角波信号の波形図。
- 【図3】 本発明の第2実施例の発振回路の回路図。
- 【図4】 従来の発振回路の回路図。
- 【図5】 図1、図3、および図4の発振回路に用いられるヒステリシスコンパレータの回路図。

【図6】 図4の発振回路からの三角波信号の波形図。

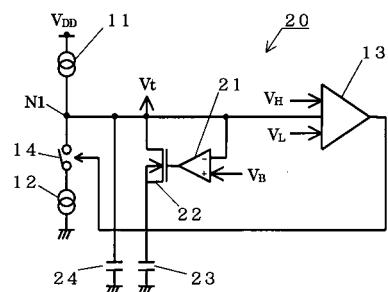
【図7】 図4の発振回路からの三角波信号の振幅の周波数特性

【符号の説明】

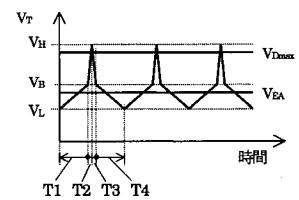
- 1 1 第1定電流回路
- 1 2、 3 1 第2定電流回路
- 1 3 ヒステリシスコンパレータ
- 1 4、 3 2 充放電切替えスイッチ
- 2 0、 3 0 発振回路
- 2 1 コンパレータ
- 2 2 O N / O F F スイッチ
- 2 3 第1コンデンサ
- 2 4 第2コンデンサ

10

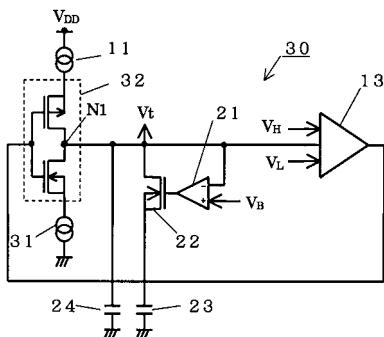
【図1】



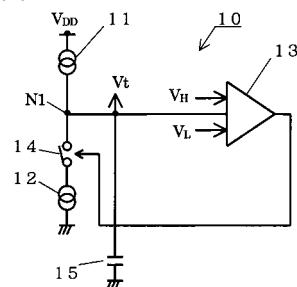
【図2】



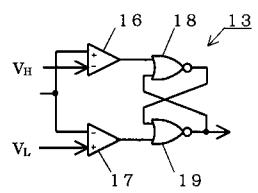
【図3】



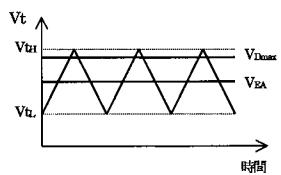
【図4】



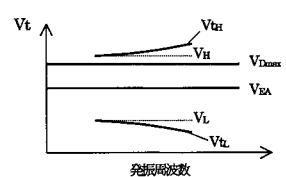
【図5】



【図6】



【図7】



---

フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H03K 4/06

H02M 3/155

H03K 3/02

H03K 7/08