

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3914047号
(P3914047)**

(45) 発行日 平成19年5月16日(2007.5.16)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.

F I

H03K 4/06 (2006.01)

H03K 4/06 G

H02M 3/155 (2006.01)

H02M 3/155 P

H03K 3/02 (2006.01)

H03K 3/02 Q

H03K 7/08 (2006.01)

H03K 7/08 C

請求項の数 2 (全 8 頁)

(21) 出願番号 特願2001-387087 (P2001-387087)
 (22) 出願日 平成13年12月20日(2001.12.20)
 (65) 公開番号 特開2003-188693 (P2003-188693A)
 (43) 公開日 平成15年7月4日(2003.7.4)
 審査請求日 平成16年4月9日(2004.4.9)

(73) 特許権者 302062931
 N E Cエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100124914
 弁理士 徳丸 達雄
 (72) 発明者 藤原 博史
 滋賀県大津市晴嵐2丁目9番1号
 関西日本電気株式会社内

審査官 清水 稔

(56) 参考文献 実開平5-70030 (JP, U)
 特開昭47-37167 (JP, A)

最終頁に続く

(54) 【発明の名称】 発振回路

(57) 【特許請求の範囲】

【請求項1】

定電流で充放電するコンデンサの端子間電圧を発振信号として出力してPWM制御に用いる発振回路において、
 前記コンデンサが、ON/OFFスイッチを介した第1コンデンサと、第1コンデンサより容量を小さく設定した第2コンデンサとの並列回路からなり、
 前記端子間電圧が前記発振信号の電圧振幅の最小値と最大値間に設定した閾値電圧以上のときのみ、前記ON/OFFスイッチをOFF制御して、前記第2コンデンサのみを充放電し、このときの発振信号を用いて前記PWM制御の最大オン・デューティ比を決定することを特徴とする発振回路。

【請求項2】

定電流で充放電するコンデンサの端子間電圧を発振信号として出力するために、
 コンデンサへの充電電流を生成する第1定電流回路と、
 コンデンサの放電電流を生成する第2定電流回路と、
 充電と放電とを切り替える充放電切替えスイッチと
 前記端子間電圧を第1閾値電圧および第2閾値電圧とで比較し、第1閾値電圧以下になったら充電側に、第2閾値電圧以上になったら放電側に充放電切替えスイッチを切替える制御信号を生成する第1コンパレータとを具備したPWM制御に用いる発振回路において、
 前記コンデンサが、ON/OFFスイッチを介した第1コンデンサと、第1コンデンサより容量を小さく設定した第2コンデンサとの並列回路からなり、

10

20

前記端子間電圧を第１閾値電圧と第２閾値電圧間に設定した第３閾値電圧で比較し、前記端子間電圧が前記第３閾値電圧以上のときのみ、前記ＯＮ／ＯＦＦスイッチをＯＦＦ制御する信号を生成する第２コンパレータを有し、このＯＦＦ制御により前記第２コンデンサのみを充放電し、このときの発振信号を用いて前記ＰＷＭ制御の最大オン・デューティ比を決定することを特徴とする発振回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ＰＷＭ制御に使用される発振回路に関する。

【０００２】

10

【従来の技術】

ＰＷＭ制御を用いる代表例としてＤＣ－ＤＣコンバータがある。このＤＣ－ＤＣコンバータは、発振回路で生成される三角波信号 V_t を出力電圧と基準電圧との差電圧 V_{EA} と比較してＰＷＭ制御のデューティ比を決定するとともに、この三角波信号 V_t をデッドタイムコントロール（以下、ＤＴＣという）回路からのＤＴＣ電圧 V_{Dmax} と比較して最大オン・デューティ比を決定している。

【０００３】

以下、ＰＷＭ制御に使用される発振回路の従来例について、図４を参照して説明する。発振回路１０は、第１および第２定電流回路１１、１２と、ヒステリシスコンパレータ１３と、充放電切替えスイッチ１４と、コンデンサ１５とを備えている。発振回路１０は、通常、例えば、ＤＣ－ＤＣコンバータ用半導体集積回路内に構成され、コンデンサ１５はこの半導体集積回路に外付けされている。第１定電流回路１１は、電源 V_{DD} とノード N_1 間に接続され、コンデンサ１５を定電流 I_1 で充電するため定電流 I_1 を吐き出し供給する。第２定電流回路１２は、スイッチ１４を介して、ノード N_1 と接地間に接続され、コンデンサ１５を定電流 I_1 で放電するための電流と第１定電流回路１１からの定電流 I_1 とを吸い込むために定電流 $I_2 = 2 \times I_1$ を供給する。コンデンサ１５は、ノード N_1 と接地間に接続されている。また、ノード N_1 の電位は、三角波信号 V_t として出力されるとともに、コンパレータ１３に入力される。コンパレータ１３は、３入力のコンパレータであって、例えば、図５に示すように、２入力コンパレータ１６、１７と NOR 回路１８、１９とで構成され、ノード N_1 の電位の他に、第１および第２しきい値電圧 V_L 、 V_H が入力され、ノード N_1 の電位と各しきい値電圧 V_L 、 V_H とが比較され、その結果に基づく制御信号がスイッチ１４に出力される。すなわち、コンパレータ１３は、ノード N_1 の電位が第１しきい値電圧 V_L 以下になると、ノード N_1 の電位が第２しきい値電圧 V_H 以上になるまで L レベルの制御信号をスイッチ１４に出力し、ノード N_1 の電位が第２しきい値電圧 V_H 以上になると、ノード N_1 の電位が第１しきい値電圧 V_L 以下になるまで H レベルの制御信号をスイッチ１４に出力する。スイッチ１４は、 L レベルの制御信号が入力されると OFF し、 H レベルの制御信号が入力されると ON する。

20

30

【０００４】

つぎに、発振回路１０の動作について説明する。ノード N_1 の電位が第１しきい値電圧 V_L 以下になると、コンパレータ１３からスイッチ１４に L レベルの制御信号が出力され、スイッチ１４は OFF し、コンデンサ１５が第１定電流回路１１からの電流 I_1 によりノード N_1 の電位が第２しきい値電圧 V_H 以上になるまで充電される。ノード N_1 の電位が第２しきい値電圧 V_H 以上になると、コンパレータ１３からスイッチ１４に H レベルの制御信号が出力され、スイッチ１４は ON し、コンデンサ１５が第２定電流回路１２の電流 $I_2 = 2 \times I_1$ と第１定電流回路１１の電流 I_1 との差 $I_2 - I_1 = I_1$ によりノード N_1 の電位が第１しきい値電圧 V_L 以下になるまで放電される。そして、この充放電動作を繰り返し、ノード N_1 から図６に示す三角波信号 V_t として出力される。

40

【０００５】

【発明が解決しようとする課題】

ところで、上述の発振回路１０は、三角波信号 V_t の周波数を高くした場合、回路内部で

50

の充放電の切替えにおける動作遅延が生じ、この動作遅延は周波数が高くなるほど増加する。そのため、図 7 に示すように、周波数が比較的低い場合には、三角波信号 V_t の最小値 V_{t_L} および最大値 V_{t_H} は、第 1 および第 2 しきい値電圧 V_L 、 V_H にほぼ一致するが、周波数を高くしていくほど、三角波信号 V_t の最小値 V_{t_L} が第 1 しきい値電圧 V_L より低くなっていき、最大値 V_{t_H} が第 2 しきい値電圧 V_H より高くなっていく。

この発振回路 10 を用いて、三角波信号を DTC 電圧 $V_{D_{max}}$ と比較して最大オン・デューティ比を決定するとき、DTC 電圧 $V_{D_{max}}$ を生成する DTC 回路が発振回路 10 と同一の半導体集積回路に構成されている場合、DTC 電圧値 $V_{D_{max}}$ が半導体集積回路内部で固定であり調整できない。そのため、三角波信号 V_t の周波数が比較的 low、三角波信号 V_t の最小値 V_{t_L} および最大値 V_{t_H} が、第 1 および第 2 しきい値電圧 V_L 、 V_H にほぼ一致している間は、図 6 に示すように、最大オン・デューティ比が所定の適正值に設定できているが、三角波信号 V_t の周波数が高くなるに従い、三角波信号 V_t の振幅が大きくなり、最大オン・デューティ比が低下するという問題がある。

また、最大オン・デューティ比が一定となるように、三角波信号 V_t の振幅が大きくなるのに追従させて、DTC 電圧値 $V_{D_{max}}$ を調整可能にするには、DTC 回路を半導体集積回路の外付け回路としなければならず、半導体集積回路には、外付けの DTC 回路からの DTC 電圧 $V_{D_{max}}$ を入力する端子と、半導体集積回路から外付けの DTC 回路へ基準電圧を供給する端子とが必要となり、端子数が 2 個も増えるという問題がある。

本発明は三角波信号の周波数特性による最大オン・デューティ比低下を低減させた発振回路を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明に係る発振回路は、定電流で充放電するコンデンサの端子間電圧を発振信号として出力して PWM 制御に用いる発振回路において、前記コンデンサが、ON/OFF スイッチを介した第 1 コンデンサと、第 1 コンデンサより容量を小さく設定した第 2 コンデンサとの並列回路からなり、前記端子間電圧が前記発振信号の電圧振幅の最小値と最大値間に設定した閾値電圧以上のときのみ、前記 ON/OFF スイッチを OFF 制御して、前記第 1 コンデンサのみを充放電し、このときの発振信号を用いて前記 PWM 制御の最大オン・デューティ比を決定することを特徴とする。

また、本発明に係る発振回路は、定電流で充放電するコンデンサの端子間電圧を発振信号として出力するために、コンデンサへの充電電流を生成する第 1 定電流回路と、コンデンサの放電電流を生成する第 2 定電流回路と、充電と放電とを切り替える充放電切替えスイッチと、前記端子間電圧を第 1 閾値電圧および第 2 閾値電圧とで比較し、第 1 閾値電圧以下になったら充電側に、第 2 閾値電圧以上になったら放電側に充放電切替えスイッチを切替える制御信号を生成する第 1 コンパレータとを具備した PWM 制御に用いる発振回路において、前記コンデンサが、ON/OFF スイッチを介した第 1 コンデンサと、第 1 コンデンサより容量を小さく設定した第 2 コンデンサとの並列回路からなり、前記端子間電圧を第 1 閾値電圧と第 2 閾値電圧間に設定した第 3 閾値電圧で比較し、前記端子間電圧が前記第 3 閾値電圧以上のときのみ、前記 ON/OFF スイッチを OFF 制御する信号を生成する第 2 コンパレータを有し、この OFF 制御により前記第 1 コンデンサのみを充放電し、このときの発振信号を用いて前記 PWM 制御の最大オン・デューティ比を決定することを特徴とする。

【0007】

【発明の実施の形態】

以下に、本発明に基づき第 1 実施例の発振回路について、図 1 を参照して説明する。尚、図 4 と同一のものについては同一符号を付している。発振回路 20 は、第 1 および第 2 定電流回路 11、12 と、ヒステリシスコンパレータ 13 と、充放電切替えスイッチ 14 とを、発振回路 10 と同様に、備えるとともに、コンパレータ 21 と、ON/OFF スイッチ 22 と、第 1 コンデンサ 23 と、第 2 コンデンサ 24 とを新たに備えている。発振回路 20 は、例えば、DC-DC コンバータ用半導体集積回路内に構成され、コンデンサ 23

10

20

30

40

50

、24はこの半導体集積回路に外付けされる。スイッチ22と第1コンデンサ23とは、ノードN1と接地間に直列に接続されている。第2コンデンサ24は、ノードN1と接地間に接続されている。第2コンデンサ24の容量 C_{T2} は、第1コンデンサ23の容量 C_{T1} より小さく設定する。コンパレータ21は、2入力のコパレータであって、ノードN1の電位と、第3しきい値電圧 V_B ($V_L < V_B < V_H$ 、 $V_H - V_B > V_B - V_L$)が入力され、ノードN1の電位としきい値電圧 V_B とが比較され、その結果に基づく制御信号がスイッチ22に出力される。すなわち、コンパレータ21は、ノードN1の電位が第3しきい値電圧 V_B 以上になるまでHレベルの制御信号をスイッチ22に出力し、ノードN1の電位が第3しきい値電圧 V_B 以上になるとLレベルの制御信号をスイッチ22に出力する。スイッチ22は、Hレベルの制御信号が入力されるとONし、Lレベルの制御信号が入力されるとOFFする。

10

【0008】

つぎに、発振回路20の動作について説明する。ノードN1の電位が第1しきい値電圧 V_L 以下になると、コンパレータ13からスイッチ14にLレベルの制御信号が出力され、スイッチ14はOFFするとともに、このときコンパレータ21からスイッチ22にHレベルの制御信号が出力されており、スイッチ22はONし、コンデンサ23、24が第1定電流回路11からの電流 I_1 によりノードN1の電位が第3しきい値電圧 V_B になるまで充電される。充電されるコンデンサ23、24は並列接続であるため、その容量の和 C は $C = C_{T1} + C_{T2}$ で表される。このとき、ノードN1の電位が V_L から V_B になるまでの充電時間 T_1 は、 $T_1 = C \times (V_B - V_L) / I_1$ で表される。

20

ノードN1の電位が第3しきい値電圧 V_B 以上になると、コンパレータ21からスイッチ22にLレベルの制御信号が出力され、スイッチ22はOFFし、容量 C_{T2} のコンデンサ24のみが第1定電流回路11からの電流 I_1 によりノードN1の電位が第2しきい値電圧 V_H になるまで充電される。このとき、ノードN1の電位が V_B から V_H になるまでの充電時間 T_2 は、 $T_2 = C_{T2} \times (V_H - V_B) / I_1$ で表される。

ノードN1の電位が第2しきい値電圧 V_H 以上になると、コンパレータ13からスイッチ14にHレベルの制御信号が出力され、スイッチ14はONするとともに、このときコンパレータ21からスイッチ22にLレベルの制御信号が出力されており、スイッチ22はOFFし、コンデンサ24のみが第2定電流回路12の電流 $I_2 = 2 \times I_1$ と第1定電流回路11の電流 I_1 との差 $I_2 - I_1 = I_1$ によりノードN1の電位が第1しきい値電圧 V_B になるまで放電される。このとき、ノードN1の電位が V_H から V_B になるまでの放電時間 T_3 は、 $T_3 = C_{T2} \times (V_H - V_B) / I_1 = T_2$ で表される。

30

ノードN1の電位が第3しきい値電圧 V_B 以下になると、コンパレータ21からスイッチ22にHレベルの制御信号が出力され、スイッチ22はONし、コンデンサ23、24が第2定電流回路12の電流 $I_2 = 2 \times I_1$ と第1定電流回路11の電流 I_1 との差 $I_2 - I_1 = I_1$ によりノードN1の電位が第1しきい値電圧 V_L になるまで放電される。放電されるコンデンサ23、24は並列接続であるため、その容量の和 C は、 $C = C_{T1} + C_{T2}$ で表される。このとき、ノードN1の電位が V_B から V_L になるまでの放電時間 T_4 は、 $T_4 = C \times (V_B - V_L) / I_1 = T_1$ で表される。

そして、この充放電動作を繰り返し、ノードN1から図2に示す三角波信号 V_t として出力される。

40

【0009】

以上により生成される三角波信号 V_t の周期は $T_1 + T_2 + T_3 + T_4 = 2 \times (T_1 + T_2)$ で表され、コンデンサ24の容量 C_{T2} をコンデンサ23の容量 C_{T1} より小さく設定することにより、 T_1 と T_2 との大小関係は $T_1 > T_2$ で表される。この三角波信号 V_t を用いてDTC電圧 V_{Dmax} との比較による最大オン・デューティ比を決定するとき、コンデンサ23、24の充放電により生成される $T_1 + T_4 = 2 \times T_1$ の期間より短い、コンデンサ24のみの充放電により生成される $T_2 + T_3 = 2 \times T_2$ の期間の三角波信号にDTC電圧 V_{Dmax} を重ねさせて比較する。従って、最大オン・デューティ比は、従来の三角波を用いるよりも振幅変動に対する変化率を低くすることができる。例えば、 V_B

50

- $V_L = V_H - V_B$ とすると、 $T_1 / (T_1 + T_2) = C / (C + C_{T2}) = (C_{T1} + C_{T2}) / (C_{T1} + 2C_{T2})$ となり、最大オン・デューティ比は外付けのコンデンサ 23、24 の容量を調整することにより所望値以上にすることができる。例えば、 $C_{T2} = 0.4 \times C_{T1}$ にすると $(C_{T1} + C_{T2}) / (C_{T1} + 2C_{T2}) = 78\%$ となり、最大オン・デューティ比は 78% 以上で決定できる。このとき、例えば、DTC 電圧 V_{Dmax} を V_H と V_B の中間電圧（振幅の 75% の電圧）で重畳させて比較すると、最大オン・デューティ比は 88% に決定される。三角波信号 V_t の周波数が高くなって三角波信号 V_t の振幅が大きくなった場合に、例えば、DTC 電圧 V_{Dmax} が V_H と V_B の中間電圧から $(V_H - V_B) / 4$ 低下した電圧（振幅の 62.5%）で重畳されると、最大オン・デューティ比は 82% に決定され、6% 低下する。従来の三角波信号を用いた場合と同一レベルで比較すると、従来の場合の最大オン・デューティ比は、振幅の 75% の電圧で重畳させると、75% に決定され、振幅の 62.5% で重畳されると、62.5% に決定され、12.5% 低下し、従来よりも最大オン・デューティ比の低下を低減させることができる。

10

【0010】

次に、本発明に基づき第 2 実施例の発振回路について、図 3 を参照して説明する。尚、図 1 と同一のものについては同一符号を付して、その説明を省略する。図 1 と異なる点は、第 2 定電流回路 12 の替わりに、コンデンサ 23、24 を定電流 I_1 で放電するための電流を吸い込むために定電流 $I_2 = I_1$ を供給する第 2 定電流回路 31 を設け、充放電切替えスイッチ 14 の替わりに CMOS 構成の充放電切替えスイッチ 32 を第 1 定電流回路 11 と第 2 定電流回路 31 間に接続し、ヒステリシスコンパレータ 13 の出力をスイッチ 32 に供給し、スイッチ 32 の出力端をノード N1 に接続している点である。この発振回路 30 の動作は、コンパレータ 32 の出力が L レベルのとき、第 1 定電流回路 11 からノード N1 に定電流 I_1 を吐き出し、H レベルのとき、ノード N1 から第 2 定電流回路 31 に定電流 $I_2 = I_1$ を吸い込む以外は、図 1 の発振回路 20 と同様の動作であり、説明を省略する。

20

【0011】

尚、上記実施例では、発振回路が PWM 制御される DC - DC コンバータに用いられることを例に説明したが、PWM 制御される回路で、PWM 制御が最大オン・デューティ比で制限される回路であれば、他の回路にも用いることができる。

30

【0012】

【発明の効果】

本発明によれば、定電流で充放電するコンデンサの端子間電圧を三角波信号として出力する PWM 制御に用いる発振回路において、コンデンサを第 1 コンデンサと、スイッチを介した第 2 コンデンサとの並列回路で構成し、第 1 コンデンサの容量を第 2 コンデンサの容量より小さく設定するとともに、発振信号の電圧振幅の最小値と最大値間に閾値電圧を設定し、端子間電圧が閾値電圧以上のとき、スイッチを OFF 制御して、第 1 コンデンサのみを充放電し、このときの発振信号を用いて PWM 制御の最大オン・デューティ比を決定するようにしているので、発振信号の周波数が高くなり、発振信号の振幅が大きくなっても、最大オン・デューティ比が低くなるのを低減することができる。また、発振回路を半導体集積回路で構成する場合、外付けコンデンサ用端子を従来よりも 1 個増やすだけで、第 1 コンデンサの容量と第 2 コンデンサの容量を調整することにより最大オン・デューティ比を外部調整できる。

40

【図面の簡単な説明】

【図 1】 本発明の第 1 実施例の発振回路の回路図。

【図 2】 図 1 の発振回路からの三角波信号の波形図。

【図 3】 本発明の第 2 実施例の発振回路の回路図。

【図 4】 従来の発振回路の回路図。

【図 5】 図 1、図 3、および図 4 の発振回路に用いられるヒステリシスコンパレータの回路図。

50

【図 6】 図 4 の発振回路からの三角波信号の波形図。

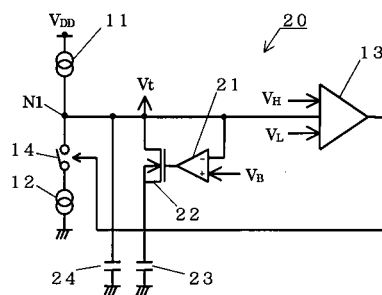
【図 7】 図 4 の発振回路からの三角波信号の振幅の周波数特性

【符号の説明】

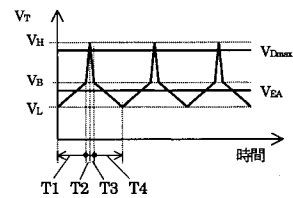
- 1 1 第 1 定電流回路
- 1 2、3 1 第 2 定電流回路
- 1 3 ヒステリシスコンパレータ
- 1 4、3 2 充放電切替えスイッチ
- 2 0、3 0 発振回路
- 2 1 コンパレータ
- 2 2 ON / OFF スイッチ
- 2 3 第 1 コンデンサ
- 2 4 第 2 コンデンサ

10

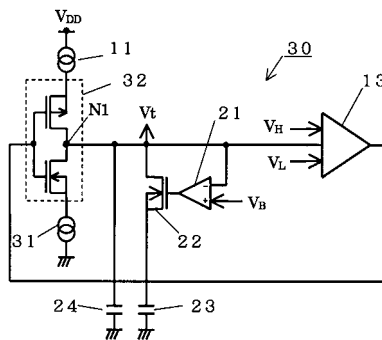
【図 1】



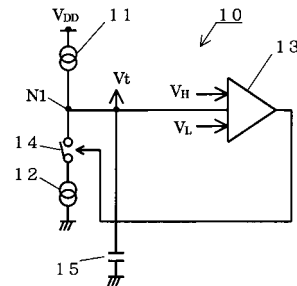
【図 2】



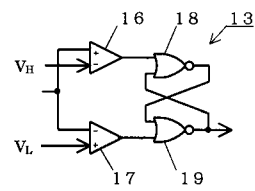
【図 3】



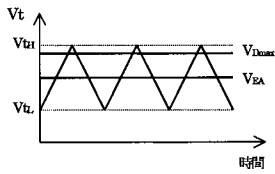
【図 4】



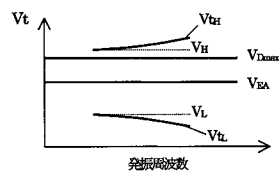
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H03K 4/06

H02M 3/155

H03K 3/02

H03K 7/08