200903643

文時黏貼條碼

769950

發明專利說明書

（本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：97110780

※申請日期：97 年 03 月 26 日　　※IPC 分類：H01L 21/318, 21/31, 21/8247

一、發明名稱：

(中) 氮化矽膜之形成方法，非揮發性半導體記憶體裝置之製造方法及非揮發性半導體記憶體裝置

(英)

二、申請人：(共 1 人)

1.姓　名：(中) 東京威力科創股份有限公司
(英) TOKYO ELECTRON LIMITED
代表人：(中) 1.佐藤潔
(英) 1.SATO, KIYOSHI
地　址：(中) 日本國東京都港區赤坂五丁目三番一號
(英) 3-1 Akasaka 5-chome, Minato-ku, Tokyo 107-6325, Japan
國籍：(中英) 日本　　JAPAN

三、發明人：(共 4 人)

1.姓　名：(中) 鴻野真之
(英) KOHNO, MASAYUKI
國　籍：(中) 日本
(英) JAPAN

2.姓　名：(中) 西田辰夫
(英) NISHITA, TATSUO
國　籍：(中) 日本
(英) JAPAN

3.姓　名：(中) 中西敏雄
(英) NAKANISHI, TOSHIO
國　籍：(中) 日本
(英) JAPAN

4.姓　名：(中) 廣田良浩

（英）HIROTA, YOSHIHIRO

國　籍：（中）日本

（英）JAPAN

四、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】

1.日本　；2007/03/26；2007-079851 ☑有主張優先權

2.日本　；2007/09/28；2007-254272 ☑有主張優先權

（英）HIROTA, YOSHIHIRO

國　籍：（中）日本

（英）JAPAN

四、聲明事項:

◎本案申請前已向下列國家（地區）申請專利□主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數　順序註記】

1.日本　；2007/03/26；2007-079851 ☑有主張優先權

2.日本　；2007/09/28；2007-254272 ☑有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明是關於藉由電漿 CVD（Chemical Vapor Deposition：化學氣相沉積）法，形成有用之氮化矽膜以當作非揮發性半導體裝置之電荷積層的氮化矽膜之形成方法，以及利用此知非揮發矽半導體記憶體裝置以及非揮發性半導體記憶體裝置。

【先前技術】

現在，作爲代表電可改寫動作之 EEPROM（Electrically Erasable and Programmable ROM）等的非揮發性半導體記憶體裝置，則有被稱爲 SONOS（Silicon-Oxide-Nitride-Oxide-Silicon）型或 MONOS（Metal-Oxide-Nitride-Oxide-Silicon）型之疊層構造。在該些型式之非揮發半導體記憶體裝置中，將二氧化矽膜（Oxide）所挾持之氮化矽膜（Nitride）當作電荷蓄積層執行保持資訊。即是，在上述非揮發半導體記憶體裝置中，藉由在半導體基板（Silicon）和控制閘電極（Silicon 或是 Metal）之間施加電壓，注入電子至電荷蓄積層之氮化矽膜而保存資料，或除去蓄積於氮化矽膜之電子，執行資料之保存和消除之改寫。

作爲形成當作非揮發半導體記憶體裝置之電荷蓄積層之氮化矽膜的技術，於日本特開平 5-145078 號公報（專利文獻 1）記載有於通道氧化膜和摻雜氧化膜之間之氮化

矽膜之時，將二氯矽烷（dichlorosilane-SiH_2Cl_2）和氨（NH_3）作爲原料氣體，在將流量比 SiH_2Cl_2/NH_3 設爲 1/10 以下之條件下藉由減壓 CVD 法而予以成膜之氮化矽膜之形成方法。

然而，近年來隨著半導體裝置之高積體化，非揮發性半導體記憶體裝置之元件構造也急速朝微細化發展。爲了使非揮發性半導體記憶體裝置予以微細化，在各個非揮發性記憶體裝置中，必須使電荷蓄積層之氮化矽膜之電荷蓄積能力提升，並且提高資料保持性能。該氮化矽膜之電荷蓄積能力與屬於膜中之電荷捕獲中心的陷阱密度具有關係。因此，作爲提高非揮發性半導體記憶體裝置之資料保持性能之一個手段，將陷阱密度大之氮化矽膜當作電荷蓄積層使用應爲有效。

但是，在以往之藉由減壓 CVD 或熱 CVD 的成膜方法中，在氮化矽膜之形成過程，控制膜中之陷阱密度在技術上極爲困難，無法形成具有所欲陷阱密度之氮化矽膜。例如，在上述專利文獻 1 所揭示之氮化矽膜之形成方法中，無法直接控制氮化矽膜之陷阱密度，故以增加氮化矽膜和陷阱氧化膜之界面之陷阱密度爲目的，設置在該些膜之中間部份含有多數 Si 之遷移層。並且，爲了形成該遷移層，採用複雜之程序控制原料氣體之供給時序之手法。具體而言。在專利文獻 1 所揭示之技術中，於完成氮化矽膜之成膜時，首先，停止氨之供給，所殘留之氨成膜之後，停止二氯矽烷之供給。之後，於形成摻雜氧化膜之時，首先

僅供給次氧化氮，於經過特定時間後供給矽烷開始摻雜氧化膜之堆積。

但是，如申請專利範圍 1 所示般，在控制原料氣體之供給時序之方法中，由於僅些微時序之不同，而造成膜質極大變化，故無論如何都不可能再現佳形成具有所欲陷阱密度之氮化矽膜。

【發明內容】

本發明之目的，在於提供可以將所成膜之氮化矽之陷阱密度控制於所欲大小之氮化矽膜之形成方法。

本發明之其他目的在於提供具備有電荷蓄積性能被控制之氮化矽膜，並且資料保持性能優良之非揮發性半導體記憶體裝置。

若藉由本發明之第 1 觀點，則提供一種氮化矽膜之形成方法，藉由微波使包含含氮化合物和含矽化合物之原料氣體予以電漿化，藉由使用其電漿之電漿 CVD，使氮化矽膜堆積於基板上，包含：在藉由具有多數孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置基板，和以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件而使氮化矽膜堆積於基板上。

在上述第 1 觀點中，使用氨（NH_3）當作上述氮（NH_3）含有化合物，並使用二氯矽烷（Si_2H_6）當作上述含矽化合物，藉由在 1Pa～1333Pa 之範圍內之處理壓力下產

生電漿之條件之電漿 CVD，可以形成上述氮化矽膜。此時，上述原料氣體中之上述氨（NH_3）和上述二氯矽烷（Si_2H_6）之流量比（NH_3 流量/Si_2H_6 流量）可以設爲 0.1～1000 之範圍內。再者，亦可以使上述氮化矽膜之陷阱密度在 1×10^{17}～$5\times10^{17}cm^{-3}eV^{-1}$ 之範圍內分布於其厚度方向。此時，以上述氮化矽膜之膜厚在於 1～20nm 之範圍內爲佳。

再者，在上述第 1 觀點中，可以使用氮（N_2）作爲上述含氮化合物，使用二矽烷（Si_2H_6）作爲上述含矽化合物，藉由在 0.1Pa～500Pa 之範圍內之處理壓力下使電漿產生之條件的電漿 CVD，形成上述氮化矽膜。此時，上述原料氣體中之上述氮（N_2）和上述二矽烷（Si_2H_6）之流量比（N_2 流量/Si_2H_6 流量）可以設爲在於 0.1～5000 之範圍內。

再者，在上述第 1 觀點中，藉由上述電漿 CVD 堆積氮化矽膜時之處理溫度可以設爲 300℃～600℃之範圍內之溫度。

若藉由本發明之第 2 觀點時，則提供藉由微波使包含含氮化合物和含矽化合物之原料氣體予以電漿化，藉由使用其電漿之電漿 CVD，使氮化矽膜堆積於基板上，包含：在藉由具有多數孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置被處理體；在上述電漿處理裝置中，藉由第 1 條件之電漿 CVD，使第 1 陷阱密度之第 1 氮化矽膜堆積於基板表面；和在上述電漿處理裝置

中，藉由與上述第 1 條件不同之第 2 條件之電漿 CVD，使與上述第 1 陷阱密度不同之第 2 陷阱密度之第 2 氮化矽膜堆積於上述第 1 氮化矽膜上。

在第 2 觀點中，上述第 1 氮化矽膜係使用氨（NH_3）作爲上述含氮化合物，可以使用二矽烷（Si_2H_6）作爲上述含矽化合物，藉由在 1Pa～1333Pa 之範圍內之處理壓力下使電漿產生而形成，上述第 2 氮化矽膜可以使用氮（N_2）作爲上述含氮化合物，使用二矽烷（Si_2H_6）作爲上述含矽化合物，藉由在 0.1Pa～500Pa 之範圍內之處理壓力下使電漿產生而形成。再者，亦可以使上述第 1 氮化矽膜及上述第 2 氮化矽膜之至少一方之陷阱密度在 1×10^{17}～$5\times10^{17}cm^{-3}eV^{-1}$ 之範圍內分布於其厚度方向。此時，上述第 1 氮化矽膜及上述第 2 氮化矽膜之至少一方之膜厚在於 1～20nm 之範圍內爲佳。可以，交互執行堆積第 1 氮化矽膜，和堆積上述第 2 氮化矽膜。

若藉由本發明之第 3 觀點，則提供一種非揮發性半導體記憶體裝置之製造方法，包含：在半導體基板之通道形成區域上，形成含有當作具有電荷保持能力之電荷蓄積層之氮化矽膜的多數絕緣膜之疊層體，和在該疊層體上形成閘極電極，上述氮化矽膜係藉由利用微波使含有含氮化合物和含矽化合物之原料氣體予以電漿化，並藉由使用其電漿之電漿 CVD，使堆積於半導體基板上之方法而被形成，該堆積之方法包含：在藉由具有多孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置半導體

基板，和以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件而使氮化矽膜堆積於半導體基板上。

若藉由本發明之第 4 觀點，則提供一種非揮發性半導體記憶體裝置，具有：於主面擁有通道形成區域之半導體基板；和被形成於上述通道形成區域上，包含當作具有電荷保持能力之電荷蓄積層之氮化矽膜的多數絕緣膜之疊層體；和被形成在該疊層體上之閘極電極，上述氮化矽膜藉由利用微波使包含含氮化合物和含矽化合物之原料氣體予以電漿化，並且藉由使用其電漿之電漿 CVD 使堆積於半導體基板上之方法而被形成，該堆積之方法包含：在藉由具有多數孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置半導體基板，和以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件而使氮化矽膜堆積於半導體基板上。

若藉由本發明之第 5 觀點，則提供一種電漿處理裝置，具備用以使用電漿處理被處理體之處理室；用以導入微波至上述處理室內之具有多數孔的平面天線；供給原料氣體至上述處理室內之氣體供給機構；使上述處理室內減壓排氣之排氣機構；調節上述被處理體之溫度的溫度調節機構；和藉由利用上述平面天線導入至上述處理室內之微波將含有含氮化合物和含矽化合物之原料氣體予以電漿化，並藉由使用其電漿之電漿 CVD，使氮化矽膜堆積於基板

上時，則以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件的控制部。

本發明者等觀察到使用藉由具有多數孔之平面天線將微波導入至處理室內之電漿處理裝置，變更電漿 CVD 成膜之條件，可以控制所成膜之氮化矽膜之陷阱密度之大小。在本發明中，根據如此之見解，因以將所堆積之氮化矽膜之陷阱密度之大小控制在特定值之方式，控制上述電漿處理裝置中之電漿 CVD 之條件而在基板上堆積氮化矽膜，故可以形成具有所欲陷阱密度之氮化矽膜。再者，具有如此所形成之所欲之陷阱密度的氮化矽膜可當作製作各種半導體裝置時之絕緣膜，尤其藉由當作非揮發性半導體記憶體裝置之電荷蓄積層，可以實現持有優良資料保持性能之之非揮發性半導體記憶體裝置。

再者，若藉由本發明時，藉由控制電漿 CVD 之條件，疊層形成陷阱密度不同之氮化矽膜，可在非揮發性半導體記憶體裝置中執行各種能帶工程（band engineering），進而可以製作出保持特性優良之非揮發性半導體記憶體裝置。再者，藉由疊層形成如此具有不同陷阱密度之氮化矽膜，因在單一之電漿處理裝置之腔室內，可以不用使陷阱密度不同之兩層以上之氮化矽膜曝曬於大氣狀態而予以成膜，故可以實現有效率性之製程設計。

【實施方式】

以下，一面參照圖面一面針對本發明之最佳實施形態予以說明。

[第 1 實施形態]

第 1 圖爲模式性表示適用於實施本發明之氮化矽膜之形成方法之電漿處理裝置之一例之概略構成之剖面圖，第 2 圖爲表示第 1 圖之電漿處理裝置之平面天線之平面圖，第 3 圖爲表示第 1 圖之電漿處理裝置之控制部之構成的方塊圖。

該電漿處理裝置 100 藉由具有多數溝槽狀之孔的平面天線之 RLSA（Radial Line Slot Antenna：輻射狀排列的槽型天線）將微波導入至處理室內而使電漿產生，以構成能夠產生高密度並且低電子溫度之微波激勵電漿之 RLSA 微波電漿處理裝置。電漿處理裝置 100 中，可藉由 1×10^{10} ～ $5\times10^{12}/cm^3$ 之電漿密度，並且具有 0.7～2eV 之低電子溫度之電漿執行處理。因此，電漿處理裝置 100 在半導體裝置之製造過程中，可以最佳使用於藉由電漿 CVD 形成氮化矽膜之成膜處理。

電漿處理裝置 100 具備有構成氣密之腔室（處理室 1）、供給氣體至腔室 1 內之氣體供給機構 18、用以減壓排氣腔室 1 內之排氣裝置 24、設置在腔室 1 之上部，導入微波至腔室 1 內之微波導入機構 27，和控制該些電漿處理裝置 100 之各構成部之控制部 50，以該些爲主要構成。

腔室 1 爲被接地之略緣筒狀之容器，具有由例如鋁所構成之底壁 1a 和側壁 1b。並且，腔室 1 即使爲角筒形狀之容器亦可。

在腔室 1 之內部設置有用以水平支撐屬於被處理體之矽晶圓（以下單稱爲「晶圓」）W 之載置台 2。載置台 2 是由熱傳性高之陶瓷，例如 AlN 所構成。該載置台 2 藉由從排氣室 11 之底部中央延伸於上方之圓筒狀之支撐構建 3 被支撐著。支撐構件 3 也藉由熱傳導性高之陶瓷例如 AlN 所構成。

再者，在載置台 2 設置有覆蓋其外緣部，並引導晶圓 W 之覆蓋環 4。該覆蓋環 4 爲由石英、AlN、Al_2O_3、SiN 中之任一材料所構成之環狀構件。

再者，在載置台 2 埋入有當作溫度調節機構之電阻加熱型之加熱器 5。該加熱器 5 藉由自加熱器電源 5a 被供電，加熱載置台 2，以其熱均勻加熱屬於被處理基板之晶圓 W。

再者，在載置台 2 設置有熱電偶（TC）6。根據藉由該熱電偶 6 所檢測出之溫度，可將晶圓 W 控制在室溫至 900℃ 之範圍。

再者，在載置台 2 具有用以支撐晶圓 W 使升降之晶圓支撐銷（無圖式）。各晶圓支撐銷被設置成可對載置台 2 之表面伸縮。

在腔室 1 之底壁 1a 之略中央部，形成有圓形之開口部 10。在底壁 1a 設置有與開口部 10 連通，朝下方突出

之排氣室 11。該排氣室 11 連接有排氣管 12，經該排氣管 12 連接於排氣裝置 24。

在形成腔室 1 之側壁 1b 之上端，配置具有當作使腔室 1 予以開關之蓋體（頂板）之功能的環狀平板 13。平板 13 之內周下部朝向內側（腔室內空間）突出，形成有環狀之支撐部 13a。

平板 13 設置有構成環狀之氣體導入部 14 以當作第 1 氣體導入部。再者，於腔室 1 之側壁 1b 設置有構成環狀之氣體導入部 15 以當作第 2 氣體導入部。即是，該些氣體導入部 14 及 15 被設爲上下兩段。氣體導入部 14 及 15 自氣體供給機構 18 被供給著特定氣體。並且，即使氣體導入部 14 及 15 設爲噴嘴狀或噴淋頭狀亦可。再者，即使將氣體導入部 14 和氣體導入部 15 設爲單一之噴淋頭亦可。

再者，在腔室 1 之側壁 1b，與電漿處理裝置 100 鄰接之搬運室（無圖式）之間，設置有用以執行晶圓 W 之搬入搬出之搬入搬出口 16，和開關該搬入搬出口 16 之閘閥 17。

氣體供給機構 18 具有例如含氮氣體（含 N 氣體）供給源 19a、含矽氣體（含 Si 氣體）供給源 19b、惰性氣體供給源 19c 及潔淨氣體源 19d。含氮氣體供給源 19a 連接於上段之氣體導入部 14。再者，含矽氣體供給源 19b、惰性氣體供給源 19c 及潔淨氣體源 19d 連接於下段之氣體導入部 15。並且，氣體供給機構 18 即使具有例如置換腔室

內環境之時所使用之清洗氣體供給源等亦可。

當作成膜氣體之含氮氣體，可以使用例如氮氣體（N_2）、氨（NH_3）、MMH（Monomethylhydrazine）等之聯胺衍生物等。再者，作爲屬於其他成膜原料之含矽氣體，可以使用例如矽烷（SiH_4）、二矽烷（Si_2H_6）、TSA（Trisilylamine）等。即使於該中，尤其以二矽烷（Si_2H_6）爲佳。並且，作爲惰性氣體，可以使用例如 N_2 氣體或稀有氣體等。稀有氣體爲電漿激勵用氣體，例如可以使用 Ar 氣體、Kr 氣體、Xe 氣體、He 氣體等。並且，作爲潔淨氣體等，可以使用 ClF_3 氣體、NF_3 氣體、HCl 氣體、Cl_2 氣體等。其中 NF_3 氣體是電漿化被使用。

含氮氣體是從氣體供給機構 18 之含氮氣體供給源 19a，經氣體管線 20 到達至氣體導入部 14，自氣體導入部 14 被導入至腔室 1 內。另外，含矽氣體及惰性氣體是從含矽氣體供給源 19b 及惰性氣體供給源 19c 各經氣體管線 20 到達至氣體導入部 15，自氣體導入部 15 被導入至腔室 1 內。在連接於各氣體供給源之各個氣體管線 20 設置有質量流量控制器 21 及其前後之開關閥 22。藉由如此之氣體供給機構 18 之構成，可以控制所供給之氣體之切換或流量等。並且，Ar 等之電漿基利用之稀有氣體爲任意氣體，雖然並一定要與成膜原料氣體同時供給，但是當考慮電漿之安定生成時，則以供給爲佳。

排氣裝置 24 具備有渦輪分子泵等之高速真空泵。排氣裝置 24 經排氣管 12 連接於腔室 1 之排氣室 11。藉由

使該排氣裝置 24 動作，腔室 1 內之氣體均勻流入至排氣室 11 之空間 11a 內，並且，自空間 11a 經排氣管 12 排氣至外部。依此，可將腔室內高速減壓至例如 0.133Pa。

接著，針對微波導入機構 27 之構成予以說明。微波導入機構 27 具備透過板 28、平面天線 31、慢波材 33、蓋體 34、導波管 37 及微波產生裝置 38，以該些作爲主要成分。

透過微波之透過板 28 被支撐於環狀設置在平板 13 之內側之支撐面 13a。該透過板 28 和支撐面 13a 之間經密封構件 29 氣密被密封，依此，腔室 1 內被氣密保持。透過板 28 是由介電體例如石英或 Al_2O_3、AlN 等之陶瓷所構成。

平面天線 31 構成圓板狀，在透過板 28 之上方，被設置成與載置台 2 對向。並且，平面天線 31 之形狀並不限於圓板狀，即使例如爲四角板狀亦可。該平面天線 31 被卡止於平板 13 之上端。

平面天線 31 是由例如表面被鍍金或銀之銅板、鎳板、不鏽鋼或是鋁板所構成。平面天線 31 具有放射微波之多數之溝槽狀之微波放射孔 32。微波放射孔 32 以特定圖案貫通平面天線 31 而被形成。

各個微波放射孔 32 例如第 2 圖所示般，構成細長狀之孔，並且鄰接之兩個微波放射孔構成對。然後，例如鄰接之微波放射孔 32 配置成「T」字狀。再者，組合配置成特定形狀（例如 T 字狀）之微波孔放射孔 32 全體又配置

成同心圓狀。

微波放射孔 32 之長度或配列間隔是因應微波之波長（λg）而被決定。例如，微波放射孔 32 之間隔配置成由 λg/4 成爲 λg。在第 2 圖中，以 Δr 表示形成同心圓狀之鄰接微波放射孔 32 之間隔。並且，微波放射孔 32 之形狀即使爲圓形狀、圓弧狀等之其他形狀亦可。並且，微波放射孔 32 之配置形態並不特別限定，除同心狀之外，例如亦可以配置螺旋狀、放射狀等。

在平面天線 31 之上面設置有具有大於真空之介電率的慢波材 33。該慢波材 33 由於波長在真空中變長，故具有縮短微波之波長而調整電漿之功能。

並且，在平面天線 31 和透過板 28 之間，再者慢波材 33 和平面天線 31 之間即使爲各接觸或各件隔開亦可，但是以接觸爲佳。

在腔室 1 之上部以覆蓋該些平面天線 31 及慢波材 33 之方式，設置具有由例如鋁或不鏽鋼、銅等之金屬所構成之導波管機能之導電性之蓋體 34。平板 13 之上端和蓋體 34 藉由遮蔽構件 35 被密封。在蓋體 34 之內部形成有冷卻水流路 34a。藉由使冷卻水流通至該冷卻水流路 34a，則可以冷卻蓋體 34、慢波材 33、平面天線 31 及透過板 28。並且，蓋體被接地。

在蓋體 34 之上壁（頂棚部）之中央形成有開口部 36，在該開口部 36 連接有導波管 37。在導波管 37 之另一端側經匹配電路 38 連接有產生微波之微波產生裝置 39。

導波管 37 具有從上述蓋體 34 之開口部 36 朝上方延伸之剖面圓形狀之同軸導波管 37a，和延伸於經模式變換氣連接於該同軸導波管 37a 之上端部之水平方向的矩形導波管 37b。

在同軸導波管 37a 之中心延伸存在有內導體 41。該內導體 41 是在其下端部連接固定於平面天線 31 之中心。藉由如此之構造，微波經同軸導波管 37a 之內導體 41 以放射狀效率佳均勻朝由導電性蓋體 34 和平面天線 31 所形成之扁平導波路傳播。

藉由以上般之構成之微波導入機構 27，在微波產生裝置 39 所產生之微波經導波管 37 而傳播至平面天線 31，並且成爲經透過板 28 而被導入至腔室 1 內。並且，作爲微波之頻率較佳使用例如 2.45GHz，其他可以使用 8.35GHz、1.98GHz 等。

電漿處理裝置 100 之各構成部成爲被連接於控制部 50 而被控制之構成。控制部 50 是如第 3 圖所示般，具備有具有 CPU 之製程控制器 51，和連接於該製程控制器 51 之使用者介面 52 及記憶部 53。製程控制器 51 是在電漿處理裝置 100 中，統籌與壓力、溫度、氣體流量等之製程條件有關之各構成部（例如加熱器電源 5a、氣體供給機構 18、排氣裝置 24、微波產生裝置 39 等）而加以控制之控制手段。

使用者介面 52 具有工程管理者爲了管理電漿處理裝置 100 而執行指令之輸入操作等之鍵盤，或將電漿處理裝

置 100 之驅動狀況予以可視化而顯示之顯示器等。於記憶部 53 保存用以藉由製程控制器 51 之控制實現在電漿處理裝置 100 所實行之各種處理之控制製程（軟體），或記錄有處理條件等之處理程式。

然後，因應所需以來自使用者介面 52 之指示等自記憶部 53 叫出任意處理程式而使製程控制器 51 實行，依此在製程控制器 51 之控制下，執行在電漿處理裝置 100 的所欲之處理。再者，上述控制程式或處理條件資料等之處理程式可利用電腦可讀取之記憶媒體，例如 CD-ROM、硬碟、軟碟、快閃記憶體等之狀態者，或是自其他裝置經例如專用回線隨時傳送而在線上使用。

在如此所構成之電漿處理裝置 100 中，可以在 800℃以下之低溫對基底膜等執行無損傷之電漿 CVD 處理。再者，電漿處理裝置 100 由於電漿之均勻性優良，故可以實現製程之均勻性。

在如此所構成之 RLSA 方式之電漿處理裝置 100 中，例如以第 4 圖之流程圖所示之程序藉由電漿 CVD 法執行在晶圓表面堆積氮化矽之處理。

首先，打開閘閥 17 自搬入搬出口 16 將晶圓 W 搬入至腔室 1 內，載置於載置台 2 上（步驟 S1）。接著，將腔室 1 內減壓排氣（步驟 S2）。然後，由於伊面減壓排氣，一面自氣體供給機構 18 之含氮氣體供給源 19a 及含矽氣體供給源 19b，以特定流量各經氣體導入部 14、15 而將含氮氣體及含矽氣體導入至腔室 1 內（步驟 S3）。

如此一來，將腔室 1 內調節至特定壓力。

接著，將在微波產生裝置 39 所產生之特定頻率例如 2.45GHz 之微波，經匹配電路 28 導入至導波管 37（步驟 S4）。被導入至導波管 37 之微波順序通過矩形導波管 37b 及同軸導波管 37a，經內導體 41 而被供給至平面天線 31。即是，微波朝向平面天線 31 傳播至同軸導波管 37a 內。然後，微波自平面天線 31 之溝槽狀之微波放射孔 32 經透過板 28 而被放射至腔室 1 內之晶圓 W 之上方空間。此時之微波輸出作爲平面天線 31 之每面積 $1cm^2$ 之功率密度可以設爲 0.41～4.19W/cm^2 之範圍內。微波輸出可以自例如 500～5000W 之範圍內因應目的選擇成上述範圍內之功率密度。

藉由自平面天線 31 經透過板 28 而放射至腔室 1 之微波，在腔室 1 內形成電磁場，含氮氣體、含矽氣體各電漿化。該微波激勵電漿藉由微波自平面天線 31 之多數微波放射孔 32 被放射，以大約 1×10^{10}～$5\times10^{12}/cm^3$ 之電漿密度，並且在晶圓 W 附近，成爲大約 1.5eV 以下之低電子溫度電漿。如此所形成之微波激勵高密度電漿爲對基底膜造成電漿損傷較少者。然後，在電漿中，原料氣體進行解離，藉由 Si_pH_q、SiH_q、NH_q、N（在此 p、q 指任意之數，以下爲相同）等之活性種之反應，堆積具有特定大小之陷阱密度之氮化矽 Si_xN 或是氮化氧化矽 $Si_xO_zN_y$（在此 x、y、z 不一定化學理論性被決定，爲依據條件不同取不同質之任意數）之薄膜。

在本發明中，藉由選定使用電漿處理裝置 100 之電漿 CVD 成膜條件，可以將所成膜之氮化矽膜之陷阱密度控制成所欲之大小。

例如，於縮小成膜之氮化矽膜中之陷阱密度之時（例如，陷阱密度爲 5×10^{10}～$5\times10^{12}cm^{-2}eV^{-1}$ 之範圍內），選擇第 1 條件。在該第 1 條件中，以使用 N_2 氣體當作含氮氣體，使用 Si_2H_6 氣體當作含矽氣體爲佳。此時，N_2 氣體和 Si_2H_6 氣體之流量比（N_2 氣體流量/Si_2H_6 氣體流量）由以均勻膜厚形成 Si 密度低之氮化矽膜之觀點來看以設爲 0.1～5000 之範圍內爲佳，以設爲 100～2000 之範圍內爲更佳。具體而言，以成爲上述流量比之方式，自 10～5000mL/min（sccm）之範圍內，較佳在 100～2000mL/min（sccm）之範圍內，設定 N_2 氣體流量，自 0.5～100mL/min（sccm）之範圍內，較佳在 0.5～10mL/min（sccm）之範圍內，設定 Si_2H_6 氣體流量。再者，在使用上述 N_2 氣體流量和 Si_2H_6 氣體流量之第 1 條件中，爲了形成具有小陷阱密度之氮化矽膜，將處理壓力設爲 0.1～500Pa 爲佳，設爲 1～100Pa 爲更佳。並且，微波之功率密度以設爲 0.41～4.19W/cm^2（平面天線 31 之每面積 1cm^2）之範圍內爲佳。

再者，在增大例如成膜之氮化矽膜中之陷阱密度之時（例如陷阱密度之面密度在於 1×10^{11}～$1\times10^{13}cm^{-2}eV^{-1}$ 之範圍內），則選擇第 2 條件。在該第 2 條件中，以使用 NH_3 氣體當作含氮氣體，以使用 Si_2H_6 氣體當作含矽氣體

爲佳。此時，NH_3 氣體和 Si_2H_6 氣體之流量比（NH_3 氣體流量/Si_2H_6 氣體流量）由以均勻膜厚形成 Si 密度爲高之氮化矽膜之觀點來看，設爲 0.1～1000 之範圍內爲佳，以 10～300 之範圍內爲更佳。具體而言，以成爲上述流量比之方式，自 10～5000mL/min（sccm）之範圍內，較佳在 100～2000mL/min（sccm）之範圍內，設定 NH_3 氣體流量，自 0.5～100mL/min（sccm）之範圍內，較佳在 1～50mL/min（sccm）之範圍內，設定 Si_2H_6 氣體流量。再者，在使用上述 NH_3 氣體流量和 Si_2H_6 氣體流量之第 2 條件中，爲了形成具有大陷阱密度之氮化矽膜，將處理壓力設爲 1～1333Pa 爲佳，設爲 50～650Pa 爲更佳。並且，微波之功率密度以設爲 0.41～4.19W/cm^2（平面天線 31 之每面積 1cm^2）之範圍內爲佳。

再者，使用電漿處理裝置 100 以上述第 2 條件執行電漿 VCD，依此可以在膜之厚度方向形成具有略均等之陷阱密度之分布的氮化矽膜。即是，例如相當於矽之中間間隙之能量位置的陷阱體積密度 1×10^{17}～$5\times10^{17}cm^{-3}eV^{-1}$ 之範圍內分布於膜之厚度方向，從與基底矽層之界面至表面側，可以形成上述陷阱之體積密度在 1×10^{17}～2×10^{17} $cm^{-3}eV^{-1}$ 之範圍內分布之氮化矽膜。此時，所形成之氮化矽膜之膜厚以在 1～20nm 之範圍內爲佳，以 3～15nm 之範圍內爲更佳。並且，藉由將上述陷阱之體積密度乘上 2/3，可以換算成面密度。

再者，即使在上述第 1 條件及第 2 條件中之任一者時

，電漿 CVD 之處理溫度以將載置台 2 之溫度設爲 300℃以上～800℃以下爲佳，以加熱至 400～600℃爲佳。並且，電漿處理裝置 100 中之間隙（自透過板 28 之下面至載置台 2 之上面的間隔）G，從以均勻膜厚和膜質形成氮化矽膜之觀點來看，以設定成例如 50～500mm 左右爲佳。

接著，停止供給微波，結束氮化矽膜之形成（步驟 S5）。接著，停止自氣體供給機構 18 供給氣體（步驟 S6）。然後，於結束氮化矽膜之堆積之後，藉由自腔室 1 內搬出形成氮化矽膜之晶圓 W，結束對 1 片晶圓 W 之處理（步驟 S7）。

於以使用電漿處理裝置 100 之電漿 CVD 形成氮化矽膜之時，藉由在二氧化矽膜（SiO_2）上堆積氮化矽膜，可更增大氮化矽之陷阱密度。因此，在本實施形態中，於基底層例如爲由單晶矽所構成之矽基板或多晶矽層之時，以事先在基底層之表面形成 SiO_2 之薄膜爲佳。此時，SiO_2 之薄膜即使爲自然氧化膜亦可，即使爲熱氧化膜或電漿氧化膜亦可。並且，即使以例如持有 HPM（鹽酸過氧化氫水）、SPM（硫酸過氧化氫水）般之氧化作用的藥劑化學性處理 Si 表面而形成化學化氧化膜（Chemical Oxide）亦可。事先在基底層表面形成之 SiO_2 之薄膜，以例如 0.1～10nm 爲佳，更佳爲 0.1～3nm。

藉由本實施形態之氮化矽膜之形成方法所形成之氮化矽膜之陷阱密度可以利用例如光電子產率分光法（Photoemission Yield Spectroscopy：PYS）而予以計測。

PYS 爲將一定之能量之光照射至試料（氮化矽膜），將藉由光電效果所釋放出之光電子之全釋放電子量當作射入光之能量之函數而予以測量之方法。藉由該 PYS 測量可以非破壞且高密度計測氮化矽膜中及氮化矽膜和矽層之介面之缺陷準位密度分布。以 PYS 所測量之光電子產率因相當於電子佔有狀態密度分布之能量積分，故可以藉由 S.Miyazaki 等之手法（Microelectron. Eng. 48 (1999) 63.），自微分 PYS 光譜求出缺陷位準密度分布。

接著，針對確認本發明之效果之試驗結果予以說明。使用電漿處理裝置 100，在 p 型矽基板（10Ω•cm）上改變條件形成氮化矽膜。以 PYS 測量所取得之氮化矽膜。PYS 測藉由使用紫外線燈，對各氮化矽膜照射紫外線，以光電子增倍管測量所釋放之電子而執行。在本試驗中，針對以下之表 1 所示之試驗區分 A～H 執行實驗。

[表 1]

試驗區分	電漿 CVD 條件	氮化矽膜厚	前處理
區分 A	條件 1	3nm	DHF 處理
區分 B	條件 1	3nm	HPM 處理
區分 C	條件 1	10nm	DHF 處理
區分 D	條件 1	10nm	HPM 處理
區分 E	條件 2	3nm	DHF 處理
區分 F	條件 2	3nm	HPM 處理
區分 G	條件 2	10nm	DHF 處理
區分 H	條件 2	10nm	HPM 處理

表示 1 所示之電漿 CVD 條件之內容爲下述般。

[電漿條件 CVD 條件 1：N_2/Si_2H_6 氣體系]

N_2 氣體流量：1200mL/min（sccm）

Si_2H_6 氣體流量：3mL/min（sccm）

流量比（N_2/Si_2H_6）：400

處理壓力：7.6Pa

載置台 2 之溫度：500℃

微波功率：2000W

微波功率密度：1.67W/cm^2（平面天線 31 之每面積 1cm^2）

[電漿條件 CVD 條件 2：NH_3/Si_2H_6 氣體系]

NH_3 氣體流量：800mL/min（sccm）

Si_2H_6 氣體流量：10mL/min（sccm）

流量比（NH_3/Si_2H_6）：80

處理壓力：126Pa

載置台 2 之溫度：500℃

微波功率：2000W

微波功率密度：1.67W/cm^2（平面天線 31 之每面積 1cm^2）

表 1 所示之前處理之內容如下述般。

[DHF 處理]

於電漿 CVD 之前，以 1% 稀有氟酸處理矽基板表面

而除去自然氧化膜。

[HPM 處理]

於電漿 CVD 處理之前，以 1% 稀有氟酸處理矽基板表面而除去自然氧化膜之後，以 10% HPM（鹽酸過氧化氫水）處理而形成當作化學性氧化膜（Chemical Oxide）之 SiO_2 膜。

將 PYS 測量之結果表示於第 5 圖及第 6 圖。第 5 圖爲氮化矽膜之膜厚爲 3nm 之結果，第 6 圖爲氮化矽膜之膜厚爲 10nm 之結果。暗示著以使用氨當作原料氣體之電漿 CVD 條件所形成之氮化矽膜（試驗區分 E、F、G、H）比以使用當作原料氣體之氮的電漿 CVD 條件 1 所形成之氮化矽膜（試驗區分 A、B、C、D），光電子產率大，陷阱密度高。

再者，藉由電漿 CVD 條件不同所產生缺陷位準之差，比氮化矽膜之膜厚爲 10nm 之時（試驗區分 C、D、G、H），於 3nm 之時（試驗區分 A、B、E、F）明顯出現。並且，如第 5 圖所示般，暗示著當比較氮化矽膜之膜厚爲 3nm 之試驗區分 E 和 F 之時，電漿 CVD 條件即使相同，藉由執行 HPM 處理以當作前處理，先在矽基板表面形成氧化作用（Chemical Oxide）SiO_2 層，亦取得持有大缺陷位準密度之氮化矽膜。

接著，針對使用電漿處理裝置 100，以電漿 CVD 所形成之氮化矽膜，定量化學組成分布和缺陷位準密度分布

，並調查兩者之相關。在 p 型矽基板（10Ω•cm）之 Si（100）面上，執行 HPM 處理而形成氧化作用 SiO_2 層之後，以溫度 400℃形成厚度 11.4nm 之氮化矽膜。電漿 CVD 條件如下述般。

[電漿 CVD 條件 3：NH_3/Si_2H_6 氣體系]

NH_3 氣體流量：800mL/min（sccm）

Si_2H_6 氣體流量：16mL/min（sccm）

流量比（NH_3/Si_2H_6）：50

處理壓力：126Pa

載置台 2 之溫度：400℃

微波功率：2000W

微波功率密度：1.67W/cm^2（平面天線 31 之每面積 1cm^2）

將所形成之氮化矽膜以稀有氟酸進行蝕刻處理並予以薄膜化，在各蝕刻過程中執行 PYS 測量及 X 線光電子分光（XPS）測量。將所製作之氮化矽膜[SiN_x/Si（100）]及 60 秒間蝕刻後之氫終端 Si（100）[H-p+Si（100）]予以 PYS 測量之結果表示於第 7 圖中。藉由該第 7 圖，表示由於在氮化矽膜[SiN_x/Si（100）]中於相當於 Si 能帶間隙之能量區域存在電子佔有缺陷（陷阱），在低於 Si 價電子帶上端（Ev）低之能量區域（＜5.15eV）中，來自氮化矽膜之光電子產率顯著大於氫終端 Si（100）。

再者，將自在各蝕刻過程中之光電子產率之變化量預

佔電子佔有缺陷之深度分布的結果表示於第 8 圖。如該第 8 圖所示般，確認出自 Si 價電子帶上端（eV）淺 0.28eV 之能量位置（E-Ev＝0.28eV）之電子佔有缺陷密度在 Si 基板界面附近爲最大（～$6.0\times10^{18}cm^{-3}eV^{-1}$），離基板界面 4nm 左右左右之區域爲最小（～$3.2\times10^{17}cm^{-3}eV^{-1}$）。再者，相當於矽之中間間隙之能量位置（E-Ev＝0.56eV）中，Si 界面附近之電子佔有缺陷密度明顯下降，另外在氮化矽膜中，取得與價電子帶相同之電子佔有缺陷密度分布。

第 9 圖表示藉由 XPS 分析所測量之氮化矽膜之化學組成曲線。在第 9 圖中，可知在離氮化矽膜之表面附近之區域及 Si 基板界面厚度約 3nm 以內之區域，氧原子明顯擴散混入至氮化矽膜中。表面側之氧化引起自然氧化，可想像 Si 基板界面側引起氧化作用 SiO_2 和氮化矽膜之界面反應。

當比較相當於第 8 圖中之矽之中間間隙之能量位置（E-Ev＝0.56eV）之結果，和第 9 圖所示之 XPS 測量所產生之氮化矽膜之化學組成曲線之時，可知離 Si 基板界面大約 2nm 附近電子佔有缺陷局部性增大之區域，相當於氧化作用 SiO_2 層和氮化矽膜之界面附近。由上述，可知在使用電漿處理裝置 100，藉由電漿 CVD 條件 3 所形成之氮化矽膜中，擴散混入有氧原子之氧化作用 SiO_2 層和氮化矽膜之界面附近，膜中之電子佔有缺陷密度顯著增大。

接著，針對不同條件所形成之2種類之氮化矽膜（試驗區分I及J），於第10圖及第11圖表示測量相當於矽之中間間隙之能量位置之電子佔有密度之深度方向之結果。再者，第12圖及第13圖表示藉由XPS分析測量試驗區分I及J之氮化矽膜之化學組成曲線之結果。試驗區分I（比較例）爲以下述條件之LPCVD（Low Pressure Chemical Vapor Deposition）所成膜之膜厚13nm之氮化矽膜，區分J爲使用電漿處理裝置100，以上述電漿CVD條件2所成膜之膜厚4.1nm之氮化矽膜。試驗區分I及J皆在Si（1000）面上藉由上述條件之HPM處理形成膜層3nm之氧化作用SiO_2層，並在其上面執行CVD。

[LPCVD條件]

SiH_2Cl_2氣體流量：10mL/min（sccm）

NH_3氣體流量：100mL/min（sccm）

流量比（NH_3/SiH_2Cl_2）：100

處理壓力：133Pa

載置台2之溫度：800℃

在第10圖中，針對以LPCVD所成膜之試驗區分I（比較例）之氮化矽膜，表示相當於矽之中間間隙之能量位置（E-Ev＝0.56eV），和自Si價電子帶上端（Ev）淺0.84eV之能量位置（E-Ev＝0.84eV）之電子佔有缺陷之體密度。由該第10圖，藉由LPCVD所成膜之試驗區分I之氮化矽膜，在離Si（100）界面大約10nm之膜厚之範

圍中，相當於矽之中間間隙之能量位置（E-Ev＝0.56eV）之電子佔有缺陷密度被讀取爲大約 $1\times10^{17}cm^{-3}eV^{-1}$ 以下。即是，試驗區分 I 之氮化矽膜需擔心對全體而言電子佔有缺陷密度爲低，容易發生電荷洩漏之情形。

另外，以使用氨和二矽烷當作原料氣體之電漿 CVD 條件 2 所成膜之本發明範圍之條件的試驗區分 J，是如第 11 圖所示般，確認電子佔有缺陷大概一樣分布於膜厚方向，其絕對值大於區分 I。即是，試驗區分 J 之氮化矽膜是相當於矽之中間間隙之能量位置上的電子佔有缺陷密度，在 $1\times10^{17}\sim5\times10^{17}cm^{-3}eV^{-1}$ 之範圍內略均等分布於膜之厚度方向。如此在膜之厚度方向具有均等且大之絕對值之陷阱密度之試驗區分 J 之氮化矽膜中，所注入之電荷由於即使在膜之中央部份亦被保持，故可想像難以產生電荷洩漏，電荷蓄積能力高。因此，被控制成如此之電子佔有缺陷在膜厚方向成爲均勻之氮化矽膜，當作 SONOS（MONOS）構造之半導體記憶體裝置之電荷蓄積層使用，依此可以期待優良之電荷蓄積能力。

並且，試驗區分 J 之氮化矽膜如第 11 圖所示般，具有 4nm 之厚度，除界面附近區域及容易氧化之表面區域外，在從 Si 基板界面朝表面側離厚度 1nm 至 3nm 之範圍，相當於矽之中間間隙之能量位置的電子佔有缺陷密度分布在 $1\times10^{17}\sim2\times10^{17}cm^{-3}eV^{-1}$ 之狹窄範圍。

即是，可以在氮化矽膜中形成具有非常均勻之陷阱密度分布之部份，即使在如此膜厚薄之時，亦可以發揮充分

高之電荷蓄積能力。因此，藉由使用如此電子佔有缺陷在膜厚方向爲均勻之氮化矽膜，亦可充分對應於半導體記憶體裝置之信賴性及微細化。並且，陷阱密度均勻分布在如此膜厚方向之氮化矽膜，可以在厚度 1～20nm 之範圍下發揮良好之電荷蓄積能力。

再者，由第 12 圖所示之化學組成曲線可知試驗區分 I（比較例）之氮化矽膜中，膜中之氧濃度在 Si（100）界面附近和表面附近爲高，但是在膜中央附近幾乎不存在氧。另外，由第 13 圖所示之組成之曲線可知，在試驗區分 J 之氮化矽膜中，即使在膜中央附近，亦存在 20 原子百分比之氧。

由第 10 圖至第 13 圖之比較，當注目於氮化矽膜中之氧之膜厚方向之分布時，則判明在存在氧之區域增大電子佔有缺陷密度，另外即使存在例如超過 20 原子百分比之氧，電子佔有缺陷密度不會與氧之增加呈比例而增加電子佔有缺陷密度，達到頂點。因此，可推測存在於氮化矽膜之電子佔有缺陷之生成，與在氮化矽膜中藉由 2 價之氧原子執行 3 價之氮原子之置換反應的過程中所生成之懸空鍵有關。

如上述般，使用電漿處理裝置 100，並選擇電漿 CVD 條件而成膜之氮化矽膜，爲高精度控制電子佔有缺陷密度之膜，具有在膜之厚度方向均等分布陷阱密度者。

接著，針對將本實施形態所涉及之氮化矽膜之形成方法適用於半導體裝置之製造之例予以說明。在此，作爲半

導體裝置舉出 n 通道型之非揮發性半導體記憶體裝置爲例予以說明。第 14 圖爲表示本發明之一實施形態所涉及之非揮發性半導體記憶體裝置 200 之剖面構造之說明圖。第 15 圖至第 20 圖爲用以說明本實施形態所涉及之非揮發性半導體記憶體裝置之製造工程之工程剖面圖。

如第 14 圖所示般，非揮發性半導體記憶體裝置 200 是在例如 p 型之矽基板（Si 基板）201 上，具有由下依序形成通道氧化膜 205、氮化矽膜 207、氧化矽膜 209 及電極 211 之元件構造 S。

通道氧化膜 205 是由具有例如 0.1～10nm 左右之膜厚之 SiO_2 膜或是 SiON 膜所構成。氮化矽膜 207 當作電荷蓄積層發揮功能，藉由例如 1～50nm 左右之膜厚之 SiN 膜或是 SiON 膜所構成。並且，作爲電荷蓄積層即使設置 2 層以上之氮化矽膜亦可。氧化矽膜 209 爲藉由例如 CVD 法所成膜之 SiO_2 膜，在電極 211 和氮化矽膜 207 之間當作區塊層（阻障層）發揮功能。該氧化矽膜 209 具有例如 0.1～50nm 左右之膜厚。電極 211 是由例如 CVD 法所成膜之多晶矽膜所構成，以當作控制閘（CG）電極而發揮功能。再者，電極 211 即使爲含有例如鎢、鈦、鉭、銅、鋁、金般之金屬的膜亦可。電極 211 具有 0.1～50nm 左右之膜厚。電極 211 不限於單層，以降低電極 211 之電阻率，並使成爲高速化之目的，亦可以設爲含有例如鎢、鉬、鉭、鈦、該些矽化物、氮化物、合金等之疊層構造。該電極 211 被連接於無圖式之配線層。並且，非揮發性半導體

記憶體裝置 200 即使形成半導體基板內之 p 井或 p 型矽層亦可。

再者，在 Si 基板 201 之表面形成元件分離膜 203，藉由該元件分離膜 203，區劃形成非揮發半導體記憶體裝置 200 之主動區域 A。在 Si 基板 201 中之元件構造 S 之周圍之區域，形成有源極區域 212 及汲極區域 214。在主動區域 A 內，被夾於源極區域 212 和汲極區域 214 之間之部份，成爲非揮發性半導體記憶體裝置 200 之通道形成區域 216。再者，在元件構造 S 之兩側部形成有側壁 218。

針對上述般之構造之非揮發性半導體記憶體裝置 200 之動作例予以說明。首先，於資料寫入之時，將 Si 基板 201 之電位當作基準，將源極區域 212 及汲極區域 214 保持於 0V，並對電極 211 施加特定之正的電壓。此時，於通道形成區域 216 形成蓄積電子之反轉層，其反轉層內之電子之一部份藉由通道效果晶通道氧化膜 205 移動至氮化矽膜 207。移動至氮化矽膜 207 之電子，被形成於氮化矽膜 207 內之電荷捕獲中心之陷阱所捕獲，執行資料之蓄積。

於資料讀出時，將 Si 基板 201 之電位當作基準而將源極區域 212 或是汲極區域 214 中之任一方設爲 0V，對另一方施加特定電壓。並且，也對電極 211 施加特定電壓。藉由如此施加電壓，通道知電流量或汲極電壓因應於氮化矽膜 207 內有無蓄積電子或所蓄積之電子的量而變化。

因此，可以藉由檢測出該通道電流或是汲極電壓之變化，將記憶資料讀出至外部。

資料消除時，將 Si 基板 201 之電位當作基準，並將源極區域 212 及汲極區域 214 之雙方設爲 0V，並對電極 211 施加特定大小之負的電壓。藉由如此之電壓施加，在氮化矽膜 207 內所保持之電子晶通道氧化膜 205 而被拉至通道形成區域 216。依此，非揮發性半導體記憶體裝置 200 返回至氮化矽膜 207 內之電子蓄積量爲低之消去狀態。

於製造如此之非揮發性半導體記憶體裝置 200 之時，首先如第 15 圖所示般，在 Si 基板 201 上，以形成例如 LOCOS（Local Oxidation of Silicon）法或 STI（Shallow Tench Isolation）法等之手法，形成元件分離膜 203。再者，爲了調整非揮發性半導體記憶體裝置 200 之臨界電壓，亦可以以離子注入等之方法執行雜質摻雜。

接著在 Si 基板 201 之主動區域 A 表面，藉由例如熱氧化法形成氧化矽膜。依此，如第 16 圖所示般形成通道氧化膜 205。並且，因應所需，即使將氮化矽膜表面予以氮化處理而設爲氧氮化矽膜（SiON 膜）亦可。

接著，如第 17 圖所示般，藉由電漿 CVD 法，在通道氧化膜 205 上形成當作電荷蓄積層之氮化矽膜 207。在該氮化矽膜 207 之形成工程中，如上述般，使用第 1 圖所示之電漿處理裝置 100 而以特定之電漿 CVD 條件執行成膜，依此可以在所欲之範圍控制陷阱密度之大小。

接著，如第 18 圖所示般，在氮化矽膜 207 上，形成氧化矽膜 209。該氧化矽膜 209 可以藉由例如熱氧化法或 CVD 法形成。並且，如第 19 圖所示般，使聚矽層或金屬層或是金屬氧化矽層等堆積於氧化矽膜 209 上而形成電極膜 211a。該電極膜 211a 可以例如藉由 CVD 法形成矽烷系氣體以作爲原料。

接著，使用光微影成像技術，將圖案形成之光阻當作光罩，藉由蝕刻電極膜 211a、氧化矽膜 209、氮化矽膜 207 及通道氧化膜 205，如第 20 圖所示般取得圖案形成之電極 211 和氧化矽膜 209 和氮化矽膜 207 之疊層構造。

接著，經通道氧化膜 205 以低濃度將 n 型雜質離子注入至主動區域 A 之矽表面，形成雜質區域（n 通道）。並且，形成側壁 218。然後，以高濃度注入 n 型雜質至主動區域 A 之矽，並形成源極區域 212 及汲極區域 214。如此一來，可以製造出如第 14 圖所示之構造之非揮發性半導體記憶體裝置 200。

並且，在以上之說明中，雖然舉出 n 通道型之非揮發性半導體記憶體裝置 200，但是於 p 通道型之半導體記憶體裝置之時，若使雜質導電型相反即可。

如上述般，若藉由本實施形態，使用電漿處理裝置 100，選擇電漿 CVD 條件而執行成膜，依此可以以高精度控制氮化矽膜之陷阱密度，形成所欲之陷阱密度分布，例如在膜厚方向均勻之陷阱密度。再者，藉由本實施形態所涉及之氮化矽膜之形成方法所成膜之氮化矽膜，具有當作

製作各種半導體裝置時之絕緣膜的優良特性，尤其以作爲非揮發性半導體記憶體裝置之電荷蓄積層爲佳。

[第 2 實施形態]

接著，參照第 21 圖及第 22 圖，針對本發明之第 2 實施形態予以說明。第 21 圖爲表示本實施形態所涉及之氮化矽膜之形成方法之程序之一例的說明圖。本實施形態所涉及之氮化矽膜之形成方法中，於使用電漿處理裝置 100，藉由改變電漿 CVD 條件而執行成膜，疊層形成具有不同大小之陷阱密度之二層以上之氮化矽膜之點具有特徵。

如第 21 圖所示般，首先打開電漿處理裝置 100 之閘閥 17，自搬入搬出口 16 將晶圓 W 搬入至電漿處理裝置 100 之腔室 1 內，並載置在載置台 2 上（步驟 S11）。接著，使排氣裝置 24 予以動作而使腔室 1 內予以減壓排氣（步驟 S12）。然後，一面使腔室 1 內予以減壓排氣，一面自氣體供給機構 18 之含氮氣體供給源 19a 及含矽氣體供給源 19b，以特定流量各將含氮氣體及含矽氣體導入至腔室 1 內（步驟 S13）。如此一來，將腔室 1 內調節至特定壓力。

接著，將在微波產生裝置 39 所產生之特定頻率例如 2.45GHz 之微波，經平面天線 31 放射至腔室 1 內中之晶圓 W 之上方空間而使產生電漿 9 步驟 14）。在電漿中原料氣體進行解離，藉由藉由 Si_pH_q、SiH_q、NH_q、N 等之活性種之反應，堆積氮化矽 Si_xN_y。在以上之步驟 S13 及步

驟 S14 中，氣體種、壓力、微波功率設定成特定條件（記載於第 1 實施形態之條件）而執行電漿 CVD。

接著，停止微波之供給，使氮化矽膜之形成結束（步驟 S15）。接著，停止自氣體供給機構 18 供給氣體（步驟 S16）。之後，藉由將例如氮氣體等之清洗氣體在特定時間導入至腔室 1 內，制約腔室 1 內（步驟 S17）。並且，不需要該步驟 S17 之制約工程。

在本實施形態所涉及之氮化矽膜之形成方法中，於步驟 S16（或是步驟 S17）之後，再次以不同電漿 CVD 條件（記載於第 1 實施形態之條件）執行氮化矽膜之形成。即是，於結束步驟 S17（或是步驟 S16）之工程後，再次返回步驟 S13，將成膜原料氣體導入至腔室內而將腔室內調整至特定壓力。然後，與上述相同以步驟 S14～步驟 S17（或是步驟 S16）之程序執行電漿 CVD。但是，在該第 2 次之成膜處理中，改變原料氣體之種類、設定壓力等，以與第 1 次之成膜處理不同之條件實施電漿 CVD。依此，在第 1 次成膜處理和第 2 次成膜處理，可以疊層形成持有各不同陷阱密度之氮化矽膜。再者，可以藉由交互形成該些，交互堆積具有不同陷阱密度之多數氮化矽膜。

並且，在本實施形態中，可以因應所需而與上述相同重複 3 次以上之步驟 S13 至步驟 S17（或是步驟 S16）之工程。如此一來，藉由重複不同電漿 CVD 條件之成膜，可以順序堆積具有不同陷阱密度之氮化矽膜。然後，在所有成膜處理完成之階段，藉由在步驟 S18 中將形成氮化矽

膜之晶圓 W 自腔室 1 內搬出，完成對一片晶圓 W 之處理。

在本實施形態中，在各成膜工程中所成膜之氮化矽膜中之陷阱密度之大小可以藉由選擇與第 1 實施形態之電漿 CVD 條件相同之條件，予以控制。即是，於形成陷阱密度大之氮化矽膜之時，或是形成陷阱密度小之氮化矽膜之時，各可以以與第 1 實施形態所示之陷阱 CVD 條件相同之條件執行。

在本實施形態中，可以將如上述般所成膜之二層以上之氮化矽膜當作例如非揮發性半導體記憶體裝置之電荷蓄積層利用。具體而言，若藉由本實施形態之氮化矽膜之形成方法時，則如第 22 圖所示般，可以製作疊層陷阱密度小之第 1 氮化矽膜 207a、陷阱密度大之第 2 氮化矽膜 207b，和陷阱密度小之第 3 氮化矽膜 207c 之構造的非揮發性半導體記憶體裝置 200a。並且，第 22 圖所示之非揮發半導體記憶體裝置 200a 中之其他構成因與第 14 圖所示之非揮發性半導體記憶體裝置 200 相同，故相同構成賦予相同符號省略說明。再者，在第 22 圖所示之非揮發性半導體記憶體裝置 200a 中，以具有第 1 氮化矽膜 207a、第 2 氮化矽膜 207b 及第 3 氮化矽膜 207c 之三層氮化矽膜之構造作爲電荷蓄積層，但是亦可藉由重複電漿 CVD 之成膜，形成疊層 4 層以上之氮化矽膜之構造的電荷蓄積層。

如上述般，若藉由本實施形態之氮化矽膜時，疊層形成陷阱密度不同之氮化矽膜，依此可在非揮發性半導體記

憶體裝置中執行各種能帶工程（band engineering）。再者，在本實施形態中，在單一電漿處理裝置 100 之腔室 1 內，因不用使陷阱密度不同之二層以上之氮化矽膜曝曬於大氣狀態而可以成膜，故可以實現效率性之製程設計。

本實施形態中之其他構成、作用及效果與第 1 實施形態相同。

[第 3 實施形態]

在上述第 2 實施形態中，雖然改變氮化矽膜中之陷阱密度之大小而形成多數氮化矽膜，但是亦可形成膜中之矽濃度不同之氮化矽膜，以取代陷阱密度。在第 3 實施形態之氮化矽膜之形成方法中，使用電漿處理裝置 100 改變電漿 CVD 條件而交互形成 Si 濃度高之氮化矽膜和 Si 濃度低之氮化矽膜。第 2 實施形態中之第 21 圖之流程圖所示之工程程序如此亦適用於本實施形態。

第 23 圖爲使用電漿處理裝置 100 在 Si 基板執行電漿 CVD 而成膜之氮化矽膜之 XPS 分析結果。第 23 圖之橫軸表示以橢圓測厚儀所測量之氮化矽膜之深度，縱軸爲表示氮化矽膜中之 N 濃度和 Si 濃度之比（N 濃度/Si 濃度）。該中之電漿 CVD 條件如同下述。

[電漿 CVD 條件 4：低 Si 濃度條件]

NH_3 氣體流量：800mL/min（sccm）

Si_2H_6 氣體流量：10mL/min（sccm）

處理壓力：126Pa

載置台2之溫度：500℃

微波功率：2000W

微波功率密度：1.67W/cm^2（平面天線31之每面積1cm^2）

[電漿CVD條件5：高Si濃度條件]

NH_3氣體流量：800mL/min（sccm）

Si_2H_6氣體流量：16mL/min（sccm）

處理壓力：300Pa

載置台2之溫度：500℃

微波功率：2000W

微波功率密度：1.67W/cm^2（平面天線31之每面積1cm^2）

藉由第23圖，可知比起以電漿CVD條件4所形成之氮化矽膜，以電漿CVD條件5所形成之氮化矽膜是膜中之N濃度和Si濃度之比（N濃度/Si濃度）爲小，相對性來看Si濃度爲高。如此一來，於使用電漿處理裝置100而形成氮化矽膜之時，藉由改變電漿處理條件，可以將膜中之Si濃度控制成所欲之值。

於提高所成膜之氮化矽膜之Si濃度之時（例如Si濃度爲30～80原子百分比之範圍內，最佳爲40～70原子百分子之範圍內），在以下之條件可以執行電漿CVD。原料氣體是使用NH_3氣體當作含氮氣體，自10～5000mL/

min（sccm）之範圍內，較佳在 100～1000mL/min（sccm）之範圍內，設定 NH_3 氣體流量，自 1～100mL/min（sccm）之範圍內，較佳在 5～20mL/min（sccm）之範圍內，設定 Si_2H_6 氣體流量。此時，NH_3 氣體和 Si_2H_6 氣體之流量比（NH_3 氣體流量/Si_2H_6 氣體流量），由均勻之膜厚形成 Si 密度高之氮化矽膜之觀點來看以設爲 0.1～1000 之範圍內爲佳。以設爲 10～300 之範圍內爲更佳。再者，處理壓力以設爲 1Pa～1333Pa 爲佳，以設爲 50～650Pa 爲更佳。

再者，於形成 Si 濃度低之氮化矽膜（例如 Si 濃度在 10～50 原子百分比之範圍內，最佳爲在 10～45 原子百分比之範圍內）之時，提高上述 Si 濃度之時之條件中，若即使調節原料氣體之種類、流量及流量比、處理壓力等即可。

再者，在上述中之任一者時，電漿 CVD 之處理溫度可以將載置台 2 之溫度加熱至 300℃以上，較佳爲加熱至 400～600℃。並且，電漿處理裝置 100 中之間隙（從透過板 28 之下面至載置台 2 之上面的間隙）G，從均勻之膜厚和良好膜質形成氮化矽膜之觀點來看以設定成例如 50～500mm 左右爲佳。

如上述般，在本實施形態之氮化矽膜之形成方法中，改變電漿 CVD 條件而重複執行氮化矽膜之成膜處理（參照第 2 圖），可以交互疊層 Si 濃度不同之氮化矽膜。如此一來所成膜之二層以上之氮化矽膜可以當作例如非揮發

性半導體記憶體裝置之電荷蓄積層利用。例如，當援用第實施形態中之第 22 圖所示之非揮發性半導體記憶體裝置 200a 而予以說明時，則可以疊層製造 Si 濃度低之第 1 氮化矽膜 207a、Si 濃度高之第 2 氮化矽膜 207b、Si 濃度低之第 3 氮化矽膜 207c 之構造之非揮發半導體記憶體裝置 200a。當然藉由重複電漿 CVD 之成膜，亦可形成疊層 4 層以上之氮化矽膜之構造的電荷蓄積層。

如上述般，若藉由本實施形態之氮化矽膜之形成方法時，藉由疊層 Si 濃度不同之氮化矽膜，可在非揮發性半導體記憶體裝置中可執行各種能帶工程（band engineering），可以製作資料保持特性優良之非揮發性半導體記憶體裝置。再者，在本實施形態中，在單一之電漿處理裝置 100 之腔室 1 中，因可以不用使 Si 濃度不同之二層以上之氮化矽膜曝曬於大氣狀態而交互成膜，故可以實現效率性之製程設計。

本實施形態中之其他構成、作用及效果與第 1 及第 2 實施形態相同。

並且，本發明並不限定於上述實施形態，可作各種變形。例如，在上述實施形態中，雖然舉出將本發明之氮化矽膜之形成方法是用於形成非揮發半導體記憶體裝置之電荷蓄積層而提升電荷保持性能之例，但是本發明之氮化矽膜之形成方法並不限定於非揮發性半導體記憶體裝置，亦可適用於各種半導體裝置之製造。

並且，於製造非揮發半導體記憶體裝置等之半導體裝

置之時，藉由不用將含有電漿處理裝置 100 之多數成膜裝置曝曬於大氣中而經真空連接，可以各成膜裝置順序形成目的之膜。

【圖式簡單說明】

第 1 圖爲模式性表示適用於實施本發明之氮化矽膜之形成方法的電漿處理裝置之一例之概略構成的剖面圖

第 2 圖爲表示第 1 圖之電漿處理裝置之平面天線之平面圖。

第 3 圖爲表示第 1 圖之電漿處理裝置之控制部之構成的方塊圖。

第 4 圖爲表示本發明之第 1 實施形態所涉及之氮化矽膜之形成方法之程序概略的流程圖。

第 5 圖爲表示氮化矽膜（膜厚 3nm）之 PYS 測量結果之圖式。

第 6 圖爲表示氮化矽膜（膜厚 10nm）之 PYS 測量結果之圖式。

第 7 圖爲表示氮化矽膜及氫終端 Si（100 面）之 PYS 測量結果之圖式。

第 8 圖爲表示氮化矽膜之電子佔有缺陷密度之深度方向分布之圖式。

第 9 圖爲表示藉由 XPS 分析所測量之氮化矽膜之化學組成曲線之圖式。

第 10 圖爲表示藉由 LPCVD 之試驗區分 I 之氮化矽膜

之電子佔有缺陷之深度分布之圖式。

第 11 圖爲表示試驗區分 J 之氮化矽膜之電子佔有缺陷密度之深度方向分布之圖式。

第 12 圖爲表示藉由 LPCVD 之試驗區分 I 之氮化矽膜之 XPS 分析結果之圖式。

第 13 圖爲表示試驗區分 J 之氮化矽膜之 XPS 分析結果之圖式。

第 14 圖爲表示本發明之一實施形態所涉及之非揮發性半導體記憶體裝置之概略構成之圖式。

第 15 圖爲表示利用本發明之第 1 實施形態所涉及之氮化矽膜之形成方法之非揮發性半導體記憶體裝置之製造工程之工程剖面圖。

第 16 圖爲表示利用本發明之第 1 實施形態所涉及之氮化矽膜之形成方法之非揮發性半導體記憶體裝置之製造工程之工程剖面圖。

第 17 圖爲表示利用本發明之第 1 實施形態所涉及之氮化矽膜之形成方法之非揮發性半導體記憶體裝置之製造工程之工程剖面圖。

第 18 圖爲表示利用本發明之第 1 實施形態所涉及之氮化矽膜之形成方法之非揮發性半導體記憶體裝置之製造工程之工程剖面圖。

第 19 圖爲表示利用本發明之第 1 實施形態所涉及之氮化矽膜之形成方法之非揮發性半導體記憶體裝置之製造工程之工程剖面圖。

第 20 圖爲表示利用本發明之第 1 實施形態所涉及之氮化矽膜之形成方法之非揮發性半導體記憶體裝置之製造工程之工程剖面圖。

第 21 圖爲表示本發明之第 2 實施形態所涉及之氮化矽膜之形成方法之程序之概略的流程圖。

第 22 圖爲表示本發明之另外實施形態所涉及之非揮發性半導體記憶體裝置之概略構成之說明圖。

第 23 圖爲表示氮化矽膜之 XPS 分析結果之圖式。

【主要元件符號說明】

1：腔室

1a：底壁

1b：側壁

2：載置台

3：支撐構件

4：蓋環

5：加熱器

5a：加熱器電源

6：熱電偶

10：開口部

11：排氣室

11a：空間

12：排氣管

13：平板

13a：支撐面

14：氣體導入部

15：氣體導入部

16：搬入搬出口

17：閘閥

18：氣體供給機構

19a：含氮氣體供給源

19b：含矽氣體供給源

19c：惰性氣體供給源

19d：潔淨氣體源

20：氣體管

21：質量流量控制器

22：開關閥

24：排氣裝置

27：微波導入機構

28：透過板

31：平面天線

32：微波放射孔

33：慢波材

34：蓋體

34a：冷卻水流路

35：密封構件

36：開口部

37：導波管

37a：同軸導波管

37b：矩形導波管

38：匹配電路

39：微波產生裝置

50：控制部

51：製程控制器

52：使用者介面

53：記憶部

100：電漿處理裝置

200：非揮發性半導體記憶裝置

201：Si基板

203：元件分離膜

205：通道氧化膜

207：氮化矽膜

209：氧化矽膜

211：電極

211a：電極膜

212：源極區域

214：汲極區域

216：通道形成區域

218：側壁

五、中文發明摘要

發明名稱：氮化矽膜之形成方法，非揮發性半導體記憶體裝置之製造方法及非揮發性半導體記憶體裝置

使用藉由具有多數孔之平面天線 31 將微波導入至腔室 1 之電漿處理裝置 100，將含有含氮化合物和含矽化合物之原料氣體導入至腔室 1 內而藉由微波使產生電漿，並藉由該電漿使被處理體表面堆積氮化矽膜。藉由調節該電漿 CVD 工程之條件，控制氮化矽膜之陷阱密度之大小。

六、英文發明摘要

發明名稱：

十、申請專利範圍

1. 一種氮化矽膜之形成方法，藉由微波使包含含氮化合物和含矽化合物之原料氣體予以電漿化，藉由使用其電漿之電漿 CVD（Chemical Vapor Deposition：化學氣相沉積），使氮化矽膜堆積於基板上，其特徵爲：包含

在藉由具有多數孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置基板，和

以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件而使氮化矽膜堆積於基板上。

2. 如申請專利範圍第 1 項所記載之氮化矽膜之形成方法，其中，使用氨（NH_3）作爲上述含氮化合物，使用二矽烷（Si_2H_6）作爲上述含矽化合物，藉由在 1Pa～1333Pa 之範圍內之處理壓力下使電漿產生之條件的電漿 CVD，形成上述氮化矽膜。

3. 如申請專利範圍第 2 項所記載之氮化矽膜之形成方法，其中，上述原料氣體中之上述氨（NH_3）和上述二矽烷（Si_2H_6）之流量比（NH_3 流量/Si_2H_6 流量）在於 0.1～1000 之範圍內。

4. 如申請專利範圍第 1 項所記載之氮化矽膜之形成方法，其中，使上述氮化矽膜之陷阱密度在 1×10^{17}～$5\times10^{17}cm^{-3}eV^{-1}$ 之範圍內分布於其厚度方向。

5. 如申請專利範圍第 4 項所記載之氮化矽膜之形成方法，其中，上述氮化矽膜之膜厚在於 1～20nm 之範圍內

。

6. 如申請專利範圍第 1 項所記載之氮化矽膜之形成方法，其中，使用氮（N_2）作爲上述含氮化合物，使用二矽烷（Si_2H_6）作爲上述含矽化合物，藉由在 0.1Pa～500Pa 之範圍內之處理壓力下使電漿產生之條件的電漿 CVD，形成上述氮化矽膜。

7. 如申請專利範圍第 6 項所記載之氮化矽膜之形成方法，其中，上述原料氣體中之上述氮（N_2）和上述二矽烷（Si_2H_6）之流量比（N_2 流量/Si_2H_6 流量）在於 0.1～5000 之範圍內。

8. 如申請專利範圍第 1 項所記載之氮化矽膜之形成方法，其中，藉由上述電漿 CVD 堆積氮化矽膜時之處理溫度爲 300℃～600℃之範圍內之溫度。

9. 一種氮化矽膜之形成方法，藉由微波使包含含氮化合物和含矽化合物之原料氣體予以電漿化，藉由使用其電漿之電漿 CVD，使氮化矽膜堆積於基板上，其特徵爲：包含

在藉由具有多數孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置被處理體；

在上述電漿處理裝置中，藉由第 1 條件之電漿 CVD，使第 1 陷阱密度之第 1 氮化矽膜堆積於基板表面；和

在上述電漿處理裝置中，藉由與上述第 1 條件不同之第 2 條件之電漿 CVD，使與上述第 1 陷阱密度不同之第 2 陷阱密度之第 2 氮化矽膜堆積於上述第 1 氮化矽膜上。

10. 如申請專利範圍第 9 項所記載之氮化矽膜之形成方法，其中，上述第 1 氮化矽膜係使用氨（NH_3）作爲上述含氮化合物，使用二矽烷（Si_2H_6）作爲上述含矽化合物，藉由在 1Pa～1333Pa 之範圍內之處理壓力下使電漿產生而形成，

上述第 2 氮化矽膜係使用氮（N_2）作爲上述含氮化合物，使用二矽烷（Si_2H_6）作爲上述含矽化合物，藉由在 0.1Pa～500Pa 之範圍內之處理壓力下使電漿產生而形成。

11. 如申請專利範圍第 9 項所記載之氮化矽膜之形成方法，其中，使上述第 1 氮化矽膜及上述第 2 氮化矽膜中之至少一方之陷阱密度在 1×10^{17}～$5\times10^{17}cm^{-3}eV^{-1}$ 之範圍內分布於其厚度方向。

12. 如申請專利範圍第 11 項所記載之氮化矽膜之形成方法，其中，上述第 1 氮化矽膜及上述第 2 氮化矽膜之至少一方之膜厚在於 1～20nm 之範圍內。

13. 如申請專利範圍第 9 項所記載之氮化矽膜之形成方法，其中，交互執行堆積第 1 氮化矽膜，和堆積上述第 2 氮化矽膜。

14. 一種非揮發性半導體記憶體裝置之製造方法，包含：在半導體基板之通道形成區域上，形成含有當作具有電荷保持能力之電荷蓄積層之氮化矽膜的多數絕緣膜之疊層體，和在該疊層體上形成閘極電極，其特徵爲：

上述氮化矽膜係藉由利用微波使含有含氮化合物和含矽化合物之原料氣體予以電漿化，並藉由使用其電漿之

電漿 CVD，使堆積於半導體基板上之方法而被形成，

該堆積之方法包含：

在藉由具有多數孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置半導體基板，和

以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件而使氮化矽膜堆積於半導體基板上。

15. 一種非揮發性半導體記憶體裝置，具有：於主面擁有通道形成區域之半導體基板；和被形成於上述通道形成區域上，包含當作具有電荷保持能力之電荷蓄積層之氮化矽膜的多數絕緣膜之疊層體；和被形成在該疊層體上之閘極電極，其特徵爲：

上述氮化矽膜藉由利用微波使包含含氮化合物和含矽化合物之原料氣體予以電漿化，並且藉由使用其電漿之電漿 CVD 使堆積於半導體基板上之方法而被形成，

該堆積之方法包含：

在藉由具有多數孔之平面天線導入微波至上述處理室內之電漿處理裝置的處理室內安置半導體基板，和

以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件而使氮化矽膜堆積於半導體基板上。

16. 一種電漿處理裝置，其特徵爲：具備

用以使用電漿處理被處理體之處理室；

用以導入微波至上述處理室內之具有多數孔的平面天

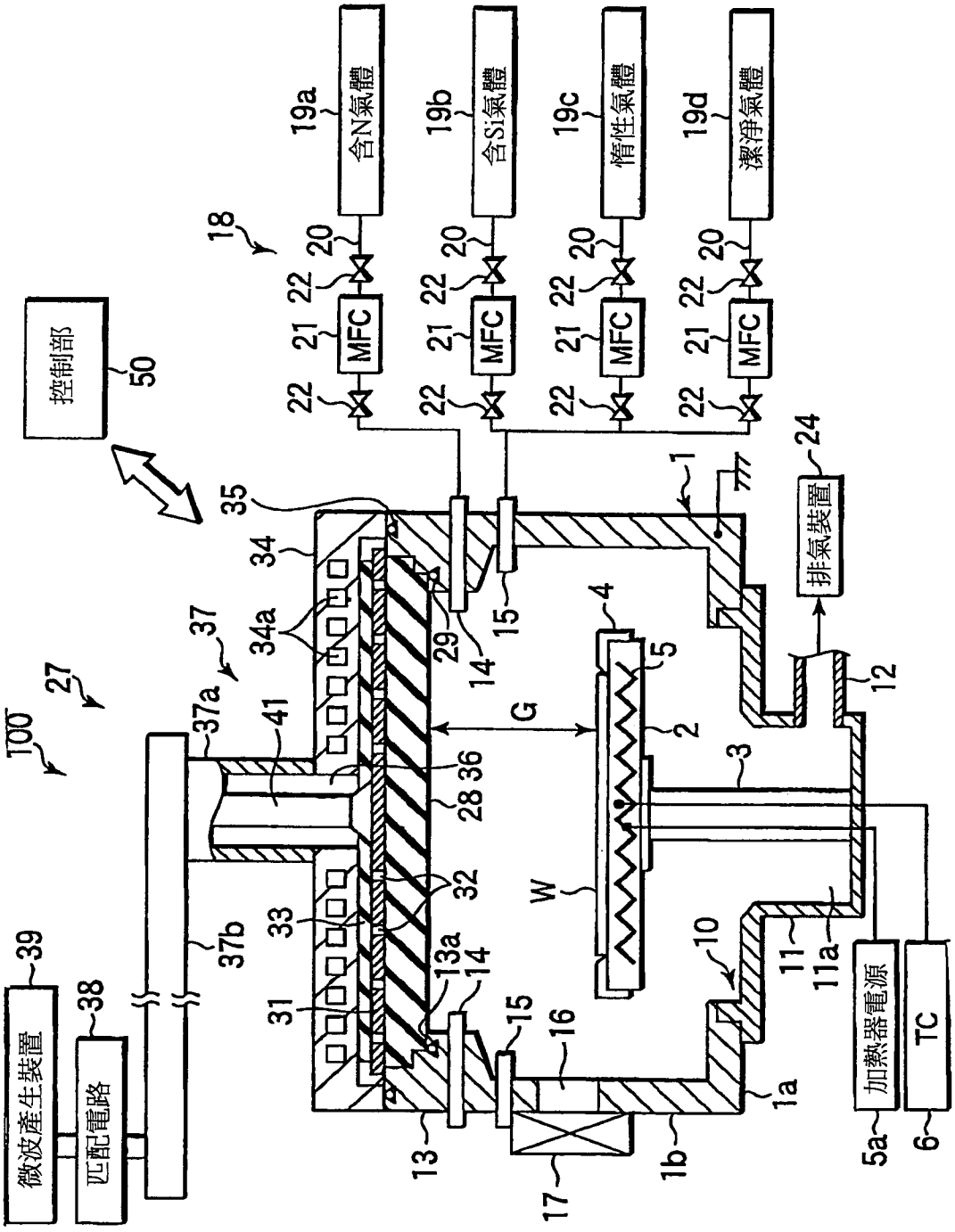
線；

供給原料氣體至上述處理室內之氣體供給機構；

使上述處理室內減壓排氣之排氣機構；

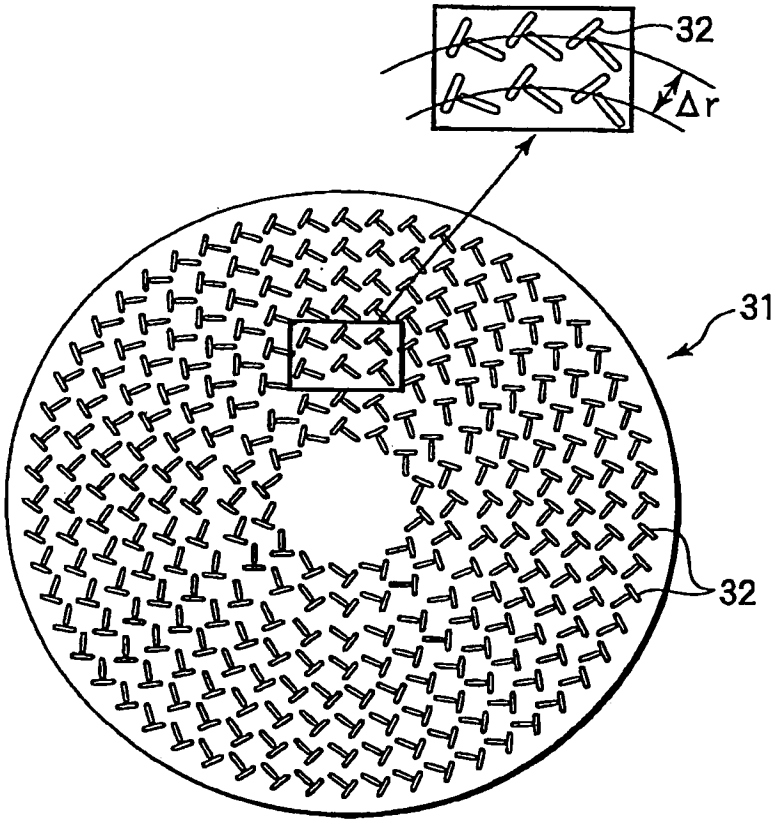
調節上述被處理體之溫度的溫度調節機構；和

藉由利用上述平面天線導入至上述處理室內之微波將含有含氮化合物和含矽化合物之原料氣體予以電漿化，並藉由使用其電漿之電漿 CVD，使氮化矽膜堆積於基板上時，則以所堆積之氮化矽膜之陷阱密度之大小被控制成特定之值之方式，控制上述電漿處理裝置中之電漿 CVD 條件的控制部。

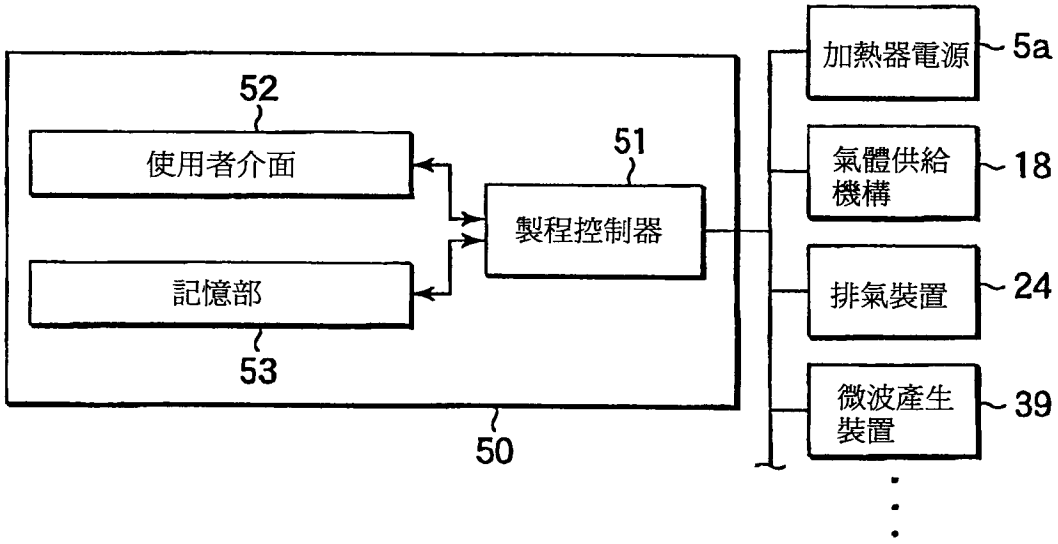

控制部
50
100
27
18
19a
含N氣體
19b
含Si氣體
19c
惰性氣體
19d
潔淨氣體
MFC
20
21
22
35
34
34a
37
37a
37b
41
36
28
32
33
31
29
14
15
13
13a
16
17
1
1a
1b
4
5
2
3
W
G
10
11
11a
12
24
排氣裝置
加熱器電源
TC
5a
6
微波產生裝置
匹配電路
39
38

第1圖

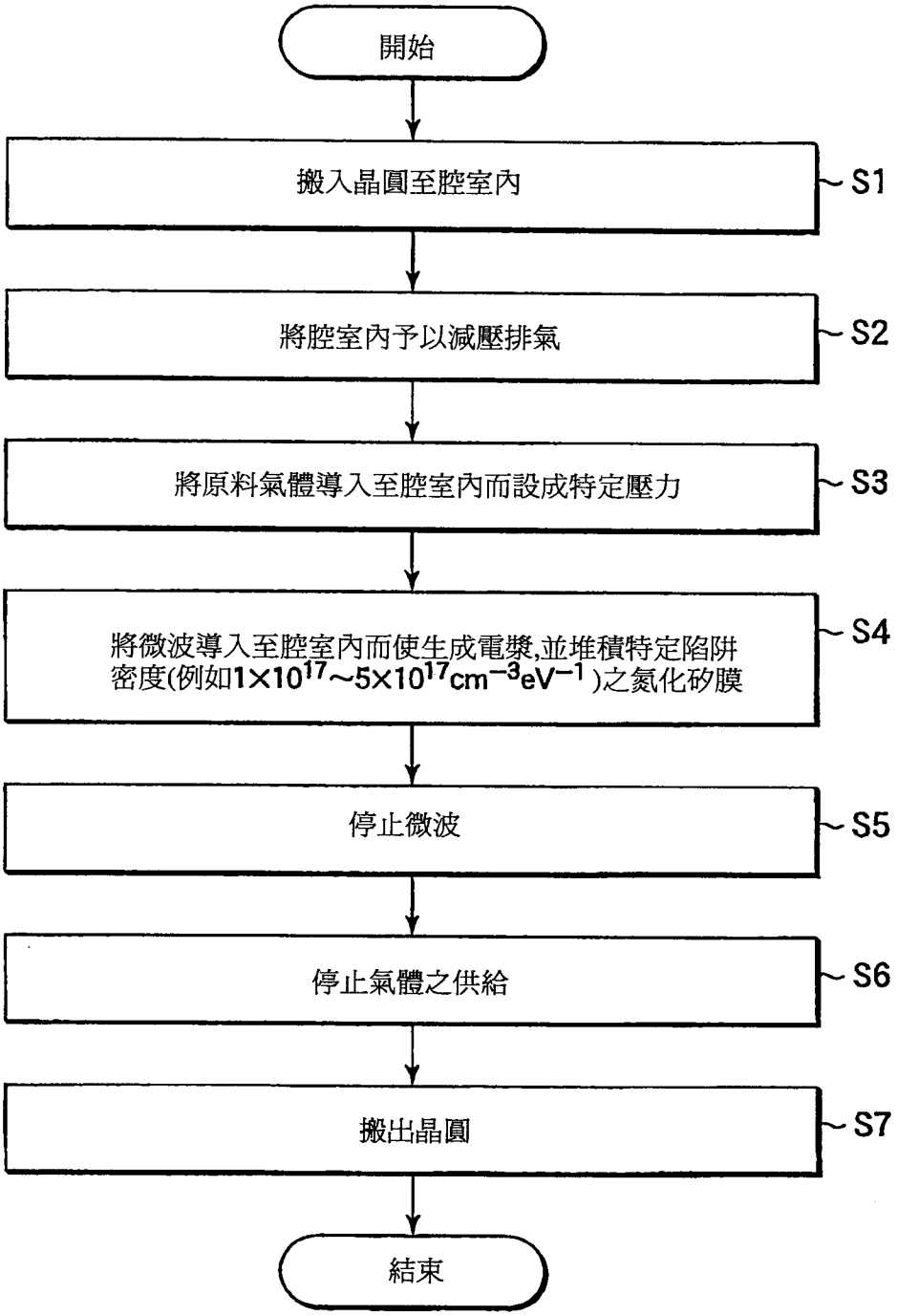
第2圖



第3圖

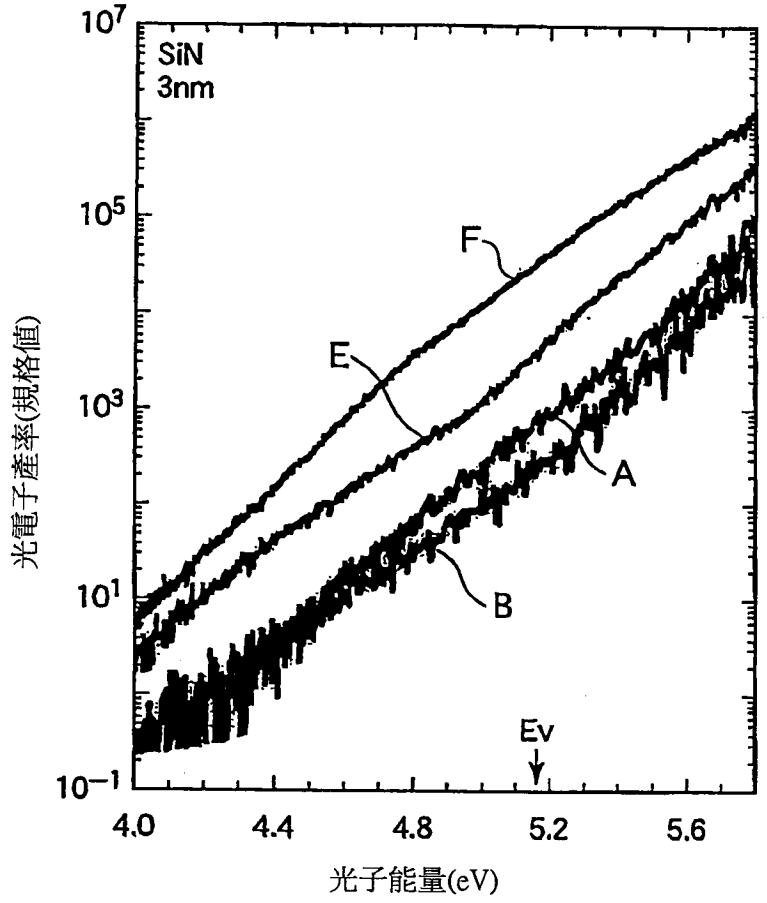

52
使用者介面
51
製程控制器
記憶部
53
50
加熱器電源
5a
氣體供給機構
18
排氣裝置
24
微波產生裝置
39

第4圖


開始
搬入晶圓至腔室內
S1
將腔室內予以減壓排氣
S2
將原料氣體導入至腔室內而設成特定壓力
S3
將微波導入至腔室內而使生成電漿,並堆積特定陷阱密度(例如1×10^17~5×10^17cm^-3eV^-1)之氮化矽膜
S4
停止微波
S5
停止氣體之供給
S6
搬出晶圓
S7
結束

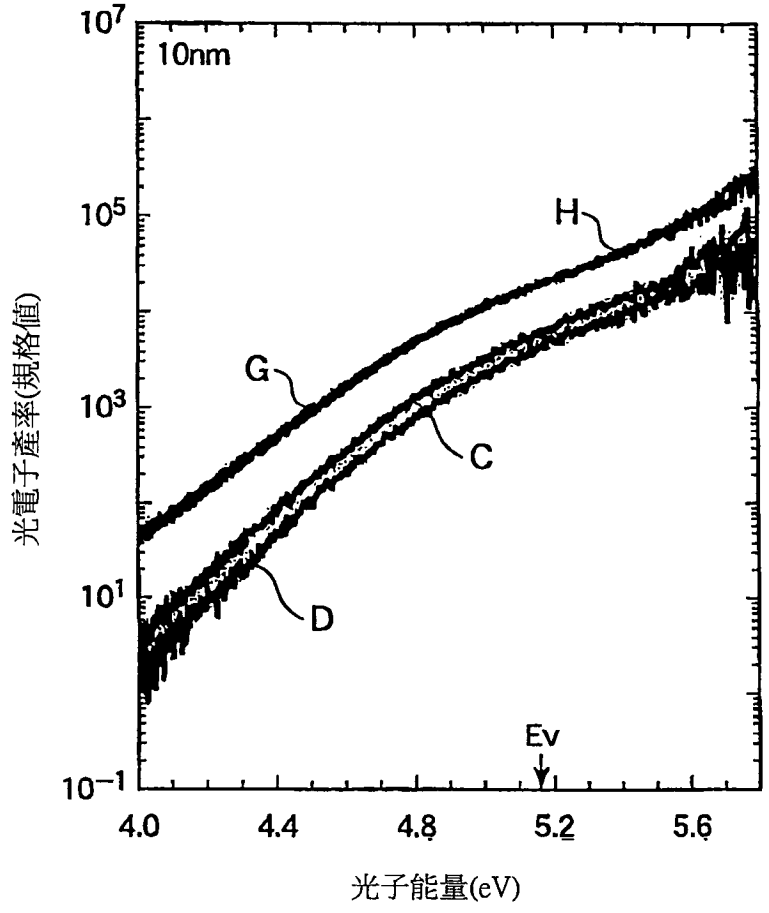
200903643

第5圖



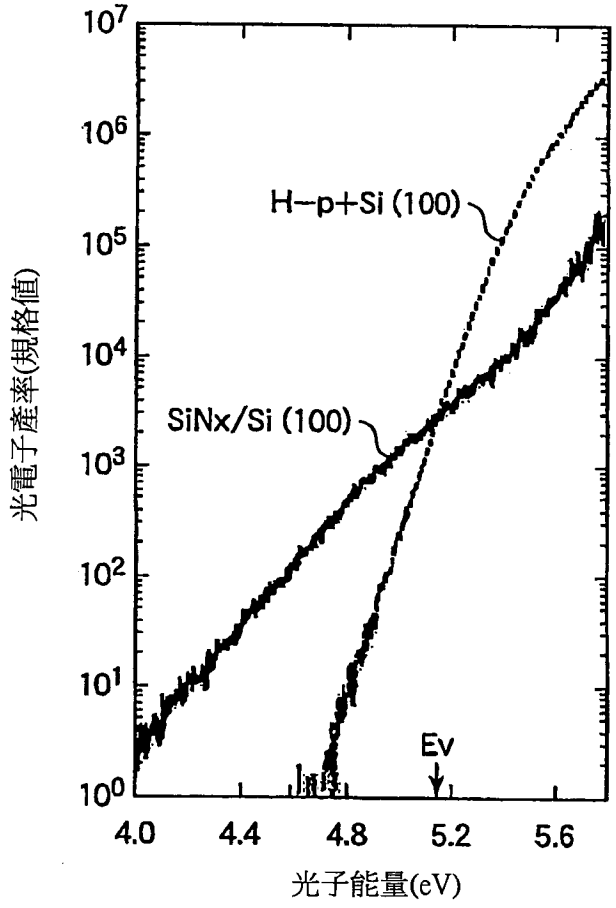
200903643

第6圖

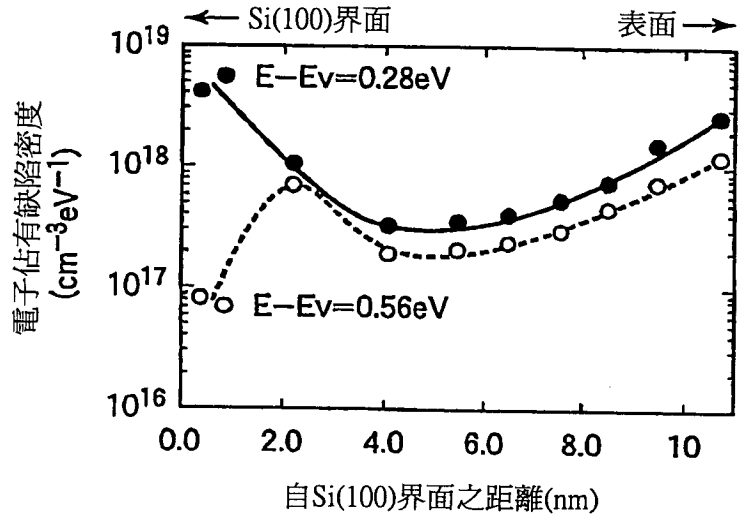


200903643

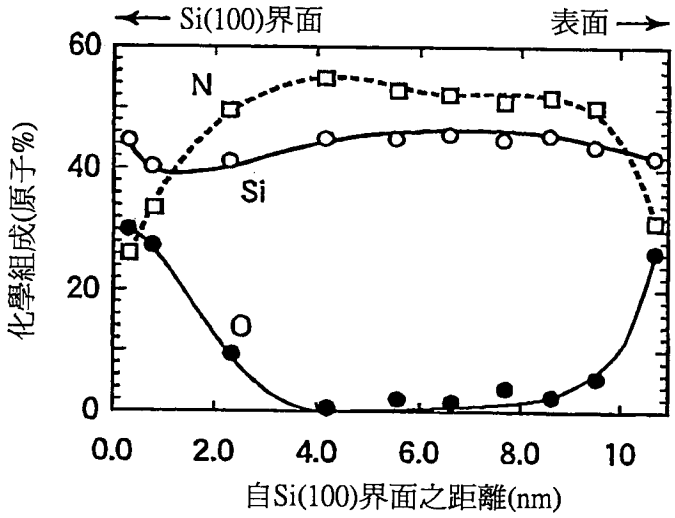
第7圖



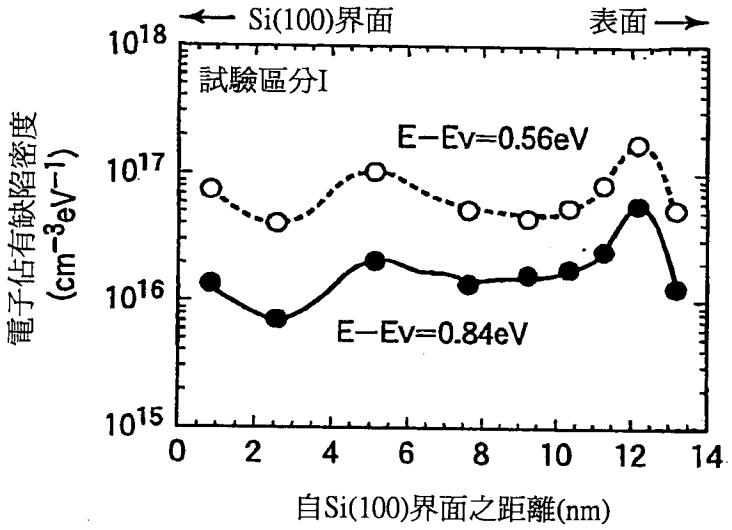
第8圖


← Si(100)界面
表面 →
10^{19}
10^{18}
10^{17}
10^{16}
E−Ev=0.28eV
E−Ev=0.56eV
電子佔有缺陷密度
($cm^{-3}eV^{-1}$)
0.0
2.0
4.0
6.0
8.0
10
自Si(100)界面之距離(nm)

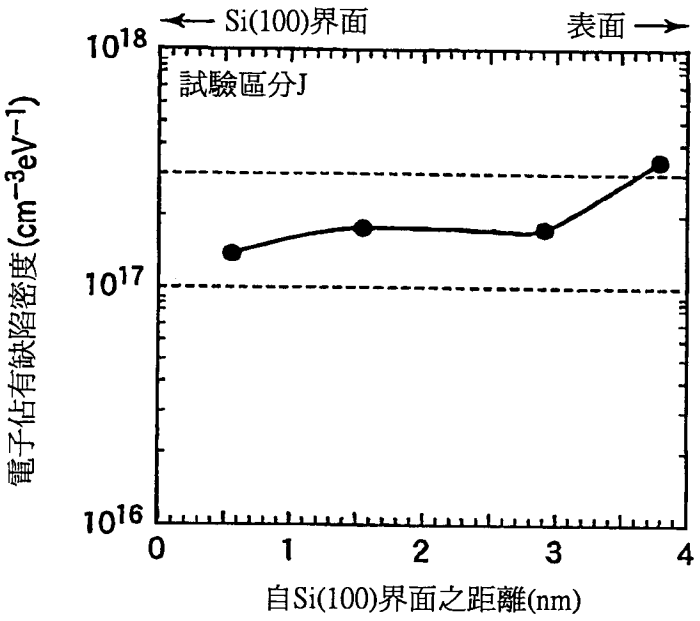
第9圖


← Si(100)界面
表面 →
60
40
20
0
N
Si
O
0.0
2.0
4.0
6.0
8.0
10
化學組成(原子%)
自Si(100)界面之距離(nm)

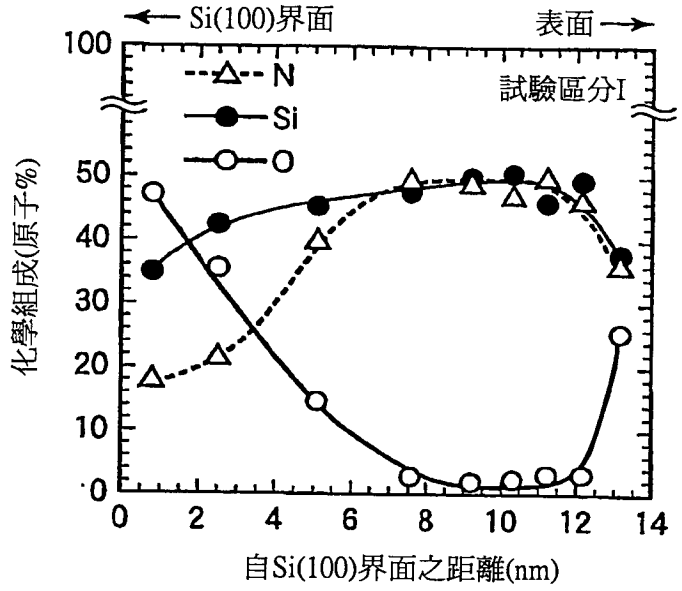
第10圖


← Si(100)界面
表面 →
試驗區分I
E−Ev=0.56eV
E−Ev=0.84eV
電子佔有缺陷密度 (cm⁻³eV⁻¹)
10¹⁸
10¹⁷
10¹⁶
10¹⁵
0
2
4
6
8
10
12
14
自Si(100)界面之距離(nm)

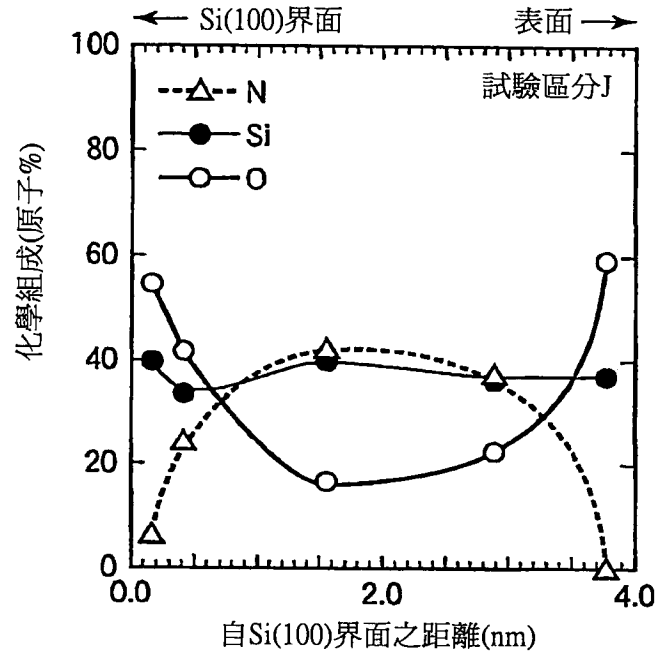
第11圖


← Si(100)界面
表面 →
試驗區分J
10^{18}
10^{17}
10^{16}
電子佔有缺陷密度($cm^{-3}eV^{-1}$)
0
1
2
3
4
自Si(100)界面之距離(nm)

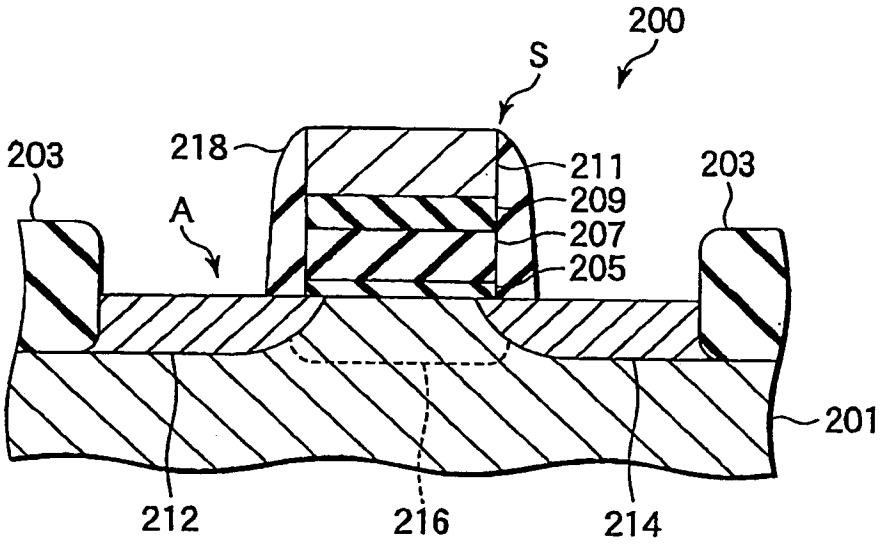
第12圖


Si(100)界面
表面
N
Si
O
試驗區分I
化學組成(原子%)
100
50
40
30
20
10
0
0
2
4
6
8
10
12
14
自Si(100)界面之距離(nm)

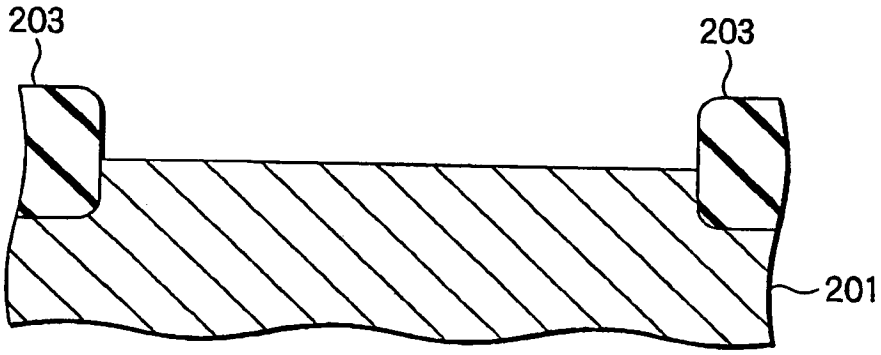
第13圖


← Si(100)界面
表面 →
試驗區分J
N
Si
O
化學組成(原子%)
100
80
60
40
20
0
0.0
2.0
4.0
自Si(100)界面之距離(nm)

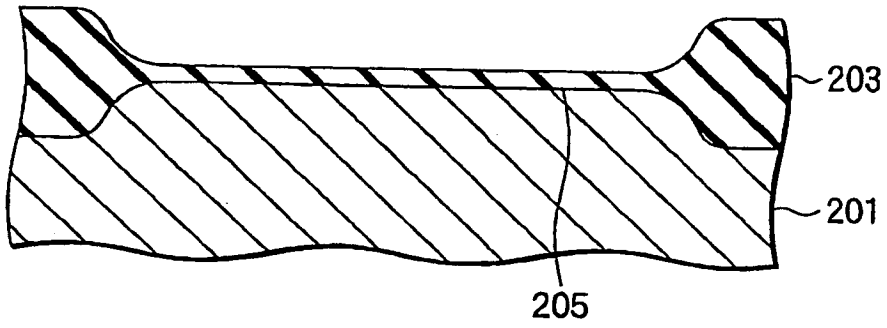
第14圖



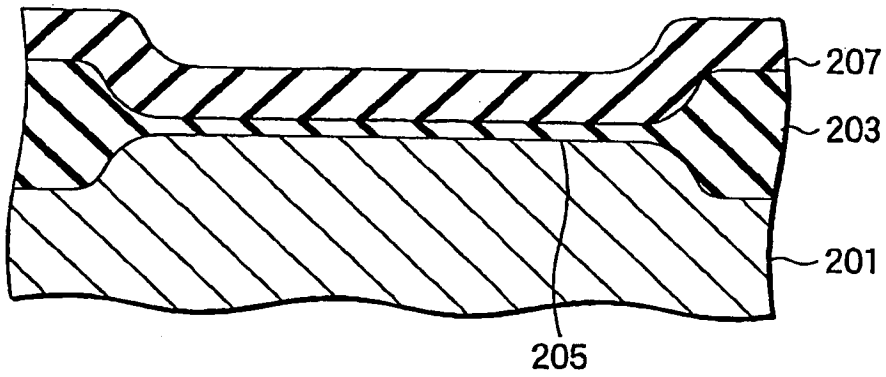
第15圖



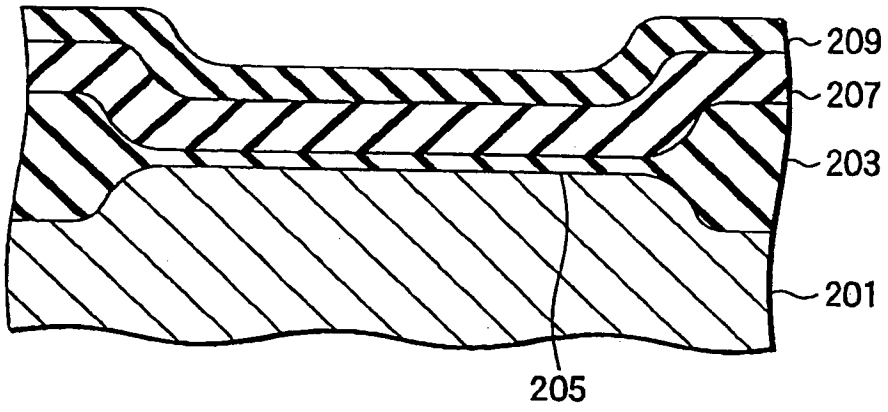
第16圖



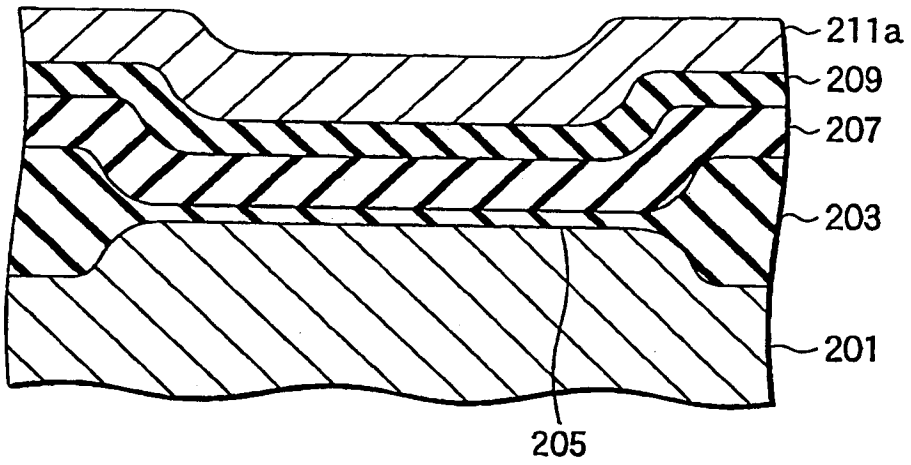
第17圖



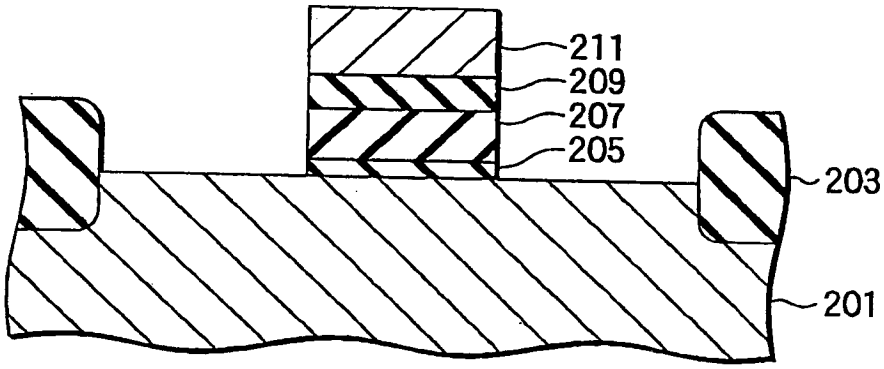
第18圖



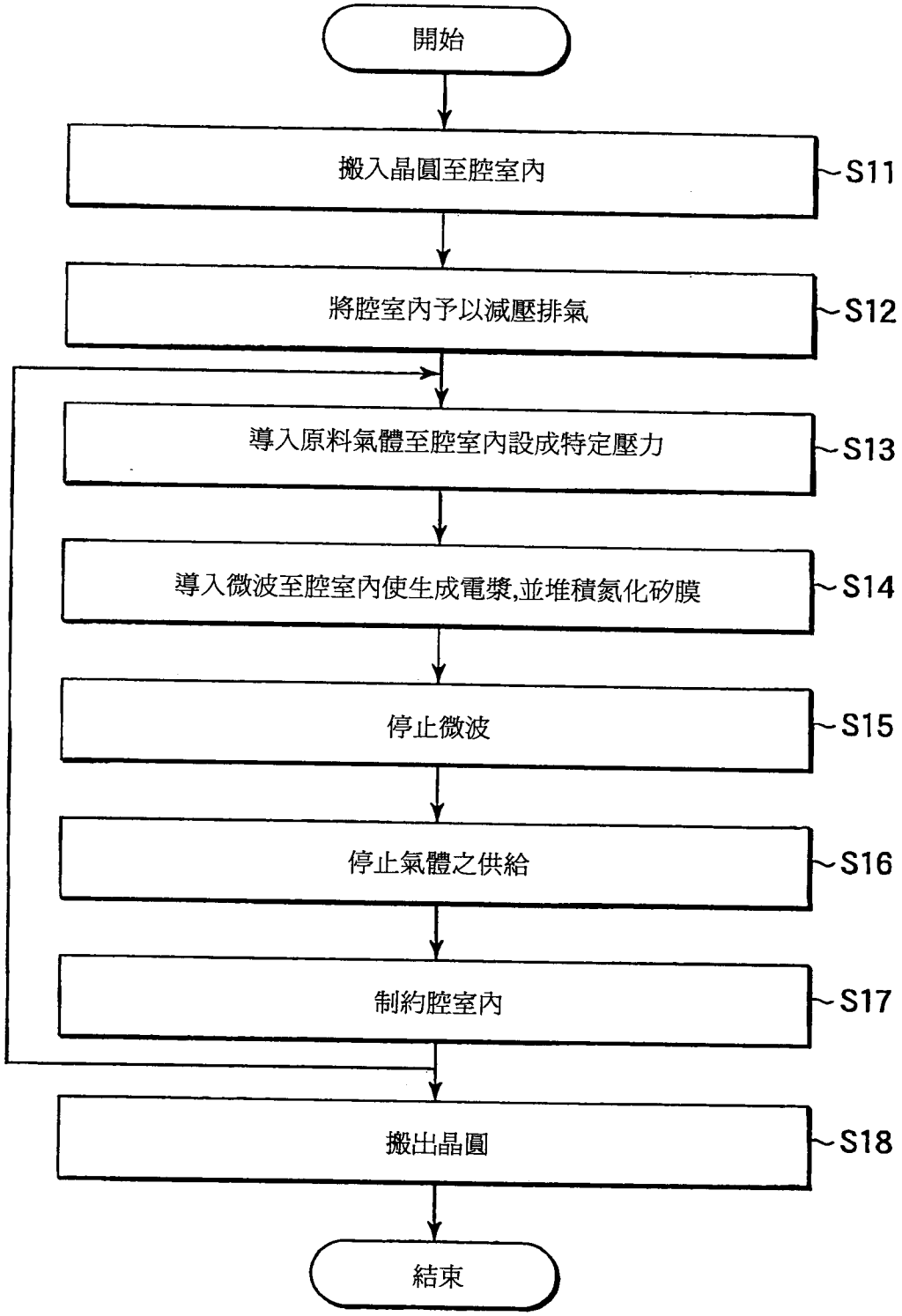
第19圖



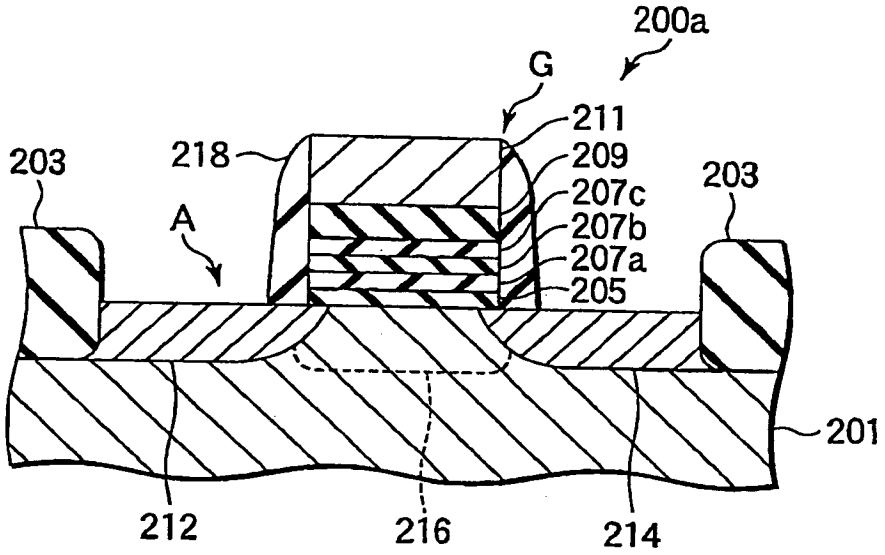
第20圖



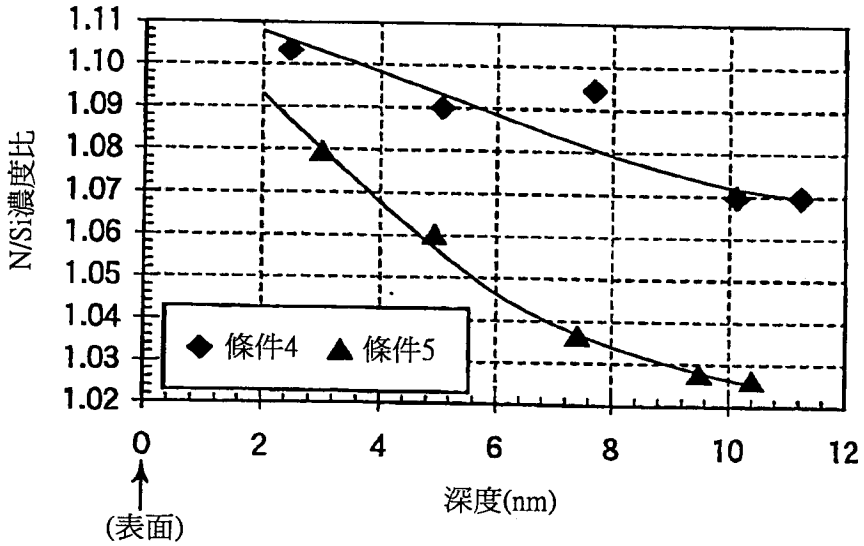
第21圖


開始
搬入晶圓至腔室內
S11
將腔室內予以減壓排氣
S12
導入原料氣體至腔室內設成特定壓力
S13
導入微波至腔室內使生成電漿,並堆積氮化矽膜
S14
停止微波
S15
停止氣體之供給
S16
制約腔室內
S17
搬出晶圓
S18
結束

第22圖



第23圖


1.11
1.10
1.09
1.08
1.07
1.06
1.05
1.04
1.03
1.02
N/Si濃度比
◆ 條件4
▲ 條件5
0
2
4
6
8
10
12
(表面)
深度(nm)

七、指定代表圖：

（一）、本案指定代表圖為：第（ 1 ）圖

（二）、本代表圖之元件代表符號簡單說明：

1：腔室，1a：底壁，1b：側壁，2：載置台
3：支撐構件，4：蓋環，5加熱器，5a：加熱器電源
6：熱電偶，10：開口部，11：排氣室，11a：空間
12：排氣管，13：平板，13a：支撐面，14：氣體導入部
15：氣體導入部，16：搬入搬出口，17：閘閥
18：氣體供給機構，19a：含氮氣體供給源
19b：含矽氣體供給源，19c：惰性氣體供給源
19d：潔淨氣體源，20：氣體管，21：質量流量控制器
22：開關閥，24：排氣裝置，27：微波導入機構
28：透過板，31：平面天線，32：微波放射孔
33：慢波材，34：蓋體，34a 冷卻水流路
35：密封構件，36：開口部，37：導波管
37a：同軸導波管，37b：矩形導波管，38：匹配電路
39：微波產生裝置，50：控制部，100：電漿處理裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無