〔19〕中华人民共和国专利局

〔11〕审定号 CN 1004185B

〔12〕发明专利申请审定说明书

〔21〕申请号 85103698

〔51〕Int.Cl⁴

〔44〕审定公告日 1989年5月10日

H04L 25/49

〔22〕申请日 85.5.17

〔71〕申请人 北方电信有限公司 地址 加拿大魁北克

〔72〕发明人 格罗弗 芒特

〔74〕专利代理机构 中国专利代理有限公司

代理人 匡少波

H04L 5/22

说明书页数： 附图页数：

〔54〕发明名称 传输数字信号和附加信号的方法和装置

〔57〕摘要

一类数字信号（数据），例如t、d、m（分时多路传送）PCM信号被冗余地编码，使得信号的n位序列做为m位序列发送，其中m＞n。根据附加信号的状态，利用各种m位序列组发送n位序列，附加信号可以是一个超帧指示信号（SF）。数字信号和附加信号在接收器上再现出来。在所介绍的方案中，m＝n＋2，可提供进一步的冗余度以便提供所希望的发送编码特性，例如保持直流平衡和检测发送线路上的错误等。

权 利 要 求 书

1．一种发送数字信号的方法，该信号含有n 位序列和一个附加信号，该方法包含的步骤是：

提供第一组和第二组m 位序列，其中m > n ，有多少个不同的n 位序列，上述每一第一和第二组中就至少有多少个不同的m 位序列；

当附加信号具有第一种状态时，将数字信号的每一个n 位序列转换为相应的第一组中的一个m 位序列；

当附加信号具有第二种状态时，将数字信号的每一个n 位序列转换成相应的第二组中的一个m 位序列；

发送这些m 位序列；

接收发送来的m 位序列；

将每个接收来的第一组中的m 位序列转换成相应的n 位序列和再生的附加信号的第一种状态；

将每个接收来的第二组中的m 位序列转换成相应的n 位序列和再生的附加信号的第二种状态；

对收到的任何其他m 位序列产生一个出错指示。

2．如权利要求1 中所述的方法，其中$m > -n + 2$。

3．如权利要求1 或2 中所述的一种方法，其中第一组和第二组m 位序列中至少有一组含有2 个m 位序列，这些序列平均说来具有个数相等的二进制1 和零。

4．如权利要求1或2的任何一个所述的方法，其中第一组和第二组m 位序列中至少有一组含有2^n+ P个m 位序列，P为整数，且2 P个序列在平均的意义上具有数目相等的二进制的1 和零。

5．如权利要求4 中所述的方法，其中m 为偶数，剩下的2^n- P个m 位序列中的每一个都具有数目相等的二进制1 和零。

6．如权利要求5 中所述的方法，其中那2 P个m 位序列含有第一组P个m 位序列，每个m 位序列含有的二进制1 比零多，而第二组m 位序列中的每一个含有的二进制零比1 多，这两组m 位序列交替使用，以发送P个n 位序列。

7．如权利要求1或2的任一个所述的方法，其中n=10，m=12。

8．如权利要求1或2的任一个所述的方法，其中的数字信号含有一组n 位通道，这些通道在帧和超帧中是时分多路传输的，并且其中附加信号含有一个帧和/或超帧指示信号。

9．发送数字信号的设备，这数字信号含有n 位序列和一个附加信号，该设备包括：

发送m 位序列的装置(26,30) 和接收发送来的m 位序列的装置(54)，其中m>n ，其特征在于该设备还包括：

存储第一组和第二组m 位序列的装置(10)，这两组序列的每一组含有的不同的m 位序列的个数都至少和不同的n 位序列的个数一样多；

一装置，用来利用数字信号(22)的每一个n 位序列和利用附加信号(24)为存储装置(10)编址，以便当附加信号具有第一种状态时从存储装置(10)提供第一组中的一个相应的m 位序列(26)，而当附加信号具有第二种状态时则提供第二组中的一个相应的m 位序列(26)；储相应的n 位序列和附加信号的相应状态；

编址装置(40,58),用于用收到的m 位序列为存储装置(42)编址，以便从存储装置(42)中提供出再现的数字信号（ DATA）和再现的附加信号（ SF）。信号（ SF）。

10．如权利要求 9 中所述的设备，其中存储装置(10)包含有利用每一个上述m 位序列存储和提供至少一个附加位(13,14) 的装置，该设备包括响应至少一个附加位的装置(12,16),该附加位是从存储装置中提供给每一个m 位序列的并用来和上述数字和附加信号一起对存储装置

(10)的相应部分(32,34,36,38)进行编址。

11．如权利要求9或10中所述的设备，其中存储装置(10)含有一个ROM(只读存储器)。

12．如权利要求9或10的任一个所述的设备，此设备包含有装置(20)，将得自存储装置(10)的每个m位序列从并行序列转换为供发送用的串行序列。

13．如权利要求9中所述的设备，其中的m位序列比第一组和第二组中的序列个数多，该设备包括装置(64)，该装置响应每一个接收到的但不在上述两组中的m位序列，以产生一个出错信号。

14．如权利要求9中所述的设备，其中为存储装置(42)编址的装置(40,58)包括转换装置(40)将每一个接收到的串行m位序列转换为给存储装置编址的并行序列。

15．如权利要求14中所述的设备，其中存储装置(42)包括存储和产生出错信号(线64)的装置，对每一个接收到的但不在上述两组中的m位序列存储和产生出错信号。

16．如权利要求15中所述的设备，该设备包括响应出错信号的以控制转换部件(40)的装置(45到52)。

说　　明　　书

传输数字信号和附加信号的方法和装置

本发明涉及一种发送数字信号和附加信号的方法及其设备。

发送信号时，常常需要提供一些设备来发送主信号以及附加信号。这种附加信号可以具有任意的内容，例如，若主信号包含数据或音频通道，则附加信号就可以含有一个控制通道或若干个另外的音频通道。该附加信号也可以含有以识别数据或音频信道的帧或超帧的出现的某种信息。

通常都希望这类附加信号和主信号一起透明地发送，从而在发送信号的线路终端处主信号不受附加信号的影响。此外，还希望维持传输线路信号的直流平衡（即在二进制数信号的情况下发送数目相同的1和0），以及维持发送信号中电平变化的相对的高速率，以便于传输线路接收端的时钟回原。还希望有利于提供其他特性，例如传输错误的检测和纠正。

虽然提出过各种方案以乞求达到上述目标，但这些方案都具有各种各样的缺点，例如需要外加电路，或导致发送信号的衰减等。

因此，本发明的目的是提供一种改进型的方法和设备用于和数字信号一起发送附加信号。

按照本发明提供一种可发送一个含有若干个n 位序列的数字信号和一个附加信号的方法，该方法的步骤是：提供第一组和第二组m 位序列，其中m>n，这两组序列中的每一组都至少含有和不同的n 位序列的个数相同的不同的m 位序列；当附加信号具有第一种状态时，数字信号的每一个n 位序列都转化成第一组中的相应的m 位序列；当附加信号具有第二种状态时，数字信号中的每一个n 位序列都转化成第二组中的相应的m

位序列；并发送这些■ 位序列。

最好取■>-n+2(■大于或等于n+2)。在后面论及的本发明的具体方案中，n-10,■-12 。这就能够对第一组和第二组中的特定的■ 位序列进行选择，以提供特定的合适的特性，比如说使二进制数的1 和0 的个数相等或几乎相等，使发送信号具有较好的直流平衡，或使相继的二进制1 和0 形成短运行，从而简化接收器的时钟还原。

比较适当的方案是，在第一组和第二组■ 位序列中至少有一组含有2^n个■ 位序列，它们在平均的意义上含有相同数目的二进制1 和0 。在这种情况下，数字信号的统计分布特性可使将得到的发送信号达到良好的直流平衡。

另外，也可以使第一组和第二组■ 位序列中的至少一组含有2^n+ P个■ 位序列，P是一个整数，2 P个序列平均具有相等数目的二进制1 和0 。在这种情况下应使■ 为偶数，而且剩下的2^n- P个■ 位序列中的每一个都具有数目相等的二进制1 和O。这就使大多数的■ 位序列每个都含有相等数目1 和0 ，以达到良好的直流平衡，而不依赖于数字信号的特性。

在上面这种情况下，宜使那2 P个■ 位序列中的第一组P个■ 位序列中的每一个序列含有的二进制1 多于0 ，而第二组的P个■ 位序列中的每一个序列含有的二进制零多于1 ，这两组■ 位序列交替使用，以发送P个n 位序列。

本发明还涉及一种传送数字信号和附加信号的方法，此方法包括：用上面列举的方法发送信号，接收发送的■ 位序列，把收到的第一组中的每个■ 位序列转化为相应的n 位序列和再生的附加信号的第一状态，把收到的第二组中的每个■ 位序列转化为相应的n 位序列和再生附加信号的第二状态，对收到的其他■ 位序列产生出错显示。

在本发明的一类具体应用中，数字信号含有许多个n 位通道，这些

通道在帧(frame)和超帧(super frame)中是时分多路复用的，附加信号则含有一个帧或超帧指示信号。

根据本发明的另一个特性，还提供了发送含有n 位序列的数字信号和附加信号的设备。该设备包括：用于存储第一组和第二组m 位序列的存储器，其中m>n,上述两组序列的每一组都至少含有与不同的n 位序列同样多的不同的m 位序列；编址器，用数字信号的每个n 位序列和附加信号给存储器编址，当附加信号具有第一状态时，从存储器提供出第一组相应的m 位序列，当附加信号具有第二状态时，则提供出第二组相应的m 位序列；发送m 位序列的装置。

存储器最好包含用于存储和送数装置；对每一个m 位序列至少提供一个附加位，该设备应包含响应上述至少一个附加位的装置(该附加位从存储器中提供给每一个m 位序列的)用于用数字信号和附加信号来对存储器进行编址。存储器可以由一个ROM(只读存储器)来做成，比如说一个PROM。

该设备最好包括有转换装置，把自存储器来的每个并行的m 位序列转换成发送用的串行序列。

本发明进一步涉及用于传送数字信号和附加信号的设备，它含有上面列举的发送信号的部分的接收发出的m 位序列的部分。接收部分含有：存储器，对第一组和第二组序列中的至少每一个m 位序列，存储相应的n 位序列和附加信号的相应状态；一装置用于用每一个收到的m 位序列给存储器编址，从而自存储器提供再生的数字信号和再生的附加信号。

较为方便地是在为存储器编址的装置中，含有一转换部件将来自串行接收序列的每一个m 位序列转换成为存储器编址的并行序列。存储器装置最好含有存储和产生错误信号的部件，对每一个不在前述的两个组内但接收到的m 位序列都产生错误信号。该设备还应含有响应错误信号的部件，以控制转换部件。

参照附图，从后面的说明中可以进一步理解本发明。其中：

图1 是根据本发明的一种方案以方框图的形式概略表示的设备中的编码器；

图2 表示了图1 中编码器的ＰＲＯＭ的结构：

图3 概略表示了解码器的框图，此解码器为被图1 中的编码器编码的信号解码。

在下面描述的发明方案中，假定待发送的主信号是一个由10位字组成的数字信号，为方便起见称其为数据，虽然它也可能包含音频或数据信号，例如，每一个10位字都可能包含一个8 位ＰＣＭ音频信道信号取样，一个相关的奇偶校验位和一个信号位。此外假定，这些10位字以帧的形式发生，每帧含有比如说 512个信道，帧又划分为超帧，超帧由超帧信号ＳＦ来识别，ＳＦ组成待发送的附加信号。

根据本发明，每个10位字都作为一个12位字发送，后面的位是由前面的位借助图1 中的编码器而产生的。这种编码法的冗余码用来发送超帧信号，其方式详述于后。

参照图1 ，编码器含有一个ＰＲＯＭ（ 可编程只读存储器）10，这个ＰＲＯＭ具有4096个可寻址的单元，每个单元存储一个14位字；一个双输入与门12；一个Ｄ型触发器16，它具有一个数据输入端Ｓ，一个时钟输入端ＣＫ和一个输出端Ｑ；一个ＰＬＬ（ 锁相环路）18；一个并行一串行转换器20，此转换器具有一个12位并行数据输入端Ｄ，一个负载输入端Ｌ，一个时钟输入端ＣＫ和一个串行输出端ＳＯ。

ＰＲＯＭ10的寻址是由线22上的输入数据的10位字、线24上提供的信号ＳＦ和触发器16的输出Ｑ共同完成的，由此在其输出端产生来自于被寻址单元的相关的14位字。这个14位字被分割出一个待发送的12位字，它经过线26被送到转换器20的数据输入端Ｄ；第十三位被送到门12的一个输入端；第十四位被送到触发器16的数据输入端Ｄ。对每一个数

据字，在线28上产生一个信号时钟脉冲，并被送到转换器20的负载输入端L，从而在线26上产生一个12位字装入转换器。信号时钟还送到门12的另一个输入端，门12的输出连接着触发器16的时钟输出CK和PLL18，PLL18产生一个时钟信号，其速率为线28上的脉冲速率的12倍，此信号送到转换器20的时钟输入端CK，以产生由转换器经串行输出线SO移位输出的12位字，传到线30上进行发送。

参照图2，PROM10可以认为是分成了四个部分，其中的一部分根据线24上和来自触发器16的信号SF和Q进行编址。这些部分在图2中分别标记为32，34，36和38，每一部分都含有1024个单元，每个单元为14位。图2表示了每个部分中字的第十三位和第十四位的状态（"X"表示"不管"位，这一位可以是0也可以是1），这些状态是根据前12位的内容确定的，前12位的选择方法将在后面说明，并要参考本说明书最后面的表1。

在表1中列出了一些12位的字，这些字具有具体的特征并分为四种类型，类1到类4。具体说来，字是按照它们的权和位序列长度来分类的。一个字的权是该字包含的1的个数。为了保证发送信号中所希望的直流平衡，就希望发送的12位字的权为6，或接近于6且平均为6。

表1中字的位序列长度用那些术语"头"，"长度"和"尾"来给出。头是指12位字的起始处依次相同的位的数目（即全为1或全为0），表1中所含的字其头只有1,2或3。反过来，尾乃是12位字的后端连续相同的位的个数，表1只包含尾为1或2的字。长度是指头尾之间连续相同的位的最大个数，表1中只含有长度达5的字。表1不但示出了具有给定的头、长度和尾的一些字，而且还示出了这些字的上述数值之和，表示为H+ L+ T。

在本发明的这种方案中，用来发送的12位字是从表1中的字选出来的。其他的12位字总计为1744个，它们具有更大的头、长度和尾，且权

大于8 或小于4 ，这些字在表1 中未表示出来，也不发送。

在大部分时间内信号 S F- 0 ，即超帧标识符不被发送。输入的10位数据字可以具有2^{10}-1024种不同的位组合，相应的，待发送的12位字中的至少1024个不同的字要保留来表示上述数据，这些字从表1 中的类1 ，类2 和类3 中取来。

参见表1 ，可以看到 720个12位字，其权为6(这是最适宜的权数)，且其头、长度、和尾具有合乎要求的最大值，这些字归为类1 。另有合乎要求的 304个字(取自权数为5 的字) 归为类2 。因为只运用这些权为5 和类1 中权为6 的字会在发送信号中产生一个不平衡的直流分量，故将这些权为5 的字和一组权为7 的 304个字交替使用以达到平衡，后一组字归为类3 。因为权为5 或为7 而且头、长度、尾的值合乎要求的字的数目多于 304个，则第2 类和第3 类中所选出的字为那些具有其"头+ 长度+ 尾"为最小的字。剩余的那权为5 和7 且头、长度、尾的值合乎要合的字被划入类4 。

交替使用类2 和类3 的字的方法将在下面参看图2 给予说明。当信号 S F- 0 时，被编址的 P R OM10的部分32和34被分成为第一子部分 32a和 34a及第二子部分 32b和34b，32a和 34a各有 720个地址单元，32b和34b 各有 304个地址单元。类1 的 720个12位字(权为6)被存入 P R OM10的两个子部分 32a和 34a的相应地址中，其中每个字的第13位均为0,第14位为任意值。类2 的 304个12位字(权为5)被存入 P R OM10中子部分 32b中，其中每个字的第13位均为1,第14位也为1 。类3 的 304个12位字(权为7)被存入到 P R OM10的子部分 34b的相应地址中，每个字的第13位为1 且其第14位为0 。

在运行中，信号 S F- 0 ，且假定触发器16的输出Q初始值为 0 (Q- 0)，P R OM10的部分32被送入的10位数据字编址。当子部分 32a被编址时，送到门12的第13位保持为0,使得触发器16不计时，

且其输出仍为Q- 0 。在这种情况下权为6 的12位字(直流平衡) 被发送。当PROM10的子部分 32b被编址时，一个权为5 的12位字被发送，其第13位和第14位均为1，触发器16被记时且送入数据，于是其输出变为Q- 1 。

此时，信号SF- 0 且Q- 1 ，PROM10的部分34以同样的方式被编址。当子部分 34a被编址时，触发器16不计时(位13-0)，故无变化。当子部分 34b被编址时，一个权为7 的12位字被发送，而且位13-1，位14-0，触发器16计时，于是输出变为Q- 0 。

上面的次序由被发送的权为6 的字或交替发送的权为5 和7 的字所延续，从而保持发送数据的直流平衡。

当要发送一个子帧标识符时，信号SF- 1 ，从而使PROM10的部分36和38被编址。因为当信号SF- 1 时，10位的字可能产生1024种位组合，故要用到类4 的1024个12位字。如表1 所示，这1024个类4 的字中含有权为5 和7 的剩余字各 262个，这些字具有合乎要求的头、长度和尾，这1024个类4 的字中还含有权为5 和8 的字各 250个，这些字具有合乎要求的头、长度和尾，且其H+ L+ T为最小。这些字存储在PROM10的部分36的1024个地址单元中，以及PROM的部分38的相应地址单元中，在每种情况下都是位13-0，位14为任意值。

这样，当信号SF- 1 时，线22上的输入的10位数据根据来自触发器16的信号Q对PROM10的部分36或38编址，在每种情况下都产生同样的12位字，送至线26上以备发送。同时，由于在编址单元中第13位为0 ，触发器16不计时，从而使信号Q的状态无变化。这种状况一直持续到信号SF再次变为0 为止。

从前面的说明中应该理解到，当信号SF- 1 时，发送的12位字的直流平衡依赖于输入的10位数据的统计特性，而不是象前面对信号SF- 0 时所说的那样，依赖于交替使用权数互补的12位字加以限制。

在本发明的实施方案中，这一点倒不太重要，因为信号 S F-1的情况相当少。在这一方面，可以看出信号 S F-1可以在相对地任意的时间间隔中发生但在这些时间间隔上应获得统计平衡，例如，可以发生在一个帧的期间内，也可以发生在线24上一个或数个10位字的所需期间内。

从前述情况应该理解到，若线30上存有一个类1,类2 和类3 的12位字，则表示一个10位字而且信号 S F-0；若存在一个类4 的12位字，则表示一个10位字而且信号 S F-1；任何其他的12位字的存在都代表一种错误信息。图3 表示了一个解码器，它可以用来在传输线的接收端使线30上的12位字恢复成10位数据字和信号 S F，并可检测错误。

参照图3,解码器含有：一个锁存串一并行转换器40，此转换器40具有一个串行输入端 S I，一个时钟输入端 C K，和一个锁存控制输入端 L；一个 P R OM42，它具有4096个可编址的单元，每个单元存储一个12位字；一个反相器44；一个除法器45，它具有一个时钟输入端 C K和一个数据输入端D；一个可逆计数器46，它具有正、逆计数控制输入端 W P和 D N，一个时钟输入端 C K，以及相应的借位和进位输出端 B和 C；一个D型触发器48，它具有一个数据输入端 D，一个时钟输入端 C K，一个清零输入端 C L，以及一对互补的输出输入端 Q和一 Q；与门49和50；一个除法电路52，它具有一个时钟输入端 C K，一个滑动控制输入 S L和一个输出端 O P。

从图1 中的线30上发送而被收到的数据，经过线54送到转换器40的串行输入端 S I。一个时钟信号 C L O C K从收到的数据信号中以公知的方式再产生出来，并经过线56送到转换器40和除法器52的输入端 C K。随后线54上的数据被移位进入转换器40。在通常的状况下，即除法器52的输入端 S L出现逻辑0,该除法器的输出端 O P上对信号 C L O C K的每12个脉冲产生一个脉冲，这个脉冲被送至转换器40的输入端 L，使得在其输出端的12个数据位被锁存，并经过线58这些数据被送至 P R OM

42的地址输入端。

除法器52可以由一个计数器构成，利用输入信号 SL-0 ，计数到12，并对每12个时钟脉冲产生一个输出脉冲。利用输入信号 SL-1 ，在不同数目的时钟脉冲之后产生一个输出脉冲，这在后面还要加以说明。例如根据所希望的滑动方向，时钟脉冲的数目可以是11或13。当信号 SL-1 时，适当地选通计数器使其计数到11或13，而不是12，就可以达到这一点。

PROM42在其每一个可编址的单元中存储一个12位字，这个字含有解码的10数据，以及一个超帧指示位，一个出错指示位，这些数据位从PROM42分别送到线60，62和64上。

对于PROM42中的每一个由类1 、类2 或类3 的12位字编址的单元，PROM存储相应的10位数据字，并以0 作为超帧和出错指示位，因为这些12位字是在信号 SF-0时产生的有效字。对于由类4 的12位字编址的每个单元，PROM42存储相应的10位数据字，并用1 作为超帧指示位，0 作为出错指示位，因为这些12位字是在信号 SF-1时产生的有效字。在其全部其余的1744个可编址的单元中，PROM42存储1 作为出错指示位，因为对应于这些单元的12位字只是由于发送出错或失去同步的状态下才会产生。由于PROM42的这些单元中的其他11位存储的大都是正确地解码字以及超帧指示位，因此即使有发送错误，发送数据的解码也可能是正确的。

从PROM42读出到线64上的出错指示位直接送到计数器46的输入端UP，并经翻转器44送到除法器45的输入端D，除法器的一个输出端连接到计数器46的输入端DN。除法器52的输出端OP发生的脉冲被加到除法器45、计数器46和触发器48的时钟输入端CK，以及门49的一个输入端。计数器46随即被控制来根据代表出错信息的每一个逻辑1 出错指示位正向计数，并根据一组（依赖于除法器45的除法因子）逻辑零出

错指示位反向计数，计数范围介于0 和一个事先规定的最大数目之间，出现0 时在输出端 B上产生一个借位信号，出现最大数时在输出端 C上产生一个进位信号。

进位信号加到触发器48的输入端D，借位信号加到门49的另一个输入端，门49的输出加到触发器48的输入端 C L。触发器48的一 Q输出加到与门50的一个输入端，线64上的出错指示位加到与门50的另一输入端，门50在其输出端上产生的信号加到除法器52的输入端 S L。触发器48的Q输出端提供一个信号 F R，此信号在解码器同步运行期间是逻辑1 。

假定解码器一开始不同步，则给 P R OM42编址的输入的12位字将含有大量的错字，即表1 中不包含的字。相应地，线64上将经常出现逻辑1 ，使计数器46正向计数到最大数目，从而产生一个进位信号，使触发器48清零，产生信号 F R- 0 ，指示不同步，从而启动与门50。继之而来的出错指示位仍是逻辑1 ，指示出错信息，这些出错指示位经过门50加到除法器52的输入端 S L，以前面所说的方式修正除法器的除数因子，在除法器的输出端 O P上产生相对于其输入的一位计时偏移。

反之，给 P R OM42编址的正确的12位字在线64上产生逻辑零，这使除法器52不产生任何位偏移，而是被除法器45除，从而使计数器46反向计数，其速率比正向计数慢。当计数器计数达到零时，计数器产生错位信号，使触发器48清零，这个变化导致与门50关闭并产生信号 F R-1，指示出同步状态，从而线60和62上的信号都是正确的。

从上述说明可以看出，同步状态的建立是快速的，因此信号 F R-1 一直持续，除非有相当多的错误发生，使计数器再次达到其最大计数值。这个最大计数可以是1 或更高，具体的最大计数值要根据某些因素选择，例如对防止发送线出错所希望的保护程度等。

虽然本发明的上述方案论述的是超帧信号做为附加信号的发送，但本发明决不仅限于此。相反，本发明的原则也可同样地适用于任何附加

申请号 85 1 03698
Int.Cl.⁴ H04L 25/49
审定公告日 1989年5月10日

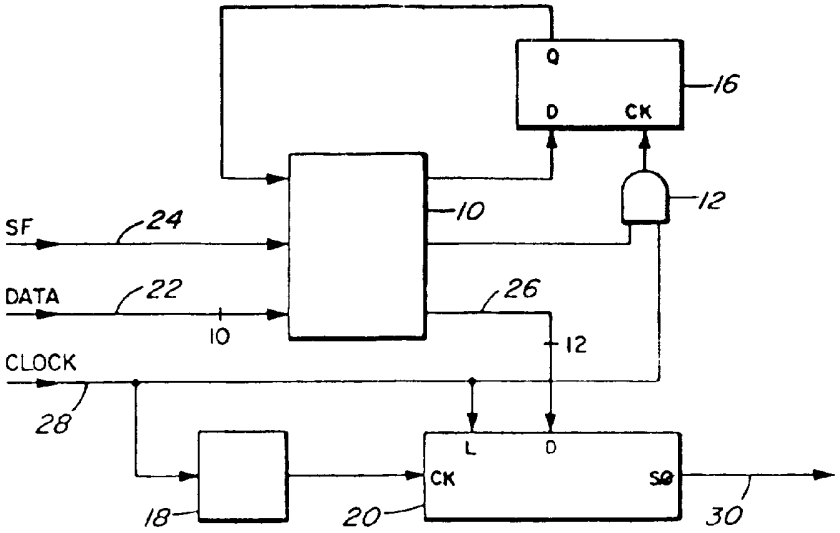

图 1

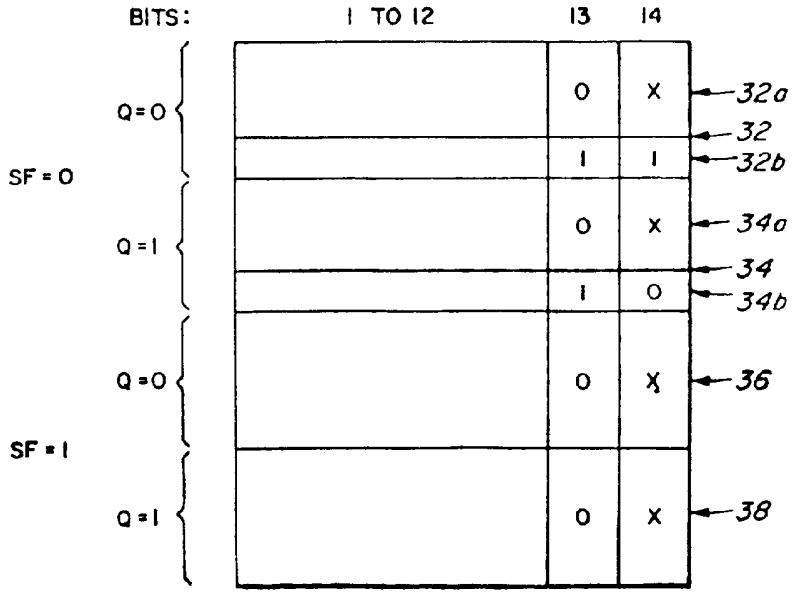

图 2

申请号 85 1 03698
Int.Cl.⁴ H04L 25/49
审定公告日 1989年5月10日

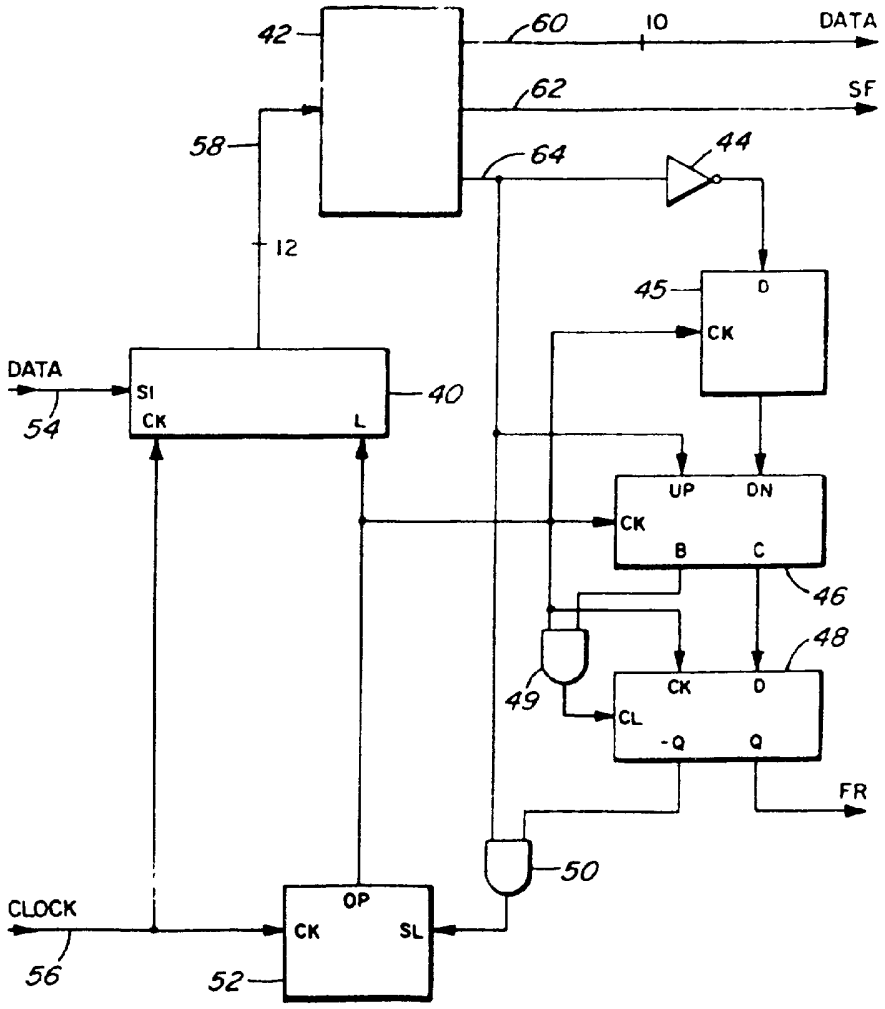

图 3