



(12) 发明专利申请

(10) 申请公布号 CN 116632007 A

(43) 申请公布日 2023. 08. 22

(21) 申请号 202310686192.5

(22) 申请日 2023.06.12

(71) 申请人 电子科技大学

地址 611731 四川省成都市高新西区西源大道2006号

(72) 发明人 廖永波 万旭 李平 牛耀都
徐丰和 宋健强 袁丕根

(51) Int. Cl.

H01L 27/092 (2006.01)

H01L 29/78 (2006.01)

H01L 29/10 (2006.01)

H01L 29/08 (2006.01)

H01L 29/06 (2006.01)

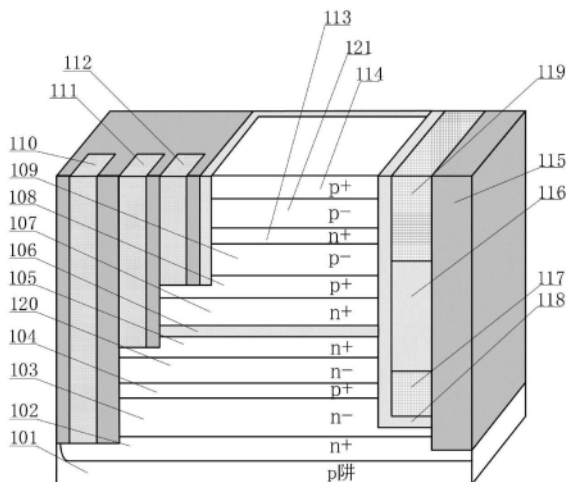
权利要求书4页 说明书6页 附图9页

(54) 发明名称

一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构

(57) 摘要

一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 涉及微电子技术和集成电路领域。本发明提供一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 在纵向上分别设置有源极区域一、半导体沟道区一、漏极区域一、二氧化硅隔离区域、漏极区域二、半导体沟道区二和源极区域二, 同时实现了NMOS和PMOS, 且特殊的工艺使得PMOS的面积是NMOS的三倍。NMOS和PMOS均采用沟道区重掺杂和轻掺杂漏区的方式来抑制DIBL效应。器件周围通过刻槽的方式环绕着栅极区域, 栅极与半导体区之间设置有栅介质层, 两个器件的栅极以及源漏电极均可以单独的引出。本发明所要解决的关键技术问题是: 提供一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 用以提高数字电路基本的集成度。



1. 一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 其特征在于, 在该结构的最下方为一个P-well硅单晶半导体区域101, 在该P-well硅单晶半导体区域101上部形成有该结构的硅单晶N+漏极区域102; 在该N+漏极区域102上方有N-硅单晶或窄禁带赝晶漏极区域103; 在该N-漏极区域上方是P+型沟道半导体区域104; 在该P+型沟道半导体区域104上方是N-硅单晶或窄禁带赝晶源极区域120, 在该N-硅单晶或窄禁带赝晶源极区域120区域上方是N+硅单晶源极区域105; 在该N+硅单晶源极区域105上方是二氧化硅隔离区域106; 在该二氧化硅隔离区域上方是N+硅单晶区域107; 在该N+硅单晶区域107上方是P+漏极区域108, 在该P+漏极区域108上方是P-硅单晶或窄禁带赝晶漏极区域109; 在该P-硅单晶或窄禁带赝晶漏极区域109上方是N+型沟道半导体区域113; 在该N+型沟道半导体区域113上方是P-硅单晶或窄禁带赝晶源极区域121; 在该P-硅单晶或窄禁带赝晶源极区域121上方是P+源极区域114; 所述N+漏极区域102包括上部 and 下部, 下部宽于上部, 下部的下表面和侧面被P-well区域101包围; 上述的N+漏极区域102上部, N-硅单晶或窄禁带赝晶漏极区域103、P+型沟道半导体区域104、N-硅单晶或窄禁带赝晶源极区域120、N+硅单晶源极区域105、二氧化硅隔离区域106、N+硅单晶区域107、P+漏极区域108、P-硅单晶或窄禁带赝晶漏极区域109、N+型沟道半导体区域113、P-硅单晶或窄禁带赝晶源极区域121和P+源极区域114侧面均设有深度不一的沟槽, 沟槽的作用是用于引出源漏电极和栅; 漏电极一区域110的下表面高于N+漏极区域102的下表面, 低于N+漏极区域102的上表面, 用于将漏电极引出; 源电极一区域111的下表面高于N+硅单晶源极区域105的下表面, 低于N+硅单晶源极区域105的上表面, 用于将源电极引出; 漏电极二区域112的下表面高于P+漏极区域108的下表面, 低于P+漏极区域108的上表面; 栅电极一区域117的下表面低于N-硅单晶或窄禁带赝晶漏极区域103的上表面, 高于N-硅单晶或窄禁带赝晶漏极区域103的下表面, 栅电极一区域117的上表面高于P+型沟道半导体区域104的上表面, 低于N+硅单晶源极区域105的下表面; 栅电极二区域119的下表面低于N+型沟道半导体区域113的下表面, 高于P-硅单晶或窄禁带赝晶漏极区域109的上表面; 栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离; 栅电极一区域117和栅电极二区域119由重掺杂多晶或耐熔金属硅化物或它们的组合体构成; 绝缘栅介质118用于隔离栅电极114和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

2. 一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 其特征在于, 在该结构的最下方为一个P-well硅单晶半导体区域201, 在该P-well硅单晶半导体区域201上部形成有该结构的硅单晶N+漏极区域202; 在该N+漏极区域202上方有N-硅单晶或窄禁带赝晶漏极区域203; 在该N-漏极区域上方是P+型沟道半导体区域204; 在该P+型沟道半导体区域204上方是N-硅单晶或窄禁带赝晶源极区域220, 在该N-硅单晶或窄禁带赝晶源极区域220区域上方是N+硅单晶源极区域205; 在该N+硅单晶源极区域205上方是二氧化硅隔离区域206; 在该二氧化硅隔离区域上方是N+硅单晶区域207; 在该N+硅单晶区域207上方是P+漏极区域208, 在该P+漏极区域208上方是P-硅单晶或窄禁带赝晶漏极区域209; 在该P-硅单晶或窄禁带赝晶漏极区域209上方是N+型沟道半导体区域213; 在该N+型沟道半导体区域213上方是P-硅单晶或窄禁带赝晶源极区域221; 在该P-硅单晶或窄禁带赝晶源极区域221上方是P+源极区域214; 所述N+漏极区域202包括上部 and 下部, 下部宽于上部, 下部的下表面

和侧面被P-well区域201包围；上述的N+漏极区域202上部，N-硅单晶或窄禁带赝晶漏极区域203、P+型沟道半导体区域204、N-硅单晶或窄禁带赝晶源极区域220、N+硅单晶源极区域205、二氧化硅隔离区域206、N+硅单晶区域207、P+漏极区域208、P-硅单晶或窄禁带赝晶漏极区域209、N+型沟道半导体区域213、P-硅单晶或窄禁带赝晶源极区域221和P+源极区域214侧面均设有深度不一的沟槽，沟槽的作用是用于引出源漏电极和栅；漏电极一区域110的下表面高于N+漏极区域202的下表面，低于N+漏极区域202的上表面，用于将漏电极引出；源电极一区域111的下表面高于N+硅单晶源极区域205的下表面，低于N+硅单晶源极区域205的上表面，用于将源电极引出；漏电极二区域112的下表面高于P+漏极区域208的下表面，低于P+漏极区域208的上表面；栅电极一区域117的下表面低于N-硅单晶或窄禁带赝晶漏极区域203的上表面，高于N-硅单晶或窄禁带赝晶漏极区域203的下表面，栅电极一区域117的上表面高于P+型沟道半导体区域204的上表面，低于N+硅单晶源极区域205的下表面；栅电极二区域119的下表面低于N+型沟道半导体区域213的下表面，高于P-硅单晶或窄禁带赝晶漏极区域209的上表面；栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离；栅电极一区域117和栅电极二区域119由重掺杂多晶或耐熔金属硅化物或它们的组合体构成；绝缘栅介质118用于隔离栅电极214和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

3. 一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构，其特征在于，在该结构的最下方为一个P-well硅单晶半导体区域101，在该P-well硅单晶半导体区域101上部形成有该结构的硅单晶N+漏极区域102；在该N+漏极区域102上方有N-硅单晶或窄禁带赝晶漏极区域103；在该N-漏极区域上方是P+型沟道半导体区域104；在该P+型沟道半导体区域104上方是N+硅单晶源极区域105；在该N+硅单晶源极区域105上方是二氧化硅隔离区域106；在该二氧化硅隔离区域上方是N+硅单晶区域107；在该N+硅单晶区域107上方是P+漏极区域108，在该P+漏极区域108上方是P-硅单晶或窄禁带赝晶漏极区域109；在该P-硅单晶或窄禁带赝晶漏极区域109上方是N+型沟道半导体区域113；在该N+型沟道半导体区域113上方是P+源极区域114；所述N+漏极区域102包括上部和下部，下部宽于上部，下部的下表面和侧面被P-well区域101包围；上述的N+漏极区域102上部，N-硅单晶或窄禁带赝晶漏极区域103、P+型沟道半导体区域104、N+硅单晶源极区域105、二氧化硅隔离区域106、N+硅单晶区域107、P+漏极区域108、P-硅单晶或窄禁带赝晶漏极区域109、N+型沟道半导体区域113和P+源极区域114侧面均设有深度不一的沟槽，沟槽的作用是用于引出源漏电极和栅；漏电极一区域110的下表面高于N+漏极区域102的下表面，低于N+漏极区域102的上表面，用于将漏电极引出；源电极一区域111的下表面高于N+硅单晶源极区域105的下表面，低于N+硅单晶源极区域105的上表面，用于将源电极引出；漏电极二区域112的下表面高于P+漏极区域108的下表面，低于P+漏极区域108的上表面；栅电极一区域117的下表面低于N-硅单晶或窄禁带赝晶漏极区域103的上表面，高于N-硅单晶或窄禁带赝晶漏极区域103的下表面，栅电极一区域117的上表面高于P+型沟道半导体区域104的上表面，低于N+硅单晶源极区域105的下表面；栅电极二区域119的下表面低于N+型沟道半导体区域113的下表面，高于P-硅单晶或窄禁带赝晶漏极区域109的上表面；栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离；栅电极一区域117和栅电极二区域119由重掺杂多晶或

耐熔金属硅化物或它们的组合体构成；绝缘栅介质118用于隔离栅电极114和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

4. 一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 其特征在于, 在该结构的最下方为一个P-well硅单晶半导体区域201, 在该P-well硅单晶半导体区域201上部形成有该结构的硅单晶N+漏极区域202; 在该N+漏极区域202上方有N-硅单晶或窄禁带隙晶漏极区域203; 在该N-漏极区域上方是P+型沟道半导体区域204; 在该P+型沟道半导体区域204上方是N+硅单晶源极区域205; 在该N+硅单晶源极区域205上方是二氧化硅隔离区域206; 在该二氧化硅隔离区域上方是N+硅单晶区域207; 在该N+硅单晶区域207上方是P+漏极区域208, 在该P+漏极区域208上方是P-硅单晶或窄禁带隙晶漏极区域209; 在该P-硅单晶或窄禁带隙晶漏极区域209上方是N+型沟道半导体区域213; 在该N+型沟道半导体区域213上方是P+源极区域214; 所述N+漏极区域202包括上部和下部, 下部宽于上部, 下部的下表面和侧面被P-well区域201包围; 上述的N+漏极区域202上部, N-硅单晶或窄禁带隙晶漏极区域203、P+型沟道半导体区域204、N+硅单晶源极区域205、二氧化硅隔离区域206、N+硅单晶区域207、P+漏极区域208、P-硅单晶或窄禁带隙晶漏极区域209、N+型沟道半导体区域213和P+源极区域214侧面均设有深度不一的沟槽, 沟槽的作用是用于引出源漏电极和栅; 漏电极一区域110的下表面高于N+漏极区域202的下表面, 低于N+漏极区域202的上表面, 用于将漏电极引出; 源电极一区域111的下表面高于N+硅单晶源极区域205的下表面, 低于N+硅单晶源极区域205的上表面, 用于将源电极引出; 漏电极二区域112的下表面高于P+漏极区域208的下表面, 低于P+漏极区域208的上表面; 栅电极一区域117的下表面低于N-硅单晶或窄禁带隙晶漏极区域203的上表面, 高于N-硅单晶或窄禁带隙晶漏极区域203的下表面, 栅电极一区域117的上表面高于P+型沟道半导体区域204的上表面, 低于N+硅单晶源极区域205的下表面; 栅电极二区域119的下表面低于N+型沟道半导体区域213的下表面, 高于P-硅单晶或窄禁带隙晶漏极区域209的上表面; 栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离; 栅电极一区域117和栅电极二区域119由重掺杂多晶或耐熔金属硅化物或它们的组合体构成; 绝缘栅介质118用于隔离栅电极214和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

5. 如权利要求1-4所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 其特征在于, P+型沟道半导体区104、213和N+型沟道半导体区113、204的厚度小于15nm。

6. 如权利要求1-4所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构, 其特征在于, P+型沟道半导体区104、213和N+型沟道半导体区113、204的掺杂浓度比N-漏极区域103和P-漏极区域203高两个数量级。

7. 如权利要求1-6所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构中, 当沟道半导体区 (104、113、204、213)、重掺杂漏区 (102, 202)、半导体衬底或阱 (101, 201) 为单晶硅时, 所述轻掺杂漏区 (103、203、109、209)、轻掺杂源区 (120、121、209、221) 为单晶硅, 所述重掺杂源区 (105、205) 为单晶硅, 所述重掺杂源区 (114、214) 为多晶Ge、多晶SiGe、多晶TWS (碲镉汞)、多晶InP、多晶InSb等窄禁带半导体多晶材料, 或上述材

料的组合；当沟道半导体区(104、113、204、213)、重掺杂漏区(102,202)、半导体衬底或阱(101,201)为宽禁带单晶半导体材料(如SiC单晶或GaN单晶)时,所述轻掺杂漏区(103、203、109、209)、轻掺杂源区(120、121、209、221)为单晶Si半导体材料,所述重掺杂源区(214)为单晶硅半导体材料,所述重掺杂源区(105、205)为多晶Si半导体材料。

8. 如权利要求1-6所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构中,其特征在于,栅电极一区域117和栅电极二区域119设置于半导体区的一个侧面的全部区域、或半导体区的一个侧面的局部区域,如图5(a)所示;进一步的,所述栅电极一区域117和栅电极二区域119设置于半导体区的两个侧面的全部区域、或半导体区的一个侧面的全部区域及另一个侧面的局部区域,如图5(b)所示;进一步的,所述栅电极一区域117和栅电极二区域119设置于半导体区的三个侧面全部区域的、或半导体区的两个侧面的全部区域及与另一个侧面的局部区域,如图5(c)所示。

9. 如权利要求1-6所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构中,所有层的厚度为1nm-100nm,掺杂浓度为 $1e14cm^{-3}$ - $1e20 cm^{-3}$ 。

一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构

技术领域

[0001] 本发明涉及微电子技术和集成电路技术。

背景技术

[0002] 长久以来,摩尔定律一直是半导体行业的核心准则。这一定律是由英特尔的联合创始人戈登·摩尔在长期观察和总结的基础上得出的,它指导了半导体发展路线长达数十年。根据摩尔定律,每隔18个月,集成电路上的晶体管数量将翻倍,性能也将提高一倍。

[0003] 目前,晶体管技术的发展按照“Planar FET平面场效应管”、“FinFET鳍式场效应管(当前主流)”、“RibbonFET全环绕栅极场效应管”的顺序演进发展。在小尺寸下,DIBL效应阻止了晶体管尺寸的进一步缩小。

[0004] 为了进一步提高数字电路中基本单元的集成度,纵向堆叠器件技术开始进入人们的视野。纵向堆叠器件是指将多个晶体管或其他器件垂直地堆叠在一起,从而形成一个更加紧凑的器件。与传统的横向排列相比,纵向堆叠可以大大减小器件占用的面积,并提高电路的集成度。此外,纵向堆叠还可以增加电路中元器件之间的联系,从而提高电路的速度和可靠性。目前,纵向堆叠技术已经广泛应用于各种类型的集成电路中,包括处理器、存储器、传感器等。例如,英特尔的三维晶体管技术(Tri-Gate)就是一种基于纵向堆叠的技术,它可以大幅提高晶体管的性能和功耗效率。此外,三星、SK Hynix等公司也采用了纵向堆叠技术来生产高密度存储器件,如3D NAND闪存和HBM(High Bandwidth Memory)。

[0005] 本文提出了一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构,它继承了在本发明之前的HVT和NWaFET的基本结构^[1-3],采用纵向设计方案,并通过沟道区重掺杂漂移区轻掺杂的组合结构抑制DIBL效应。在纵向上同时堆叠了一个PMOS和一个NMOS,并且NMOS和PMOS之间通过二氧化硅注入进行隔离。两个器件的电极可以单独引出用以构造各种数字基本单元。同时制作过程中的工艺还实现了PMOS的面积是NMOS面积的3倍。

[0006] 参考文献

[0007] [1]. 廖永波,李平,唐瑞枫,等.一种新型数字门集成电路的结构[P].中国,发明专利,

[0008] 申请号:CN111048579.1.2020.

[0009] [2]. 李平,唐瑞枫,廖永波等.一种新型DRAM结构及实现方法[P].中国,发明专利,

[0010] 申请号:CN202110252584.1.2021.

[0011] [3]. 廖永波,刘金铭,李平等.一种高集成度纳米墙集成电路结构[P].中国,发明

[0012] 专利,申请号:CN202210413345.4.2022.

发明内容

[0013] 本发明技术方案1为一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构,如图1所示。其特征在于,在该结构的最下方为一个P-well硅单晶半导体区域

101,在该P-well硅单晶半导体区域101上部形成有该结构的硅单晶N+漏极区域102;在该N+漏极区域102上方有N-硅单晶或窄禁带隙晶漏极区域103;在该N-漏极区域上方是P+型沟道半导体区域104;在该P+型沟道半导体区域104上方是N-硅单晶或窄禁带隙晶源极区域120,在该N-硅单晶或窄禁带隙晶源极区域120区域上方是N+硅单晶源极区域105;在该N+硅单晶源极区域105上方是二氧化硅隔离区域106;在该二氧化硅隔离区域上方是N+硅单晶区域107;在该N+硅单晶区域107上方是P+漏极区域108,在该P+漏极区域108上方是P-硅单晶或窄禁带隙晶漏极区域109;在该P-硅单晶或窄禁带隙晶漏极区域109上方是N+型沟道半导体区域113;在该N+型沟道半导体区域113上方是P-硅单晶或窄禁带隙晶源极区域121;在该P-硅单晶或窄禁带隙晶源极区域121上方是P+源极区域114;所述N+漏极区域102包括上部和下部,下部宽于上部,下部的下表面和侧面被P-well区域101包围;上述的N+漏极区域102上部,N-硅单晶或窄禁带隙晶漏极区域103、P+型沟道半导体区域104、N-硅单晶或窄禁带隙晶源极区域120、N+硅单晶源极区域105、二氧化硅隔离区域106、N+硅单晶区域107、P+漏极区域108、P-硅单晶或窄禁带隙晶漏极区域109、N+型沟道半导体区域113、P-硅单晶或窄禁带隙晶源极区域121和P+源极区域114侧面均设有深度不一的沟槽,沟槽的作用是用于引出源漏电极和栅;漏电极一区域110的下表面高于N+漏极区域102的下表面,低于N+漏极区域102的上表面,用于将漏电极引出;源电极一区域111的下表面高于N+硅单晶源极区域105的下表面,低于N+硅单晶源极区域105的上表面,用于将源电极引出;漏电极二区域112的下表面高于P+漏极区域108的下表面,低于P+漏极区域108的上表面;栅电极一区域117的下表面低于N-硅单晶或窄禁带隙晶漏极区域103的上表面,高于N-硅单晶或窄禁带隙晶漏极区域103的下表面,栅电极一区域117的上表面高于P+型沟道半导体区域104的上表面,低于N+硅单晶源极区域105的下表面;栅电极二区域119的下表面低于N+型沟道半导体区域113的下表面,高于P-硅单晶或窄禁带隙晶漏极区域109的上表面;栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离;栅电极一区域117和栅电极二区域119由重掺杂多晶或耐熔金属硅化物或它们的组合体构成;绝缘栅介质118用于隔离栅电极114和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

[0014] 本发明技术方案二为一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构,如图2所示。其特征在于,在该结构的最下方为一个P-well硅单晶半导体区域201,在该P-well硅单晶半导体区域201上部形成有该结构的硅单晶N+漏极区域202;在该N+漏极区域202上方有N-硅单晶或窄禁带隙晶漏极区域203;在该N-漏极区域上方是P+型沟道半导体区域204;在该P+型沟道半导体区域204上方是N-硅单晶或窄禁带隙晶源极区域220,在该N-硅单晶或窄禁带隙晶源极区域220区域上方是N+硅单晶源极区域205;在该N+硅单晶源极区域205上方是二氧化硅隔离区域206;在该二氧化硅隔离区域上方是N+硅单晶区域207;在该N+硅单晶区域207上方是P+漏极区域208,在该P+漏极区域208上方是P-硅单晶或窄禁带隙晶漏极区域209;在该P-硅单晶或窄禁带隙晶漏极区域209上方是N+型沟道半导体区域213;在该N+型沟道半导体区域213上方是P-硅单晶或窄禁带隙晶源极区域221;在该P-硅单晶或窄禁带隙晶源极区域221上方是P+源极区域214;所述N+漏极区域202包括上部和下部,下部宽于上部,下部的下表面和侧面被P-well区域201包围;上述的N+漏极区域202上部,N-硅单晶或窄禁带隙晶漏极区域203、P+型沟道半导体区域204、N-硅单晶或窄禁带隙晶

源极区域220、N+硅单晶源极区域205、二氧化硅隔离区域206、N+硅单晶区域207、P+漏极区域208、P-硅单晶或窄禁带隙晶漏极区域209、N+型沟道半导体区域213、P-硅单晶或窄禁带隙晶源极区域221和P+源极区域214侧面均设有深度不一的沟槽,沟槽的作用是用于引出源漏电极和栅;漏电极一区域110的下表面高于N+漏极区域202的下表面,低于N+漏极区域202的上表面,用于将漏电极引出;源电极一区域111的下表面高于N+硅单晶源极区域205的下表面,低于N+硅单晶源极区域205的上表面,用于将源电极引出;漏电极二区域112的下表面高于P+漏极区域208的下表面,低于P+漏极区域208的上表面;栅电极一区域117的下表面低于N-硅单晶或窄禁带隙晶漏极区域203的上表面,高于N-硅单晶或窄禁带隙晶漏极区域203的下表面,栅电极一区域117的上表面高于P+型沟道半导体区域204的上表面,低于N+硅单晶源极区域205的下表面;栅电极二区域119的下表面低于N+型沟道半导体区域213的下表面,高于P-硅单晶或窄禁带隙晶漏极区域209的上表面;栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离;栅电极一区域117和栅电极二区域119由重掺杂多晶或耐熔金属硅化物或它们的组合体构成;绝缘栅介质118用于隔离栅电极214和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

[0015] 本发明技术方案三为一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构,如图3所示。其特征在于,在该结构的最下方为一个P-well硅单晶半导体区域101,在该P-well硅单晶半导体区域101上部形成有该结构的硅单晶N+漏极区域102;在该N+漏极区域102上方有N-硅单晶或窄禁带隙晶漏极区域103;在该N-漏极区域上方是P+型沟道半导体区域104;在该P+型沟道半导体区域104上方是N+硅单晶源极区域105;在该N+硅单晶源极区域105上方是二氧化硅隔离区域106;在该二氧化硅隔离区域上方是N+硅单晶区域107;在该N+硅单晶区域107上方是P+漏极区域108,在该P+漏极区域108上方是P-硅单晶或窄禁带隙晶漏极区域109;在该P-硅单晶或窄禁带隙晶漏极区域109上方是N+型沟道半导体区域113;在该N+型沟道半导体区域113上方是P+源极区域114;所述N+漏极区域102包括上部 and 下部,下部宽于上部,下部的下表面和侧面被P-well区域101包围;上述的N+漏极区域102上部,N-硅单晶或窄禁带隙晶漏极区域103、P+型沟道半导体区域104、N+硅单晶源极区域105、二氧化硅隔离区域106、N+硅单晶区域107、P+漏极区域108、P-硅单晶或窄禁带隙晶漏极区域109、N+型沟道半导体区域113和P+源极区域114侧面均设有深度不一的沟槽,沟槽的作用是用于引出源漏电极和栅;漏电极一区域110的下表面高于N+漏极区域102的下表面,低于N+漏极区域102的上表面,用于将漏电极引出;源电极一区域111的下表面高于N+硅单晶源极区域105的下表面,低于N+硅单晶源极区域105的上表面,用于将源电极引出;漏电极二区域112的下表面高于P+漏极区域108的下表面,低于P+漏极区域108的上表面;栅电极一区域117的下表面低于N-硅单晶或窄禁带隙晶漏极区域103的上表面,高于N-硅单晶或窄禁带隙晶漏极区域103的下表面,栅电极一区域117的上表面高于P+型沟道半导体区域104的上表面,低于N+硅单晶源极区域105的下表面;栅电极二区域119的下表面低于N+型沟道半导体区域113的下表面,高于P-硅单晶或窄禁带隙晶漏极区域109的上表面;栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离;栅电极一区域117和栅电极二区域119由重掺杂多晶或耐熔金属硅化物或它们的组合体构成;绝缘栅介质118用于隔离栅电极114和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、

漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

[0016] 本发明技术方案四为一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构,如图4所示。其特征在于,在该结构的最下方为一个P-well硅单晶半导体区域201,在该P-well硅单晶半导体区域201上部形成有该结构的硅单晶N+漏极区域202;在该N+漏极区域202上方有N-硅单晶或窄禁带赝晶漏极区域203;在该N-漏极区域上方是P+型沟道半导体区域204;在该P+型沟道半导体区域204上方是N+硅单晶源极区域205;在该N+硅单晶源极区域205上方是二氧化硅隔离区域206;在该二氧化硅隔离区域上方是N+硅单晶区域207;在该N+硅单晶区域207上方是P+漏极区域208,在该P+漏极区域208上方是P-硅单晶或窄禁带赝晶漏极区域209;在该P-硅单晶或窄禁带赝晶漏极区域209上方是N+型沟道半导体区域213;在该N+型沟道半导体区域213上方是P+源极区域214;所述N+漏极区域202包括上部和下部,下部宽于上部,下部的下表面和侧面被P-well区域201包围;上述的N+漏极区域202上部,N-硅单晶或窄禁带赝晶漏极区域203、P+型沟道半导体区域204、N+硅单晶源极区域205、二氧化硅隔离区域206、N+硅单晶区域207、P+漏极区域208、P-硅单晶或窄禁带赝晶漏极区域209、N+型沟道半导体区域213和P+源极区域214侧面均设有深度不一的沟槽,沟槽的作用是用于引出源漏电极和栅;漏电极一区域110的下表面高于N+漏极区域202的下表面,低于N+漏极区域202的上表面,用于将漏电极引出;源电极一区域111的下表面高于N+硅单晶源极区域205的下表面,低于N+硅单晶源极区域205的上表面,用于将源电极引出;漏电极二区域112的下表面高于P+漏极区域208的下表面,低于P+漏极区域208的上表面;栅电极一区域117的下表面低于N-硅单晶或窄禁带赝晶漏极区域203的上表面,高于N-硅单晶或窄禁带赝晶漏极区域203的下表面,栅电极一区域117的上表面高于P+型沟道半导体区域204的上表面,低于N+硅单晶源极区域205的下表面;栅电极二区域119的下表面低于N+型沟道半导体区域213的下表面,高于P-硅单晶或窄禁带赝晶漏极区域209的上表面;栅电极一区域117和栅电极二区域119通过栅电极二氧化硅隔离区域116进行隔离;栅电极一区域117和栅电极二区域119由重掺杂多晶或耐熔金属硅化物或它们的组合体构成;绝缘栅介质118用于隔离栅电极214和其他半导体区。绝缘材料115使得漏电极一区域110、源电极一区域111、漏电极二区域112、栅电极一区域117、栅电极二区域119相互隔离并且和半导体功能区之间相互隔离。

[0017] 进一步的,所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构,其特征在于,P+型沟道半导体区104、213和N+型沟道半导体区113、204的厚度小于15nm。

[0018] 进一步的,所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构,其特征在于,P+型沟道半导体区104、213和N+型沟道半导体区113、204的掺杂浓度比N-漏极区域103和P-漏极区域203高两个数量级。

[0019] 进一步的,所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管 (HVTFET) 集成电路结构中,当沟道半导体区(104、113、204、213)、重掺杂漏区(102,202)、半导体衬底或阱(101,201)为单晶硅时,所述轻掺杂漏区(103、203、109、209)、轻掺杂源区(120、121、209、221)为单晶硅,所述重掺杂源区(105、205)为单晶硅,所述重掺杂源区(114、214)为多晶Ge、多晶SiGe、多晶TWS(碲镉汞)、多晶InP、多晶InSb等窄禁带半导体多晶材料,或上述材料的

组合;当沟道半导体区(104、113、204、213)、重掺杂漏区(102、202)、半导体衬底或阱(101、201)为宽禁带单晶半导体材料(如SiC单晶或GaN单晶)时,所述轻掺杂漏区(103、203、109、209)、轻掺杂源区(120、121、209、221)为单晶Si半导体材料,所述重掺杂源区(214)为单晶硅半导体材料,所述重掺杂源区(105、205)为多晶Si半导体材料。

[0020] 进一步的,所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构中,其特征在于,栅电极一区域117和栅电极二区域119设置于半导体区的一个侧面的全部区域、或半导体区的一个侧面的局部区域,如图5(a)所示;进一步的,所述栅电极一区域117和栅电极二区域119设置于半导体区的两个侧面的全部区域、或半导体区的一个侧面的全部区域及另一个侧面的局部区域,如图5(b)所示;进一步的,所述栅电极一区域117和栅电极二区域119设置于半导体区的三个侧面全部区域的、或半导体区的两个侧面的全部区域及与另一个侧面的局部区域,如图5(c)所示。

[0021] 进一步的,所述的任意一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构中,所有层的厚度为1nm-100nm,掺杂浓度为 $1e14cm^{-3}$ - $1e20 cm^{-3}$ 。

[0022] 本发明沿用了HVT及NWaFET结构的原理,其采用重掺杂沟道区与轻掺杂源区及轻掺杂漏区形成单边突变结,沟道区内耗尽区结深可以忽略不计,因此受源漏区控制的电离受主电荷对阈电压的影响较小,从而有力避免了尺寸缩小所带来的阈值电压降低,漏极电流增大,静态功耗增加的问题。同时,在外加电源电压时,由于其形成的单边突变结的特性,沟道区势垒受电源电压影响减小,从而有效增加了器件抑制DIBL效应的能力。

附图说明

[0023] 图1为本发明一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构-p阱有轻掺杂源区的斜视剖视图。

[0024] 图2为本发明一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构-n阱有轻掺杂源区的斜视剖视图。

[0025] 图3为本发明一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构-p阱无轻掺杂源区的斜视剖视图。

[0026] 图4为本发明一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构-n阱无轻掺杂源区的斜视剖视图。

[0027] 图5为本发明一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构槽栅电极形成不同栅宽MOSFET的俯视图。

[0028] 图6-图17为实施例1的基本工艺流程。

具体实施方式

[0029] 实施例1:

[0030] 对于本专利技术方案1提出的一种纵向堆叠的异质结垂直沟道场效应晶体管(HVTFET)集成电路结构,实现其的简要工艺流程如下:

[0031] 如图6所示,在外延片的P阱中,依次淀积形成N⁺、N、P⁺、N⁻、N⁺区域。

[0032] 如图7所示,在N⁺区域进行氧离子注入然后退火形成二氧化硅埋层。

[0033] 如图8所示,继续外延生长形成P⁺、P⁻、N⁺、P⁻、P⁺区域。

- [0034] 如图9所示,通过光刻形成一个凹槽,用于将上方PMOS的漏极引出。
- [0035] 如图10所示,通过光刻形成一个凹槽,用于将下方NMOS的源极引出。
- [0036] 如图11所示,继续通过光刻形成一个凹槽,用于将下方NMOS的漏极引出。
- [0037] 如图12所示,在前三步形成的凹槽中填充绝缘物质。
- [0038] 如图13所示,通过光刻在阶梯状的凹槽内形成三个电极通孔,并在电极通孔内填充金属作为相应的电极的引出。
- [0039] 如图14所示,在右边通过光刻形成后续栅电极所使用的凹槽。
- [0040] 如图15所示,现在该凹槽内部进行侧壁氧化形成栅氧化层,然后依次填充多晶硅、二氧化硅和多晶硅,二氧化硅将两部分多晶硅栅极进行了隔离。
- [0041] 如图16所示,在栅极凹槽的右半部分继续进行光刻,然后填充绝缘物质,用于和其他器件进行隔离。
- [0042] 如图17所示,去除掉上一步中所使用的光刻胶,形成最终的器件结构。

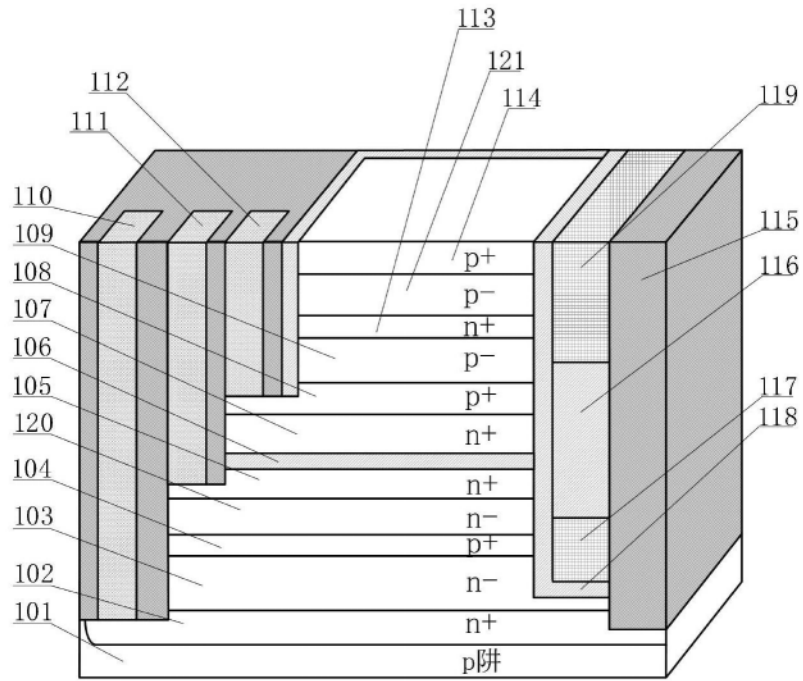


图1

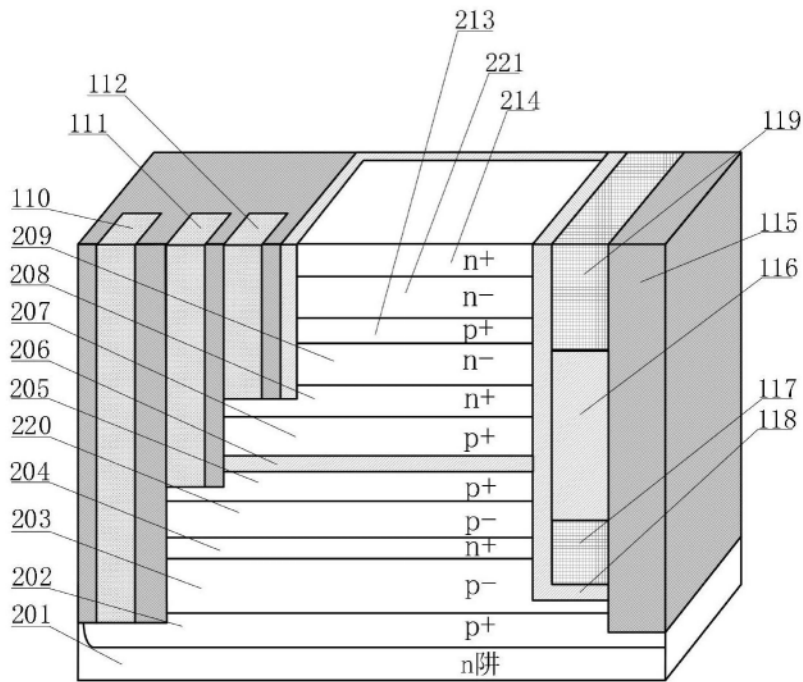


图2

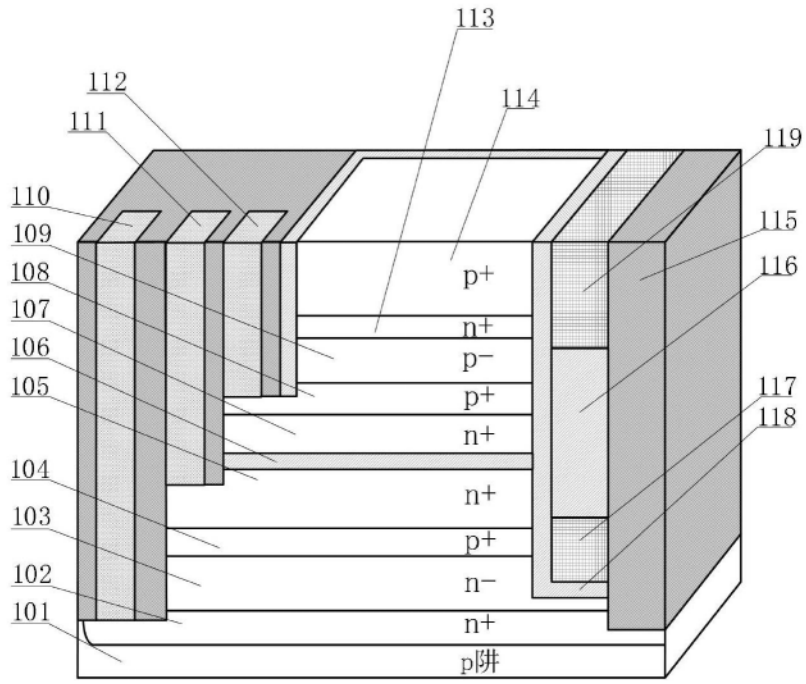


图3

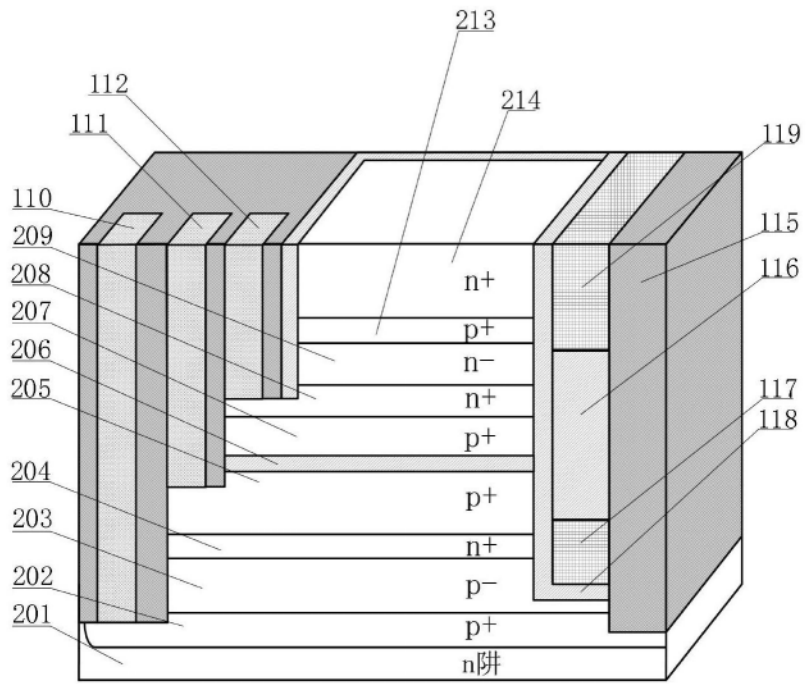


图4

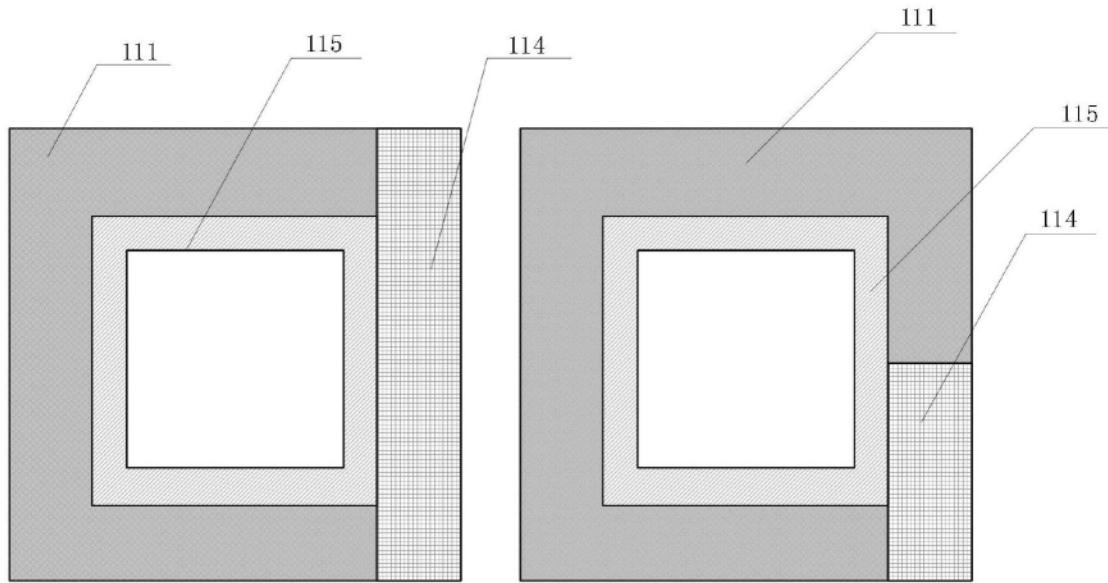


图5(a)

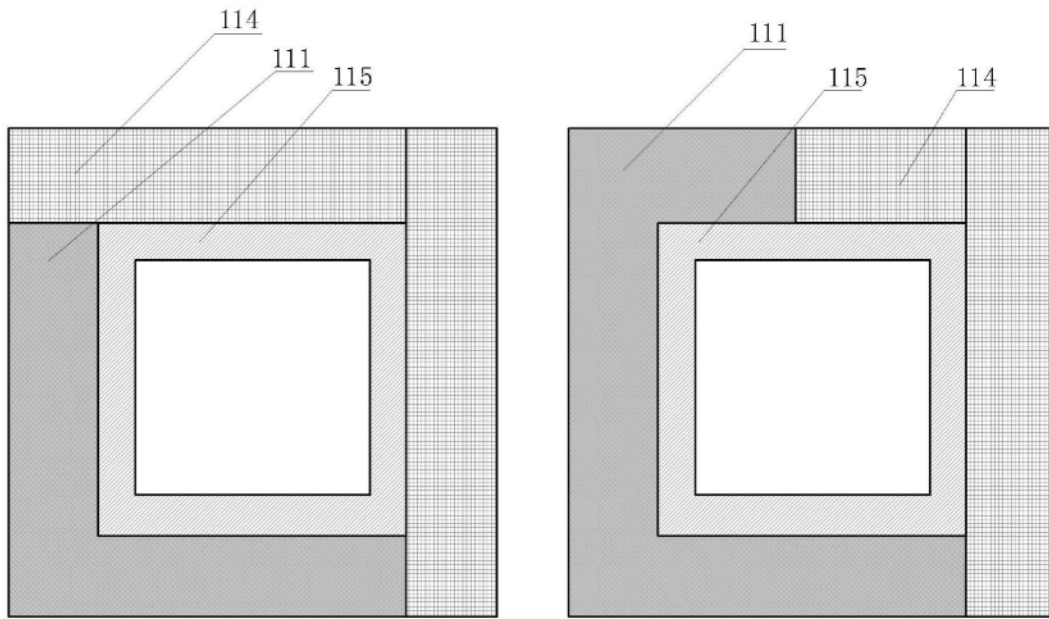


图5(b)

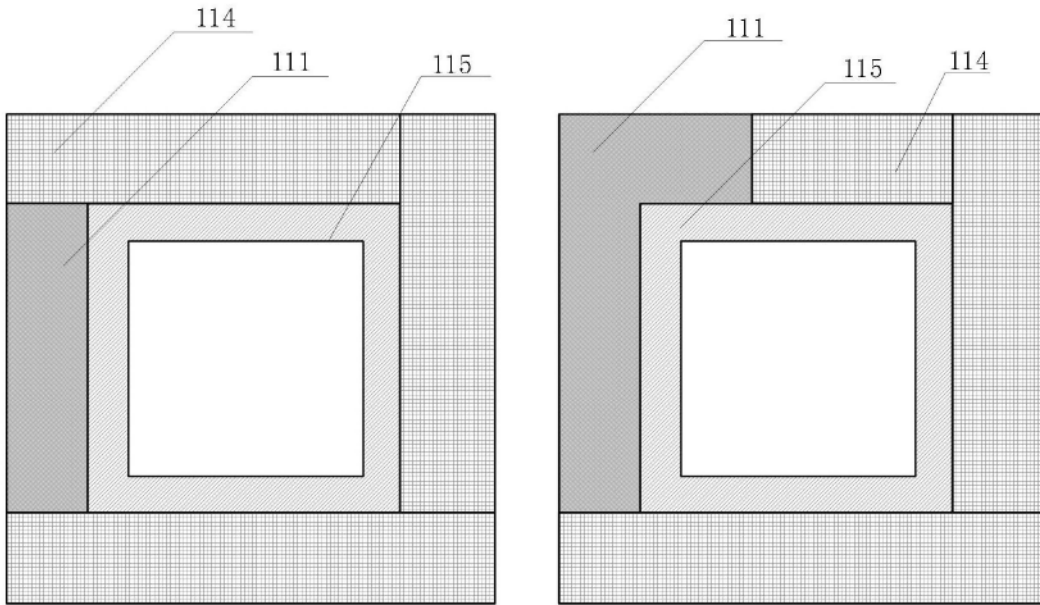


图5(c)

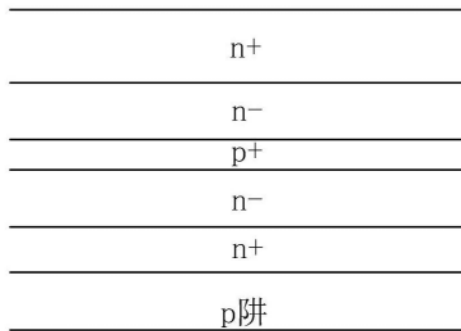


图6

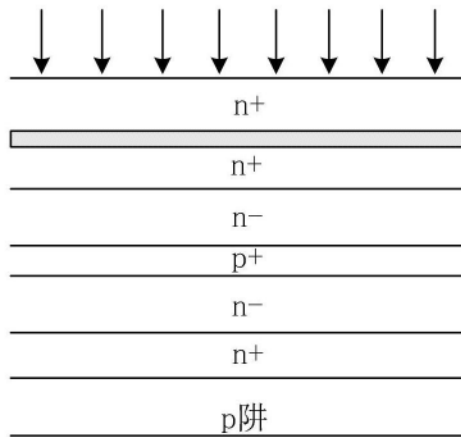


图7

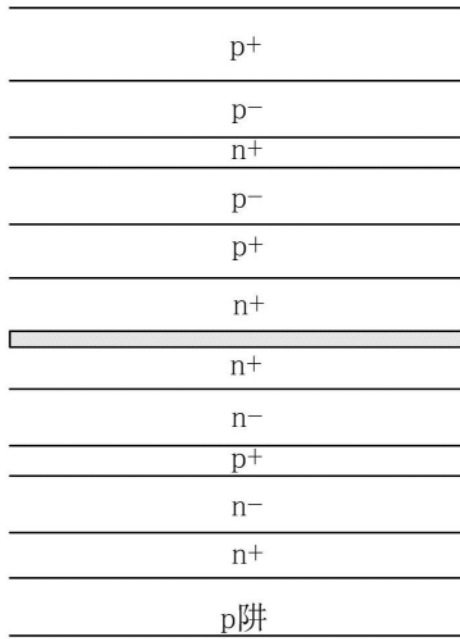


图8

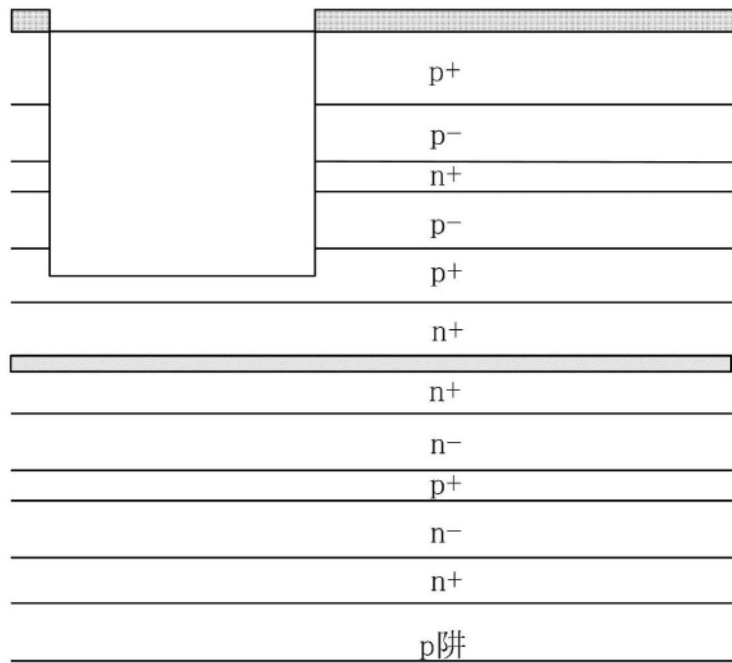


图9

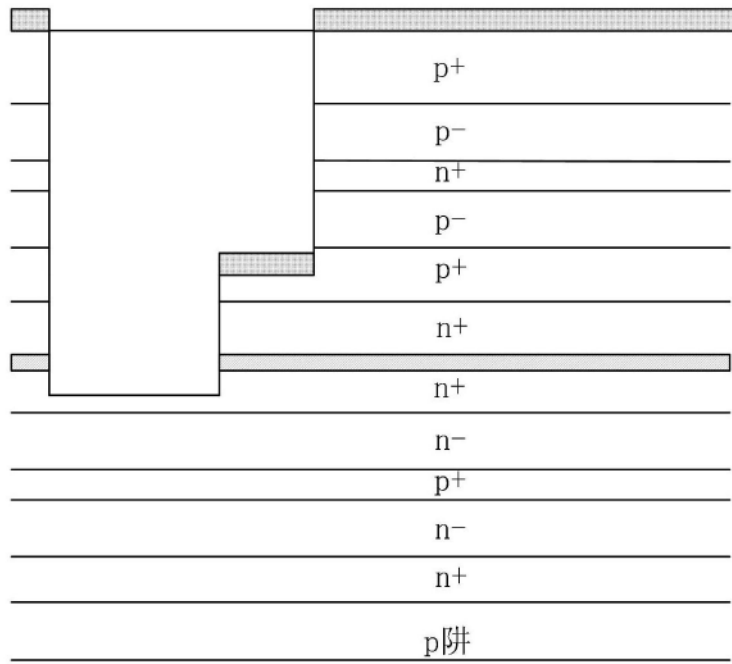


图10

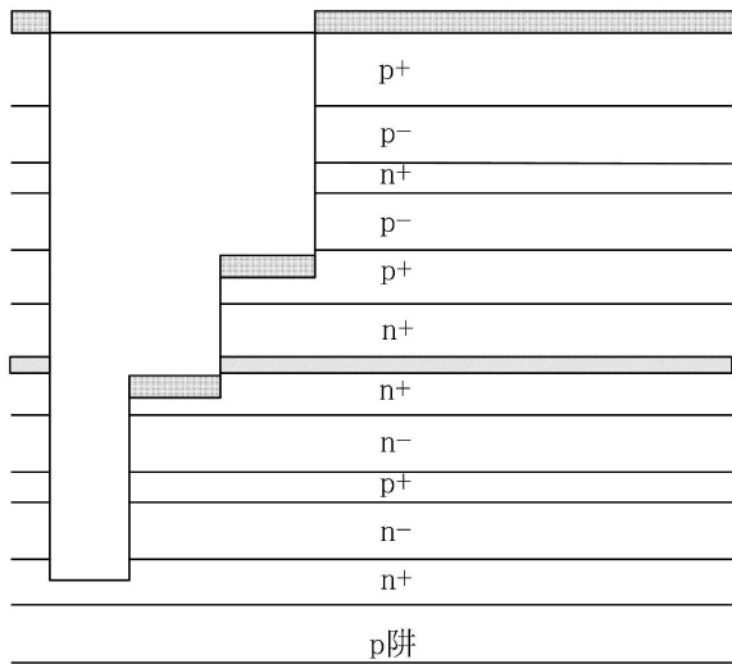


图11

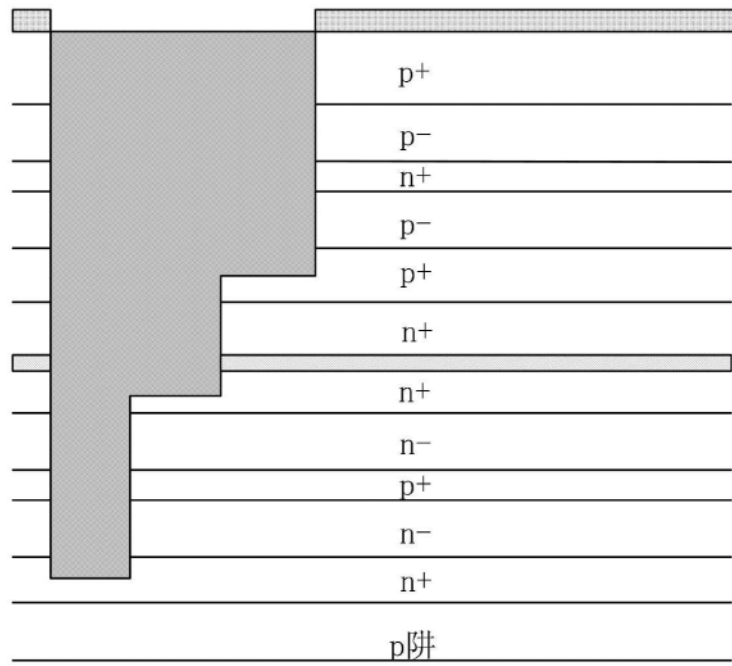


图12

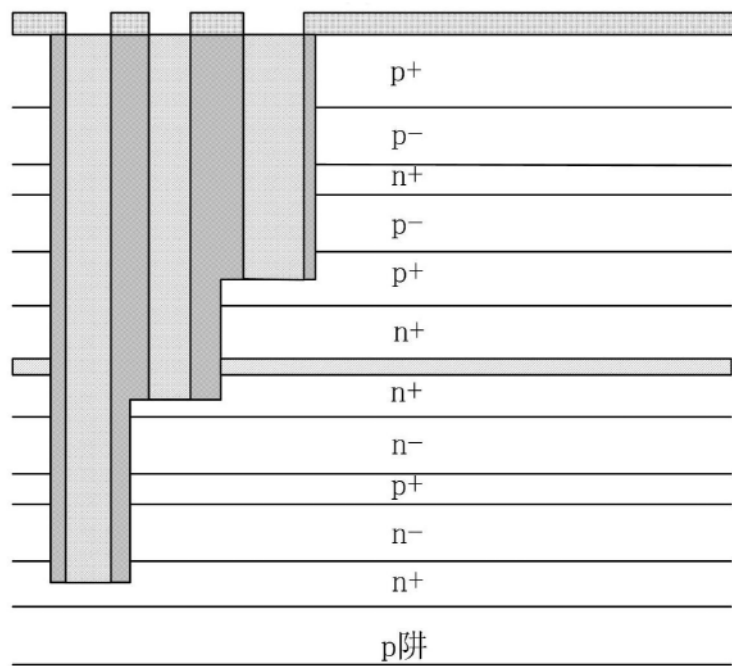


图13

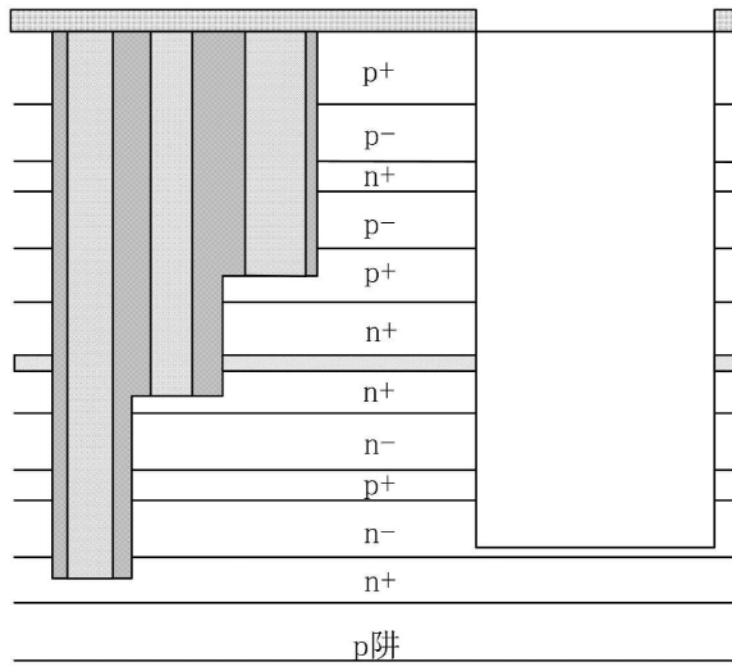


图14

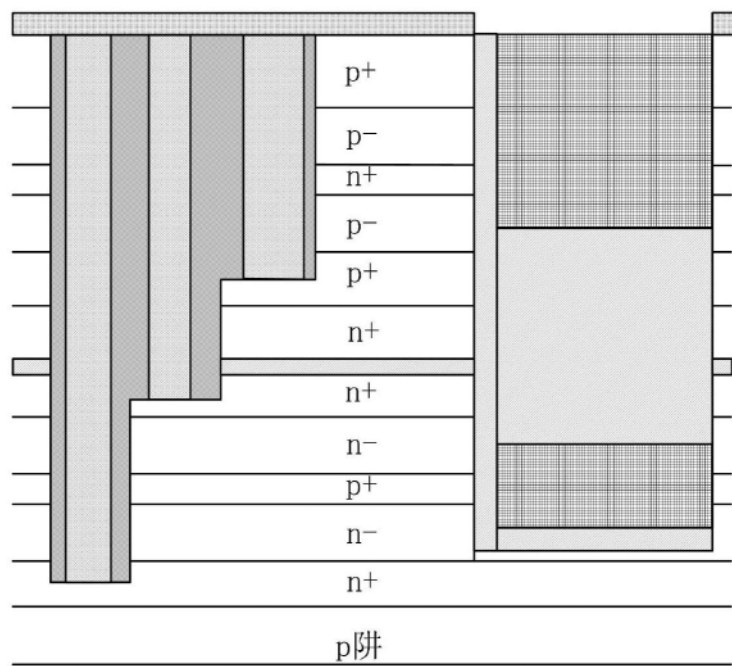


图15

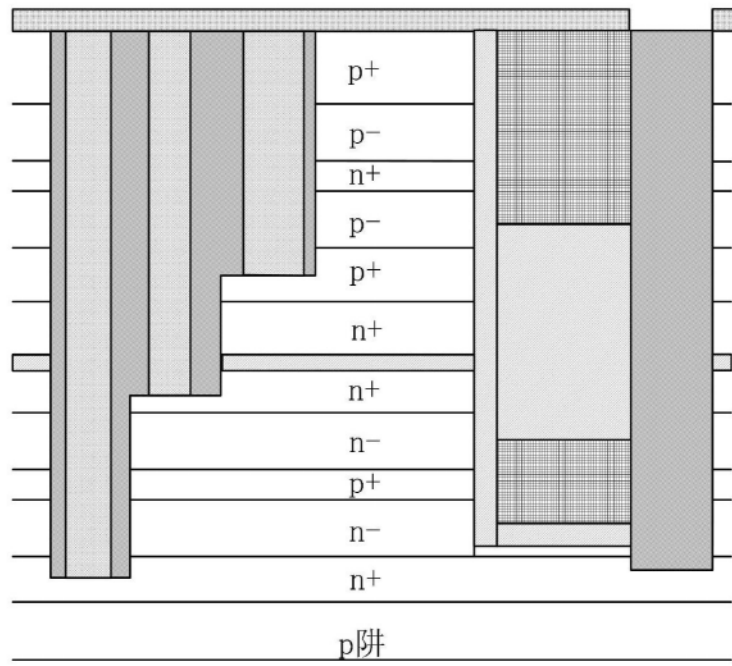


图16

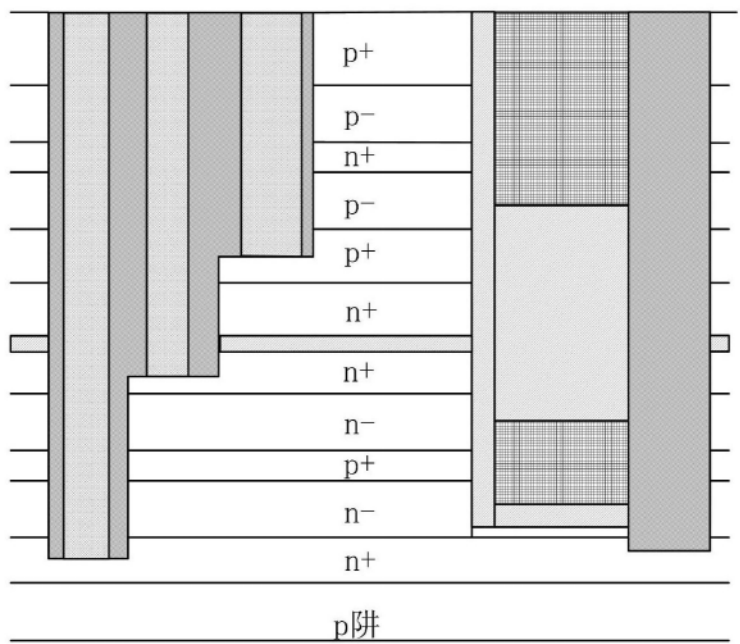


图17