

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年10月30日 (30.10.2008)

PCT

(10) 国際公開番号
WO 2008/129601 A1

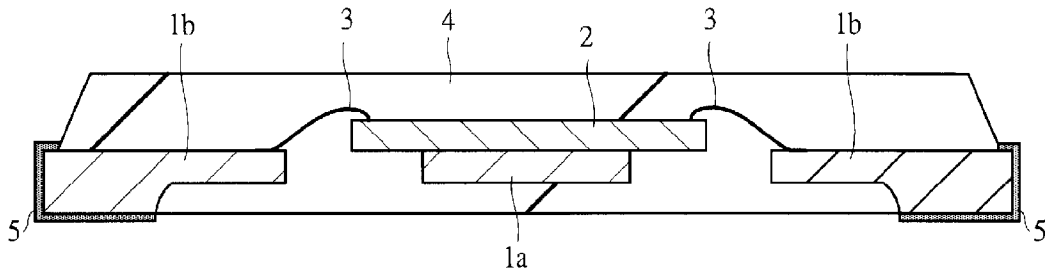
- (51) 国際特許分類:
H01L 23/50 (2006.01) C23F 11/00 (2006.01)
- (21) 国際出願番号: PCT/JP2007/057668
- (22) 国際出願日: 2007年4月5日 (05.04.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 木本 良輔 (KI-MOTO, Ryosuke) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ
- 内 Tokyo (JP). 鈴木 一成 (SUZUKI, Kazunari) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内 Tokyo (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1020076 東京都千代田区五番町14番地 国際中正会館6階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置

図 18



(57) Abstract: A plurality of leads (1b) are partially exposed to the four sides and the back of a sealer (4) constituting a lead-less type semiconductor device. The surfaces (or the frame matrix surfaces) of the leads (1b), as exposed from that sealer (4), are not plated with a zinc-group metal but coated with a protecting film (5) formed of a refractory pre-flux. Thus, the exposed surfaces of the leads (1b) do not have the plated layer of the zinc-group metal so that the zinc whisker can be prevented from occurring on the exposed surfaces of the leads (1b). As a result, the short-circuit failure between the terminals due to the zinc whisker can be prevented to improve the reliability of the semiconductor device. Moreover, the exposed surfaces of the leads (1b) are coated with the projecting film (5) so that they can be prevented from rusting or being oxidized, thereby to make satisfactory the states of the connections between the electrode pads (or the exposed portions of the leads (1b)) of the semiconductor device and the lands (or the electrodes) of a wiring substrate for packaging the semiconductor device.

(57) 要約: リードレス形の半導体装置を構成する封止体4の4辺の側面および裏面には、複数のリード1bの一部が露出されている。この封止体4から露出するリード1bの表面(フレーム母材表面)には、錫系の金属メッキを施すことなく、耐熱性ブリフラックスにより形成される保護膜5が被着されている。このように、リード1bの露出表面に、錫系の金属メッキ層を形成しないので、そのリード1bの露出表面での錫ウイスカの発生を防止することができる。したがって、錫ウイスカに起因する端子間の短絡不良を防止することができるので、半導体装置の信頼性を向上させることができる。また、リード1bの露出表面に保護膜5を被着す

[続葉有]

WO 2008/129601 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

ることにより、リード1bの露出表面の錆や酸化を防止することができるので、半導体装置の電極パッド（リード1bの露出部）と、半導体装置を実装する配線基板のランド（電極）との接続状態を良好にすることができる。

明 細 書

半導体装置の製造方法および半導体装置

技術分野

[0001] 本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、半導体装置の封止体から露出する複数のリードの表面処理技術に適用して有効な技術に関するものである。

背景技術

[0002] 半導体装置の封止体から露出する複数のリードの表面には、実装基板に実装する際に使用される半田(特に錫)の濡れ性を向上する観点や、錆や酸化を防止する観点等から外装メッキが施されている。

[0003] 外装メッキには、一般的に、鉛と錫の合金の半田(以下、含鉛半田という)が使用されているが、国際的な環境保全を進めていくために鉛の規制が必要になり、鉛を含まない、いわゆる鉛フリー半田の開発および普及が進められている。

[0004] しかし、鉛フリー半田(錫を含む半田)の外装メッキは、含鉛半田に比べて、外装メッキが施されたリードにおいて錫ウイスカが発生、成長し易い。この錫ウイスカは、錫原子が自己拡散することで形成された針状の金属結晶であり、端子間の短絡不良を引き起こし、半導体装置の信頼性を低下させる問題がある。

[0005] このようなウイスカ対策については、例えば特開平9-45135号公報(特許文献1)に記載がある。この特許文献1には、フレーム素材の表面に2層のパラジウム層をメッキ法により形成する技術が開示されている。

[0006] また、例えば特開2006-213938号公報(特許文献2)には、被めっき素材を、錫めっき用ウイスカ防止剤に浸漬した後、錫系めっきを行う技術が開示されている。

[0007] また、例えば特開2004-292944号公報(特許文献3)には、錫メッキのウイスカを抑制する効果のあるニッケルメッキおよび銅メッキを、錫メッキの下地金属として電子部品用金属材料の表面に形成する技術が開示されている。

[0008] なお、鉛フリー半田を用いた半導体装置技術については、例えば特開2001-230360号公報(特許文献4)に記載がある。この特許文献4には、リードの外装メッキと

して鉛フリー半田を用いた場合、半導体装置の実装時のリフロー温度が高くなり、半導体チップとリードとを接続するワイヤのリード側圧着部で断線不良が発生する問題を回避すべく、ワイヤが接続されるリード側圧着部にパラジウム層を形成する技術が開示されている。

特許文献1:特開平9-45135号公報

特許文献2:特開2006-213938号公報

特許文献3:特開2004-292944号公報

特許文献4:特開2001-230360号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、上記特許文献1の技術では、パラジウムの材料コストが錫系メッキの4～5倍も高いので、半導体装置のコストが高くなるという問題がある。また、純パラジウムメッキの場合、半田の濡れ性が低いという問題もあり、半導体装置を実装基板に実装した際の実装強度が低下する。

[0010] また、上記特許文献2, 3では、最表層に錫があるので、ウイスカの発生を回避することができない。本願発明者の検討によれば、ウイスカの問題は錫が1%でも存在すれば、発生の要因になることが分かった。

[0011] 本発明は、上記課題に鑑みてなされたものであり、その目的は、半導体装置の封止体から露出する複数のリードの表面での錫ウイスカの発生を防止することのできる技術を提供することにある。

課題を解決するための手段

[0012] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0013] すなわち、本発明は、半導体装置の封止体から露出する複数のリードの表面に、錫を含むメッキ層を形成せず、酸化膜を除去する表面処理剤を被着するものである。

発明の効果

[0014] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に

説明すれば以下のとおりである。

- [0015] すなわち、半導体装置の封止体から露出する複数のリードの表面に、錫を含むメッキ層を形成しないので、その複数のリードの表面での錫ウイスカの発生を防止することができる。

図面の簡単な説明

- [0016] [図1]本発明の一実施の形態である半導体装置の製造方法の工程図である。
[図2]図1の半導体装置の製造方法で用いるリードフレームの平面図である。
[図3]図2のリードフレームの単位領域の拡大平面図である。
[図4]図3のX1－X1線の拡大断面図である。
[図5]図1のダイボンディング工程後のリードフレームの平面図である。
[図6]図5のリードフレームの単位領域の拡大平面図である。
[図7]図6のX1－X1線の拡大断面図である。
[図8]図1のワイヤボンディング工程後のリードフレームの単位領域の拡大平面図である。
[図9]図8のX1－X1線の拡大断面図である。
[図10]図1のモールド工程後のリードフレームの平面図である。
[図11]図10のリードフレームの単位領域の拡大平面図である。
[図12]図11のX1－X1線の拡大断面図である。
[図13]図1のリード切断工程後の半導体装置の上面側の平面図である。
[図14]図1のリード切断工程後の半導体装置の裏面側の平面図である。
[図15]図1のリード切断工程後の半導体装置の側面図である。
[図16]図13のX1－X1線の断面図である。
[図17]図1の表面処理工程後の半導体装置の裏面側の平面図である。
[図18]図17のX1－X1線の断面図である。
[図19]図1の表面処理工程後の他の半導体装置の裏面の平面図である。
[図20]図19のX1－X1線の断面図である。
[図21]図1の表面処理工程の一例の説明図である。
[図22]図1の表面処理工程の他の例の説明図である。

[図23]本発明の他の実施の形態である半導体装置の製造方法の工程図である。

[図24]本発明の他の実施の形態である半導体装置を構成するリードフレームの平面図である。

[図25]図24のリードフレームの単位領域の拡大平面図である。

[図26]図25のX1－X1線の拡大断面図である。

[図27]図23のダイボンディング工程後のリードフレームの平面図である。

[図28]図27のリードフレームの単位領域の拡大平面図である。

[図29]図28のX1－X1線の拡大断面図である。

[図30]図23のワイヤボンディング工程後のリードフレームの単位領域の拡大平面図である。

[図31]図30のX1－X1線の拡大断面図である。

[図32]図23のモールド工程後のリードフレームの平面図である。

[図33]図32のリードフレームの単位領域の拡大平面図である。

[図34]図33のX1－X1線の拡大断面図である。

[図35]図23のリード切断・成形工程後の半導体装置の上面側の平面図である。

[図36]図23のリード切断・成形工程後の半導体装置の裏面側の平面図である。

[図37]図23のリード切断・成形工程後の半導体装置の側面図である。

[図38]図35のX1－X1線の断面図である。

[図39]図23の表面処理工程後の半導体装置の裏面側の平面図である。

[図40]図39のX1－X1線の断面図である。

[図41]図23の表面処理工程の一例の説明図である。

[図42]図23の表面処理工程の他の例の説明図である。

発明を実施するための最良の形態

[0017] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明の関係にある。

[0018] また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)

に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

[0019] さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

[0020] 同様に以下の実施の形態において、構成要素等の形状、位置関係に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0021] また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

[0022] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。各部の材質、導電型、及び製造条件等は本実施の形態の記載に限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

[0023] (実施の形態1)

本実施の形態1の半導体装置の製造方法を図1の工程図に沿って図2～図22により説明する。

[0024] まず、図2～図4に示すようなリードフレーム(以下、単にフレームという)1を用意する(図1の工程100)。図2は本実施の形態1の半導体装置を構成するフレーム1の平面図、図3は図2のフレーム1の単位領域Uの拡大平面図、図4は図3のX1-X1線の拡大断面図である。

[0025] フレーム1は、半導体装置の組立に使用される平面長方形の金属薄板である。1枚のフレーム1には、複数の単位領域Uが縦横方向に規則的に並んで一体的に形成されている。

[0026] 単位領域Uは、1つの半導体装置を組み立てるのに必要なフレーム要素を持つ領域である。単位領域Uの中央には、ダイパッド(チップ搭載部)1aが配置されている。このダイパッド1aの外周近傍には、その外周辺に沿って複数のリード1bが所定のピ

ッチ毎に配置されている。各リード1bは、ダイパッド1a側から外方に向かって延び枠体部1c, 1dに一体的に接続されている。また、ダイパッド1aの四隅には、吊り部1eが一体的に接続されている。吊り部1eは、ダイパッド1aの四隅から外方に向かって延び枠体部1c, 1dに一体的に接続されている。これによりダイパッド1aは枠体部1c, 1dに支持されている。

[0027] ダイパッド1aの裏面およびリード1bのダイパッド1a側の一部の裏面はエッチングされている。これにより、ダイパッド1aおよびリード1bの一部の厚さは、リード1bの残りの一部および枠体部1c, 1dの厚さよりも薄くなっている。

[0028] このようなフレーム1は、例えば銅(Cu)を主成分とする銅基台系材料(フレーム母材)または鉄(Fe)を主成分とする鉄基台系材料(フレーム母材)により形成されている。

[0029] 銅基台系材料のフレーム1は、高熱放散性や経済性に優れている。銅基台系材料のフレーム1には、銅以外に、例えば鉄、亜鉛(Zn)、リン(P)、コバルト(Co)、錫(Sn)、ニッケル(Ni)、シリコン(Si)等のような添加材が微量に含まれており、銅基台系材料のフレーム1の機械的強度や耐腐食性の向上が図られている。

[0030] 鉄基台系材料のフレーム1は、信頼性と耐熱性に優れている。鉄基台系材料(特に鉄およびニッケル基台系材料)の一例である42アロイは、鉄およびニッケルの他に、例えばコバルトやマンガン(Mn)等のような添加材が微量に含まれている。鉄基台系材料のフレーム1の場合は、リード1bにおいて、少なくとも、半導体装置を実装する配線基板のランド(電極)が接合される接合面に、銅メッキまたはニッケル/金(ニッケルを下地にその上に金)メッキが施されている。このようにリード1bの少なくとも上記接合面に、錫との接合性の良い銅またはニッケルの層を形成することにより、実装基板に半導体装置を実装する際に使用される鉛フリー半田がSn系のめっきを用いた場合、Sn-Cu合金層が半導体装置のリードと実装基板のランドとの間に形成されるため、半導体装置のリード1bと配線基板のランドとの接合性を向上させることができる。

[0031] 続いて、図5～図7に示すように、フレーム1のダイパッド1a上に半導体チップ2を搭載する(図1のダイボンディング工程101)。図5はダイボンディング工程後のフレーム1の平面図、図6は図5のフレーム1の単位領域Uの拡大平面図、図7は図6のX1-

X1線の拡大断面図である。

- [0032] フレーム1の各单位領域Uには、半導体チップ2が搭載されている。ここでは、半導体チップ2の平面積がダイパッド1aの平面積よりも大きい場合が例示されている。このため、半導体チップ2は、その外周部が、ダイパッド1aの外周よりも外側にはみ出した状態でダイパッド1a上に搭載されている。
- [0033] 半導体チップ2は、例えばシリコン(Si)単結晶を母材とする平面四角形状の半導体薄板からなる。半導体チップ2の主面には、所望の集積回路が形成されている。また、半導体チップ2の主面の外周近傍には複数のボンディングパッド(外部電極)が配置されている。半導体チップ2の裏面(すなわち、半導体チップ2の主面とは反対側の面)は、例えば銀(Ag)ペースト材を用いてダイパッド1aに接合されている。
- [0034] 続いて、図8および図9に示すように、半導体チップ2とリード1bとをボンディングワイヤ(以下、単にワイヤという)3により電氣的に接続する(図1のワイヤボンディング工程102)。図8はワイヤボンディング工程後のフレーム1の単位領域Uの拡大平面図、図9は図8のX1-X1線の拡大断面図である。
- [0035] 半導体チップ2の集積回路とリード1bとはワイヤ3によって電氣的に接続されている。ワイヤ3は、例えば金(Au)のような金属によって形成されている。ワイヤ3の一端は、半導体チップ2の主面の上記ボンディングパッドに接合されている。また、ワイヤ3の他端は、リード1bのダイパッド1a側の先端に接合されている。
- [0036] 続いて、図10～図12に示すように、フレーム1の一部、半導体チップ2およびワイヤ3をトランスファーモールド法によってモールドする(図1のモールド工程103)。図10はモールド工程後のフレーム1の平面図、図11は図10のフレーム1の単位領域Uの拡大平面図、図12は図11のX1-X1線の拡大断面図である。
- [0037] フレーム1には複数の封止体4が形成されている。封止体4は、例えばエポキシ系の樹脂からなり、個々の単位領域U毎に分かれた状態で形成されている。個々の封止体4は、ダイパッド1a、半導体チップ2およびワイヤ3の全体、リード(インナーリード)1bおよび吊り部1eの一部を覆うように形成されている。リード1bおよび吊り部1eの一部は、封止体4の裏面(半導体装置を実装する配線基板に対向する面)および側面から露出されている。

- [0038] ここでは、封止体4が単位領域U毎に形成されている場合について説明したが、これに限定されるものではなく、例えばフレーム1の全ての単位領域Uを1つの封止体で一括して封止するようにしても良い。この場合、後に封止体の適切な箇所をダイシングソーのような切断手段により切断することで個々の半導体装置を切り出すことになる。
- [0039] 続いて、フレーム1の複数の封止体4にマークを形成した後(図1の工程104)、フレーム1のリード1bの露出している所定の箇所を切断することにより、図13～図16に示すように、フレーム1から封止体4(半導体装置)を切り出す(図1の工程105)。図13はリード切断工程後の半導体装置の上面側の平面図、図14はリード切断工程後の半導体装置の裏面側の平面図、図15はリード切断工程後の半導体装置の側面図、図16は図13のX1-X1線の断面図である。
- [0040] 本実施の形態1の半導体装置は、例えばQFN(Quad Flat Nonleaded package)のようなリードレス形の半導体装置である。すなわち、封止体4の4辺の側面および裏面から複数のリード1bの一部が露出されており、そのリード1bの露出部分により半導体装置の電極パッドが形成されている。なお、封止体4の裏面4隅近傍には吊り部1eの一部も露出されている。
- [0041] 一般的に、リードレス形というと、リード1bが封止体4の側面から突出しないものを指すが、ここでは、リード1bの一部が封止体4の側面から若干突出しているものも含めるものとして例示している。
- [0042] この段階においても、本実施の形態1の半導体装置においては、フレーム1の表面に錫(Sn)系の金属(錫を含む金属)のメッキ層を形成していない。このため、銅基台系材料のフレーム1を用いた場合、リード1bおよび吊り部1eの露出表面には銅基台系材料が露出されている。また、鉄基台系材料のフレーム1を用いた場合、リード1bおよび吊り部1eの露出表面(特にリード1bにおいて、少なくとも半導体装置を実装する配線基板のランドが接合される接合面)に上記銅メッキ層または上記ニッケル/金メッキ層が露出されている。
- [0043] なお、本実施の形態において、半導体装置の裏面は、封止体4の裏面と同じであり、半導体装置および封止体4が、これを実装する配線基板の実装面に対向する面の

ことである。

- [0044] 続いて、上記半導体装置の電気的特性を試験した後(図1の工程106)、半導体装置の封止体4から露出するリード1bの表面に対して表面処理を施す(図1の工程107)。

図17は表面処理工程後の半導体装置の裏面側の平面図、図18は図17のX1-X1線の断面図である。また、図19は表面処理工程後の他の半導体装置の裏面の平面図、図20は図19のX1-X1線の断面図である。

- [0045] 本実施の形態1においては、封止体4から露出するリード(アウターリード)1bおよび吊り部1eの表面(フレーム母材表面)全体に、例えば耐熱性プリフラックスのような保護膜(表面処理剤)5を被着する(図面を見易くするため保護膜5にハッチングを付す)。

- [0046] この保護膜5は、例えば有機系の樹脂を母材として形成されており、耐熱性を向上させる機能の他に、酸化膜を除去する機能、再酸化を防止して表面の清浄度を保つ機能、耐湿性を高める機能等を有している。すなわち、再酸化を防止、またはフレーム母材(リード1b)金属の表面に形成された酸化膜を除去する機能があるため、フレーム母材(リード1b)金属に半田が容易に接触できる(濡れ上がる)。

- [0047] 図17および図18のリードレス形の半導体装置においては、保護膜5が、封止体4から露出するリード1bの裏面、側面および突出上面を覆うように形成されている。また、保護膜5は封止体4から露出する吊り部1eの裏面および側面を覆うように形成されている。

- [0048] また、図19および図20はリード1bが封止体4の側面から全く突出しないリードレス形の半導体装置を例示している。この半導体装置においては、保護膜5が、封止体4から露出するリード1bの裏面および側面を覆うように形成されている。また、保護膜5は封止体4から露出する吊り部1eの裏面および側面を覆うように形成されている。

- [0049] 図17～図20のいずれの半導体装置においても、銅基台系材料のフレーム1を用いた場合、保護膜5は、リード1bおよび吊り部1eの銅基台材料の露出表面に直接接触した状態で形成されている。また、鉄基台系材料のフレーム1を用いた場合、保護膜5は、リード1bおよび吊り部1eの上記銅メッキ層または上記ニッケル／金メッキ層に

直接接触した状態で形成されている。

- [0050] このような保護膜5をリード1bの露出表面に被着(形成)することにより、リード1bの露出表面の錆や酸化を防止することができるので、半導体装置の電極パッド(リード1bの露出部)と、半導体装置を実装する配線基板のランド(電極)との接続状態を良好にすることができる。
- [0051] また、リードレス形の半導体装置の場合、リード1bの表面に錫メッキ処理を施した場合の上記錫ウイスカの発生ポテンシャルは小さいが、処理条件に応じては錫ウイスカが発生して短絡不良の問題に発展する場合もある。これに対して、本実施の形態1においては、複数のリード1bおよび吊り部1eの露出表面に、錫(Sn)を含む金属メッキ層を形成しないので、その複数のリード1bおよび吊り部1eの露出表面での錫ウイスカの発生を防止することができる。したがって、半導体装置の錫ウイスカに起因する端子間の短絡不良を防止することができるので、半導体装置の信頼性を向上させることができる。
- [0052] また、複数のリード1bの表面保護材料として、パラジウム(Pd)等のような高価な金属材料を使用しないので、半導体装置のコストが増大するということもない。
- [0053] さらに、上記電気的特性試験(図1の工程106)を行う場合、試験用の端子と半導体装置のリード1bとの導通状態を良好にする観点から、試験用の端子をリード1bの露出表面に擦りつけることが行われている。しかし、そのため、リード1bの露出表面に保護膜5を被着した後に電気的特性試験を行うと、保護膜5の一部が剥がれリード1bの一部が剥き出しになり酸化され実装不良が生じる問題や剥がれた保護膜5の欠片が異物になる問題が生じる。そこで、本実施の形態1においては、半導体装置の電気的特性試験(図1の工程106)を行った後に、リード1bの表面処理(図1の工程107)を行う。これにより、電気的特性試験時には試験用の端子とリード1bとの接触状態を良好にすることができる。また、電気的特性試験に起因して保護膜5の一部が剥がれてしまう不具合の発生を避けることができる。
- [0054] 上記のような保護膜5の被着方法には、例えば浸漬法、スプレー法または刷毛法がある。
- [0055] 図21は上記浸漬法の様子を示している。まず、複数の半導体装置(封止体4)の各

々を保持部材10によって保持する。ここでは、保持部材10の先端面を半導体装置(封止体4)の上面に当てた後、半導体装置を保持部材10によって真空吸着することで保持する。続いて、容器11内の耐熱性プリフラックス溶液5Aの液面に対して半導体装置の裏面を沿うようにした状態を保ちながら、半導体装置の全体を耐熱性プリフラックス溶液5A内に漬ける。その後、半導体装置を耐熱性フラックス溶液5Aの外に引き上げ溶剤をとばすことで上記保護膜5を形成する。

[0056] ここで、リード突出形の半導体装置の場合、リードが封止体の外側に長く突出しているため、半導体装置を耐熱性フラックス溶液に漬けると、または耐熱性フラックス溶液から半導体装置を引き上げるときに生じる溶液の抵抗によって、リードが変形する場合がある。一つの要因としては、特に、QFP(Quad Flat package)等のようなリード突出形の半導体装置では、リード数が多く、リードの幅が細いのでリード変形不良が生じ易い。

[0057] また、リード変形不良が発生するもう一つの要因は、半導体装置がリードフレームから切断工程により切り出されていることにある。封止体から露出するリード(アウターリード)1bが、リードフレームにも固定されている状態であれば、リード(アウターリード)1bの両端部が固定(保持)された状態となるため、リードの変形を抑制できる。

[0058] しかしながら、リードの切断工程では、リード切断後に洗浄、または洗浄しながらリードを切断するため、リードの切断工程の前に保護膜5を形成してしまうと、この洗浄工程により除去されてしまう。

[0059] これに対して、本実施の形態1のリードレス形の半導体装置の場合、リード1bが封止体4の外側に長く突出していないので、上記のようなリード変形不良が生じることなく、浸漬法を採用することができる。

[0060] また、リードを切断し、半導体装置をリードフレームから切り出した後に、保護膜5を形成するため、上記のような保護膜が除去される問題を抑制できる。

[0061] このような浸漬法の場合、半導体装置を耐熱性フラックス溶液に漬けるだけなので、表面処理を簡単に、しかも速くすることができる。また、半導体装置のリード1bの露出表面全体に耐熱性フラックス溶液が触れるので、保護膜5をむら無く形成することができる。

- [0062] また、図22は上記スプレー法の様子を示している。まず、複数の半導体装置を搬送キャリア12上に搭載し保持する。ここでは、半導体装置を裏返し、半導体装置の上面を搬送キャリア12の突出部12aの先端面に当てるようにして半導体装置を搬送キャリア12上に載せた後、真空吸着することで保持する。搬送キャリア12は図20の左右方向に移動可能に設置されている。その後、搬送キャリア12の上方に規則的に並んで配置されている複数のノズル13の先端から半導体装置の裏面に向かって霧状の耐熱性フラックス溶液を噴射し、半導体装置のリード1bの露出表面に被着する。このとき、搬送キャリア12を図20の左右方向に移動させることで耐熱性フラックス溶液を半導体装置のリード1bの表面にむら無く被着する。その後、半導体装置のリード1bに被着した耐熱性フラックス溶液の溶剤をとばすことで上記保護膜5を形成する。
- [0063] この方法の場合、リード突出形の半導体装置においても、リード1bの変形不良のポテンシャルを小さくした状態で耐熱性フラックス溶液をリード1bの表面に被着することができるので、半導体装置の歩留まりを向上させることができる。
- [0064] また、常に新鮮な耐熱性フラックス溶液を噴射しリード1bに供給することができるので、保護膜5の膜質を向上させることができ、半導体装置の歩留まりを向上させることができる。
- [0065] なお、上記刷毛法は、半導体装置のリード1bの露出表面に刷毛を用いて耐熱性フラックス溶液を塗布する方法である。
- [0066] 以上のような表面処理工程後、半導体装置の外観を検査する(図1の工程108)。続いて、外観検査に合格した半導体装置を包装し(図1の工程109)、出荷する(図1の工程110)。
- [0067] なお、このような半導体装置は、そのリード1bと、配線基板のランドとが鉛フリー半田により接合された状態で配線基板上に実装される。鉛フリー半田は、例えば錫の単体、錫－ビスマス合金または錫－銀－銅合金等のような錫を含む鉛フリー半田からなり、半導体装置の実装前に配線基板のランド上に向かえ半田として予め被着されている。
- [0068] (実施の形態2)
- 本実施の形態2の半導体装置の製造方法を図23の工程図に沿って図24～図42

により説明する。

[0069] まず、図24～図26に示すようなフレーム1を用意する(図23の工程200)。図24は本実施の形態2の半導体装置を構成するフレーム1の平面図、図25は図24のフレーム1の単位領域Uの拡大平面図、図26は図25のX1-X1線の拡大断面図である。

[0070] ここでは、複数の単位領域Uが図24の横方向に規則的に並んで一体的に形成されたフレーム1が例示されている。それ以外は、前記実施の形態1と同じなので説明を省略する。

[0071] 続いて、図27～図29に示すように、フレーム1のダイパッド1a上に半導体チップを搭載する(図23のダイボンディング工程201)。図27はダイボンディング工程後のフレーム1の平面図、図28は図27のフレーム1の単位領域Uの拡大平面図、図29は図28のX1-X1線の拡大断面図である。フレーム1の各単位領域Uには、半導体チップ2が搭載されている。半導体チップ2に関する構成も前記実施の形態1と同じなので省略する。

[0072] 続いて、図30および図31に示すように、前記実施の形態1と同様に、半導体チップ2とリード1bとをワイヤ3により電氣的に接続する(図23のワイヤボンディング工程202)。図30はワイヤボンディング工程後のフレーム1の単位領域Uの拡大平面図、図31は図30のX1-X1線の拡大断面図である。

[0073] 続いて、図32～図34に示すように、前記実施の形態1と同様に、フレーム1の一部、半導体チップ2およびワイヤ3をトランスファーモールド法によってモールドする(図23のモールド工程203)。図32はモールド工程後のフレーム1の平面図、図33は図32のフレーム1の単位領域Uの拡大平面図、図34は図33のX1-X1線の拡大断面図である。フレーム1には複数の封止体4が形成されている。リード1bおよび吊り部1eの一部は、封止体4の側面から突出した状態で露出されているが、封止体4の裏面からは露出されていない。これ以外の構成は、前記実施の形態1の図1の工程103で説明したのと同様なので説明を省略する。

[0074] 続いて、フレーム1の複数の封止体4にマークを形成した後(図23の工程204)、フレーム1のリード1bの露出している所定の箇所を切断するとともに、リード1bを成形す

る(図23の工程205)。図35はリード切断・成形工程後の半導体装置の上面側の平面図、図36はリード切断・成形工程後の半導体装置の裏面側の平面図、図37はリード切断・成形工程後の半導体装置の側面図、図38は図35のX1-X1線の断面図である。

[0075] 本実施の形態2の半導体装置は、例えばQFP(Quad Flat package)のようなリード突出形の半導体装置である。すなわち、封止体4の4側面から複数のリード1bの一部が突出されている。この封止体4の側面から突出されたリード1bは、前記実施の形態1のようなリードレス形の半導体装置の場合よりも長く突出され、例えばガルウイング状に成形されている。

[0076] この段階の本実施の形態2の半導体装置においても、フレーム1の表面(フレーム母材の表面)に錫系金属のメッキ層が形成されていない。このため、銅基台系材料のフレーム1を用いた場合、リード1bの露出表面には銅基台系材料が露出されている。また、鉄基台系材料のフレーム1を用いた場合、リード1bの露出表面(リード1bにおいては、少なくとも半導体装置を実装する配線基板のランドが接合される接合面)に上記銅メッキ層または上記ニッケル／金メッキ層が露出されている。

[0077] 続いて、上記半導体装置の電気的特性を試験した後(図23の工程206)、半導体装置の封止体4から露出するリード1bの表面に対して表面処理を施す(図23の工程207)。

図39は表面処理工程後の半導体装置の裏面側の平面図、図40は図39のX1-X1線の断面図である。

[0078] 本実施の形態2においては、封止体4から露出するリード1bの表面(フレーム母材表面)全体に、例えば耐熱性プリフラックスのような保護膜5を被着する(図面を見易くするため保護膜5にハッチングを付す)。

[0079] 保護膜5は、封止体4から突出するリード1bの裏面、側面および上面を覆うように形成されている。銅基台系材料のフレーム1を用いた場合、保護膜5は、リード1bおよび吊り部1eの銅基台材料の露出表面に直接触れた状態で形成されている。また、鉄基台系材料のフレーム1を用いた場合、保護膜5は、リード1bおよび吊り部1eの上記銅メッキ層または上記ニッケル／金メッキ層に直接触れた状態で形成されている。こ

の保護膜5に関する構成も、前記実施の形態1と同じなので説明を省略する。

[0080] このような保護膜5をリード1bの露出表面に被着することにより、リード1bの露出表面の錆や酸化を防止することができるので、半導体装置の電極パッド(リード1bの露出部)と、半導体装置を実装する配線基板のランド(電極)との接続状態を良好にすることができる。

[0081] また、リード突出形の半導体装置の場合、狭い範囲の中で多くのリード1bを配置しなければならないためリード1bの間隔が狭く、リード1bの表面に錫メッキ処理をした場合の上記錫ウイスカに起因する短絡不良の発生ポテンシャルが大きい。これに対して、本実施の形態2においては、複数のリード1bおよび吊り部1eの露出表面に、錫(Sn)を含む金属メッキ層を形成しないので、その複数のリード1bおよび吊り部1eの露出表面での錫ウイスカの発生を防止することができる。したがって、半導体装置の錫ウイスカに起因する端子間の短絡不良を防止することができるので、半導体装置の信頼性を向上させることができる。

[0082] また、複数のリード1bの表面保護材料として、パラジウム(Pd)等のような高価な金属材料を使用しないので、半導体装置のコストが増大するということもない。

[0083] さらに、本実施の形態2においても、前記実施の形態1と同様に、半導体装置の電気的特性試験(図23の工程206)を行った後に、リード1bの表面処理(図23の工程207)を行う。これにより、電気的特性試験時には試験用の端子とリード1bとの接触状態を良好にすることができる。また、電気的特性試験に起因して保護膜5の一部が剥がれてしまうような不具合の発生を避けることができる。

[0084] 上記保護膜5の被着方法には、前記実施の形態1と同様に、例えば浸漬法、スプレー法または刷毛法がある。

[0085] 図41は上記浸漬法の様子を示している。この浸漬法の手順および利点は前記実施の形態1で説明したのと同じである。また、図42は上記スプレー法の様子を示している。このスプレー法の手順および利点についても前記実施の形態1で説明したのと同じである。本実施の形態2のようなリード突出形の半導体装置の場合、リード変形不良のポテンシャルが小さいスプレー法を採用することが好ましい。

[0086] 以上のような表面処理工程後、半導体装置の外観を検査する(図23の工程208)。

続いて、外観検査に合格した半導体装置を包装し(図23の工程209)、出荷する(図23の工程210)。

[0087] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

[0088] 前記実施の形態においては、QFNおよびQFPに適用した場合について説明したが、これに限定されるものではなく種々適用可能であり、例えばSON (Small Outline No leaded Package) やSOP (Small Outline Package) にも適用できる。SONは、リードレス形の半導体装置であり、複数のリードが封止体の2辺の側面および裏面から露出されている。そのリードの露出部分が半導体装置の電極パッドとなっている。SOPは、リード突出形の半導体装置であり、複数のリードが封止体の2側面から突出されている。SOPのリードは、例えばガルウイング状に成形されている。

[0089] また、前記実施の形態においては、ダイパッド全体が封止体内に封止されている場合について説明したが、これに限定されるものではなく、例えばダイパッドの裏面が封止体から露出される構成でも良い。この場合、封止体から露出されるダイパッドの表面にも、上記保護膜5が被着(形成)される。

[0090] 以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の製造方法に適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えば半導体チップ上にセンサを形成したMEMS (Micro Electro Mechanical Systems) の製造方法にも適用できる。

産業上の利用可能性

[0091] 本発明は、半導体装置の製造業に適用できる。

請求の範囲

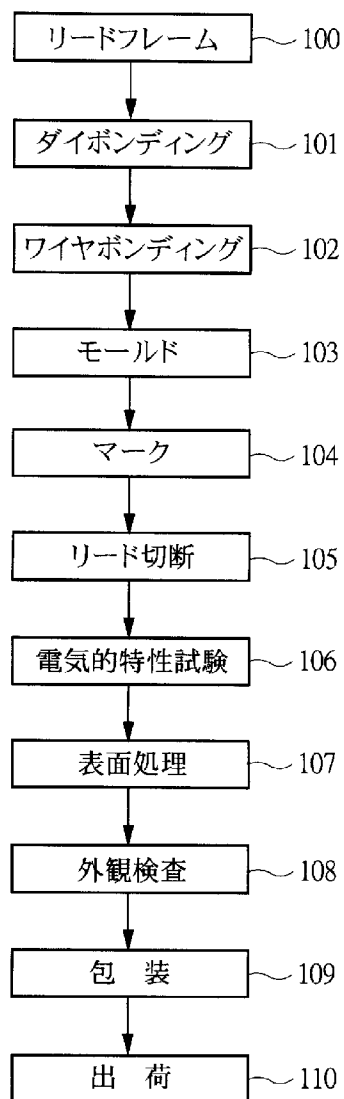
- [1] 以下の工程を有することを特徴とする半導体装置の製造方法：
- (a) 単位領域に、チップ搭載部と、その周りに配置された複数のリードとを有するリードフレームを用意する工程、
 - (b) 前記リードフレームの前記チップ搭載部に半導体チップを搭載する工程、
 - (c) 前記半導体チップを封止体により封止する工程、
 - (d) 前記リードフレームの前記封止体から露出する前記複数のリードの一部を切断することにより、前記リードフレームから前記半導体チップを有する半導体装置を切り出す工程、
 - (e) 前記(d)工程後の前記半導体装置の前記封止体から露出する前記複数のリードの表面に、酸化膜を除去する表面処理剤を被着する工程。
- [2] 請求項1記載の半導体装置の製造方法において、前記リードフレームの主成分が銅であることを特徴とする半導体装置の製造方法。
- [3] 請求項1記載の半導体装置の製造方法において、前記リードフレームの主成分が鉄であることを特徴とする半導体装置の製造方法。
- [4] 請求項3記載の半導体装置の製造方法において、前記リードフレームの全体または前記封止体から露出される前記リードの一部に銅メッキ層が形成されており、前記表面処理剤は、前記銅メッキ層上に被着されていることを特徴とする半導体装置の製造方法。
- [5] 請求項3記載の半導体装置の製造方法において、前記リードフレームの前記封止体から露出する前記リードの一部にニッケルメッキ層とその上に形成された金メッキ層との積み重ね層が形成されていることを特徴とする半導体装置の製造方法。
- [6] 請求項5記載の半導体装置の製造方法において、前記表面処理剤は、前記ニッケルメッキ層と金メッキ層との積み重ね層上に被着されていることを特徴とする半導体装置の製造方法。
- [7] 以下の工程を有することを特徴とする半導体装置の製造方法：
- (a) 単位領域に、チップ搭載部と、その周りに配置された複数のリードとを有するリードフレームを用意する工程、

(b) 前記リードフレームの前記チップ搭載部に半導体チップを搭載する工程、
(c) 前記半導体チップを封止体により封止する工程、
(d) 前記リードフレームの前記封止体から露出する前記複数のリードの一部を切断し、前記リードフレームから前記半導体チップを有する半導体装置を切り出す工程、
(e) 前記 (d) 工程後の半導体装置に対して電気的特性試験を行う工程、
(f) 前記 (e) 工程後の前記半導体装置の前記封止体から露出する前記複数のリードの表面に、酸化膜を除去する表面処理剤を被着する工程。

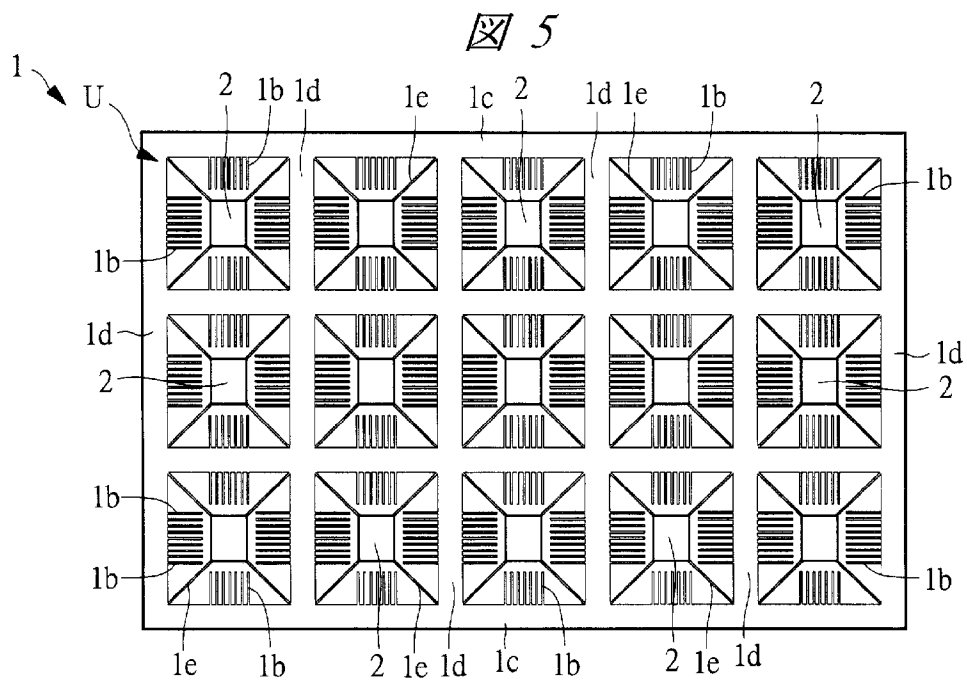
- [8] 請求項7記載の半導体装置の製造方法において、前記半導体装置を、前記表面処理剤の液中に浸すことにより、前記半導体装置の前記封止体から露出する前記複数のリードに前記表面処理剤を被着することを特徴とする半導体装置の製造方法。
- [9] 請求項8記載の半導体装置の製造方法において、前記半導体装置はリードレス形であることを特徴とする半導体装置の製造方法。
- [10] 請求項7記載の半導体装置の製造方法において、前記半導体装置の前記封止体から露出する前記複数のリードに前記表面処理剤を噴射することにより、前記封止体から露出する前記複数のリードに前記表面処理剤を被着することを特徴とする半導体装置の製造方法。
- [11] 請求項10記載の半導体装置の製造方法において、前記半導体装置はリードレス形またはリード突出形であることを特徴とする半導体装置の製造方法。
- [12] チップ搭載部と、
前記チップ搭載部上に搭載された半導体チップと、
前記チップ搭載部の周りに配置され、前記半導体チップに電氣的に接続された複数のリードと、
前記半導体チップの全体、前記複数のリードの一部および前記チップ搭載部の一部または全部を覆う封止体とを備え、
前記封止体から露出する前記複数のリードに、酸化膜を除去する表面処理剤が被着されていることを特徴とする半導体装置。
- [13] 請求項12記載の半導体装置において、前記半導体装置はリードレス形であることを特徴とする半導体装置。

[図1]

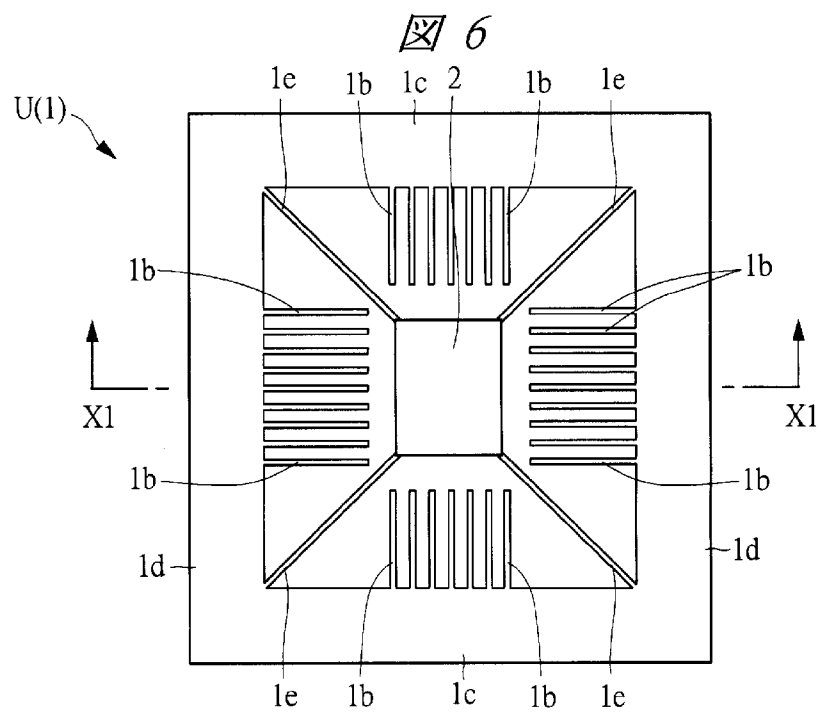
図 1



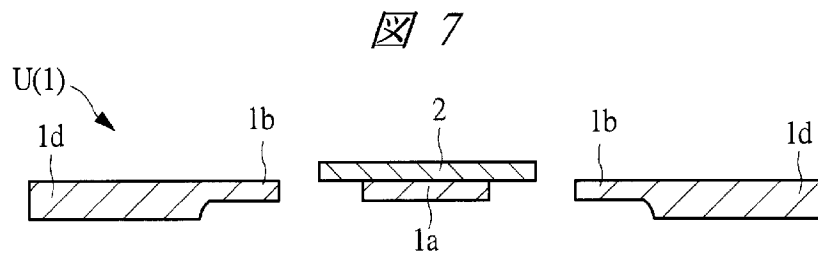
[図5]



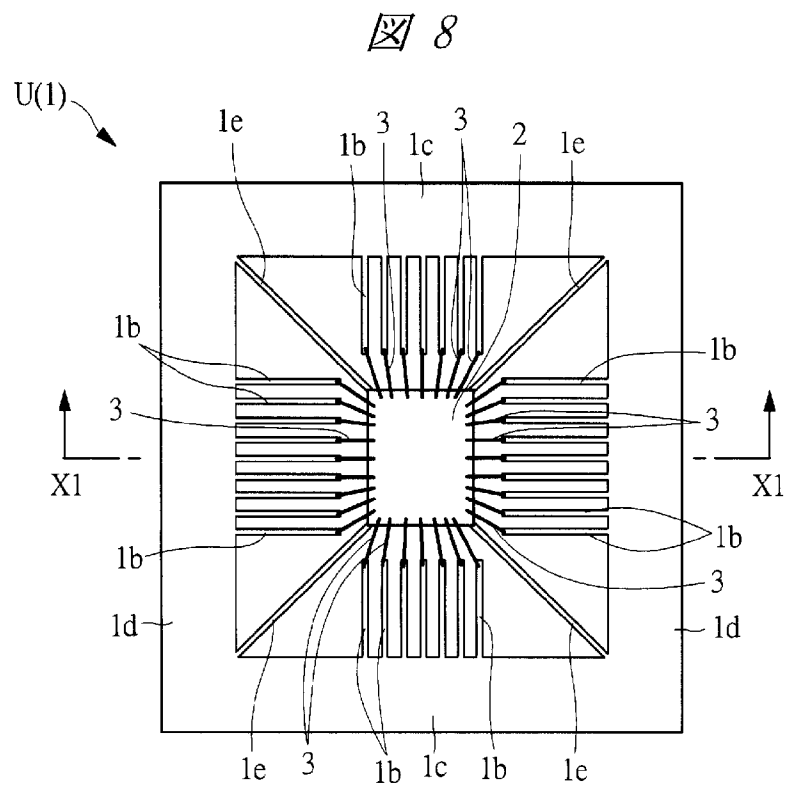
[図6]



[図7]

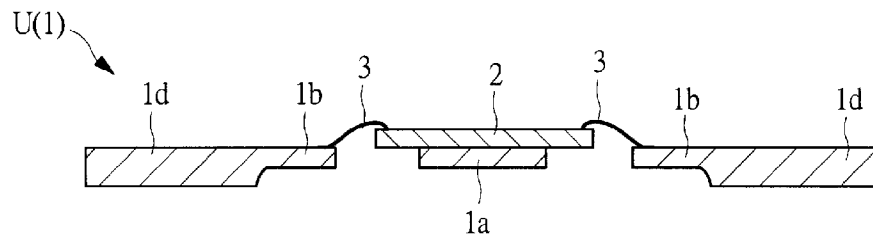


[図8]



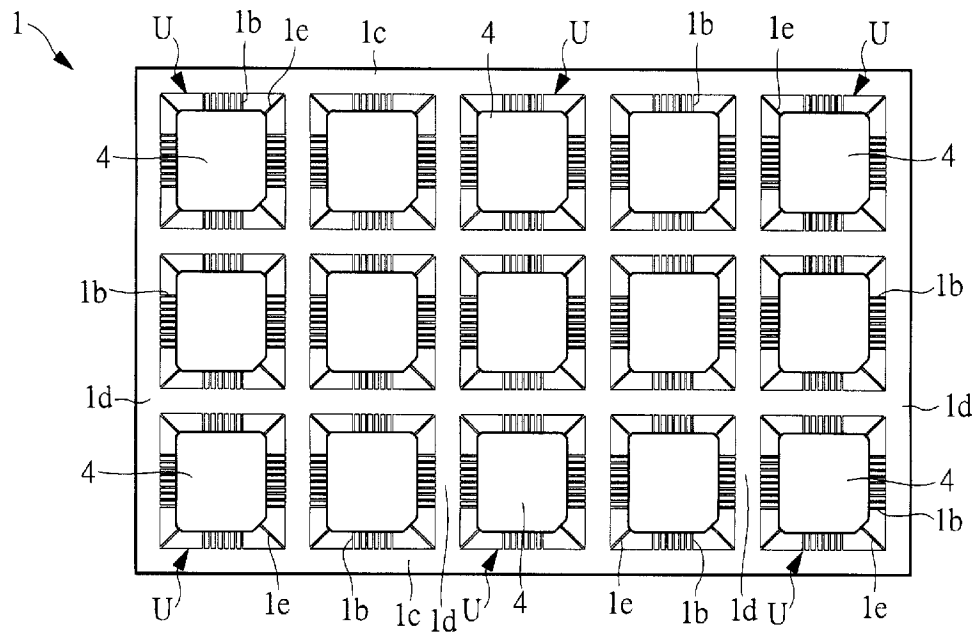
[図9]

図 9

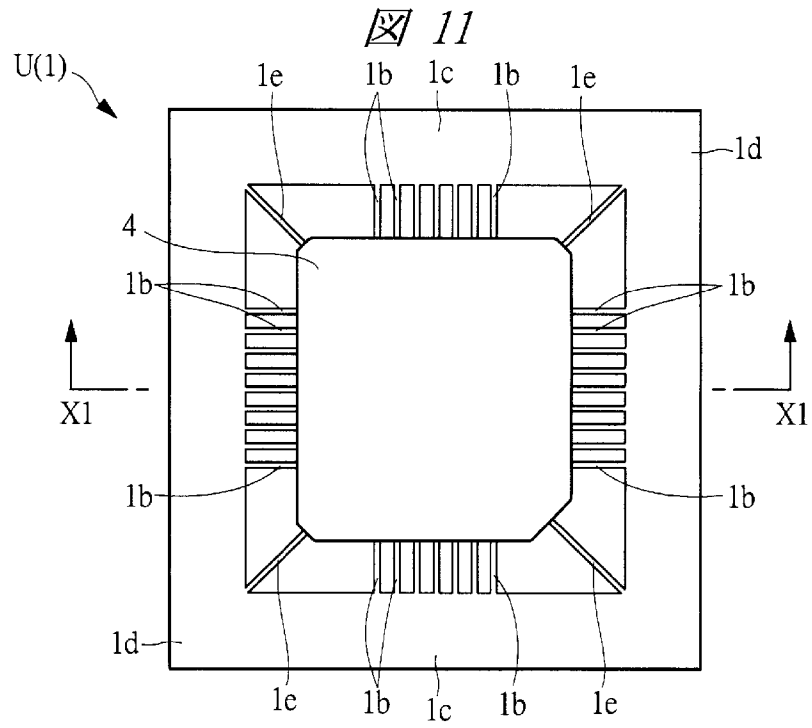


[図10]

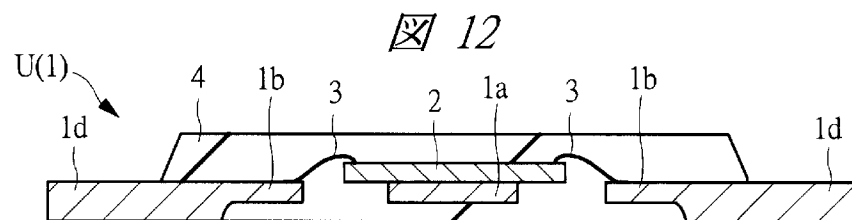
図 10



[図11]

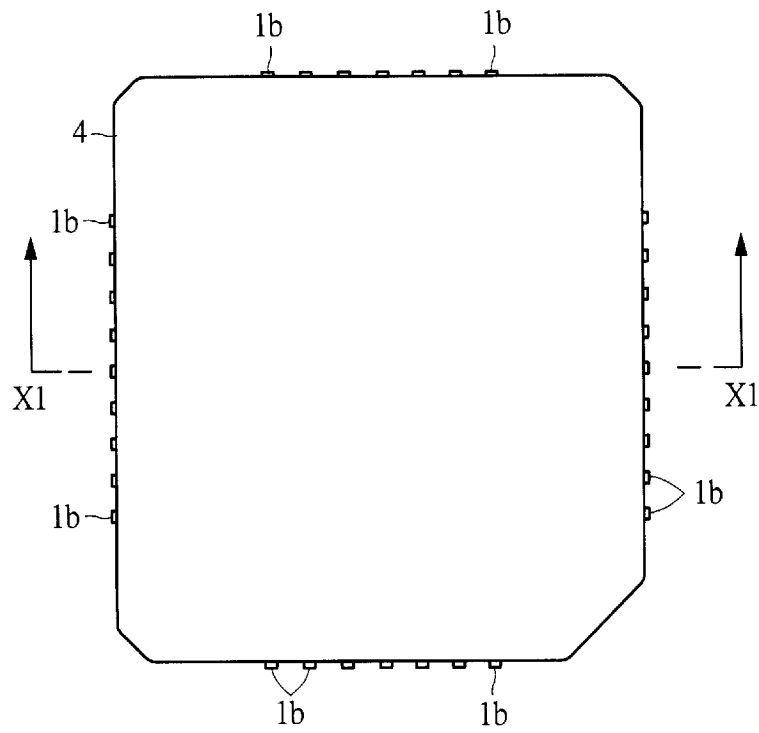


[図12]



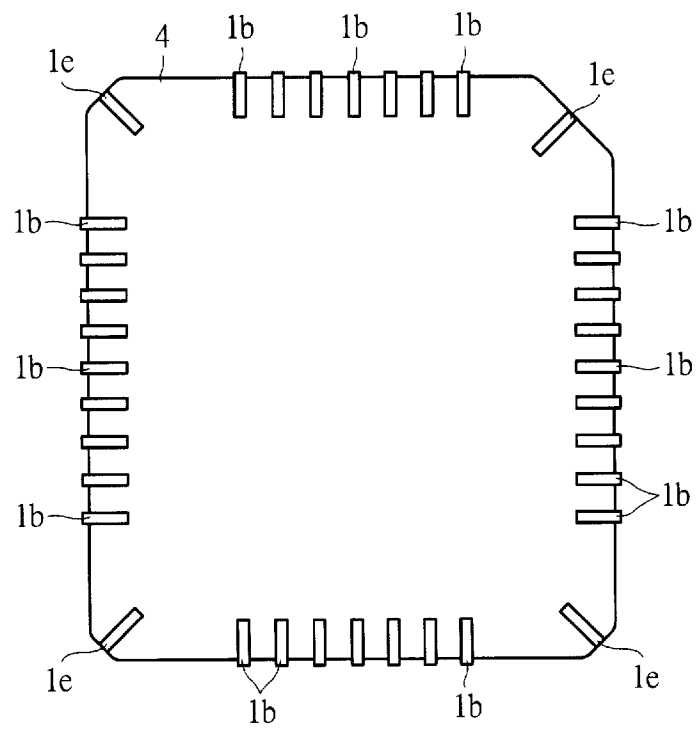
[図13]

図 13



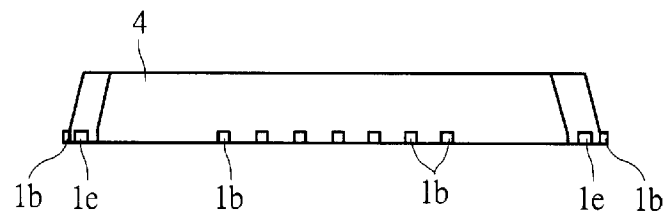
[図14]

図 14



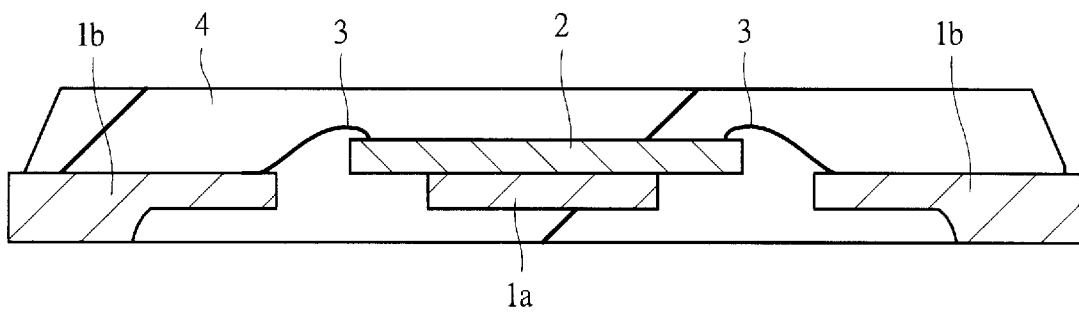
[図15]

図 15



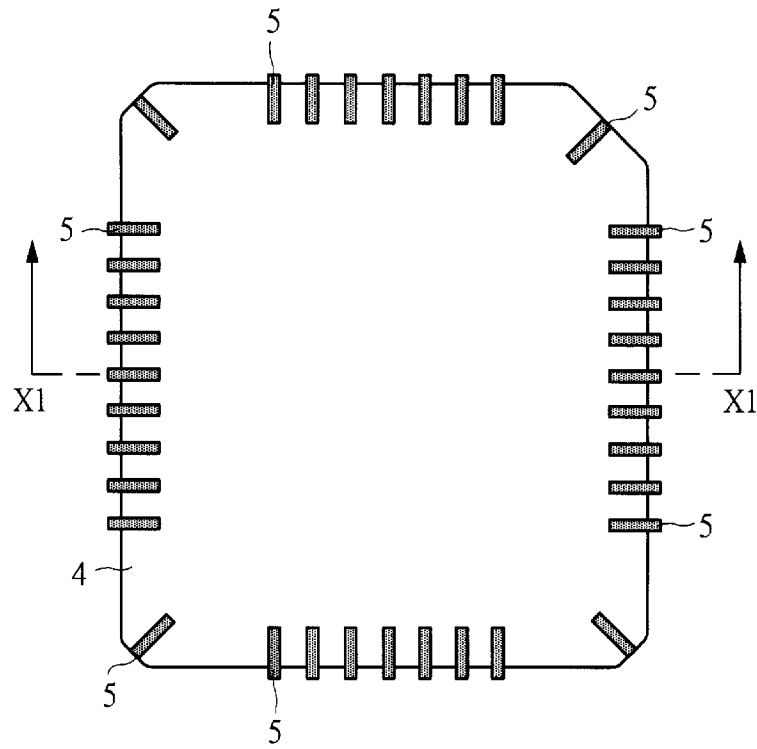
[図16]

図 16



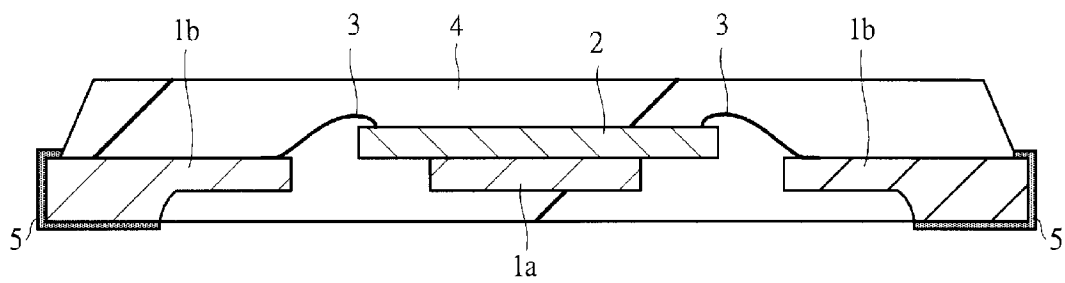
[図17]

図 17



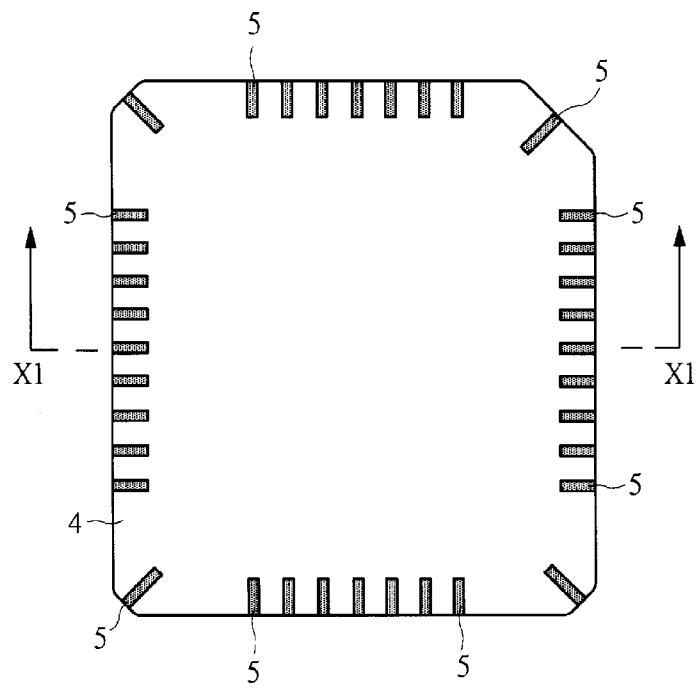
[図18]

図 18



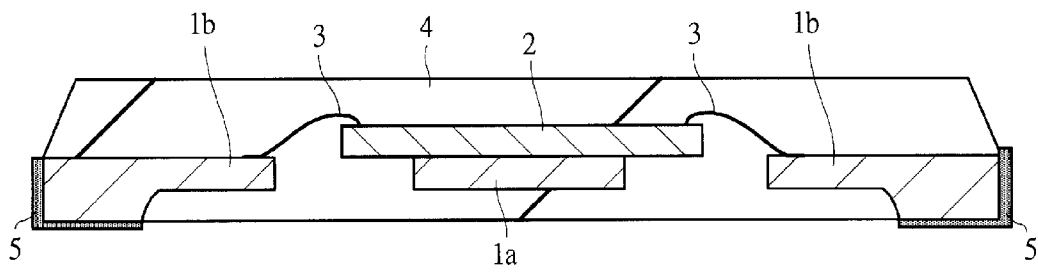
[図19]

図 19



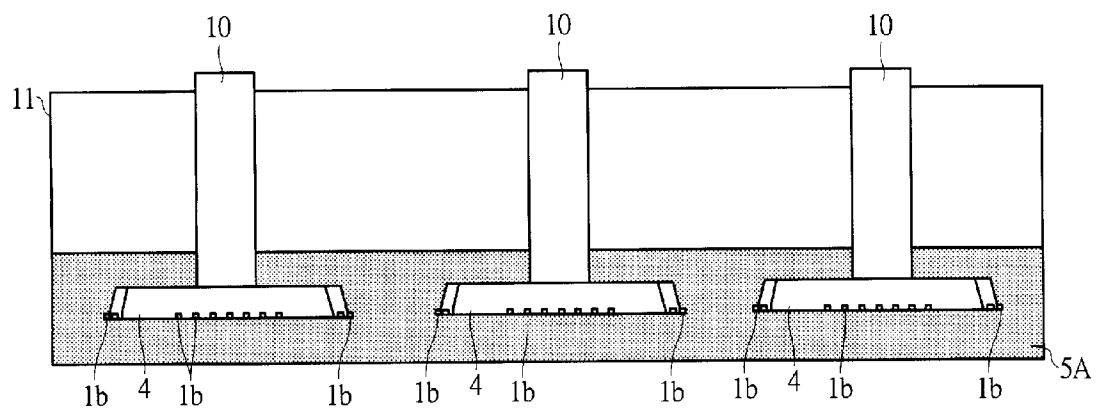
[図20]

図 20



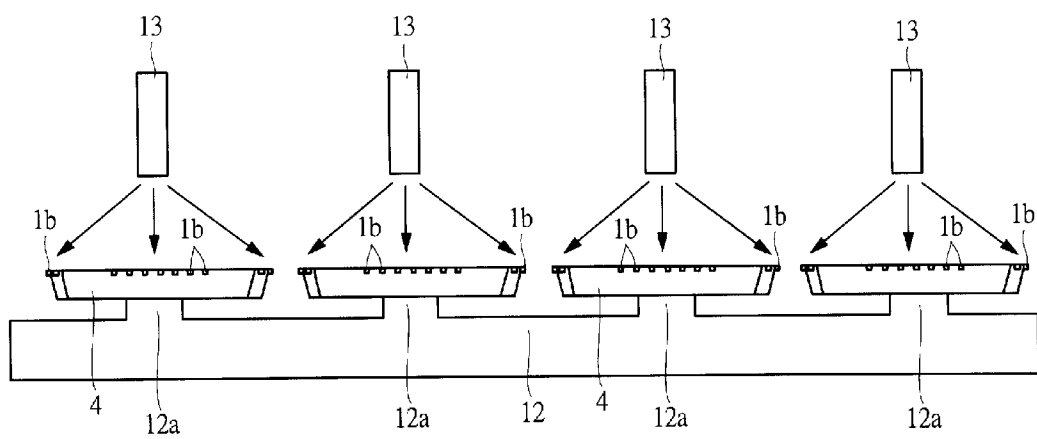
[図21]

図 21



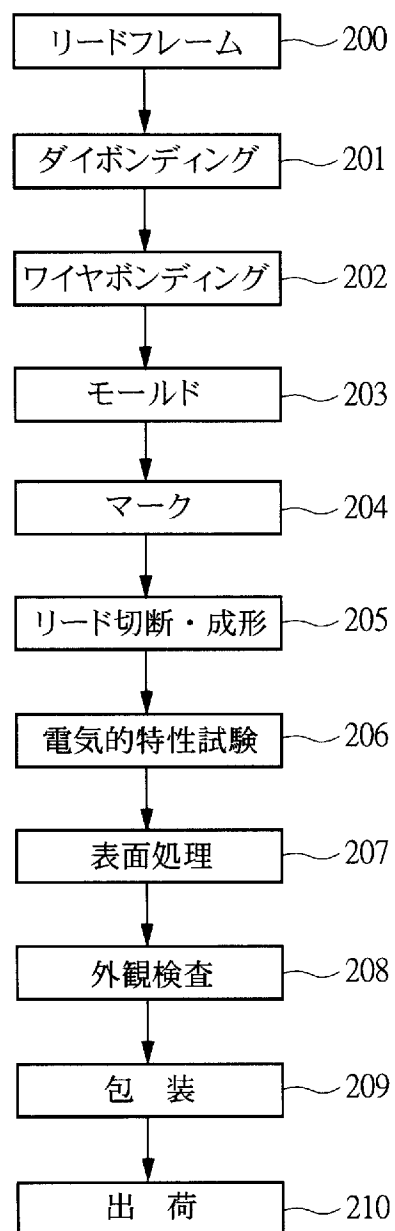
[図22]

図 22



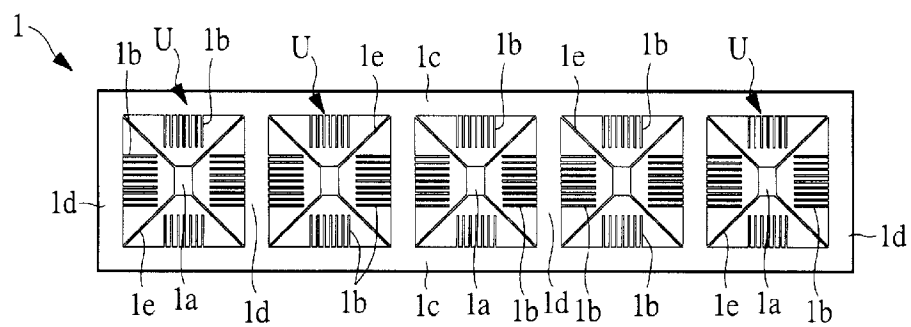
[図23]

図 23



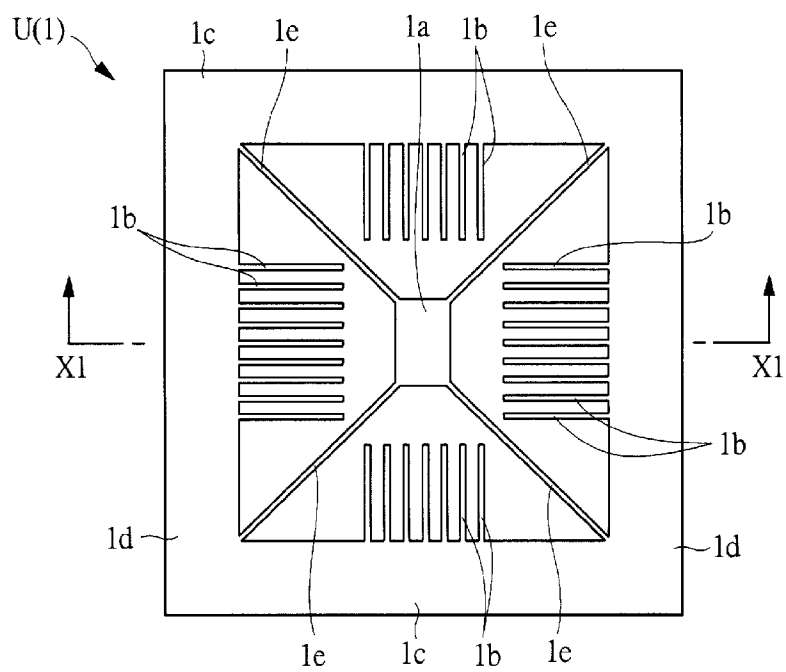
[図24]

図 24



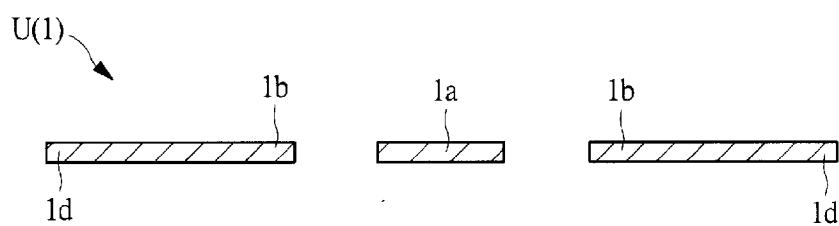
[図25]

図 25



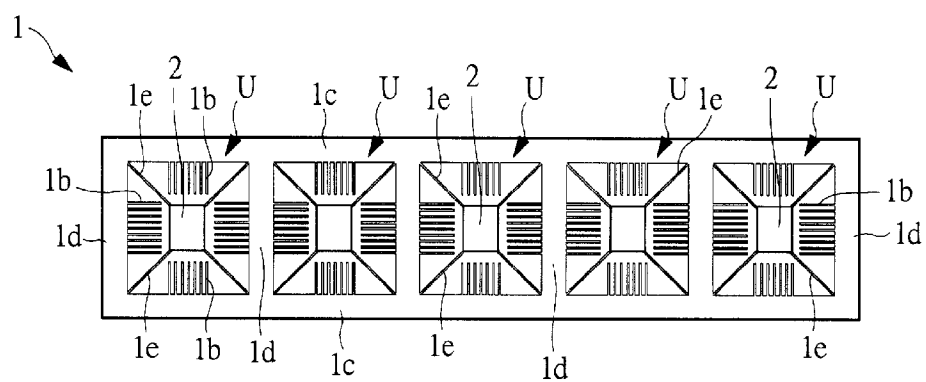
[図26]

図 26

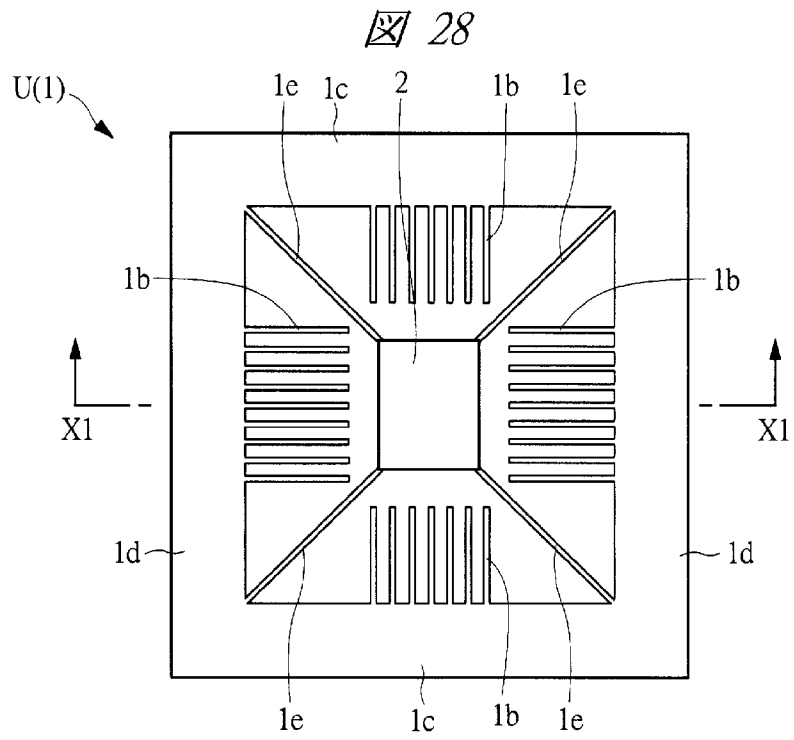


[図27]

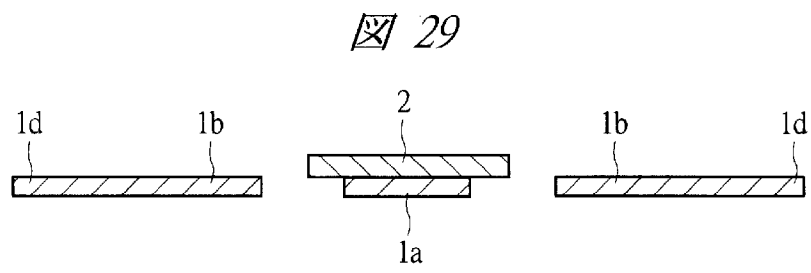
図 27



[図28]

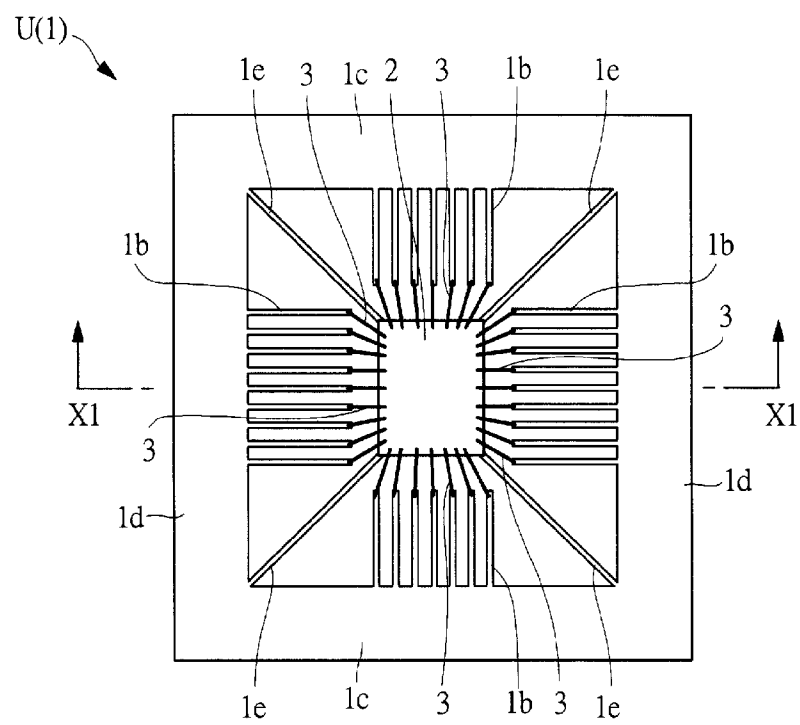


[図29]



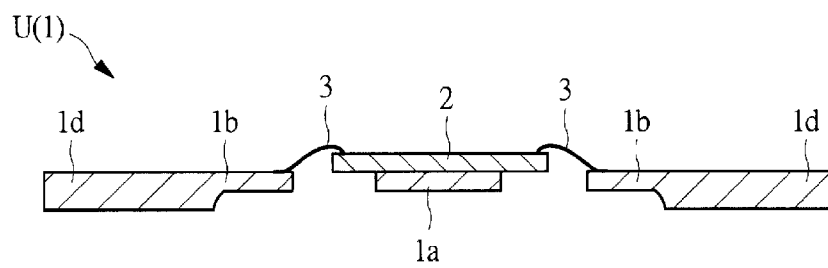
[図30]

図 30

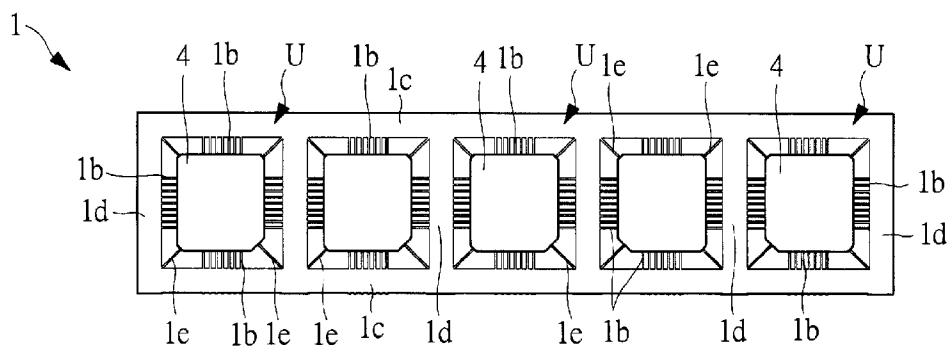


[図31]

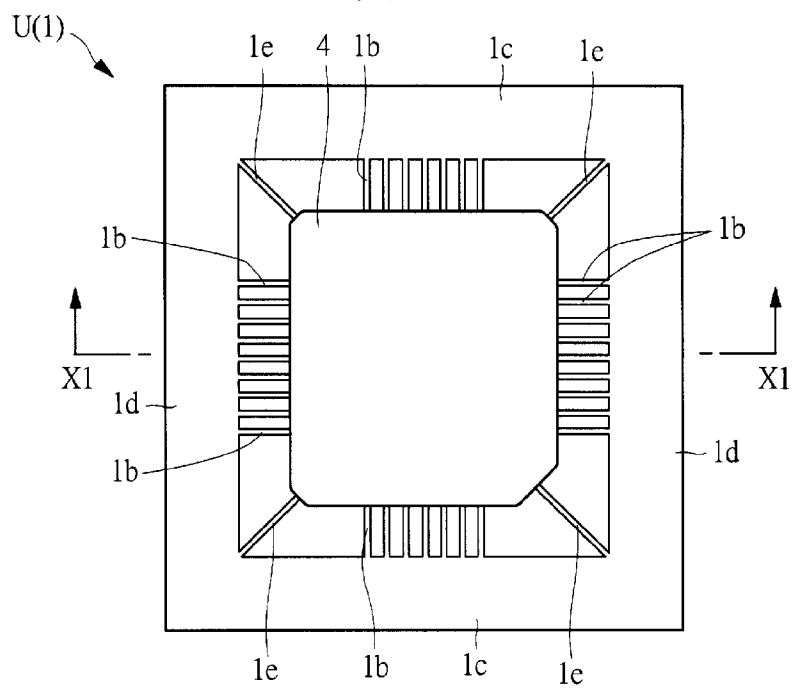
図 31



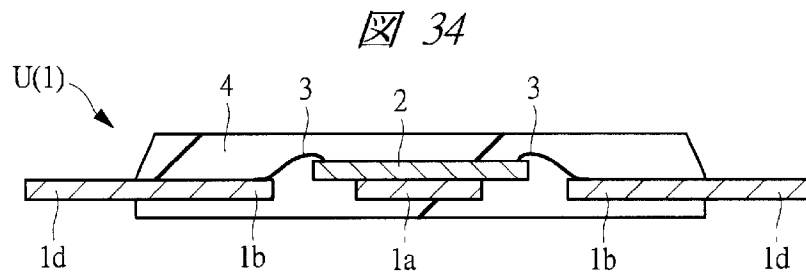
32



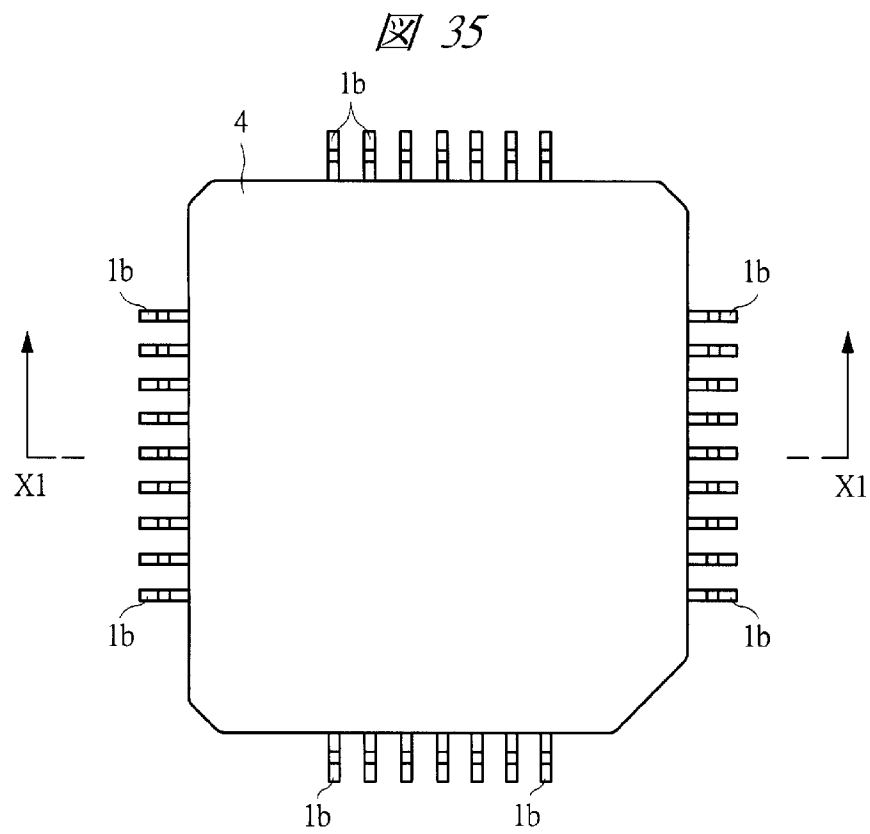
33



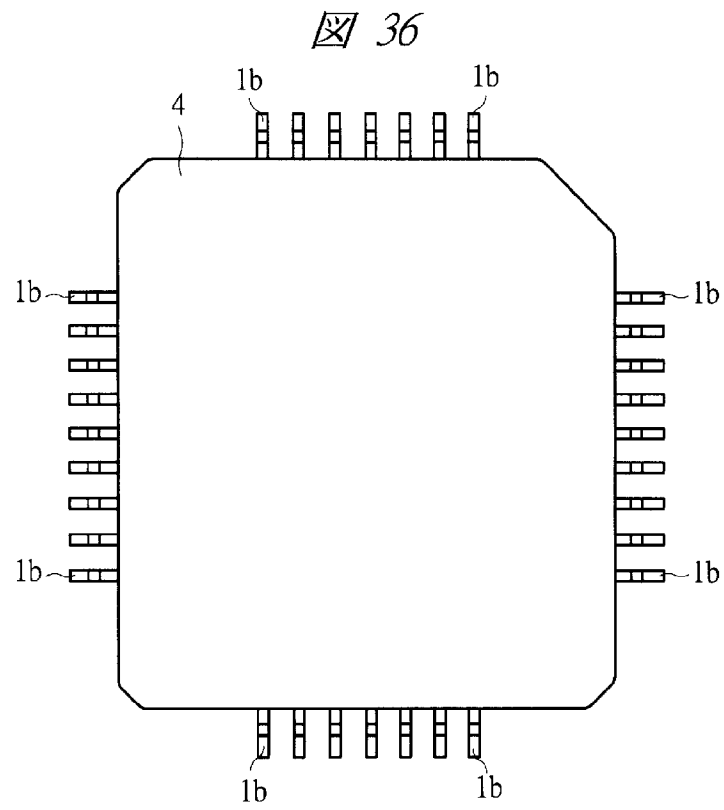
[図34]



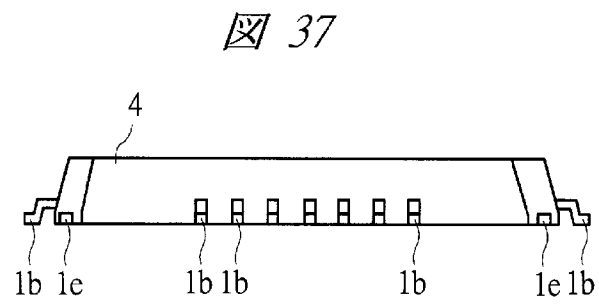
[図35]



[図36]

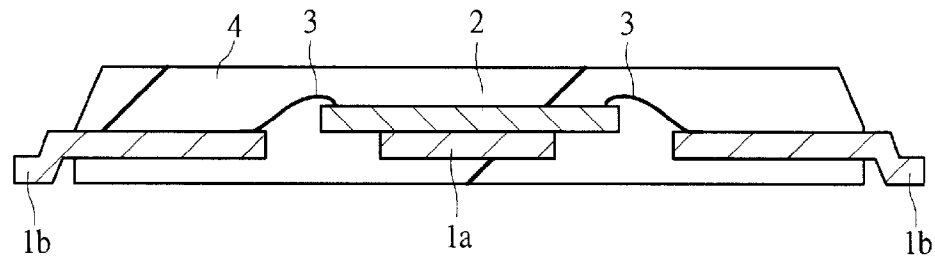


[図37]



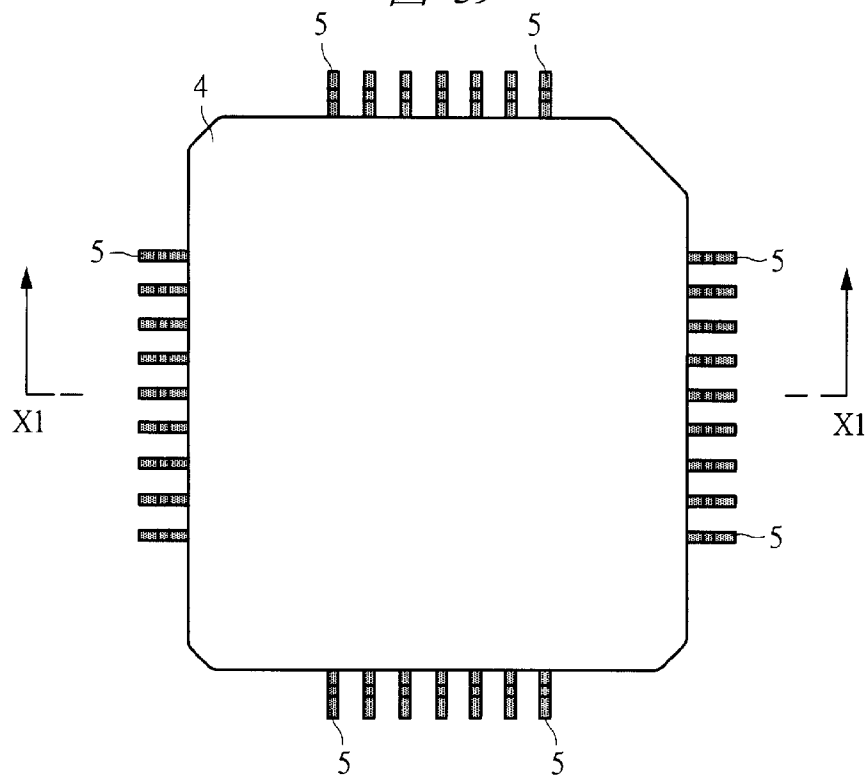
[図38]

図 38



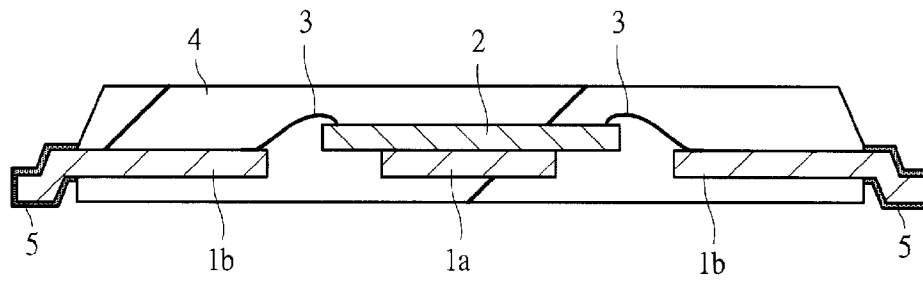
[図39]

図 39



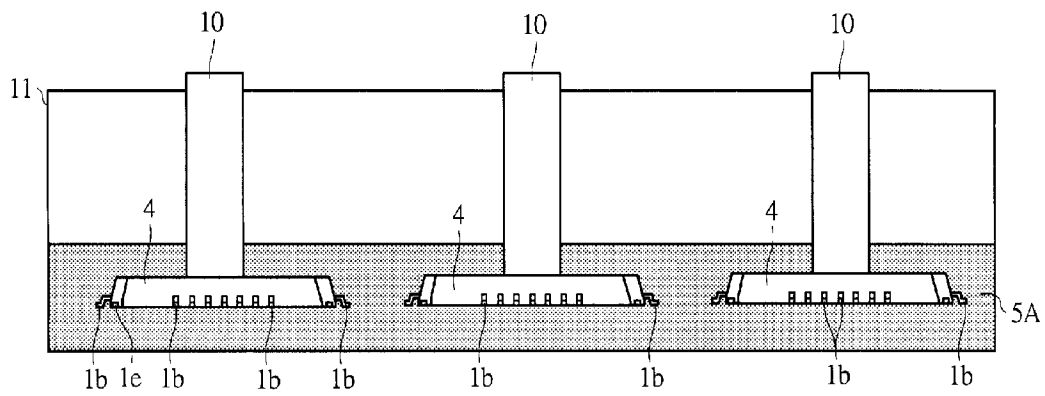
[図40]

図 40



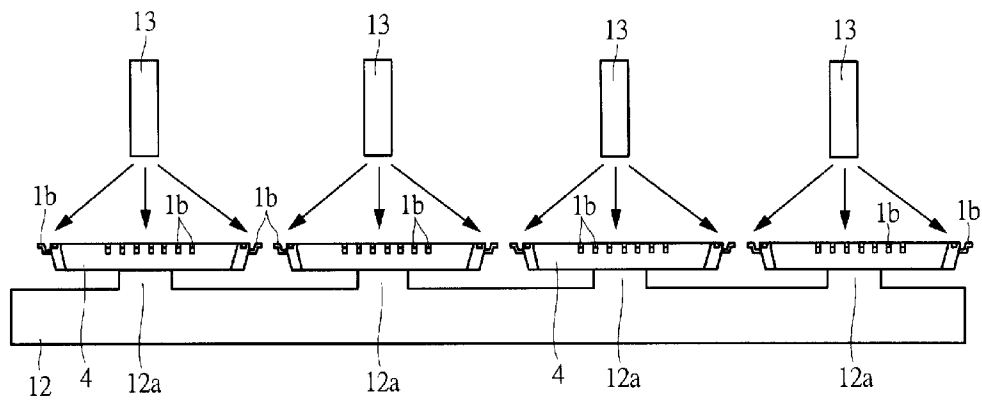
[図41]

図 41



[図42]

図 42



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/057668

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/50(2006.01) i, C23F11/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/50, C23F11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-100718 A (Matsushita Electric Industrial Co., Ltd.), 05 April, 2002 (05.04.02), Par. Nos. [0024] to [0108]; Figs. 1 to 4 & US 2002/0053721 A1	1-4, 7-13 5-6
X Y	JP 09-008200 A (Hitachi, Ltd.), 10 January, 1997 (10.01.97), Par. Nos. [0018] to [0039]; Figs. 1 to 8 (Family: none)	1-4, 7-13 5-6
Y	JP 04-152661 A (Hitachi Cable, Ltd.), 26 May, 1992 (26.05.92), Page 2, lower left column, line 19 to page 5, lower left column, line 11; Figs. 1 to 3 (Family: none)	5-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 June, 2007 (13.06.07)

Date of mailing of the international search report
26 June, 2007 (26.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/057668

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/057668

Continuation of Box No.III of continuation of first sheet (2)

In order that a group of inventions described in claims may comply with the requirement of unity of invention, the existence of special technical features is needed for making the grouped inventions so relative as to form a single general inventive concept. The grouped inventions of claims 1 - 13 are admitted to correlate only in the matter of "a semiconductor device comprising a chip mounting portion, a semiconductor chip mounted on said chip mounting portion, a plurality of leads arranged around said chip mounting portion and connected electrically with said semiconductor chip, and a sealer for covering said semiconductor chip wholly, said leads partially, and said chip mounting portion partially or wholly, characterized in that said leads exposed from said sealer are coated with a surface treating agent for removing an oxide film".

However, this matter cannot be the special technical feature, since it was disclosed in a prior art document such as JP 2002-100718 A (Matsushita Electric Industrial Co., Ltd.), 5 April, 2002 (05.04.02) or JP 09-008200 A (Hitachi, Ltd.), 10 January, 1997 (10.01.97).

Thus, the grouped inventions of claims 1 - 13 do not have any special technical feature that is so linked as to form a single general inventive concept.

Hence, it is apparent that the grouped inventions of claims 1 - 13 do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L23/50(2006.01)i, C23F11/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L23/50, C23F11/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2002-100718 A (松下電器産業株式会社) 2002.04.05, 段落【0024】～【0108】, 第1-4図 &US 2002/0053721 A1	1-4, 7-13 5-6
X Y	J P 09-008200 A (株式会社日立製作所) 1997.01.10, 段落【0018】～【0039】, 第1-8図 (ファミリーなし)	1-4, 7-13 5-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.06.2007

国際調査報告の発送日

26.06.2007

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山本 雄一

4 R

3123

電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 0 4 - 1 5 2 6 6 1 A (日立電線株式会社) 1 9 9 2 . 0 5 . 2 6 , 第 2 頁左下欄第 1 9 行～第 5 頁左下欄第 1 1 行, 第 1 - 3 図 (ファミリーなし)	5-6

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1～13に記載されている一群の発明は、「チップ搭載部と、前記チップ搭載部上に搭載された半導体チップと、前記チップ搭載部の周りに配置され、前記半導体チップに電氣的に接続された複数のリードと、前記半導体チップの全体、前記複数のリードの一部および前記チップ搭載部の一部または全部を覆う封止体とを備え、前記封止体から露出する前記複数のリードに、酸化膜を除去する表面処理剤が被着されていることを特徴とする半導体装置」からなる事項でのみ連関していると認める。

しかしながら、この事項は先行技術文献、例えば、J P 2002-100718 A (松下電器産業株式会社) 2002.04.05, J P 09-008200 A (株式会社日立製作所) 1997.01.10等に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1～13に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。

そのため、請求の範囲1～13に記載されている一群の発明が発明の単一性を満たしていないことは明らかである。