



등록특허 10-2087337



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년03월11일

(11) 등록번호 10-2087337

(24) 등록일자 2020년03월04일

(51) 국제특허분류(Int. Cl.)

H01L 21/48 (2006.01) *H01L 21/18* (2006.01)
H01L 21/768 (2006.01) *H01L 21/8258* (2006.01)
H01L 23/498 (2006.01) *H01L 23/538* (2006.01)
H01L 51/00 (2006.01)

(52) CPC특허분류

H01L 21/4857 (2013.01)
H01L 21/185 (2013.01)

(21) 출원번호 10-2017-7037238(분할)

(22) 출원일자(국제) 2007년09월06일
심사청구일자 2018년01월25일

(85) 번역문제출일자 2017년12월26일

(65) 공개번호 10-2018-0002083

(43) 공개일자 2018년01월05일

(62) 원출원 특허 10-2016-7032797

원출원일자(국제) 2007년09월06일
심사청구일자 2016년11월25일

(86) 국제출원번호 PCT/US2007/077759

(87) 국제공개번호 WO 2008/030960

국제공개일자 2008년03월13일

(30) 우선권주장

60/824,683 2006년09월06일 미국(US)
60/944,626 2007년06월18일 미국(US)

(56) 선행기술조사문현

US6743982 B2

(뒷면에 계속)

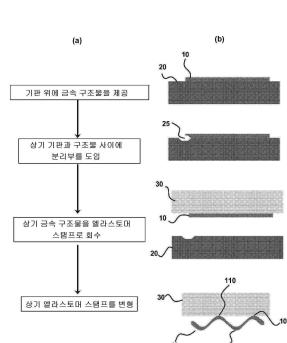
전체 청구항 수 : 총 28 항

심사관 : 정구원

(54) 발명의 명칭 인장 가능한 가요성 장치의 제조 방법

(57) 요약

일 측면에서, 본 발명은 인장되거나, 압축되거나, 휘어지거나 또는 달리 변형될 때에도 우수한 성능을 제공할 수 있는 반도체 또는 전자 회로들과 같은 인장 가능하고, 또한 선택적으로는 인쇄 가능한, 구성 부품들, 및 그러한 인장 가능한 구성 부품들을 제조하거나 조절할 수 있는 관련 방법들을 제공한다. 일부 응용들에 있어서 선호되는 (뒷면에 계속)

대 표 도 - 도1

는 인장 가능한 반도체들과 전자 회로들은 인장 가능할 뿐만 아니라, 가요성이고, 따라서 상당한 신장, 휩, 구부림, 또는 하나 또는 그 이상의 축을 따르는 다른 변형도 가능하다. 또한, 본 발명의 인장 가능한 반도체들 및 전자 회로들은 완전히 가요성인 전자 및 광학전자 장치들을 제공하기 위하여 광범위한 장치 구성에 적용된다.

(52) CPC특허분류

H01L 21/76832 (2013.01)*H01L 21/8258* (2013.01)*H01L 23/4985* (2013.01)*H01L 23/5387* (2013.01)*H01L 51/0097* (2013.01)

(72) 발명자

션 위강

미국 일리노이 60565 네이퍼빌 밴더빌트 코트 2021

고 홍조

미국 일리노이 61801 어바나 사우쓰 굿원 애비뉴

300 #515

칼슨 앤드류

미국 일리노이 61801 어바나 노쓰 링컨 애비뉴

1901 #115

최 원목

미국 일리노이 61820 샘페인 히쓰로우 드라이브

2403 #8

스토이코비치 마크

미국 뉴햄프셔 03820-4321 도버 웨스트우드 서클

35

지양 한청

미국 일리노이 어바나 랜캐스터 드라이브 1306

후양 용강

미국 일리노이 60022 글렌코 스트로우베리 헬 드라이브 758

누조 랄프 쥐.

미국 일리노이 61821 샘페인 노팅엄 코트 노쓰 2413

이 건재

일본 도쿄 코토쿠 히가시스나 8-18-22-1017

강 성준

대전광역시 유성구 도룡동 1번지

쭈 쟁타오

미국 사우쓰다코타 57702 래피드 시티 씨머셋 드라이브 4924

메나르 에띠엔느

미국 노쓰캐롤라이나 27713 더럼 뉴홀 로드 5215

안 종현

경기도 수원시 장안구 장안로 232 110동 601호 (정자동, 동신아파트)

김 훈식

미국 일리노이 61822 샘페인 베이타운 드라이브 1125 아파트먼트 16

강 달영

서울특별시 동작구 노량진로32길 156 103동 702호 (본동, 경동원초리버아파트)

(56) 선행기술조사문헌

US6317175 B1

US6989185 B2

KR1020060083916 A*

US20020094701 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

인장 가능한 가요성 장치의 제조 방법으로서,
수용 표면을 갖는 가요성 기판을 제공하는 단계; 및
상기 수용 표면에 복수의 장치 구성 부품들을 결합하는 단계;
를 포함하고,
적어도 하나의 장치 구성 부품은 하나 이상의 상호 접속부에 의하여 다른 장치 구성 부품에 연결되고,
적어도 하나의 상호 접속부는 상기 가요성 기판으로부터 물리적으로 이격되고 굴곡진 영역을 갖고,
적어도 두 개의 상호 접속부들이 제 1 장치 구성 부품에 전기적으로 연결되고,
상기 결합하는 단계를 수행하는 동안 상기 적어도 두 개의 상호 접속부들이 상기 수용 표면의 평면에서 상기 제 1 장치 구성 부품으로부터 적어도 두 개의 상이한 방향들을 따라 연장되어 2차원 장치 어레이를 형성하고, 상기 적어도 두 개의 상호 접속부들의 각각은 골곡지고 상기 가요성 기판으로부터 물리적으로 이격된 영역을 갖는,
인장 가능한 가요성 장치의 제조 방법.

청구항 2

제 1 항에 있어서,
상기 상호 접속부는 전기 상호 접속부이고,
상기 적어도 하나의 장치 구성 부품은 콘택 패드, 광 다이오드, 발광 다이오드, 전극, 트랜지스터, 집적 회로, 바이오 센서, 화학 센서, 가속계, 압력 센서, 또는 트랜스듀서 중의 하나 이상인 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 3

제 1 항에 있어서,
상기 굴곡진 영역은 상기 가요성 기판으로부터 100 nm 내지 1 mm의 이격 거리를 갖는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 4

제 1 항에 있어서,
상기 가요성 기판 수용 표면에서 제 1 수준의 변형으로부터 제 2 수준의 변형까지 변형 수준에 있어서의 변화를 생성하는 단계;
를 더 포함하고,

상기 적어도 하나의 장치 구성 부품은 상기 제 1 수준의 변형으로 상기 가요성 기판에 결합되고, 상기 변형에서의 변화가 상기 적어도 하나의 장치 구성 부품의 일부의 구부림 및 상기 가요성 기판으로부터의 분리를 초래하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 가요성 기판 수용 표면에서 제 1 방향 및 제 2 방향으로 변형 수준에 있어서의 변화를 생성하는 단계;
를 더 포함하고,

상기 적어도 하나의 장치 구성 부품은 제 1 수준의 변형에서 상기 가요성 기판에 결합되고,

상기 변형 수준에 있어서의 변화는, 제1 상호 접속부의 일부가 구부러지고 상기 제 1 방향으로 상기 가요성 기판으로부터 이격되고 제2 상호 접속부의 일부가 구부러지고 상기 제 2 방향으로 상기 가요성 기판으로부터 이격되는 것을 초래하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 적어도 두 개의 상호 접속부들의 굴곡진 영역들 각각은 상기 가요성 기판으로부터 100 nm 내지 1 mm의 이격 거리를 갖는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 적어도 두 개의 상호 접속부들의 각각은 제 1 단부 및 제 2 단부를 갖고, 상기 가요성 기판으로부터 물리적으로 이격되고 굴곡진 상기 영역은 상기 제 1 단부와 상기 제 2 단부 사이의 중앙 영역이고,

상기 적어도 두 개의 상호 접속부들 각각의 상기 제 1 단부는 상기 제 1 장치 구성 부품과 전기적으로 소통되고,

상기 적어도 두 개의 상호 접속부들 각각의 상기 중앙 영역은 적어도 두 개의 구부림(bent) 구성 영역들 및 상기 적어도 두 개의 구부림 구성 영역들 사이에 배치된 적어도 하나의 콘택 포인트를 포함하고,

상기 적어도 하나의 콘택 포인트의 각각은 상기 가요성 기판의 수용 표면과 물리적으로 소통하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 적어도 하나의 콘택 포인트는 상기 가요성 기판의 수용 표면에 결합되는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 10

제 1 항에 있어서,

상기 제 1 장치 구성 부품은 금속, 반도체, 절연체, 압전(piezoelectric) 물질, 강유전체(ferroelectric) 물질, 자기변형성(magnetostrictive) 물질, 전자변형성(electrostrictive) 물질, 초전도체, 강자성(ferromagnetic) 물질, 및 열전성(thermoelectric) 물질로 구성된 군으로부터 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 11

제 1 항에 있어서,

상기 제 1 장치 구성 부품은 전자 장치, 광학 장치, 광-전자(opto-electronic) 장치, 기계적 장치, 미세전자기계 시스템들(microelectromechanical systems), 나노전자기계 시스템들(nanoelectromechanical systems), 미세 유동(microfluidic) 장치들, 또는 열적 장치인 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 적어도 두 개의 상호 접속부들은 조정 가능한 장치 구성 부품이며, 상기 조정 가능한 장치 구성 부품의 각각은 상기 굴곡진 영역의 변형의 수준에 따라 선택적으로 변화하는 전기적 성질, 광학적 성질, 또는 기계적 성

질 중 적어도 하나를 갖는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 13

제 1 항에 있어서,

상기 적어도 두 개의 상호 접속부들은 복수의 인장 가능한 상호 접속부들이고, 상기 복수의 인장 가능한 상호 접속부들 중 적어도 하나는 상기 가요성 기판 수용 표면과 물리적으로 소통하는 적어도 하나의 콘택 포인트 및 상기 적어도 하나의 콘택 포인트로부터 연장되는 셋 이상의 구부림 구성 영역들을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 14

제 8 항에 있어서,

상기 적어도 두 개의 상호 접속부들의 각각은, 상기 제 1 단부, 상기 제 2 단부, 또는 상기 제 1 단부 및 상기 제 2 단부의 모두와 전기적으로 접촉하는 하나 이상의 콘택 패드들을 더 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제 1 장치 구성 부품은 상기 하나 이상의 콘택 패드들과 전기적으로 접촉하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 16

제 1 항에 있어서,

상기 적어도 두 개의 상호 접속부들의 각각은

코일화된(coiled) 형태, 주름진 형태, 베클링된 형태 및 웨이브진 구성 중 적어도 하나를 갖는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 17

제 1 항에 있어서,

상기 적어도 두 개의 굴곡진 영역들의 각각은 접힘 영역(folded region), 볼록 영역, 오목 영역, 또는 이들의 임의의 조합을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 18

제 1 항에 있어서,

상기 가요성 기판은 엘라스토머 물질을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 19

제 1 항에 있어서,

상기 적어도 하나의 장치 구성 부품은 복수의 장치 구성 부품들이고, 상기 적어도 두 개의 상호 접속부들은 복수의 상호 접속부들인 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 2차원 장치 어레이가 그리드 구성, 꽃모양 구성, 브리지 구성 또는 이들의 임의의 조합을 갖는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 21

제 19 항에 있어서,

상기 복수의 장치 구성 부품들 중 하나 이상은 상기 복수의 상호 접속부들에 의하여 이웃하는 장치 구성 부품들에 연결되는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 복수의 상호 접속부들 중 적어도 하나는 상기 복수의 상호 접속부들 중 다른 것과 상이한 방향으로 배향된 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 23

제 19 항에 있어서,

상기 2차원 장치 어레이의 적어도 일부는 상기 복수의 상호 접속부들 중 서로 평행한 방향으로 배열된 둘 이상 또는 상기 복수의 상호 접속부들 중 둘 이상의 상이한 방향들로 배향된 둘 이상을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 24

제 19 항에 있어서,

상기 2차원 장치 어레이는 둘 이상의 장치를 포함하고, 각 장치 층은 복수의 장치 구성 부품들 및 복수의 상호 접속부들을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 25

제 19 항에 있어서,

상기 가요성 기판의 상기 수용 표면의 적어도 일부는 굴곡지거나, 불록하거나, 오목하거나, 또는 반구형인 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 26

제 19 항에 있어서,

상기 2차원 장치 어레이는 광 감지기, 광 다이오드 어레이, 디스플레이, 발광 장치, 광전지 장치(photovoltaic device), 센서 어레이, 시트 스캐너, LED 디스플레이, 반도체 레이저 어레이, 광학 이미징 시스템, 대면적 전자 장치, 트랜지스터 어레이, 논리 게이트 어레이, 마이크로프로세서, 접적 회로, 또는 이들의 임의의 조합 중 하나 이상을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 27

제 19 항에 있어서,

상기 2차원 장치 어레이는 꽃모양 구성을 갖고, 상기 적어도 두 개의 상호 접속부들은 복수의 상호 접속부들이고, 상기 복수의 상호 접속부들 중 적어도 하나는 상기 수용 표면과 물리적으로 소통하는 적어도 하나의 콘택 포인트 및 상기 적어도 하나의 콘택 포인트로부터 연장되는 셋 이상의 구부림 구조 영역들을 포함하는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 28

제 4 항에 있어서,

상기 제 1 수준의 변형은 상기 수용 표면을 신장시키고

상기 변형 수준에 있어서의 변화를 생성하는 단계는 신장된 상기 수용 표면을 적어도 부분적으로 릴랙스시키는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

청구항 29

제 6 항에 있어서,

상기 제 1 방향 및 상기 제 2 방향으로의 상기 변형 수준에 있어서의 상기 변화의 각각은 상기 제 1 방향 및 상기 제 2 방향에 있어서 상기 수용 표면을 신장시키고,

상기 변형 수준에 있어서의 변화를 생성하는 단계는 상기 제 1 방향 및 상기 제 2 방향으로 신장된 상기 수용 표면을 적어도 부분적으로 릴랙스시키는 것을 특징으로 하는 인장 가능한 가요성 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 인장 가능한 구성 부품들과 그의 제조 방법에 관한 것이다.

[0002] 본 출원은 2007년 6월 18일 출원된 미합중국 가출원 제60/944,626호 및 2006년 9월 6일 제출된 미합중국 가출원 제60/824,683호의 이익을 주장한다.

배경 기술

[0003] 1994년, 전체가 폴리머인 인쇄된 트랜지스터가 처음 시연된 이후, 플라스틱 기판 상의 플렉서블(flexible)한 집적된 전자 소자들을 포함하는 유망한 새로운 종류의 전자 시스템이 많은 관심을 받아왔다. [Garnier, F., Hajlaoui, R., Yassar, A. and Srivastava P., Science, Vol. 265, pgs 1684-1686] 최근, 물질에 관한 연구는 플렉서블 플라스틱 전자 소자들을 위한 전도체, 유전체 및 반도체 요소들을 위한, 용액 가공이 가능한 새로운 물질들을 개발하는 쪽으로 방향지워져 왔다. 그러나, 플렉서블 전자공학 분야에서의 발전은 용액 공정이 가능한 새로운 물질의 개발에 의해서 뿐만 아니라 소자 부품의 신규한 기하구조, 효율적인 소자 및 소자 부품의 처리 방법들 및 플렉서블 전자공학 시스템에 적용할 수 있는 고해상도의 패터닝 기술들에 의해서도 구동된다. 그러한 물질들, 소자 구성들 및 제조 방법들은 급속하게 떠오르는 새로운 종류의 플렉서블 집적 전자 소자들, 시스템들 및 회로들에 있어서 핵심적인 역할을 담당할 것으로 기대된다.

[0004] 플렉서블 전자공학 기술에 의하여 제공되는 몇 가지 중요한 장점들이 플렉서블 전자공학 분야에 대한 관심을 자아낸다. 예를 들면, 이들 기판 물질들의 내재적인 플렉서블한 성질은 깨어지기 쉬운 종래의 실리콘계 전자 소자들에 있어서는 가능하지 않은 수많은 유용한 소자 구성을 제공하는 많은 형태들로 이들 기판 물질들이 집적되는 것을 가능하게 한다. 또한, 용액 공정이 가능한 부품 물질들과 플렉서블 기판들의 결합은 연속적이면서도 고속인, 대면적 기판 위에 저렴하게 전자 소자들을 생성할 수 있는 프린팅 기술에 의한 제조를 가능하게 한다.

[0005] 그러나, 우수한 전자적 성능을 보이는 플렉서블 전자 소자들의 설계와 제조는 많은 중요한 도전 과제들을 제공한다. 첫째, 종래의 실리콘계 전자 소자들을 제조하는 잘 발전된 방법들이 대부분의 플렉서블 물질들과는 양립하지 않는다. 예를 들면, 단결정 실리콘 또는 저매뉴 반도체들과 같은 전통적인 고순도 무기 반도체 구성요소들은 대부분의 플라스틱 물질들의 녹는점 또는 분해 온도를 현저히 초과하는 온도(> 1000°C)에서 박막 성장에 의하여 통상 처리된다. 또한, 대부분의 무기 반도체들은 용액 기반의 처리와 운반을 가능하게 하는 편리한 용매들에 본질적으로 용해되지 않는다. 둘째, 많은 비정질 실리콘, 유기 또는 하이브리드 유-무기 반도체들이 플렉서블 물질들 내부로 통합되어 양립할 수 있고, 비교적 저온들에서 처리될 수 있지만, 이들 물질들은 우수한 전자적 성능을 제공할 수 있는 집적 전자 소자들을 제공할 수 있는 전자적 성질들을 갖지 않는다. 예를 들면, 이들 물질로 만들어진 반도체 요소들을 갖는 박막 트랜지스터들은 상보적인 단결정 실리콘계 소자들보다 대략 세 개의 차수(order)의 크기만큼 더 작은 전계 효과 이동도를 보인다. 이러한 한계들의 결과, 플렉서블 전자 소자들은 현재 비방출성 화소들을 갖는 액티브 매트릭스 평판 디스플레이용 스위칭 요소들 및 발광 다이오드들에서의 사용과 같이 고성능을 요구하지 않는 특정 응용들에 한정된다.

[0006] 플렉서블 전자 회로는 플렉서블 디스플레이, 전자 센서 및 전자 피부와 같이 임의의 형태를 갖는 전자-활성(electro-active) 표면들을 포함하는 수많은 분야에서 활발하게 연구되고 있는 분야이다. 이들 회로들은 대개 전도성 부품들이 형태(conformation) 변화들에 대응하여 인장될 수 없기 때문에 주변 환경에 충분히 정합할 수 없다. 따라서, 그러한 플렉서블 회로들은 손상되기 쉽고, 전자적 열화가 일어나기 쉬우며 격렬한 및/또는 반복적인 형태 변화에 있어서 신뢰도가 저하될 수 있다. 플렉서블 회로들은 인장과 이완을 통한 사이클 동안 손상 없이 그대로 유지하는, 인장 가능하고 구부릴 수 있는 상호 접속부를 요구한다.

[0007] 구부림이 가능하면서 탄성을 구비하는 전도체들은 일반적으로 실리콘(silicone)과 같은 엘라스토머 내에 금속 입자들을 끼워 넣음으로써 제조된다. 그러한 전도성 고무들은 기계적으로 탄성을 구비하고 전기적 전도성을 갖는다. 전도성 고무의 단점들은 전기적 저항률이 높고, 인장되었을 때 저항 변화가 현저하며, 그에 의하여 전체적으로 열약한 상호 접속 성능 및 신뢰성을 초래하는 것을 포함한다.

[0008] Gray 등은 전도성을 유지하면서 54%까지 선형 인장이 가능한 실리콘(silicone) 엘라스토머 내에 싸여진 미세 가공된 구불구불한(tortuous) 와이어들을 이용하여 엘라스토머 전자 장치들을 제조하는 것을 논의한다. 그 연구에서, 와이어들은 나선형의 스프링 형태와 같이 형성된다. 낮은 변형에서 (예를 들면, 2.4%) 파괴되는 직선형 와이어에 대조적으로, 구불구불한 와이어들은 매우 높은 변형에서도 (예를 들면, 27.2%) 전도성을 유지하였다. 그러한 와이어 기하구조는 인장보다는 구부림에 의하여 신장되는 와이어의 능력에 의존한다. 상기 시스템은 추가적인 평판 내에 상이한 형태로 정확하게 그리고 제어 가능하게 패터닝하는 능력상의 한계로 곤란을 겪고 있으며, 그에 의하여 상이한 변형 및 구부림 영역에 시스템을 맞춤하는 능력상의 한계로 곤란을 겪는다.

[0009] 탄성적으로 인장 가능한 금속 상호 접속부들은 기계적 변형에 대하여 저항이 증가하는 것을 경험한다는 것이 연구들을 통해 암시되고 있다. (Mandlik 등, 2006) Mandlik 등은 피라미드 형태로 미세 패터닝된 표면 위에 금속 막을 증착함으로써 이러한 저항의 변화를 최소화하고자 시도하였다. 그러나, 그 연구는 가는 금속선에 인장 가능성을 부여하는 마이크로크랙(microcrack)들을 생성하기 위한 양각 구조물에 의존한다. 상기 마이크로크랙들은 평면을 벗어나는 트위스팅과 변형을 통해 금속이 탄성 변형되는 것을 용이하게 한다. 그러나, 그러한 금속 크랙들은 두꺼운 금속막과는 양립할 수 없고, 대신에 패터닝된 엘라스토머의 상부 위에 증착된 금속 박막의 좁은 범위(예를 들면, 30 nm 미만의 차수인)와 오히려 양립될 수 있다.

[0010] 금속 상호 접속부에 인장 가능성을 부여하는 한 가지 방법은 전도체(예를 들면, 금속)를 적용하는 동안 기판을 사전 변형시키고(예를 들면, 15% - 25%), 이어서 사전 변형의 자발적인 양각화를 가져오고, 그에 의하여 상기 금속 전도체 상호 접속부에 웨이브를 유발하는 것이다. (예를 들면, Lacour 등 (2003); (2005); (2004), Jones 등 (2004); Huck 등 (2000); Bowden 등 (1998) 참조) Lacour 등(2003)은 자발적으로 주름지는 골드 스트라이프들을 생성하기 위하여 골드 스트라이프들을 처음에 압축함으로써 (탄성 기판 상의 골드 막질의 파괴 변형이 수 퍼센트인 것과 비교하여) 22%까지의 변형 하에서도 전기적인 연속성이 유지됨을 보고하고 있다. 그러나, 그 연구에서는 비교적 얇은 층의 금속 막(예를 들면, 약 105 nm)을 사용하였고, 또한 상기 시스템이 약 10% 만큼 인장될 수 있는 전기 전도체를 잠재적으로 만들 수 있다는 점에서 상대적으로 제한된다.

[0011] 이상으로부터, 다양한 상이한 구성을 갖는 인장 가능한 상호 접속부들을 신속하고도 신뢰성 있게 제조하기 위해, 개선된 인장 가능성, 전기적 성질 및 관련 공정들을 갖는 소자 구성부품들 및 상호 접속부들에 대한 필요가 있음이 명백하다. 플렉서블 전자공학 분야에서의 발전은 수많은 중요한 신흥 기술 및 확립된 기술들에 있어서 결정적인 역할을 담당할 것으로 기대된다. 그러나, 플렉서블 전자공학 기술의 이러한 응용의 성공은 습곡되고(flexed), 변형되며 구부러진 형태에서 우수한 전자적, 기계적 및 광학적 성질을 보이는 소자들과 접적 전자 회로들을 제조하기 위한 신규한 물질들, 소자 구성들 및 상업적으로 실행 가능한 제조 경로의 계속적인 개발에 강하게 의존한다. 특히, 고성능의, 기계적으로 연장 가능한 물질들과 소자 구성들은 인장되거나 수축된 형태에서, 유용한 전자적 및 기계적 성질들을 보일 것이 요구된다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 반도체들 및 인장 가능한 전자 소자들, 및 회로들과 같은 인장 가능한 장치들과 장치 부품들을 제공한다.

과제의 해결 수단

[0013] 인장 가능하고, 구부릴 수 있으며 정합될 수 있는(conformable) 전자 장치들과 장치 부품들은 전자 장치들을 다양한 곡면 상에 인쇄하기에 적합하게 만들 것이 요구된다. 형태 정합적인(shape-conforming) 장치들은 플렉서블 디스플레이 및 전자 섬유들로부터 정합될 수 있는 생물학적 및 물리적 센서들에 이르기까지 다양한 응용을 갖는다. 따라서, 본 발명의 구현에는 플렉서블하면서 구부릴 수 있는(bendable) 전자 장치들, 장치의 구성 부품들, 및 플렉서블하면서 구부릴 수 있는 장치들을 제조하기 위한 관련 방법들이다. 그러한 플렉서블함과 구부릴 수 있음은 웨이브가 지거나(wavy) 베클링된(buckled) 기하 구조를 갖는 상호 접속부 또는 반도체 막을 제공함으로써 이루어질 수 있다. 그러한 기하 구조는 격렬하고도 반복적인 인장 및/또는 구부림 사이클 하에서도

성능에 부정적인 영향을 미치지 않으면서도 시스템이 인장 가능하고 또한 구부릴 수 있도록 하는 것을 보장하는 수단을 제공한다. 또한, 상기 방법들은 장치 및/또는 장치의 구성 부품의 물리적 성질들(예를 들면, 인장성, 구부림성)이 상기 시스템의 작동 조건들에 맞춤화될 수 있도록, 정밀하고도 정확한 기하 구조의 구축 능력을 제공한다. 본 발명의 다른 측면은 구성 부품의 변형의 변화량의 적용에 의하여 파라미터가 조절될 수 있도록 변형과 적어도 부분적으로 결합된 물리적 성질을 갖는 인장 가능한 구성 부품들이다.

[0014] 장치 구성부품들의 배열은 장치 구성 부품들의 서로에 대한 상대적인 독립적 움직임을 용이하게 하기 위하여 베클링된 구성 부품들 또는 상호 접속부들에 의하여 서로 접속될 수 있다. 그러나, 상기 배열 내의 국부적 영역들은 다른 영역들에 비하여 상이한 구부림 또는 인장 요구 사항을 가질 수 있다. 예를 들어, 제공된 장치들과 방법들은 상호 접속부의 치수, 주기성, 진폭(amplitude), 배향 및 영역 내에서의 구성 부품 또는 상호 접속부의 총 수를 포함하는 베클링된 구성부품 또는 상호 접속부의 기하 구조에 있어서의 국부화된 편차를 가질 수 있는 플렉서블 시스템의 구축을 용이하게 한다. 제어된 배향을 갖는 다중의 구성 부품들 또는 상호 접속부들을 생성하는 것은 구성 부품들 또는 상호 접속부들을 상기 장치의 작동 조건에 맞춤화하는 것을 용이하게 한다.

[0015] 일 구현예에서, 본 발명은 장치의 인장 가능한 구성 부품으로서, 상기 구성 부품은 제 1 단부, 제 2 단부 및 상기 제 1 단부와 상기 제 2 단부 사이에 위치하는 중앙 영역을 포함한다. 상기 구성 부품은 기판에 의하여 지지되고, 상기 구성 부품의 제 1 단부 및 제 2 단부는 상기 기판에 결합되고, 상기 구성 부품의 중앙 영역의 적어도 일부분이 구부러진 구성(bent configuration)을 갖는다. 일 측면에 있어서, 상기 구성 부품의 중앙 영역은 상기 기판과 물리적으로 접촉되지 않는다. 다른 측면에 있어서, 상기 구성 부품의 중앙 영역은 변형되어 있다. 일 측면에 있어서, 상기 중앙 영역에 있어서의 상기 변형은 10% 미만이거나, 0.1% 내지 5% 사이이거나, 0.1% 내지 2% 사이이거나 또는 이들의 임의의 부범위(sub-range)이다.

[0016] 일 구현예에서, 상기 인장 가능한 구성 부품의 중앙 부분은 곡선을 이루거나 또는 원호(arc)-형태일 수 있다. 일 측면에 있어서, 상기 곡선은 약 100 nm 내지 1 mm 사이와 같은 진폭을 갖는다. 일 측면에 있어서, 구별되는 구성 부품 또는 상호 접속 결합 영역들의 수는, 예를 들면, 셋, 넷, 또는 다섯과 같이 둘보다 많을 수 있다. 이 측면에 있어서, 상기 제 1 구성 부품 단부와 상기 제 2 구성 부품 단부 사이에 있는 상기 중앙 부분은 상기 기판과 물리적으로 접촉하지 않는 구별되는 복수의 곡선 부분 영역들이 형성되도록 수많은 구부러진 구성의 영역들로 실제로 세분(subdivide)된다. 그러한 구성에 있어서, 상기 진폭 및/또는 주기성은 일정할 수도 있고, 또는 상기 구성 부품 또는 상호 접속부의 전체 길이 방향 길이에 걸쳐 변화할 수도 있다. 상기 구성 부품 그 자체는 막, 와이어, 또는 리본과 같이, 임의의 형태일 수 있다. 상기 구성 부품이 리본인 경우에 있어서는, 상기 리본은 약 300 nm 내지 1 mm 사이의 두께를 가질 수 있다.

[0017] 추가적인 소자 구성 부품을 용이하게 위치시키기 위하여, 상기 구성 부품의 단부가 전기적으로 연결되는 장치 구성 부품은 콘택 패드일 수 있다. 일 측면에 있어서, 추가적인 장치 구성 부품이 상기 콘택 패드와 전기적으로 접촉된다.

[0018] 인장 가능한 상기 구성 부품은 선택적으로, 금속, 반도체, 절연체, 압전체(piezoelectric), 강유전체(ferroelectric), 자기변형성(magnetostrictive) 물질, 전자변형성(electrostrictive) 물질, 초전도체, 강자성(ferromagnetic) 물질, 또는 열전성(thermoelectric) 물질인 물질을 하나 또는 그 이상 포함한다.

[0019] 또 다른 측면에 있어서, 상기 인장 가능한 구성 부품은 전자 장치, 광학 장치, 광-전자(opto-electronic) 장치, 기계적 장치 및 열적 장치로 구성되는 군으로부터 선택되는 장치의 구성 부품을 포함한다.

[0020] 언급한 바와 같이, 상기 구성 부품들을 지지하는 기판은 상기 구성 부품이 통합되는 장치에 따라 임의의 바람직한 물질로 될 수 있다. 일 구현예에서, 상기 기판은 PDMS와 같은 엘라스토머 물질을 포함한다. 상기 기판은 가역적으로 변형될 수 있는 것(예를 들면, PDMS)일 수도 있고, 또는 비가역적으로 변형될 수 있는 것(예를 들면, 플라스틱)일 수도 있다. 구현예에서, 상기 기판 그 자체는 층(layer)이거나 또는 코팅이다.

[0021] 구현예에서, 상기 장치들은 그들의 물리적인 특성들에 근거하여 더 설명될 수 있다. 예를 들면, 장치의 구성 부품과의 전기적인 접촉 및 전기 전도성을 유지하면서 25%까지의 변형을 견딜 수 있는 구성 부품들 및/또는 상호 접속부들이 여기에 제공된다. 이 경우에 있어서, "유지한다"는 의미는 변형을 수용하는 동안 전기 전도도가 20% 미만, 10% 미만, 또는 5% 미만으로 감소하는 것을 가리킨다.

[0022] 다른 구현예에서, 본 발명은 장치의 구성 부품들과 전기적 접촉을 형성하기 위한 인장 가능한 구성 부품 또는 상호 접속부를 제공한다. 상기 구성 부품 또는 상호 접속부는 제 1 단부, 제 2 단부 및 상기 제 1 단부와 상기

제 2 단부 사이에 위치하는 중앙 부분을 갖는다. 상기 단부들은 플렉서블(예를 들면, 인장 가능한) 기판, 엘라스토머 기판, 강체(rigid) 기판, 엘라스토머가 아닌 기판, 또는 전자 장치들, 장치 구성 부품들, 또는 이들의 어레이들을 인쇄하고자 하는 기판과 같은 기판에 결합된다. 상기 구성 부품 또는 상호 접속부의 각 단부는, 상기 기판에 의하여 그 자신이 지지되는 상이한 장치 구성 부품에 부착될 수 있다. 상기 구성 부품 또는 상호 접속부의 중앙 부분은 구부러진 구성을 갖고 상기 기판과 물리적으로 접촉하지 않는다(예를 들면, 결합되지 않는다). 일 측면에 있어서, 이 구부러진 구성을 중앙 부분이 변형 하에 있게 된 결과이다. 본 측면에 있어서, 상기 구부러진 구성을 하나 또는 그 이상의 장치 구성 부품들에 (또는 그 하부에 놓인 기판에) 상기 장치 구성 부품들을 분리하는 방식으로 힘이 가해지면, 상기 장치 구성 부품들 사이의 전기적 접촉은 유지하면서 상기 구성 부품 또는 상호 접속부의 곡선 부분이 적어도 부분적으로 직선화되면서 상기 장치 구성 부품들 사이의 상대적인 움직임을 수용할 수 있도록 전체적으로 만곡된다. 상기 구성 부품들 또는 상호 접속부들은 선택적으로 브리지, 꽂모양과 같은 수많은 기하구조 중의 임의의 하나에 의하여 및/또는 다중 구성 부품들 또는 상호 접속부들에 의하여 이웃하는 아일랜드(island)들 또는 콘택 패드들을 전기적으로 접속시킨다. 일 측면에 있어서, 장치 구성 부품은 콘택 패드와 전기적 접촉을 이룬다.

[0023] 여기에 개시된 인장 가능한 구성 부품들은 모두 전자 장치의 조정 가능한 장치 구성 부품을 선택적으로 더 포함한다. 상기 조정 가능한 구성 부품은 상기 구부러짐 구성을 위하여 제공되는 상기 중앙 영역의 변형에 따라 선택적으로 변화하는 적어도 하나의 전자적 성질을 갖는다. 예를 들면, 상기 전자적 성질은 선택적으로, 전자 이동도, 공진 주파수, 컨덕턴스(conductance), 및 저항 중의 하나 또는 그 이상이다. 일 측면에 있어서, 상기 조정 가능한 장치 구성 부품은 트랜지스터의 반도체 채널을 포함한다.

[0024] 일 구현예에서, 상기 조정 가능한 구성 부품이 상기 구부러짐 구성을 위하여 제공되는 상기 중앙 영역의 변형 수준에 따라 선택적으로 변화하는 적어도 하나의 광학적 성질을 갖는 경우에 상기 구성 부품은 변형 계수 광학 결합(strain coefficient optical coupling)을 갖는다. 변형 계수 광학 결합의 예는 상기 조정 가능한 장치 구성 부품의 굴절률 또는 상기 인장 가능한 구성 부품의 중앙 영역의 표면에 대하여 전자기 방사 입사빔의 입사각을 포함하지만 여기에 한정되는 것은 아니다. 다른 구현예에 있어서, 상기 조정 가능한 장치 구성 부품은 도파로(waveguide), 광학 변조기, 광학 스위치 또는 광학 필터를 포함한다.

[0025] 다른 구현예에서, 상기 인장 가능한 구성 부품은 상기 구부러짐 구성을 위하여 제공되는 상기 중앙 영역의 변형 수준에 따라 선택적으로 변화하는 열 전도도를 갖는 장치의 조정 가능한 장치 구성 부품이다.

[0026] 다른 구현예에서, 상기 인장 가능한 구성 부품은 장치의 열적 절연 구성 부품이고, 상기 중앙 영역이 상기 기판과 물리적인 접촉을 하지 않는다. 이 구현예의 일 측면에 있어서, 상기 중앙 영역은 상기 기판과 열적으로 접촉하지 않으며, 상기 중앙 영역은 하나 또는 그 이상의 장치 구성 부품들을 지지하고, 그에 의하여 상기 중앙 영역에 의하여 지지되는 하나 또는 그 이상의 장치 구성 부품들을 상기 기판으로부터의 열적 절연을 제공한다. 이러한 측면을 위한 유용한 응용은 장파장 이미징 시스템인 장치용이다.

[0027] 또 다른 구현예에서, 상기 인장 가능한 구성 부품은 기계적 장치의 액츄에이터로서, 상기 중앙 영역이 만곡되고 상기 인장 가능한 구성 부품을 압축하거나 신장시킴으로써 또는 상기 중앙 영역에 전기적 전위를 인가함으로써 변조될 수 있는 진폭을 갖는다. 본 구현예의 유용한 응용은 미세전자기계 장치, 나노전자기계 장치, 및 미세유동 장치로 구성되는 군으로부터 선택되는 기계 장치이다.

[0028] 일 구현예에서, 여기에 개시된 임의의 인장 가능한 구성 부품들을 복수의 구성 부품들과 셋 이상의 장치 구성 부품들을 갖는 장치 어레이에 통합함으로써 다중-축(multi-axial) 인장 및 구부림이 제공된다. 본 구현예에서, 각 구성 부품은 한 쌍의 장치 구성 부품들 사이에 전기적 접촉을 제공한다. 원하는 인장, 구부림 및/또는 압축 동작 조건들에 따라서, 상기 장치 어레이는 그리드, 꽂모양, 브리지 또는 이들의 임의의 조합(예를 들면, 한 영역에서는 그리드, 다른 영역에서는 브리지)을 갖는 기하학적 구성을 가질 수 있다. 또한, 이웃하는 장치 구성 부품들을 둘, 셋, 또는 네 개의 구성 부품들과 같이 하나보다 많은 구성 부품들(예를 들면, 다중 상호 접속부들)에 접속시키는 능력에 의하여 추가적인 인장 및 구부림성 제어가 제공된다. 예를 들면, 정사각형 또는 직사각형인 장치 구성 부품 하나가 네 개의 다른 장치 구성 부품들에 이웃할 수 있다. 만일 각 이웃하는 쌍이 두 개의 상호 접속부들로 접속되면, 상기 장치 구성 부품은 자신으로부터 연장되는 여덟 개의 상호 접속부들을 가질 것이다.

[0029] 일 구현예에서, 장치 어레이는 적어도 두 개의 상이한 방향으로 배향된 구성 부품들의 세트들을 갖는다. 예를 들면, 그리드 구성에서 구성 부품들은 두 방향으로의 인장될 수 있는 능력을 제공하기 위하여 서로 직교하거나 수직인 두 방향을 가질 수 있다. 다른 구현예에서, 장치 어레이는 서로에 대하여 모두 정렬된 구성 부품들을

포함할 수 있다. 이 구현에는 인장 또는 구부림이 단일한 방향으로 한정되는 (예를 들면, 전자 장치 조직(fabric)을 실린더 표면으로 구부리는) 경우에 유용할 수 있다. 구성 부품들을 셋 또는 그 이상의 방향들, 예를 들면, 세 방향들 또는 네 방향들로 배향시킴으로써 추가적인 구부림 및/또는 인장 능력이 제공된다. 일 구현예에서, 서로 이웃하는 두 층들과 같이, 임의의 수의 상이한 층들 내에 위치된 장치 어레이의 구성 부품들을 가짐으로써 추가적인 제어 및 안정성이 제공된다.

[0030] 일 구현예에서, 장치 어레이는 약 150%까지의 변형을 파괴됨이 없이 견딜 수 있다. 파괴되기 위한 변형은 상호 접속 기하 구조, 배향, 진폭, 주기성, 동작 조건에 관한 수(예를 들면, 단일축 대 다중축 인장 및/또는 구부림)를 맞춤화함으로써 최대화된다.

[0031] 상기 상호 접속부 또는 장치 어레이가 지지된 기판은 오목, 볼록, 반구형, 또는 이들의 조합과 같은 곡면인 부분을 적어도 가질 수 있다. 일 구현예에서, 상기 구성 부품들이 통합된 상기 장치는 하나 또는 그 이상의 인장 가능한: 광감지기, 디스플레이, 발광기, 광전지(photovoltaic), 시트 스캐너, LED 디스플레이, 반도체 레이저, 광학 시스템, 대면적 전자 장치, 트랜ジ스터, 또는 집적 회로이다.

[0032] 또 다른 구현예에서, 본 발명은 장치의 인장 가능한 구성 부품의 성질을 조정하기 위한 다양한 방법들에 관련된다. 예를 들면, 조정 방법은 여기에 개시된 바와 같은 인장 가능한 구성 부품을 갖는 장치를 제공하는 단계를 포함할 수 있다. 상기 인장 가능한 구성 부품은 제 1 단부; 제 2 단부; 및 상기 제 1 단부와 상기 제 2 단부 사이에 위치하고 기판에 의하여 지지되는 중앙 영역을 갖는 구성 부품과 같은은 것일 수 있다. 특히, 상기 구성 부품의 제 1 단부 및 제 2 단부는 상기 기판에 결합되고, 또한 상기 구성 부품의 중앙 영역의 적어도 일부는 구부러진 구성을 가지며 소정 수준의 변형 하에 있다. 상기 변형의 수준은 상기 인장 가능한 구성 부품을 압축, 신장 및/또는 구부림으로써 상기 인장 가능한 부품 내에서 변조되고, 그에 의하여 상기 장치의 인장 가능한 구성 부품의 성질을 조정한다.

[0033] 일 측면에 있어서, 상기 성질은 광학적, 기계적, 또는 전기적으로 결합된 변형 파라미터와 같이 광학적 성질, 전기적 성질, 및 기계적 성질 중의 하나 또는 그 이상이다. 여기서, 상기 각 성질의 크기는 적어도 부분적으로 변형에 의존한다. 다른 측면에 있어서, 상기 성질은 공진 주파수, 전자 이동도, 저항, 컨덕턴스, 굴절률, 열전도도, 및 상기 인장 가능한 구성 부품의 중앙 영역의 표면에 대한 전자기 방사 입사빔의 입사각으로 구성되는 군으로부터 선택된다.

[0034] 일 구현예에서, 장치의 인장 가능한 구성 부품의 제조 방법이 제공된다. 본 구현예에서, 제 1 수준의 변형을 갖는 수용 표면을 갖는 엘라스토머 기판이 제공되며, 상기 변형은 선택적으로 0이거나 압축 변형이거나 신장 변형이다. 하나 또는 그 이상의 장치 구성 부품들이 상기 제 1 수준의 변형을 갖는 수용 표면에 결합된다. 상기 제 1 수준의 변형으로부터 상이한 제 2 수준의 변형으로 변형의 수준 상의 변화를 생성하도록 상기 엘라스토머 기판에 힘이 가해진다. 제 1 수준으로부터 제 2 수준으로의 상기 기판 내의 상기 변형의 수준 상의 변화가 상기 구성 부품이 구부러지는 것을 유발하고, 그에 의하여 하나 또는 그 이상의 인장 가능한 구성 부품들을 생성하는 한, 이러한 변화의 크기, 또는 그러한 변화가 달성되는 방법은 특별히 중요하지 않다. 상기 인장 가능한 구성 부품들은 각각 상기 기판에 결합된 제 1 단부 및 제 2 단부와 구부러진 구성을으로 제공되는 중앙 영역을 갖는다.

[0035] 상기 기판에 상기 장치 구성 부품들을 결합하는 것은 임의의 적합한 수단들에 의할 수 있다. 일 구현예에서, 상기 결합하는 단계는 상기 인장 가능한 구성 부품의 결합되는 영역과 결합되지 않는 영역의 패턴을 생성하는 단계를 포함한다. 여기서, 상기 인장 가능한 구성 부품의 결합되는 영역은 엘라스토머 기판에 결합되고, 상기 인장 가능한 구성 부품의 결합되지 않는 영역은 엘라스토머 기판에 결합되지 않는다.

[0036] 다른 측면에서, 결합되지 않는 영역들은 상기 인장 가능한 구성 부품들의 중앙 영역들에 대응되고, 상기 엘라스토머 기판에 힘을 가하는 단계는 인장 가능한 구성 부품 각각의 중앙 영역의 적어도 일부분이 기판과 물리적으로 접촉하지 않도록 상기 중앙 영역이 구부러지게 한다. 일 측면에 있어서, 상기 엘라스토머 기판에 힘을 가하는 단계는, 인장 가능한 구성 부품 각각의 중앙 영역의 적어도 일부분이 기판과 물리적으로 접촉하지 않도록 중앙 영역들이 구부러지게 한다.

[0037] 일 구현예에서, 인장 가능한 구성 부품을 제조하기 위한 임의의 방법들은 상기 인장 가능한 부품 위에, 상기 엘라스토머 기판의 수용 표면 위에, 또는 상기 인장 가능한 구성 부품과 상기 엘라스토머 기판의 수용 표면 모두의 위에 결합 위치의 패턴을 형성하는 단계를 더 포함한다.

[0038] 또 다른 구현예에서, 임의의 방법들 또는 장치들은 복수의 연질(compliant) 영역들과 복수의 경질(rigid) 영역

들을 갖는 엘라스토머 기판을 갖는다. 그러한 기판은 상기 연질 영역에 굴곡에 있어서의 강성(rigidity)을 제공하는데 이는 상기 경질 영역들의 그것보다 낫다. 선택적으로 상기 기판은 상기 경질 영역들의 적어도 하나에 결합된 인장 가능한 구성 부품들 각각의 제 1 단부 및 제 2 단부와, 상기 연질 영역들의 적어도 하나에 결합된 인장 가능한 구성 부품들 각각의 중앙 영역을 갖는다. 이러한 유형의 기판의 사용은 하부에 놓인 기판의 연질 성의 패턴에 근거하여 상기 구성 부품의 베클링을 제어 가능하도록 하는 능력을 제공한다.

[0039] 일 구현예에서, 상기 엘라스토머 기판에 가해지는 힘은 기계적으로 달성된다. 본 구현예의 일 측면에 있어서, 제 1 수준의 변형, 제 2 수준의 변형 또는 이를 모두는 상기 엘라스토머 기판의 신장 또는 압축에 의하여, 상기 엘라스토머 기판의 경화에 의하여, 또는 상기 엘라스토머 기판의 온도를 승온 또는 하강시키는 것과 같은 열적 수단에 의하여, 또는 상기 엘라스토머 기판의 열팽창 또는 열적으로 유발된 수축에 의하여 생성된다.

[0040] 다른 구현예에서, 상기 엘라스토머 기판의 상기 수용 표면에 하나 또는 그 이상의 장치 구성 부품을 결합하는 단계는, 상기 제 1 수준의 변형으로부터 상기 제 1 수준과 상이한 제 2 수준의 변형으로 상기 기판의 변형의 수준의 변화를 생성하는 힘을 상기 엘라스토머 기판에 적용하는 단계 이전에 수행된다. 선택적으로, 결합하는 단계는 상기 제 1 수준의 변형으로부터 상기 제 1 수준과 상이한 제 2 수준의 변형으로 상기 기판의 변형의 수준의 변화를 생성하는 힘을 상기 엘라스토머 기판에 적용하는 단계 이후에 수행된다.

[0041] 일 구현예에서, 임의의 제 1 수준의 변형 및 제 2 수준의 변형은 0과 동일하다. 일 측면에 있어서, 임의의 장치 구성 부품들은 상호 접속부 또는 전극을 포함한다.

[0042] 다른 구현예에 있어서, 본 발명은 장치의 구성 부품들과 전기적 접촉을 형성할 수 있는 상호 접속부 또는 베클링된 구성 부품을 제조하기 위한 다양한 방법들에 관한 것이다. 일 측면에 있어서, 결합 위치들의 패턴은 엘라스토머 기판 표면, 구성 부품들 또는 상호 접속부들, 또는 이를 모두에 적용된다. 상기 기판 및 상기 기판과 접촉되는 상호 접속부들 또는 구성 부품들을 변형시키기 위해 힘이 작용된다. 결합 위치들의 패턴은 특정 구성 부품들 또는 상호 접속부 위치들과 기판 사이의 결합을 제공한다. (상기 힘을 제거함으로써) 상기 기판을 릴랙스하여, 베클링된 구성 부품들 또는 상호 접속부들이 생성된다. 사전 변형(prestain)의 크기, 결합 위치 패터닝, 기하 구조 및 간격 중의 하나 또는 그 이상의 변경은 상이한 베클링되거나 웨이브진 기하 구조를 갖는 구성 부품들 또는 상호 접속부들을 생성한다. 예를 들면, 이웃하는 구성 부품들 또는 상호 접속부들이 상이한 위치들에서 기판에 결합하도록 결합 위치들이 엇갈리게(staggering) 위치하면 "비동조적인(out-of-phase)" 상호 접속부 기하 구조가 제공된다. 결합 위치 패터닝은 상기 엘라스토머 기판 표면에 경화 가능한 광 중합체를 적용하는 것에 의하는 것과 같이 당 기술분야에 알려진 임의의 수단들에 의한다. 구성 부품들 또는 상호 접속부들은 상기 구성 부품들 또는 상호 접속부들의 적어도 일부분을 엘라스토머 물질과 같은 봉지(encapsulation) 물질 내에 봉지함으로써 선택적으로 보호된다. 상기 베클링된 구성 부품들 또는 상호 접속부들은 응용에 적합한 임의의 패턴을 가질 수 있다. 일 구현예에서, 상기 패턴은 그리드 구성, 꽂모양 구성, 브리지 구성, 또는 이들의 임의의 조합이다.

[0043] 방법들과 장치들은 수십 나노미터 내지 약 1 밀리미터의 범위의 두께 또는 약 300 nm보다 큰 두께와 같은 임의의 치수의 구성 부품들을 가질 수 있다. 일 측면에 있어서, 상기 베클링된 구성 부품은 상기 상호 접속부의 상기 기판으로부터의 최대 수직 범위에 대응하는 진폭을 가지며, 상기 진폭은 100 nm 내지 1 mm 사이의 범위로부터 선택된다. 길이와 폭을 갖는 구성 부품 리본에 있어서, 상기 폭, 진폭 또는 상기 폭 및 진폭은 상호 접속부의 길이를 따라 선택적으로 변화한다. 진폭에 영향을 미치는 인자의 하나는 구성 부품을 결합시키기 전에 또는 상기 구성 부품을 결합시킨 후에 상기 엘라스토머 기판에 적용되는 변형이다. 일반적으로, 변형이 더 클수록 진폭이 더 크다. 일 구현예에서, 힘이 가해져서 엘라스토머 기판에 변형이 생성되고, 상기 변형은 20% 내지 100% 사이의 범위로부터 선택된다.

[0044] 일 구현예에서, 상기 구성 부품은 장치 구성 부품에 전기적으로 접속된 상호 접속부이다. 여기에 제공된 임의의 시스템들 및 공정들은 구성 부품의 파괴(fracture) 없이 약 100%까지 인장이 가능하거나, 약 50%까지 압축이 가능하거나, 또는 곡률 반경이 겨우 5 mm가 되도록 구부리는 것이 가능한 기판을 선택적으로 제공한다. 상기 구성 부품은 금속, GaAs 또는 Si를 포함하는 반도체, 절연체, 압전체(piezoelectric), 강유전체(ferroelectric), 자기변형성(magnetostriuctive) 물질, 전자변형성(electrostrictive) 물질, 초전도체, 강자성(ferromagnetic) 물질, 또는 열전성(thermoelectric) 물질과 같은 임의의 적합한 물질로부터 제조된다. 일 구현예에 있어서, 상기 방법들은 베클링된 구성 부품들이 스템프와 같은 엘라스토머 기판으로부터, 예를 들면, 곡면의 장치 기판과 같은 장치 기판으로 인쇄되어 전사되는 것을 제공한다.

[0045] 엘라스토머 기판에 힘 또는 변형을 적용하는 것을 통해 팝-업(pop-up) 또는 베클링된 구성 부품들을 생성하는

대신에, 웨이브진 표면과 같은 양각 구조물을 갖는 수용 표면과 같은 수용 표면에 구성 부품 물질을 적용함으로써 인장 가능하고 구부릴 수 있는 상호 접속부가 제조될 수 있다.

[0046] 일 구현예에서, 인장 가능하고 구부릴 수 있는 구성 부품을 제조하기 위하여, 리세스 구조물을 부분적으로 매립하기 위하여 중합체를 스피-코팅하는 것과 같이 표면상에 웨이브 구조물을 갖는 기판을 매끈하게 한다 (smoothed). 상기 부분적인 매립은 매끈하게-웨이브진 기판을 생성한다. 그런 후 구성 부품들이 상기 매끈하게-웨이브진 기판 위에 증착되고, 원하는 바에 따라 패터닝된다. 상기 구성 부품들은 금속 구조물을 포함하지만 그에 한정되는 것은 아니다. 상기 수용 표면 기판 위의 구성 부품들은 상기 구성 부품으로 적어도 부분적으로 코팅된 기판에 대하여 중합체 스템프를 후속적으로 주조하기(casting) 위하여 동원 가능하다. 상기 구성 부품은 인장 가능하고 구부릴 수 있는 구성 부품을 제조하기 위하여 상기 기판으로부터 상기 중합체 스템프를 제거함으로써 상기 중합체 기판에 전사된다. 일 구현예에서, 상기 구성 부품과 기판 사이의 계면은 Au/Su-8에 폭시 포토레지스트이다. 상기 구성 부품은 충상의 금속, 예를 들면, Au/Al일 수 있다. 상기 기판은, 예를 들면, Su-8 충을 지지하는 유리층과 같이, Au/Su-8인 상기 기판과 상기 금속 사이에 실제 계면으로 적층될 수 있다.

[0047] 스템프 표면 위에 팝-업(pop-up) 상호 접속부와 같은 팝-업 구성 부품을 제조하기 위한 대안적인 방법은 굴곡진 기판 표면을 평탄화하는 단계, 상기 평탄화된 표면에 구성 부품들을 접촉시키는 단계, 및 상기 기판 표면이 릴랙스되어 자신의 굴곡진 기하 구조로 복원되도록 허용하는 단계에 따른다. 일 구현예에서, 상기 방법은 여기에 개시된 바와 같은 접촉 이전에 결합 위치들의 공간적 패터닝을 더 제공한다. 본 구현예에 있어서, 상기 방법은 상호 접속부들과 장치 구성 부품들을 대응하는 제 2 굴곡 기판 표면으로 전사하기 위하여 특히 적합하다. 일 측면에 있어서, 접착제 또는 접착 전구체와 같은 결합 수단들은 엘라스토머 스템프가 제거된 후에도 상기 제 2 굴곡 기판과 상기 제 1 굴곡 기판 위의 상호 접속 시스템 사이에 상호 접속부를 제 2 기판으로 전사하는 것을 허용하기에 충분한 결합을 생성한다.

[0048] 일 측면에 있어서, 본 발명에 따른 임의의 방법들 및 장치들은 약 40%까지의 변형에 대하여 선형의 탄성 응답을 갖는 PDMS인 스템프 또는 엘라스토머 기판을 갖는다. 선택적으로, 본 발명의 상호 접속부는 인장 가능한 전극, 인장 가능한 수동 매트릭스 LED 디스플레이, 또는 광감지 어레이의 일부이다. 일 구현예에 있어서, 본 발명은 본 발명의 방법들에 의하여 제조된 임의의 하나 또는 그 이상의 상호 접속부들을 갖는 인장 가능한 전자 장치에 관한 것이다. 이 때 상기 전자 장치는 인장 가능하거나 구부릴 수 있는: 전극, 수동 매트릭스 LED, 태양 전지, 광학 접속 어레이(optical collector arrays), 바이오 센서, 화학 센서, 광 다이오드 어레이, 또는 반도체 어레이이다. 일 측면에 있어서, 베클링된 상호 접속부에 전기적으로 접속된 장치 구성 부품은 박막, 센서, 회로 요소, 제어 요소, 마이크로프로세서, 트랜스듀서, 또는 이들의 조합들이다. 일 측면에 있어서, 상호 접속부들은 장치 구성 부품에 상호 접속부의 일 단부를 전기적으로 접속함으로써 접근된다.

[0049] 일 구현예에 있어서, 본 발명은 웨이브가 진 반도체 나노막과 같이, 웨이브가 진 나노막을 갖는 구조와 방법들에 관한 것이다. 이러한 웨이브가 진 나노막은 (장치 구성 부품들을 연결하는 상호 접속부들의 가요성과는 대조적으로) 장치 구성 부품 그 자체 내에 가요성(flexibility)을 통합하는 것을 용이하게 한다. 일 측면에 있어서, 본 발명은 반도체 나노막 물질을 제 1 기판으로부터 변형된 제 2 기판으로 전사하는 이축(biaxially) 인장 가능한 반도체 막의 제조 방법에 관한 것이다. 이 때 전사 후에는, 변형된 상기 기판이 릴랙스되어 그의 휴지기 구성(resting configuration)으로 복원되는 것이 허용된다. 일 측면에 있어서, 반도체 물질의 두께는 약 40 nm 내지 600 nm 사이이다. 2차원 변형을 일으킨 힘의 해제는 2차원으로 웨이브진 구조물을 갖는 나노막을 생성한다. 일 측면에서, 상기 변형력은 플렉서블한 기판의 온도를 변화시킴으로써 생성된다.

[0050] 일 구현예에 있어서, 양각 구조물을 갖는 수용 표면을 갖는 기판을 제공하는 단계; 상기 수용 표면을 적어도 부분적으로 정합적으로 코팅하기 위하여 폴리머를 스피-코팅함으로써 상기 양각 구조물을 매끈하게 하는 단계; 스피-코팅된 상기 기판 위에 폴리머 스템프를 주조하는(casting) 단계; 양각 구조물을 갖는 폴리머 스템프를 노출시키기 위하여 상기 기판으로부터 폴리머 스템프를 제거하는 단계; 및 양각 구조물을 갖는 상기 폴리머 스템프 표면 위로 장치 구성 부품을 증착하는 단계를 포함하는 인장 가능하고 구부릴 수 있는 장치의 제조를 위한 방법이 제공되며, 그에 의하여 인장 가능하고 구부릴 수 있는 장치에서 사용하기 위한 인장 가능하고 구부릴 수 있는 구조 부품을 제조할 수 있다. 일 측면에 있어서, 상기 양각 구조물들은 웨이브가 진 것이다.

[0051] 일 구현예에 있어서, 상기 구성 부품은 금속을 포함하고, 상기 금속은 전착(electrodeposition)에 의하거나, 또는, 새도우 마스크를 제공하는 단계; 상기 새도우 마스크를 웨이브진 표면과 접촉시키는 단계; 및 상기 웨이브진 표면 위에 새도우 마스크에 대응하는 금속 패턴을 생성하기 위해 상기 새도우 마스크를 통하여 금속을 증발

시키는(evaporating) 단계에 의하여 증착된다. 웨이브 구조물을 갖는 상기 기판은 Si (100)의 비등방 식각에 의하여 또는 SU-8의 염보싱에 의하여 선택적으로 제조된다. 선택적으로 상기 웨이브진 표면은 50 nm 내지 1 mm 사이에서 선택된 범위를 갖는 파장; 100 nm 내지 1 mm 사이에서 선택된 범위를 갖는 진폭;을 갖고, 또한 100%까지 파괴됨 없이 인장될 수 있다. 선택적으로, 상기 구성 부품은 장치 기판으로 전사된다. 일 측면에 있어서, 상기 장치 구성 부품은 상호 접속부를 포함하고, 상기 방법은 추가적인 장치 구성 부품을 제공하는 단계 및 상기 상호 접속부의 일 단부와 상기 추가적인 장치 구성 부품 사이에 전기적 접촉을 형성하는 단계를 더 포함한다.

[0052] 다른 측면에 있어서, 본 발명은 물질 수준 이종 접적(heterogeneous integration) 및/또는 장치 수준 이종 접적 기술을 통하여 장치를 제조하는 방법을 제공한다. 장치를 제조하기 위한 본 발명의 방법은 (i) 기판으로서, 상기 기판의 수용 표면에 의하여 지지되는 하나 또는 그 이상의 장치 구성 부품들로 사전-패터닝된(pre-patterned) 기판을 제공하는 단계; 및 (ii) 상기 기판의 수용 표면 위에 또는 그 위에 제공된 하나 또는 그 이상의 구조물들 위에 인쇄 가능한 반도체 요소들을 접촉 인쇄함으로써 상기 기판 위에 복수의 인쇄 가능한 상기 반도체 요소들을 조립하는 단계를 포함한다. 이 때, 상기 인쇄 가능한 반도체 요소들의 적어도 일부는 이들이 상기 기판에 의하여 지지되는 하나 또는 그 이상의 장치 구성 부품들과 공간적으로 정렬되거나, 전기적으로 접촉하거나, 또는 이들 둘 모두를 만족하도록 배치된다. 일 구현예에서, 상기 인쇄 가능한 반도체 요소들 각각은 약 100 nm 내지 약 1000 마이크론의 범위로부터 선택되는 길이, 약 100 nm 내지 약 1000 마이크론의 범위로부터 선택되는 폭, 및 약 10 nm 내지 약 1000 마이크론의 범위로부터 선택되는 두께를 갖는 단일(unitary) 무기 반도체 구조물을 포함한다.

[0053] 다른 측면에 있어서, 본 발명은 물질 수준 이종 접적(heterogeneous integration) 및/또는 장치 수준 이종 접적 기술을 통하여 다중 수준(multilevel) 장치 구조물을 제조하는 방법들을 제공한다. 장치를 제조하기 위한 본 발명의 방법은 (i) 기판으로서, 상기 기판의 수용 표면에 의하여 지지되는 하나 또는 그 이상의 장치 구성 부품들로 사전-패터닝된(pre-patterned) 기판을 제공하는 단계; (ii) 상기 기판의 수용 표면 위에 또는 그 위에 제공된 하나 또는 그 이상의 구조물들 위에 인쇄 가능한 반도체 요소들을 접촉 인쇄함으로써 상기 기판 위에 제 1 세트의 인쇄 가능한 상기 반도체 요소들을 조립하고, 그에 의하여 제 1 장치층을 생성하는 단계; (iii) 상기 제 1 세트의 인쇄 가능한 반도체 요소들 위에 수용 표면을 갖는 중간층을 제공하는 단계; 및 (iv) 상기 중간층의 수용 표면 위에 또는 그 위에 제공된 하나 또는 그 이상의 구조물들 위에 인쇄 가능한 반도체 요소들을 접촉 인쇄함으로써 상기 중간층 위에 제 2 세트의 인쇄 가능한 상기 반도체 요소들을 조립하고, 그에 의하여 제 2 장치층을 생성하는 단계를 포함한다. 일 구현예에 있어서, 상기 제 1 장치층에 있는 인쇄 가능한 반도체 요소들의 적어도 일부분은 상기 제 2 장치층에 있는 인쇄 가능한 반도체 요소들의 적어도 일부분과 공간적으로 정렬되거나, 전기적으로 접촉하거나, 또는 이들 둘 모두를 이룬다. 본 발명의 이러한 측면의 구체적인 방법은 상기 제 1 장치층 내의 인쇄 가능한 반도체 요소들의 적어도 일부분과 상기 제 2 장치층 내의 인쇄 가능한 반도체 요소들의 적어도 일부분 사이에 전기적인 접촉을 형성하는 단계를 더 포함한다.

[0054] 본 방법들에 있어서 인쇄 가능한 반도체 요소들을 조립하고, 조직화하고 및/또는 접적하기 위한 유용한 접촉 인쇄 방법들은 건식 전사 접촉 인쇄(dry transfer contact printing), 마이크로 접촉(microcontact) 또는 나노 접촉(nanocontact) 인쇄, 마이크로 전사(microtransfer) 또는 나노 전사(nanotransfer) 인쇄, 및 자기조립 보조 인쇄(self assembly assisted printing)를 포함한다. 접촉 인쇄는 복수의 인쇄 가능한 반도체를 서로에 대하여 선택된 상대적인 방향과 위치로 조립하고 접적하는 것을 가능하게 하기 때문에, 접촉 인쇄를 사용하는 것이 본 발명에 유리하다. 또한, 본 발명에 있어서 접촉 인쇄는 반도체들(예를 들면, 무기 반도체들, 단결정 반도체들, 유기 반도체들, 탄소 나노물질들 등), 유전체들 및 도전체들을 포함하는 다양한 부류의 물질들과 구조들을 효과적으로 전사하고, 조립하고, 또한 접적하는 것을 가능하게 한다. 선택적으로 본 발명의 접촉 인쇄 방법들은 장치 기판 위에 미리 패터닝된 하나 또는 그 이상의 장치 구성 부품들에 대하여 미리 선택된 상대적인 위치들 및 공간적 배향들에 인쇄 가능한 반도체 요소들이 고정밀도로 일치되는 전사 및 조립을 제공한다. 또한, 접촉 인쇄는 유리, 세라믹, 및 금속과 같은 통상의 경질 또는 반-경질 기판들 및 가요성 기판들, 구부릴 수 있는 기판들, 성형가능한(shapeable) 기판들, 정합될 수 있는(conformable) 기판들, 및/또는 인장 가능한 기판들과 같이 특정 응용들에 대하여 매력적인 물리적 및 기계적 성질들을 갖는 기판들을 포함하는 광범위한 유형의 기판과 양립할 수 있다. 인쇄 가능한 반도체 구조들의 접촉 인쇄 조립은, 예를 들면, 저온 공정(예를 들면, 298K 이하)과 양립할 수 있다. 이 속성은 폴리머 및 플라스틱 기판들과 같이 고온에서 분해되거나 열화되는 것들을 포함하는 소정 범위의 기판 물질들을 이용하여 본 광학 시스템이 실행되는 것을 가능하게 한다. 장치 요소들의 콘택 인쇄 전사, 조립, 및 접적은 롤-투-롤 인쇄(roll-to-roll printing) 및 플렉소 인쇄(flexographic printing) 방법들 및 시스템들과 같이 비용이 저렴하고 높은-쓰루풋을 갖는 인쇄 기술들을 통해 적용될 수 있기

때문에 유리하다.

[0055] 장치들을 제조하는 본 방법들의 특정 구현예들에 있어서, 인쇄 가능한 반도체 요소들의 적어도 일부분은 이종의 반도체 요소들을 포함한다. 소정 범위의 이종 반도체 요소들은 본 발명에 있어서 유용하다. 일 구현예, 또는 일 실시예에 있어서, 상기 이종의 반도체 요소들은 무기 반도체 구조; 및 상기 무기 반도체 구조와 상이한 조성을 갖는 무기 반도체, 상기 무기 반도체 구조와 상이한 도핑을 갖는 무기 반도체, 탄소 나노물질 또는 그의 필름, 유기 반도체, 유전 물질, 및 도전체로 구성되는 군으로부터 선택되는 물질을 포함하는 하나 또는 그 이상의 구조들;의 결합을 포함한다. 예를 들면, 일 구현예에서, 상기 이종 반도체 요소들은 단결정 실리콘, Si, Ge, SiC, AlP, AlAs, AlSb, GaN, GaP, GaAs, GaSb, InP, InAs, GaSb, InP, InAs, InSb, ZnO, ZnSe, ZnTe, CdS, CdSe, ZnSe, ZnTe, CdS, CdSe, CdTe, HgS, PbS, PbSe, PbTe, AlGaAs, AlInAs, AlInP, GaAsP, GaInAs, GaInP, AlGaAsSb, AlGaInP, SiGe 및 GaInAsP으로 구성되는 군으로부터 선택되는 상이한 두 반도체 물질들의 조합을 포함한다. 예를 들면, 일 구현예에 있어서, 상기 이종 반도체 요소들은 유전 물질, 도전체, 또는 유전 물질과 도전체 모두와 결합된 무기 반도체 구조를 포함한다.

[0056] 또한, 유용한 이종 반도체 요소들은 인쇄 가능한 장치 구성 요소들과 인쇄 가능한 장치들을 포함한다. 일 구현 예에서, 예를 들면, 상기 인쇄 가능한 반도체 요소들은 전자 장치, 전자 장치의 어레이, 광학 장치, 전자-광학 장치, 미세 유동 장치, 미세전자기계 시스템, 나노전자기계 시스템, 센서, 집적 회로, 마이크로프로세서, 및 메모리 장치로 구성되는 군으로부터 선택되는 장치의 하나 또는 그 이상의 구성 부품들을 포함한다.

[0057] 특정 방법들에 있어서, 상기 이종 반도체 요소들의 적어도 일부분은 다이오드, 트랜지스터, 광전지 (photovoltaic cell), 발광 다이오드, 레이저, P-N 접합, 박막 트랜지스터, 고 전자이동도 트랜지스터, 광 다이오드, 금속-산화물-반도체 전계효과 트랜지스터, 금속-반도체 전계효과 트랜지스터, 광 감지기, 논리 게이트 장치, 및 수직-공동 표면-발광 레이저로 구성되는 군으로부터 선택되는 하나 또는 그 이상의 인쇄 가능한 반도체 장치들을 포함한다. 일 구현예에 있어서, 예를 들면, 상기 인쇄 가능한 반도체 장치들의 적어도 일부분은 상기 인쇄 가능한 반도체 장치들과 기판 위에 사전-페터닝된 전극들과의 전기적인 접촉이 제공되도록 콘택 인쇄를 통해 상기 기판 위에 조립된다.

[0058] 본 발명의 방법들은 인쇄 가능한 반도체 요소들을 기판 또는 그 위에 제공된 장치 구성 부품 구조들, 충간 구조 및/또는 평탄화 또는 봉지층들과 같은 구조(들) 위에 조립하는 단계들을 다중적(multiple)으로, 그리고 선택적으로는 반복적으로 더 포함할 수 있다. 일 구현예에 있어서, 예를 들면, 본 발명의 방법은 추가적인 인쇄 가능한 반도체 요소들을 기판의 수용 표면 위에 제공된 반도체 요소들 위에, 또는 상기 기판의 상기 수용 표면 위에 제공된 반도체 요소들과 상기 추가적인 인쇄 가능한 반도체 요소들 사이에 제공된 또는 하나 또는 그 이상의 중간 구조들 위에 접촉 인쇄함으로써 추가적인 인쇄 가능한 반도체 요소들을 상기 기판 위에 조립하는 단계를 더 포함한다.

[0059] 본 방법들에 의하여 제조된 다중층 장치 구조는 하나 또는 그 이상의 중간층(interlayer)들에 의하여 분리된 복수의 장치 층(device layer)들을 포함할 수 있다. 여기서, 상기 장치 층들은 인쇄 가능한 반도체 요소들을 포함한다. 일부 구현예들에 있어서, 예를 들면, 상기 장치 층들은 1 마이크론보다 작거나 같은 두께들을 갖고, 상기 중간층들은 1.5 마이크론보다 작거나 같은 두께들을 갖는다. 일부 구현예들에 있어서, 본 측면의 방법들은 상이한 장치 층들 내에 제공된 인쇄 가능한 반도체들 사이에 전기적인 콘택을 형성하는 단계를 더 포함한다.

[0060] 본 측면의 구체적인 방법은: (i) 상기 기판의 수용 표면 위에 또는 그 위에 제공된 하나 또는 그 이상의 구조들 위에 인쇄된 인쇄 가능한 반도체 요소들의 상부 위에 중간층을 제공하는 단계; 및 (ii) 상기 중간층의 수용 표면 위에 인쇄 가능한 반도체 요소들을 접촉 인쇄함으로써 추가적인 인쇄 가능한 반도체 요소들을 조립하는 단계의 단계들을 더 포함한다. 예를 들면, 일 구현예에서, 상기 중간층의 수용 표면 위에 제공된 추가적인 인쇄 가능한 반도체 요소들의 적어도 일부분은 상기 기판의 수용 표면 위에 제공된 인쇄 가능한 반도체 요소들과 공간적으로 정렬되거나, 전기적으로 접촉하거나, 또는 이들 둘 모두가 달성되도록 위치된다. 본 측면의 방법들은 선택적으로, (i) 중간층 내에 하나 또는 그 이상의 개구부를 패터닝하는 단계로서, 그에 의하여 상기 기판의 수용 표면 위에 또는 상기 수용 표면 위에 제공된 하나 또는 그 이상의 구조들 위에 제공된 인쇄 가능한 반도체 요소들의 하나 또는 그 이상의 영역들을 노출시키는 단계; 및 (ii) 상기 기판의 수용 표면 위에 또는 상기 수용 표면 위에 제공된 하나 또는 그 이상의 구조들 위에 제공된 인쇄 가능한 반도체 요소들과 상기 중간층의 수용 표면 위에 제공된 상기 반도체 요소들 사이에 상기 중간층 내의 개구부들을 관통하는 전기적 콘택을 형성하는 단계의 단계들을 더 포함할 수 있다.

[0061] 본 발명의 방법들은 수많은 선택적인 공정 단계들을 포함할 수 있다. 본 발명의 한 방법은 수용 표면 위에 접

착총을 제공하는 단계를 더 포함한다. 여기서, 상기 인쇄 가능한 반도체 요소들은 상기 접착층 위에 인쇄된다. 본 발명의 한 방법은 상기 기판의 수용 표면 위에 또는 상기 수용 표면 위에 제공된 하나 또는 그 이상의 구조들 위에 인쇄된 인쇄 가능한 반도체 요소들 위에 봉지층 또는 평탄화층(planarizing layer)을 제공하는 단계를 더 포함한다. 본 발명의 한 방법은 상기 기판의 수용 표면 위에 또는 상기 수용 표면 위에 제공된 하나 또는 그 이상의 구조들 위에 인쇄된 하나 또는 그 이상의 인쇄 가능한 반도체 요소들 또는 상기 기판의 수용 표면을 증착 방법을 통해 하나 또는 그 이상의 도전성의 흰색 필름들과 함께 패터닝하는 단계를 더 포함한다. 본 발명의 방법들은 가용성 기판들; 폴리머 기판들, 플라스틱 기판들, 인장 가능한 기판들; 경질 기판들; 반도체 웨이퍼들 및 콘투어된 기판(contoured substrate)을 포함하는 소정 범위의 기판들에 적용될 수 있지만 이들에 한정되는 것은 아니다.

[0062] 본 발명은 본 방법들을 이용하여 제조된 장치들과 시스템들도 포함한다. 본 발명의 장치들 및 시스템들은 전자 장치들, 광학 장치들, 전자-광학 장치들, 미세유동(microfluidic) 장치들, 미세전자기계 시스템들 (microelectromechanical systems), 나노전자기계 시스템들(nanoelectromechanical systems), 센서들, 접적 회로들, 마이크로프로세서들 및 메모리 장치들을 포함하지만 여기에 한정되는 것은 아니다.

[0063] 다른 구현예에 있어서, 본 발명은 2차원의 인장가능하고 구부릴 수 있는 장치이다. 본 측면에 있어서, 상기 장치는 접촉 표면을 갖는 기판을 포함한다. 여기서, 상기 기판 접촉 표면의 적어도 일부분에 구성 부품이 결합되고, 상기 구성 부품은 적어도 하나의 양각 구조물 영역과 적어도 하나의 실질적으로 편평한 영역을 갖는다. 여기서, 상기 양각 구조물 영역은 상기 기판과 분리된 영역을 갖고, 상기 실질적으로 편평한 영역은 상기 기판에 적어도 부분적으로 결합된다. 일 측면에 있어서, 상기 적어도 하나의 양각 구조물 영역은 기판 위에, 상기 기판 접촉 영역과 접촉하는 복수의 접촉 영역들을 갖는 웨이브 패턴과 같은, 양각 구조물들의 2차원 패턴을 갖는다.

[0064] 상기 기판에 상기 구성 부품을 결합하는 것을 용이하게 하기 위하여, 상기 구성 부품 또는 기판 수용 표면 중의 임의의 하나 또는 이들 둘 모두는 활성화된 영역들의 패턴과 같은, 패터닝된 영역들을 가질 수 있다. "활성 영역들"은 상기 기판 접촉 표면 또는 상기 구성 부품 위의 접착 위치들의 패턴; 각각이 공간적 변화를 갖는 기판 또는 구성 부품의 두께, 모듈러스, 온도, 조성 중의 하나 또는 그 이상으로부터 선택된 상기 기판 또는 구성 부품의 물리적 파라미터들의 선택된 패턴; 기판 표면의 화학적 개질; 및 상기 기판 접촉 표면 위의 구성 부품의 자유 에지(free edge)들에 인접하는 영역; 중의 하나 또는 그 이상에 의하는 것과 같은 결합하기 위한 수단들 및/또는 베클링을 제공하기 위한 수단들을 지칭하기 위해 널리 사용된다. 이들 파라미터들 각각의 공통된 주제는 이들이 상기 구성 부품과 상기 기판 사이의 결합을 용이하게 하거나 또는 상기 구성 부품의 공간적으로 제어된 베클링을 생성하기 위한 기구를 제공한다는 것이다. 예를 들면, 상기 실질적으로 편평한 영역 또는 상기 양각 구조물 영역의 일부분을 활성 기판 영역에 위치시킴으로써 상기 구성부품은 인장 가능한 구성 부품을 제공하기 위해 제어 가능하게 베클링될 수 있다.

[0065] 여기에 개시된 임의의 방법들 및 장치들은 금속, 반도체, 절연체, 압전체(piezoelectric), 강유전체(ferroelectric), 자기변형성(magnetostrictive) 물질, 전자변형성(electrostrictive) 물질, 초전도체, 강자성(ferromagnetic) 물질, 또는 열전성(thermoelectric) 물질인 물질 중의 하나 또는 그 이상으로 구성되는 군으로부터 선택되는 구성 부품을 선택적으로 갖는다. 여기에 개시된 임의의 방법들 및 장치들은 선택적으로 전자 장치, 광학 장치, 광학-전자 장치(opto-electronic device), 기계 장치, 및 열적 장치로 구성되는 군으로부터 선택되는 장치를 위한 것이다.

[0066] 일 측면에 있어서, 2차원적으로 인장 가능하고 구부릴 수 있는 임의의 장치들은, 적어도 두 개의 아일랜드들을 전기적으로 연결하는 상호 접속 양각 구조와 같이 장치 구성 부품들을 수용하기 위한 아일랜드(island)를 포함하는 실질적으로 편평한 영역을 갖는다.

[0067] 일 구현예에 있어서, 임의의 기판 콘택 또는 수용 표면은 편평하거나, 실질적으로 편평하거나, 양각 구조물을 갖거나, 굴곡진 부분을 갖거나, 웨이브 부분을 갖거나 또는 PDMS 기판 또는 기판층과 같이 엘라스토머성이다.

발명의 효과

[0068] 형태 정합적인(shape-conforming) 장치들은 플렉서블 디스플레이 및 전자 섭유들로부터 정합될 수 있는 생물학적 및 물리적 센서들에 이르기까지 다양한 응용을 갖는다

도면의 간단한 설명

[0069]

도 1은 웨이브지거나 또는 베클링된, 인장 가능한 금속 상호 접속부의 한 제조 방법을 요약한다. (a)는 순서도 요약이고, (b)는 순서도 단계들을 도시한다.

도 2는 강체 기판으로부터 사전-변형되고 인장 가능한 PDMS 고무 기판 위로 회수되고, 이어서 변형을 해제하여 베클링을 유발함으로써 형성된, 인장 가능하고 웨이브진/베클링된 전기 상호 접속부의 사진이다.

도 3은 웨이브 구조의 엘라스토머 기판 위에 증착을 통해 웨이브진 인장 가능한 전극들의 한 제조 방법을 요약한다.

도 4는 매끈한 웨이브진 엘라스토머 기판을 제조하기 위한 한 방법을 제공한다. (a)는 순서도 요약이고, (b)는 순서도 단계들을 도시한다.

도 5는 도 3 내지 도 4에 대략 나타낸 방법들에 의하여 생성된, 매끈하게 웨이브진 PDMS 기판의 이미지를 제공한다. 나타내어진 상호 접속부는 22.6% 인장 가능하고, 약 900 nm의 두께(700 nm Al / 200 nm Au), 약 38 마이크론의 파장 및 약 15.6 마이크론의 진폭(피크로부터 계곡까지의 거리)을 갖는 금속 상호 접속부를 갖는다.

도 6a는 첨단부(cusp)들을 갖고 (Edmund Optics로부터) 상용으로 입수 가능한 렌즈상 어레이이다. 도 6b는 매끈하게 웨이브진 기판을 만들기 위하여 광경화성 에폭시를 스판-코팅한 것이다. 도 6c는 매끈한 구조물을 갖는 웨이브진 엘라스토머 스템프를 생성하기 위하여 도 6b로부터 기판에 대하여 PDMS 스템프를 주조한 것이다.

도 7a 내지 도 7c는 증발(evaporation)에 의하여 새도우 마스크를 통해 매끈하게 웨이브진 엘라스토머 기판 위로 증착된 인장 가능한 전극들이다. 상기 전극들은 장력에 의하여 ~10%까지 인장되는 동안 전도성과 접속성을 유지한다. 스케일 바는 약 0.1 mm이다. 도 7a는 엘라스토머 기판 위의 웨이브의 단면이다. 도 7b는 증발하여 상기 웨이브진 엘라스토머 기판 위에 증착된 전극의 평면을 나타낸 현미경 사진이다. 초점면은 상기 웨이브진 양각의 피크 위에 있다. 도 7c는 증발하여 상기 웨이브진 엘라스토머 기판 위에 증착된 전극의 평면을 나타낸 현미경 사진이다. 초점면은 상기 웨이브진 양각의 계곡 위에 있다.

도 8은 인장 가능한 전극들을 이용하여 인장 가능한 수동 매트릭스 LED 디스플레이를 제조하는 공정을 개략적으로 나타낸 도면이다.

도 9는 웨이브진 전극들을 갖는 수동 매트릭스 LED 디스플레이의 기계적인 인장 가능성을 나타낸다.

도 10은 반구 만곡부를 갖는 렌즈 위에 분포된 무기 광 다이오드 어레이들을 나타낸다. 다양한 렌즈 형태들과 각도들을 나타낸다.

도 11은 평면 시트를 구면 주위에 쌀 때 인장 가능성이 요구되는 것을 도시한다.

도 12는 구형의 곡면에 정합될(conform) 수 있는 인장 가능하고 베클링된 반도체 어레이들을 제조하는 한 방법을 요약한다.

도 13은 단일 접속 그리드 구성(A 및 B), 다중 접속 (예를 들면, 이중) 그리드 구성(C), 및 꽃모양 접속 구성(D)를 갖는, 베클링되고 인장 가능한 실리콘 어레이들의 광학 현미경 이미지이다. 상기 인장 가능한 상호 접속부들은 광 다이오드, 접광/광감지 소자들, 및 다른 소자 구성 부품들을, 예를 들면, 콘택 패드 영역들에서 전기적으로 접속할 수 있다. 이들 시스템들은 곡면에 정합될 수 있다. 도 13의 A 내지 D에 나타내어진 구성들은 PDMS 기판 위에 있다.

도 14는 그리드 구성의 베클링되고 인장가능한 실리콘 어레이들의 전자 현미경 이미지들이다. 상기 베클링되고 인장가능한 실리콘 어레이들은 장치 구성 부품들을 지지할 수 있고 곡면에 정합할 수 있다. 스케일 바는 A에서 200 μm 이고 B에서 50 μm 이다.

도 15는 복수의 (예를 들면 두 개의) 상호 접속부들에 의하여 서로 접속되는 이웃하는 콘택 패드들과 그리드 구성을 이루는 베클링되고 인장 가능한 실리콘 어레이들의 전자 현미경 이미지이다. 상기 베클링되고 인장가능한 실리콘 어레이들은 장치 구성 부품들을 지지할 수 있고 곡면에 정합할 수 있다. 스케일 바는 A에서 200 μm 이고 B에서 50 μm 이다.

도 16은 꽃모양(floral) 구성의 베클링되고 인장가능한 실리콘 어레이들의 전자 현미경 이미지들이다. 상기 베클링되고 인장가능한 실리콘 어레이들은 장치 구성 부품들을 지지할 수 있고 곡면에 정합할 수 있다. 스케일 바는 A에서 200 μm 이고 B에서 50 μm 이다.

도 17은 브리지(bridge) 구성의 베클링되고 인장가능한 실리콘 어레이들의 전자 현미경 이미지들이다. 상기 베

클링되고 인장가능한 실리콘 어레이들은 장치 구성 부품들을 지지할 수 있고 곡면에 정합할 수 있다. 스케일 바는 A에서 $200 \mu\text{m}$ 이고 B에서 $50 \mu\text{m}$ 이다.

도 18은 PDMS 상의 인장 가능하고 베클링된 실리콘 어레이 위에 그리드 어레이 구성을 갖는 광 다이오드들의 사진이다.

도 19는 인장 및 릴랙스(relaxation) 동안 상기 인장 가능한 상호 접속부들의 가역적인 거동을 실증한다. 상기 시스템은 패널 1에 릴랙스된다. 상기 시스템은 패널 2, 3 및 4에 인장 화살표에 의하여 표시된 바와 같이 인장된다. 패널 4에서 최대 인장은 약 10%이고, 상기 인장력의 방향으로 정렬된 상호 접속부에 대하여는 실질적으로 편평한 상호 접속부를 초래한다. 상기 시스템은 패널 5 내지 8에서는 해제되며, 패널 8은 패널 1에 나타낸 것과 동등한 기하 구조 및 구성을 갖는다. 스케일 바는 0.2 mm이다.

도 20은 편평한 기판들뿐만 아니라 곡률을 갖는 기판들에도 정합적인(conformal) 접촉이 가능한 "베블 스템프" 또는 "풍선 스템프" 장치이다.

도 21 구면으로 굴곡진 표면과 편평한 표면에 모두 정합할 수 있는 또 다른 장치는 인장 가능한 구면-몰딩된 스템프이다. 상기 스템프는 굴곡진 표면(본 예에서는 오목한 렌즈) 위에 주조되어 제거된다. 상기 스템프는 상호 접속부들이 전사될 자신의 표면을 실질적으로 편평하게 하기 위해 인장된다.

도 22는 "베블" 또는 "풍선" 스템프 위에서 인장 사이를 동안 인장될 수 있는 베클링된 실리콘 어레이들을 나타낸다. 본 실시예에서, 인접하는 콘택 패드들 사이의 상호 접속부는 두 개의 웨이브진 상호 접속부들(Si 두께 290 nm)을 포함한다. 인장 테스트는 여러 방향으로의 인장을 제공하기 위하여 베블 팽창을 이용한다. 가장 오른쪽의 패널은 최대로 인장된 상태이며, 하부의 두 패널들은 인장력이 제거되었을 때, 상기 상호접속부들이 릴랙스되어 위의 왼쪽 패널에 나타낸 사전 인장된 구성을 돌아가는 것을 보여 준다.

도 23은 풍선 스템프를 통해 접착제(PDMS 또는 SU-8)가 코팅된 유리 렌즈들 위로 프린트되는 실리콘을 나타낸다.

도 24는 반도체 나노리본들 내의 3D 베클링된 모양들을 제조하기 위한 공정 단계들을 요약한다. A는 UV-O 마스크를 제조하고, 이를 이용하여 PDMS 기판 위에 표면 화학을 패터닝하기 위해 사용하는 것을 나타낸다. B는 베클링된 GaAs 리본들을 형성하고 이들을 PDMS 내에 내장(embed)시키는 것을 나타낸다. C는 인장 및 압축에 대한 베클링된 GaAs의 응답을 나타낸다. D는 a 및 b에서의 절차들을 사용하여 형성된 샘플의 SEM 이미지이다. 본 샘플을 제조하기 위하여 사용된 사전 변형을 60%이었으며, $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 400 \mu\text{m}$ 이었다.

도 25는 PDMS 기판들 위에 33.7%의 사전 변형과 (A) $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 190 \mu\text{m}$; 및 (B) $W_{act} = 100 \mu\text{m}$, 그리고 $W_{in} = 100 \mu\text{m}$ 을 이용하여 형성된 베클링의 프로파일들의 측면도이다. 두 샘플들은 모두 리본들이 PDMS로부터 탈착됨에 기인하는 비활성화된 영역들의 베클링들을 나타낸다. 작은 피크들을 갖는 사인파들은 $W_{act} = 100 \mu\text{m}$ 을 갖는 활성화된 영역들에서만 형성되었다. 이들 두 샘플들의 비교는 W_{act} 를 임계값보다 작게 선택함으로써 작은 웨이브의 구조가 형성되는 것을 피할 수 있음을 나타낸다.

도 26은 PDMS 내에 내장된 베클링된 GaAs 리본을 마이크로토밍(microtoming)한 후의 측면 이미지이다. 본 이미지는 PDMS가 리본들과 그 하부에 놓인 기판들 사이의 갭을 완전히 채우고 있음을 보여준다. 이 경우에 있어서, 상기 베클링들은 60%의 사전변형과 $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 300 \mu\text{m}$ 에 대하여 형성되었다. 이들 베클링된 리본들의 표면 위에 주조된 PDMS 프리폴리머는 65°C 의 오븐에서 4시간 동안 경화된다.

도 27은 베클링된 (A 및 D) GaAs와 (B, C) Si 리본들의 측면 프로파일들의 광학 현미경 사진이다. A는 상이한 사전 변형(11.3%, 25.5%, 33.7% 및 56.0% (위에서 아래로))과 $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 190 \mu\text{m}$ 에 대하여 패터닝된 PDMS 위에 형성된 GaAs 리본 구조물들이다. $\varepsilon_{pre} = 33.7\%$ 및 56.0%에 대한 점선들은 수학적으로 예측된 상호 접속부 기하 형태이다. B는 50%로 사전 변형되고, $W_{act} = 15 \mu\text{m}$, 그리고 $W_{in} = 350, 300, 250, 250, 300$, 및 $350 \mu\text{m}$ (왼쪽에서 오른쪽)에 대하여 패터닝된 PDMS 기판 위에 형성된 Si 리본 구조물들이다. 본 이미지는 샘플을 45° 기울여서 촬영되었다. C는 50% 사전 변형되고, 리본의 길이 방향에 대하여 30° 의 각도로 방향을 갖는 접착 위치들($W_{act} = 15 \mu\text{m}$, 그리고 $W_{in} = 250 \mu\text{m}$)과 평행한 선들로 패터닝된 PDMS 기판 위에 형성된 Si 리본 구조물들이다. 본 이미지는 샘플을 75° 기울여서 촬영되었다. D는 60% 사전 변형되고 $W_{act} = 10 \mu\text{m}$ 이며 상이한 W_{in}

= 100, 200, 300, 및 400 μm (위에서 아래로)에 대한 PDMS 기판 위에 형성된 GaAs 리본 구조물들이다.

도 28은 PDMS 내에 내장된 베클링된 GaAs 리본들의 인장 및 압축을 나타낸다. A는 상이한 수준의 인장 변형(양의 %)만큼 인장된 단일 베클링 리본의 이미지이다. 거의 50% 파괴가 발생한다. B는 상이한 수준의 압축 변형(음의 %)만큼 압축된 단일 베클링 리본의 이미지이다. ~-15%보다 큰 압축 변형에 대하여 베클링들의 피크에 작고, 짧은 주기를 갖는 웨이브의 기하구조들이 나타난다. C는 상이한 수준의 압축 변형으로 압축된 단일 베클링 리본의 이미지이다. 이들 경우에 있어서 상기 베클링들은 60%의 사전 변형과, $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 400 \mu\text{m}$ (A, B) 그리고 $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 300 \mu\text{m}$ (C)에 대하여 형성되었다. 각 패널에서의 적색선과 화살표들은 기계적인 변형을 강조하기 위하여 동일한 리본들 위의 동일한 위치들을 표시한다. 삽입 사진들은 흰색상자로 표시한 부분의 확대 이미지를 제공하며 고압축 변형들에서의 크랙들의 발생을 명확하게 보여준다. 인장 및 압축도에 대응되는 숫자들은 하기 식에 따라 계산되었다.

$$\left| \frac{L_{projected}^{\max} - L_{projected}^0}{L_{projected}^0} \right| * 100\%$$

도 29는 2층의 베클링된 GaAs 리본 어레이를 갖는 샘플의 사진이다. 본 구조는 순차 적층(layer by layer) 방식으로 제조된다. GaAs 리본의 제 1 층(60%의 사전 변형과, $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 400 \mu\text{m}$ 로 정의된 베클링된 기하 구조)은 PDMS 내에 내장된다. 베클링된 리본들의 제 2 층은 50%의 사전 변형과 $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 300 \mu\text{m}$ 를 이용하여 이 기판의 표면 위에 형성된다.

도 30은 PDMS의 표면들 위와 매트릭스 내의 베클링된 리본들의 구부림을 나타낸다. A-C는 오목하거나(A), 편평하거나(B) 또는 볼록한(C)의 표면들을 갖는 PDMS 위에 있는 베클링된 GaAs 리본들의 낮은 배율(왼쪽 위쪽 프레임) 및 고배율(오른쪽 프레임), 그리고 개략도(왼쪽 아래 프레임)의 광학 현미경 이미지들이다. c에 있는 스케일바는 a 및 b에도 적용된다. d는 (왼쪽) 구부리기 전의 그리고 (오른쪽) 구부린 후의 PDMS 내에 내장된 베클링된 리본들의 이미지들이다. 오른쪽 이미지에 있는 스케일바는 왼쪽 이미지들에도 적용된다. 베클링된 상기 리본들은 60%의 사전 변형과 $W_{act} = 10 \mu\text{m}$, 그리고 $W_{in} = 400 \mu\text{m}$ 로 형성되었다.

도 31은 인장 가능한 금속-반도체-금속 광 감지기(MSM PDs: metal-semiconductor-metal photodetectors)를 특성화한 것이다. A는 기하 구조를 개념적으로 도시한 것(위), 동등한 회로(중간), 및 인장하기 전과 인장된 동안의 베클링된 PD의 광학 이미지(아래)이다. B는 상이한 출력 세기를 갖는 IR 램프에 의하여 조사된 베클링된 PD로부터 기록된 전류(I)-전압(V) 곡선들이다. 일정한 회도로 조사된 PD가 상이한 정도로 인장되거나(C) 또는 압축되었을 때(D)의 I-V 특성들이다.

도 32는 반구형 엘라스토머 전사 '스탬프'가 통상의 웨이퍼로부터 상호 연결된 Si CMOS '칩렛(chiplet)'들을 리프트오프(liftoff) 시키고, 그 후 그들의 기하 구조를 반구형 모양으로 전환할 수 있음을 나타낸다. 상기 칩렛들 사이의 '팝-업' 상호 접속부들은 이러한 평면으로부터 곡면으로의 전환과 관련된 변형들을 수용한다.

도 33은 상호 접속된 CMOS 칩렛들을 반구형 스탬프로부터, 그에 매치되는 반구형 장치 기판으로 전사하는 것을 나타낸다. 광 경화성 접착층이 상기 CMOS를 장치 기판에 결합하며, 상기 표면을 평탄화한다.

도 34는 반구형 스탬프와 양립 가능한 고정물(fixturing), 액츄에이터 및 시각화 시스템을 갖는 프린터 장치를 나타낸다.

도 35는 반구형 스탬프 위의, '팝업' 리본 상호 접속부들에 의하여 전기적으로 연결되는 단결정 실리콘 아일랜드들의 압축 가능한 어레이를 나타낸다.

도 36은 ~ 2 cm의 곡률 반경을 갖는 반구형 스탬프의 표면 위로 '링크된' 상호 접속된 단결정 실리콘 아일랜드 어레이의 광학 이미지이다.

도 37은 반구형 스탬프들에 대하여 사용될 수 있는 다양한 실리콘 엘라스토머에 대한 응력/변형 곡선들이다. 20% 미만의 변형에 대하여 선형이며, 완전히 탄성인 응답들이 중요하다.

도 38은 초기에 0.57 mm의 균일한 두께를 갖는 반구형 스탬프에서의 구형으로부터 평면으로의 변환을 유한 요소 모델링한 것이다.

도 39는 탄성 지지체 위의 2차원의 "웨이브진" 반도체 나노막을 제조하기 위한 단계들을 개념적으로 나타낸 것이다.

도 40의 (a 내지 f)는 실리콘 나노막들을 형성하는 과정에서 다양한 단계들에서의 2D 웨이브진 구조물들의 광학 현미경 사진들이다. 삽입 사진들은 2차원 파워 스펙트럼들을 보여 준다. (g)는 완전히 발전된 구조물의 저배율 이미지이다. 이 샘플에 대하여 실리콘의 두께는 100 nm이고, 측방향 치수는 ca. $4 \times 4 \text{ mm}^2$ 이고, 기판은 PDMS이고, 열적으로 유발된 사전 변형은 3.8%이다. (h)는 프레임 (a 내지 f)에 대응되는 단파장의 플롯이고, (i)는 프레임 (g)의 다양한 지점에서 평가된 장파장의 히스토그램이다.

도 41은 PDMS 위의 2D 웨이브진 Si 나노막의 (a) AFM 이미지이고 (b 내지 d) SEM 이미지들(경사 각도 60°)이다. 상기 실리콘의 두께는 100 nm이고, 열적 사전 변형은 3.8%이다. 이들 이미지에서는 상기 웨이브 패턴의 고도로 주기적인 성질, Si에 식각된 구멍들 근처의 PDMS와 Si의 가장자리에서 볼 수 있는 밀접한 접촉에 의하여 증명되는 바와 같은 Si와 PDMS 사이의 우수한 결합, 및 웨이브 구조물들과 이들 구멍들의 위치들 사이의 상호 무관련성이 흥미롭다.

도 42의 (a)는 3.8%의 열적 사전 변형으로 형성되고 PDMS 위에 다양한 두께(55, 100, 260, 320 nm)를 갖는 2D 웨이브진 Si 나노막들의 광학 현미경 사진들이고, (b)는 Si 두께에 대한 단파장과 진폭의 의존성을 나타낸다.

도 43의 (a)는 세 개의 상이한 방향들에서 적용된, 상이한 일축성 변형들 하에서의 2D 웨이브진 Si 나노막들의 광학 현미경 사진들이다. 이들 샘플들은 PDMS 위의 100 nm의 두께를 갖고, 3.8%의 열적 사전 변형으로 형성되는 Si 막들로 구성된다. 상기 이미지들은 인장하기 전의 릴랙스된 상태(최상부 프레임들), 인장한 후에 릴랙스된 상태(최하부 프레임들), 그리고 일축성으로 적용된 인장 변형이 1.8%일 때(위에서 두 번째 프레임), 및 3.8% 일 때(아래에서 두 번째 프레임) 수집되었다. (b)는 상이한 세 방향으로 적용된 변형에 대한 단파장의 의존성을 나타낸다.

도 44는 2D 웨이브진 Si 나노막의 상이한 영역들의 AFM 이미지들로서, 상기 막의 가장자리 근처의 영역(상부 프레임), 이 가장자리 영역으로부터 약간 떨어진 영역(가운데 프레임), 및 상기 막의 중앙 근처의 영역(하부 프레임)의 1D 웨이브진 기하학적인 특성을 보여준다. 본 샘플은 PDMS 위의 100 nm의 두께를 갖는, 3.8%의 열적 사전 변형으로 형성된 Si 막으로 구성된다.

도 45는 1000 μm 의 길이와 100, 200, 500, 및 1000 μm 의 폭들을 갖는 2D 웨이브진 Si 나노막들의 광학 현미경 사진들이다. 이들 막들은 모두 100 nm의 두께를 가지며, 동일한 PDMS 기판 위에, (a) 2.3% 및 (b) 4.8%의 열적 사전 변형으로 형성되었다. (c)는 유사 막들에 있어서 사전 변형에 대한 가장자리 효과 길이의 의존성을 나타낸다.

도 46은 (a) 원형, (b) 타원형, (c) 육각형, 및 (d) 삼각형의 상이한 모양들을 갖는 2D 웨이브진 Si 나노막들의 광학 현미경 사진들이다. 이들 막들은 모두 100 nm의 두께를 갖고, PDMS 위에 4.8%의 열적 사전 변형으로 형성되었다.

도 47은 상호 접속된 편평한 아일랜드들의 어레이에 2D 인장 가능성을 부여하기 위하여 가장자리 효과들을 이용하도록 설계된 모양들을 갖는 Si 나노막들의 웨이브진 구조들을 보여주는 광학 현미경 사진들이다. 여기에 도시된 두 경우들 모두에 있어서, 상기 Si는 100 nm 두께를 갖고, 정사각형들은 $100 \times 100 \mu\text{m}$ 이고, 리본 접속부들은 $30 \times 150 \mu\text{m}$ 라인들이다. 사전 변형은 (a, e) 2.3%, 그리고 (c, g) 15%이다. (a, c, e, g)의 리본들과 정사각형들을 보여주는 선택된 영역들의 SEM 이미지들(경사 각도 75°)은 각각 (b, d, f, h)에 보여진다. 고배율 SEM 이미지들의 삽입 사진들은 b 및 d에서 웨이브들의 상승된 영역들을 보여준다.

도 48은 PDMS 기판 웨이브 상의 2D 웨이브 Si 나노막 (100 nm 두께, $4 \times 5 \text{ mm}^2$, 및 3.8% 열적 사전 변형) 샘플의 사진이고(상부 프레임), 그리고 (i) 가장자리에서의 1D 웨이브들, (ii) 더 안쪽 영역에서의 헤링본(herringbone) 웨이브들, 그리고 (iii) 중앙에서의 무질서한 헤링본 웨이브들이다. 스케일 바는 50 μm 이다.

도 49는 헤링본 웨이브 구조물들에서 특성 길이들(characteristic lengths)을 나타내는 개략도이다.

도 50은 Si 변형을 헤링본 및 1D 웨이브들에서 적용된 열적 사전 변형의 함수로 나타낸 것이다. Si 변형은 $\varepsilon_{\text{Si}} = (L - \lambda) / \lambda$ 에 의하여 실험적으로 측정되었고, 여기서 L 및 λ 는 AFM 표면 프로파일에서 표면 및 수평 거리이다.

도 51은 인장 시험($\sim \varepsilon_{st} = 4.0\%$)의 사이클들 후의 헤링본 웨이브들의 광학 현미경 이미지들이다. 상기 테스트 샘플은 100 nm 두께의 Si 막과 3.8% 이축성(biaxial) 열적 사전 변형으로 준비되었다. 헤링본 웨이브들은 15회 까지의 인장 테스트 사이클 후에도 막의 크랙에 기인하는 일부 결함들을 제외하고는 최초와 거의 유사한 구조를 갖도록 복원되었다.

도 52는 일축성 인장 변형의 적용에 따른 헤링본 웨이브들의 '펼쳐짐(unfolding)'을 개략적으로 도시한 것이다. 압축성 변형 ε_{cp} 는 인장 변형 ε_{st} 과 관련된 포아송 효과(Poisson effect)에 기인한다.

도 53은 이축성 인장 테스트로서의 가열 및 냉각 과정 동안 헤링본 웨이브들의 모폴로지 변화의 광학 현미경 이미지들이다. 테스트 샘플은 100 nm 두께의 Si 막과 2.9% 이축성 열적 사전 변형으로 준비되었다.

도 54는 구조화되어 웨이브진 마스터 위에 증착하고, 이어서 상기 마스터 위에 스템프를 캐스트(cast)하고, 상기 스템프를 경화시키고, 그리고 그에 의하여 해제와 함께 상기 전극들을 마스터로 전사함으로써 웨이브지고 인장가능한 전극들을 제조하는 한 방법을 요약한다.

도 55는 도 54의 방법과 조합된 도 4의 방법들에 의하여 제조된 웨이브진 PDMS 위의 인장 가능한 금속 전극들(Au, 300 nm 두께)의 이미지를 제공한다. 아래쪽 패널은 상기 인장 가능하고 웨이브진 금속 전극들의 전기 저항 측정 데이터를 적용된 인장 변형(30%까지)의 함수로서 나타낸 그래프이다.

도 56은 플렉서블하고 인장가능한 iLED 스트립-광원을 제조하기 위한 본 방법의 응용 실시예이다. (a)는 상기 장치가 크게 구부릴 수 있음을 나타내는 마이크로 사진이고, 이 실시예에서는 구부림 반경이 0.85 cm이다. (b)는 웨이브진 PDMS 기판 위의 인장 가능한 금속의 단면(위쪽 패널, 스케일바는 40 μm)과 평면(아래쪽 패널, 스케일바는 3 mm)을 제공한다. 상기 금속은 물리적 성질의 심각한 열화 없이 약 30% 인장 가능하다. (c)는 ((b)에 나타낸) PDMS 위의 사인파로 웨이브진 금속 상호 접속부들의 진폭(원, 오른쪽 축)과 파장(정사각형, 원쪽 축)에 대한 국부적인 변형의 영향을 나타낸 그래프이다. 변형이 증가함에 따라 이에 대응하여 금속의 파장이 증가하고 진폭이 감소한다.

도 57은 이종의 3차원 전자 장치를 위한 인쇄된 반도체 나노 물질들에 기반한 접근을 개략적으로 나타낸 것이다. 상기 공정은 소스 기판들 위에 개별적으로 형성된 나노튜브류, 나노와이어류, 나노리본류 또는 다른 활성 나노 물질들의 집합을 공통 장치 기판 위로 반복적으로 전사 인쇄하여 극초박형의 다층 적층 기하 구조를 갖는 상호 접속된 전자 장치를 생성하는 것을 수반한다.

도 58의 (A)는 반도체를 위해 인쇄된 실리콘 나노리본들을 사용하는 단결정 실리콘 금속 산화물 전계 효과 트랜지스터들(MOSFETs: metal oxide field effect transistors)의 어레이의 3차원 다층 적층체의 광학 현미경 사진이다. 이 이미지의 (1st라고 표시된) 아래쪽, (2nd라고 표시된) 중간, 그리고 (3rd라고 표시된) 위쪽 부분은 장치의 하나, 둘 또는 세 층들을 갖는 영역들에 각각 대응된다. (B)는 개략적인 단면도(위) 및 사시도(아래)이다. S, D 및 G는 각각 소스, 드레인, 및 게이트 전극(모두 금색으로 나타냄)을 가리킨다. 밝고 어두운 청색 영역들은 실리콘 리본들의 도핑되고 도핑되지 않은 영역들에 대응되고; 자주색 층은 SiO_2 게이트 유전체이다. (C)는 (A) 및 (B)에 나타낸 것과 같은 장치 기판 위에 공초점 현미경(confocal microscopy)에 의해 수집된 3차원 이미지들이다(왼쪽 프레임: 평면도; 오른쪽 프레임: 사시도). 상기 층들은 식별의 편의를 위해 색채화되었다(금색: 상부층; 적색: 중간층; 청색: 하부층; 실리콘: 회색). (D)는 각 층에 있는 Si MOSFET의 전류-전압 특성으로서, 우수한 성능($470 \pm 30 \text{ cm}^2/\text{Vs}$ 의 이동도)과 성질들의 양호한 균일성을 보인다. 채널 길이와 폭은 각각 19 및 200 μm 이다.

도 59의 (A)는 3층으로 적층된 GaN 나노리본 HEMT들, Si 나노리본 MOSFET들 및 SWNT 네트워크 TFT들을 포함하는 3차원적인 이종 집적된 전자 장치의 광학 현미경 사진이다. (B)는 공초점 현미경에 의하여 수집된 3차원 이미지이다. 층들은 식별의 편의를 위해 색채화되었다(금색: 상부층, Si MOSFET들; 적색: 중간층, SWNT TFT들; 청색: 하부층). (C)는 상기 제 1 층 위의 GaN 소자들(채널 길이, 폭 및 게이트 폭은 각각 20, 170, 및 5 μm), 제 2 층 위의 SWNT 소자들(채널 길이 및 폭은 각각 50, 및 200 μm), 및 제 3 층 위의 Si 소자들(채널 길이 및 폭은 각각 19 및 200 μm)의 전기적 특성들이다. (D)는 각 층의 소자들(검은 정사각형: Si MOSFET들; 적색 원: SWNT TFT들; 녹색 삼각형: GaN HEMT들)의 정규화된 트랜스컨덕턴스(transconductance)(g_m/g_{0m})를 플라스틱 기판의 구부림 반경의 함수로 나타낸 것이다(왼쪽). 구부려진 시스템 및 프로빙 장치의 이미지이다(오른쪽).

도 60의 (A)는 폴리이미드 기판 위의 3D 실리콘 NMOS 인버터들의 인쇄된 어레이의 이미지이다. 상기 인버터들

은 상이한 두 수준 상에 있고 전기적 비아(via) 구조물에 의하여 상호접속된 MOSFET들(채널 길이는 $4 \mu\text{m}$, 부하-구동부(load-to-driver) 폭 비율은 6.7, 및 구동부 폭은 $200 \mu\text{m}$)로 구성된다. 오른쪽 위쪽의 이미지는 왼쪽 프레임의 적색 상자로 표시된 영역의 확대도를 제공한다. 오른쪽 아래의 그래프는 통상의 인버터의 전달 특성을 나타낸다. (B)는 p 채널 SWNT TFT(채널 길이와 폭이 각각 30 및 $200 \mu\text{m}$)와 n 채널 Si MOSFET(채널 길이와 폭이 각각 75 및 $50 \mu\text{m}$)을 이용하는 인쇄된 상보적인 인버터의 전달 특성이다. 삽입된 사진은 인버터의 광학 현미경 사진(왼쪽)과 회로의 개념도(오른쪽)이다. (C)는 어두움으로부터 850 nm의 적외선 광원으로 $11 \mu\text{W}$ 까지 상이한 수준에서의 Si MOSFET(채널 길이와 폭은 각각 9 및 $200 \mu\text{m}$)과 접적된 GaAs MSM(채널 길이와 폭은 각각 10 및 $100 \mu\text{m}$)의 전류-전압 응답이다. 삽입 사진은 광학 이미지와 회로도를 나타낸다.

도 61은 $\sim 1 \mu\text{m}$ 까지 인쇄 정합(registration)이 가능한, 자동화된 전사-인쇄용 스테이지의 이미지이다.

도 62의 (A)는 폴리이미드 기판 위에 Si MOSFET들 및 GaN HEMT가 3차원적으로 이종 접적된 어레이의 광학 현미경 사진이다. 오른쪽 삽입도는 개략 단면도이다. 전극들(금색), SiO_2 (PEO; 자주색), Si(밝은 청색: 도핑되지 않은 부분; 어두운 청색: 도핑된 부분), GaN(어두운 녹색: 오믹 콘택트들; 밝은 녹색: 채널), 폴리이미드(PI: 갈색) 및 폴리우레탄(PU; 황갈색)이 모두 도시된다. (B)는 통상의 Si MOSFET(채널 길이 및 폭은 각각 19 및 $200 \mu\text{m}$)과 GaN HEMT(채널 길이, 폭 및 게이트 폭은 각각 20, $170 \mu\text{m}$ 및 $5 \mu\text{m}$)의 전류-전압 특성들을 나타낸다. 왼쪽 프레임들에 있는 Si 및 GaN에 대한 데이터들은 각각 $V_{dd} = 0.1\text{V}$ 및 $V_{dd} = 2\text{V}$ 에서 측정되었다.

도 63의 (A)는 폴리이미드 기판 위에 Si MOSFET들 및 SWNT TFT가 3차원적으로 이종 접적된 어레이의 광학 현미경 사진이다. 오른쪽 삽입도는 개략 단면도이다. 전극들(금색), 에폭시(청록색), SiO_2 (PEO; 자주색), Si(밝은 청색: 도핑되지 않은 부분; 어두운 청색: 도핑된 부분), SWNT(회색), 폴리이미드(PI: 갈색) 및 경화된 폴리이미드(황갈색)이 모두 도시된다. (B)는 통상의 SWNT TFT(채널 길이 및 폭은 각각 75 및 $200 \mu\text{m}$)와 Si MOSFET(채널 길이 및 폭은 각각 19 및 $200 \mu\text{m}$)의 전류-전압 특성들을 나타낸다. 왼쪽 프레임들에 있는 SWNT 및 Si에 대한 데이터들은 각각 $V_{dd} = -0.5\text{V}$ 및 $V_{dd} = 0.1\text{V}$ 에서 측정되었다.

도 64의 (A)는 폴리이미드 기판 위에 Si MOSFET들, SWNT TFT 및 GaN HEMT가 3차원적으로 이종 접적된 어레이의 단면 개략도이다. (B)는 여러 Si MOSFET들(채널폭 = $200 \mu\text{m}$, 흑색선: 채널길이 = $9 \mu\text{m}$, 적색: $14 \mu\text{m}$, 녹색: $19 \mu\text{m}$, 청색: $24 \mu\text{m}$)에 대한 전달 특성들, 유효 이동도 및 온/오프 비율을 나타낸다. (C)는 SWNT TFT들(채널폭 = $200 \mu\text{m}$, 흑색선: 채널길이 = $25 \mu\text{m}$, 적색: $50 \mu\text{m}$, 녹색: $75 \mu\text{m}$, 청색: $100 \mu\text{m}$)이다. 그리고 (D)는 GaN HEMT들(채널 길이, 폭, 및 게이트 폭은 각각 $20 \mu\text{m}$, $170 \mu\text{m}$, 및 $5 \mu\text{m}$)에 대한 전달 특성들, 트랜스컨덕턴스들, 및 온/오프 비율을 나타낸다.

도 65의 (A)는 실리콘 웨이퍼 기판 상에 제조된 SWNT-Si CMOS 인버터의 개략적인 단면 구조이다. (B)는 CMOS 인버터를 형성하는 n-채널 Si MOSFET과 p-채널 SWNT TFT의 전달 및 I-V 특성들이다. (C)는 인버터의 계산된 전달 특성들과 Si 및 SWNT 트랜지스터들의 I-V 특성들이다.

도 66의 (A)는 폴리이미드 기판 위에 제조된 GaAs MSM-Si MOSFET IR 감지기의 개념적인 단면 구조와 개략적인 회로도이다. (B)는 3V 공급에 대한 GaAs MSM IR 감지기($L = 10 \mu\text{m}$, $W = 100 \mu\text{m}$)의 전류-전압 특성과 Si MOSFET($L = 9 \mu\text{m}$, $W = 200 \mu\text{m}$)의 전달 및 I-V 특성들이다. (C)는 3V 공급에 대한 GaAs MSM의 계산된 IV 특성과 Si MOSFET과 접적된 GaAs MSM의 I-V 응답이다.

도 67은 변형 가능한 기판에 부분적으로 접착된 광학적 미세 구조의 제어된 베클링을 통해 제조된 광학 장치(도파관 어레이)를 개념적으로 나타낸다.

도 68은 변형 가능한 기판에 부분적으로 접착된 전도성 미세 구조의 제어된 베클링을 통해 제조된 기계적 장치(예를 들면, 가속도/압력 센서)를 개념적으로 나타낸다.

도 69는 변형 가능한 기판에 부분적으로 접착된 내열성 미세 구조의 제어된 베클링을 통해 제조된 열적 장치(미세 볼로미터: microbolometer)를 개념적으로 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0070] "인장 가능하다(stretchable)"는 것은 물질, 구조, 장치, 또는 장치 구성 부품이 파괴 없이 변형될 수 있는 능력을 가리킨다. 전형적인 구현예에 있어서, 인장 가능한 물질, 구조, 장치 또는 장치 구성 부품은 파괴 없이 약 0.5%보다 큰 변형을 견딜 수 있고, 바람직하게는 일부 응용들에 있어서 약 1%보다 큰 변형을 견딜 수 있고,

그리고 더욱 바람직하게는 일부 응용들에 있어서 약 3%보다 큰 변형을 견딜 수 있다.

[0071] "구성 부품(component)"은 장치에 사용되는 물질 또는 개별 구성 부품을 가리키기 위하여 널리 사용된다. "상호 접속부(interconnect)"는 구성 부품의 한 예로서 구성 부품과 또는 구성 부품들 사이에 전기적인 연결을 형성할 수 있는 전기 전도성의 물질을 가리킨다. 특히, 상기 상호 접속부는 분리되고 및/또는 상호간에 대하여 움직일 수 있는 구성 부품들 사이에 전기적인 접촉을 형성할 수 있다. 상기 상호 접속부는 원하는 장치의 명세, 동작 및 응용에 따라 적절한 물질로 제조된다. 높은 전도도가 요구되는 응용들에 대하여, 은, 금, 알루미늄 등과 이들의 합금들을 포함하여 통상의 상호 접속 금속들이 이용될 수 있지만 여기에 한정되는 것은 아니다. 적절한 도전성 물질들은 실리콘, 인듐 주석 산화물, 또는 GaAs와 같은 반도체를 포함할 수 있다.

[0072] "반도체(semiconductor)"는 매우 낮은 온도에서 절연체이지만 약 300 켈빈(Kelvin)의 온도에서는 상당한 전기 전도성을 지니는 임의의 물질을 지칭한다. 본 발명의 상세한 설명에서는, 반도체라는 용어는 미세 전자공학 및 전자 장치들의 기술 분야에서 본 용어를 사용하는 것과 일치하게 사용할 것이 의도된다. 본 발명에 있어서 유용한 반도체들은 실리콘, 저매듭, 및 다이아몬드와 같은 원소 반도체들(element semiconductor)과 SiC 및 SiGe 와 같은 IV족 화합물 반도체들, AlSb, AlAs, AlIn, AlP, BN, GaSb, GaAs, GaN, GaP, InSb, InAs, InN, 및 InP과 같은 III-V족 반도체들, $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 와 같은 III-V족 삼원계 반도체 합금들, CsSe, CdS, CdTe, ZnO, ZnSe, ZnS, 및 ZnTe와 같은 II-VI족 반도체들, CuCl과 같은 I-VII족 반도체들, PbS, PbTe 및 SnS과 같은 IV-VI족 반도체들, PbI₂, MoS₂ 및 GaSe와 같은 층상 반도체들, CuO 및 Cu₂O와 같은 산화물 반도체들과 같은 화합물 반도체들을 포함할 수 있다. 반도체라는 용어는 진성 반도체와, 주어진 응용 또는 장치에 유용한 유리한 전자적 성질을 제공하기 위하여 p-형 도핑 물질들 및 n-형 도핑 물질들을 갖는 반도체를 포함하는 하나 또는 그 이상의 선택된 물질들로 도핑된 외인성 반도체(extrinsic semiconductor)을 포함한다. 반도체라는 용어는 반도체들 및/또는 도편트들의 혼합물을 포함하는 복합 물질들을 포함한다. 본 발명의 일부 응용들에 있어서 유용한 구체적인 반도체 물질들은 Si, Ge, SiC, AlP, AlAs, AlSb, GaN, GaP, GaAs, GaSb, InP, InAs, GaSb, InP, InAs, InSb, ZnO, ZnSe, ZnTe, CdS, CdSe, ZnSe, ZnTe, CdS, CdSe, CdTe, HgS, PbS, PbSe, PbTe, AlGaAs, AlInAs, AlInP, GaAsP, GaInAs, GaInP, AlGaAsSb, AlGaInP, 및 GaInAsP를 포함하지만 여기에 한정되는 것은 아니다. 다공성 실리콘 반도체 물질들은 센서들 및 발광 다이오드(LEDs) 및 고체 상태 레이저들과 같은 발광 물질들의 분야에서 본 발명의 응용에 대하여 유용하다. 반도체 물질들의 불순물들은 반도체 물질(들) 자신들 또는 상기 반도체 물질에 제공된 임의의 도편트들이 아닌 원자들, 원소들, 이온들 및/또는 분자들이다. 불순물들은 반도체 물질들 내에 존재하며 반도체 물질들의 전자적 성질들에 부정적인 영향을 미치는 바람직하지 않은 물질들로서, 산소, 탄소, 및 중금속들을 포함하는 금속들을 포함하지만 여기에 한정되는 것은 아니다. 중금속 불순물들은 주기율표 상에서 구리와 납 사이의 원소들의 족, 칼슘, 나트륨, 및 이들의 모든 이온들, 화합물들, 및/또는 착화합물들(complexes)을 포함하지만 여기에 한정되는 것은 아니다.

[0073] "반도체 원소(semiconductor element)" 및 "반도체 구조(semiconductor structure)"는 본 상세한 설명에서 동의어적으로 사용되며, 임의의 반도체 물질, 조성 또는 구조를 널리 지칭하고, 고품질의 단결정성 및 다결정성 반도체들, 고온 공정을 통해 제조된 반도체 물질들, 도핑된 반도체 물질들, 유기 및 무기 반도체들 및 하나 또는 그 이상의 추가적인 반도체 구성 물질들 및/또는 유전체 층들 또는 물질들 및/또는 도전성 층들 또는 물질들과 같은 비-반도체 구성 물질들을 갖는 복합 반도체 물질들 및 구조들을 명시적으로 포함한다.

[0074] "인장 가능한(stretchable)" 상호 접속부는 장치 구성 부품으로 전기적 접속 또는 장치 구성부품으로부터의 전기적 전도에 부정적으로 영향을 미침이 없이, 하나 또는 그 이상의 방향으로의 인장, 구부림 및/또는 압축과 같은 다양한 변형들 및 힘들을 견딜 수 있는 상호 접속부를 널리 지칭하기 위해 여기에서 사용된다. 따라서, 인장 가능한 상호 접속부는 GaAs와 같이 상대적으로 깨어지기 쉬운 물질로 형성될 수도 있으며, 상기 상호 접속부의 기하학적 구성으로 인해 상당한 변형력(deformatory force)(예를 들면, 인장, 구부림, 압축)에 노출되었을 때에도 계속하여 기능을 수행할 수 있도록 남을 수 있다. 전형적인 구현예에서, 인장 가능한 상호 접속부는 약 1%, 10% 또는 약 30%보다 큰 변형을 파괴 없이 견딜 수 있다. 일 실시예에 있어서, 상기 변형은 상기 상호 접속부의 적어도 일부분이 결합된, 하부에 놓인 엘라스토머 기판이 인장됨으로써 생성된다.

[0075] "장치 구성 부품(device component)"은 전기적, 광학적, 기계적 또는 열적 장치 내의 개별 구성 부품을 널리 지칭하기 위하여 사용된다. 구성 부품은 하나 또는 그 이상의 광 다이오드, LED, TFT, 전극, 반도체, 다른 광-접속/감지 구성 부품들, 트랜지스터, 접착 회로, 장치 구성 부품을 수용할 수 있는 콘택 패트, 박막 소자들, 회로 요소들, 제어 요소들, 마이크로프로세서들, 트랜스듀서들 및 이들의 조합들 중에서 하나 또는 그 이상일 수 있다. 장치 구성 부품은 예를 들면, 금속 증착(metal evaporation), 와이어 본딩, 고체 또는 도전성 페이스트들

의 적용과 같은 당 기술분야에서 알려진 바에 따라 하나 또는 그 이상의 콘택 패드들에 연결될 수 있다. 전기 장치는 복수의 장치 구성 부품들을 포함하는 장치를 일반적으로 지칭하며, 대면적 전자 장치, 인쇄된 와이어 기판, 접착 회로들, 장치 구성 부품들의 어레이, 생물학적 및/또는 화학적 센서들, 물리적 센서들(예를 들면, 온도, 광, 방사선, 등), 태양 전지 또는 광전지(photovoltaic) 어레이들, 디스플레이 어레이들, 광학 접속기들(collectors), 시스템들 및 디스플레이들을 포함한다.

[0076] "기판(substrate)"은 장치 구성 부품 또는 상호 접속부를 포함하는 구성 부품을 지지할 수 있는 표면을 지닌 물체를 가리킨다. 상기 기판에 "결합된" 상호 접속부는 상기 기판과 물리적인 접촉을 하는 상호 접속의 일부분으로서, 그것이 결합된 기판 표면에 대하여 실질적으로 상대적으로 움직일 수 없는 부분을 가리킨다. 대조적으로, 결합되지 않은 부분들은 상기 기판에 대하여 상대적인 실질적인 움직임이 가능하다. 상호 접속부의 상기 결합되지 않은 부분은 변형-유도된 상호 접속부 구부러짐에 의하는 것과 같은 "구부러짐 구성"을 갖는 부분에 일반적으로 대응된다.

[0077] 기판과의 "정합 접촉(conformal contact)"을 이루는 구성 부품은 기판을 덮으면서 3차원적 양각 구조를 유지해, 상기 3차원적 양각 구조의 패턴이 상기 기판 위의 양각 구조들의 패턴에 의하여 지배되는 구성 부품을 가리킨다.

[0078] 본 상세한 설명의 맥락에 있어서, "구부림 구성(bent configuration)"은 힘을 가함으로 인하여 야기되는 굴곡진 형태를 갖는 구조를 가리킨다. 본 발명에 있어서 구부러짐 구조들은 접힘 영역(folded region), 불룩 영역, 오목 영역, 및 이들의 임의의 조합들 중 하나 또는 그 이상을 가질 수 있다. 본 발명에 있어서 유용한 구부러짐 구조들은, 예를 들면, 코일화된(coiled) 형태, 주름진 형태, 베클링된 형태 및/또는 웨이브진(즉, 웨이브 모양을 갖는) 구성으로 제공될 수 있다.

[0079] 인장 가능한 구부러짐 상호 접속부들과 같은 구부러짐 구조들은 폴리머 및/또는 탄성 기판과 같은 플렉서블 기판에, 상기 구부러짐 구조가 변형되어 있는 형태로 결합될 수 있다. 일부 구현예들에 있어서, 구부러진 리본 구조와 같은 구부러짐 구조는 일부 응용들에 대하여 바람직한 구현예들에서 약 30%보다 작거나 같은 변형을, 또는 약 10%보다 작거나 같은 변형을, 약 5%보다 작거나 같은 변형을, 및 약 1%보다 작거나 같은 변형을 이룬다. 일부 구현예들에 있어서, 구부러진 리본 구조와 같은 구부러짐 구조는 약 0.5% 내지 약 30%의 범위로부터 선택된 변형, 약 0.5% 내지 약 10%의 범위로부터 선택된 변형, 약 0.5% 내지 약 5%의 범위로부터 선택된 변형을 이룬다. 선택적으로, 인장 가능한 구부러짐 상호 접속부들은 그 자체가 플렉서블하지 않은 기판을 포함하여 장치 구성 부품의 기판인 기판에 결합될 수 있다. 상기 기판 그 자체는 편평하거나, 실질적으로 편평하거나, 굴곡지거나, 날카로운 가장자리, 또는 이들의 임의의 조합일 수 있다. 인장 가능한 구부러진 상호 접속부들은 이들 복잡한 기판 표면 형태들 중의 임의의 하나 또는 그 이상에 전사하기 위해 이용될 수 있다.

[0080] "열적 접촉(thermal contact)"은 전도와 같이 고온 물질로부터 저온 물질로 실질적인 열전달이 가능한 두 물질들의 능력을 가리킨다. 기판 위에 놓인 구부러진 구조들은 상기 기판과 열적 접촉을 이루는 영역들(예를 들면, 결합 영역들)과 열적 접촉을 이루지 않는 다른 영역들(예를 들면, 상기 기판으로부터 절연되거나 및/또는 물리적으로 이격된 영역들)을 제공하는 데 특히 유용하다.

[0081] 상호 접속부들은 임의의 수의 기하 구조들 또는 형태들을, 상기 기하 구조들 또는 형태들이 상기 상호 접속부의 파손 없이 구부림 또는 인장되는 것을 용이하게 하는 한 가질 수 있다. 일반적인 상호 접속부의 기하 구조는 "베클링된(buckled)" 또는 "웨이브진(wavy)" 것으로 설명될 수 있다. 일 측면에 있어서, 그러한 기하 구조는, 상기 상호 접속부의 부분들은 상기 기판에 결합되고 상기 결합된 부분들 사이의 영역들은 결합되지 않았기 때문에, 하부에 놓인 기판의 치수의 변화가 상기 상호 접속부에 베클(buckle)들 또는 웨이브들을 생성하도록 하부에 놓인 변형 가능한 기판에 힘을 작용하여 상기 상호 접속부에 힘(예를 들면 변형)을 작용함으로써 얻어질 수 있다. 따라서, 개별 상호 접속부는 기판에 결합된 단부들 및 상기 단부들 사이의, 기판에 결합되지 않은 굴곡진 중앙 부분에 의하여 정의될 수 있다. "굴곡진(curved)" 또는 "베클링된(buckled)"은 상기 중앙 부분에 하나 또는 그 이상의 추가적인 결합 영역들을 갖는 상호 접속부에 의하는 것과 같이 비교적 복잡한 형태들을 가리킨다. "호-모양의(arc-shaped)"는 진폭을 갖는 일반적인 사인 곡선 형태를 가리키며, 여기서 상기 진폭은 상호 접속부와 상기 기판 표면 사이의 최대 이격 거리에 대응된다.

[0082] 상기 상호 접속부는 임의의 단면 형태를 가질 수 있다. 상기 상호 접속부의 한 형태는 리본-모양의 상호 접속부이다. "리본(ribbon)"은 두께와 폭을 갖는 실질적으로 직사각형-모양의 단면을 가리킨다. 구체적인 치수들은 원하는 상기 상호 접속부를 통하는 전도도, 상기 상호 접속부의 조성, 및 이웃하는 장치 구성 부품들을 전기적으로 연결하는 상호 접속부들의 수에 의존한다. 예를 들면, 이웃하는 구성 부품들을 연결하는 브리지 구성의

상호 접속부는 이웃하는 구성 부품들을 연결하는 단일 상호 접속부와 상이한 치수를 가질 수 있다. 따라서, 상기 치수들은 약 10 μm 내지 1 cm 사이의 폭들, 및 약 50 nm 내지 1 사이의 두께들과 같이, 또는 약 0.001 내지 0.1 사이의 범위의 두께에 대한 폭의 비율, 또는 약 0.01인 두께에 대한 폭의 비율과 같이 적절한 전기 전도도가 생성되는 한, 임의의 적합한 값들을 가질 수 있다.

[0083] "엘라스토머성(elastomeric)"은 인장되거나 변형된 후, 실질적인 영구 변형 없이 자신의 원래 상태로 적어도 부분적으로 복원될 수 있는 폴리머성 물질을 가리킨다. 엘라스토머성 물질들은 통상 실질적으로 탄성의 변형들을 견딘다. 본 발명에서 유용한 전형적인 엘라스토머성 물질들은 엘라스토머류와 엘라스토머류의 복합 물질들 또는 혼합물들, 그리고 탄성을 보이는 폴리머들과 코폴리머들을 포함하지만 여기에 한정되는 것은 아니다. 일부 방법들에 있어서, 상기 엘라스토머 기판은 하나 또는 그 이상의 주축들(principle axes)을 따라 상기 탄성 기판의 팽창을 제공하는 메커니즘을 통해 사전-변형된다(prestrained). 예를 들면, 사전 변형은 반구형 표면을 편평한 표면으로 전환하기 위하여 반지름 방향의 신장을 포함하여 제 1 축들을 따라 상기 탄성 기판을 신장시킴으로써 제공될 수 있다. 선택적으로, 상기 탄성 기판은 여러 개의 축들을 따라 신장될 수 있으며, 예를 들면, 서로에 대하여 수직으로 위치하는 제 1 축 및 제 2 축을 따라 신장될 수 있다. 상기 탄성 기판의 신장을 제공하는 메커니즘을 통해 탄성 기판들을 사전 변형시키는 수단들은 구부림(bending), 롤링(rolling), 습곡화(flexing), 평탄화(flattening), 신장(expanding) 또는 상기 탄성 기판을 달리 변형시키는 것을 포함한다. 상기 사전 변형시키는 수단들은 상기 탄성 기판의 온도를 상승시키고, 그에 의하여 상기 탄성 기판의 열팽창을 제공함으로써 제공된 사전 변형도 포함한다. 본 발명에 유용한 엘라스토머들은 열가소성 엘라스토머류, 스티렌계(styrenic) 물질들, 올레핀계 물질들, 폴리올레핀, 폴리우레탄 열가소성 엘라스토머류, 폴리아미드류, 합성 고무들, PDMS, 폴리부타디엔, 폴리이소부틸렌, 폴리(스티렌-부타디엔-스티렌), 폴리우레탄류, 폴리클로로프렌 및 실리콘(silicone)류를 포함할 수 있지만 여기에 한정되는 것은 아니다.

[0084] 변형(strain)은 길이가 L (휴지기)로부터 $L + \Delta L$ (힘이 가해진 상태)로 변화된 것에 대하여 $\varepsilon = \Delta L/L$ 로 정의된다. 여기서, ΔL 은 휴지기로부터 변위된 거리이다. 축방향 변형은 변위 ΔL 을 생성하기 위해 상기 기판의 축에 가해진 힘을 가리킨다. 변형은 구부림 힘, 압축 힘, 전단(shear) 힘, 및 이들의 임의의 조합과 같은 다른 방향으로 작용되는 힘들에 의해서도 생성된다. 변형 또는 압축은 굴곡진 표면을 편평한 표면으로 인장함으로써 또는 그 반대로 함으로써 생성될 수도 있다. "변형의 수준(level of strain)"은 변형의 크기를 가리키며, 음수(압축에 대응)로부터 0으로(릴랙스 상태) 양수(신장 또는 인장에 대응)까지의 범위를 가질 수 있다.

[0085] "영 모듈러스(Young's modulus)"는 물질, 장치 또는 층의 기계적인 성질로서, 주어진 물체에 대하여 변형에 대한 응력의 비를 가리킨다. 영 모듈러스는 다음 표현에 의하여 제공될 수 있다.

[0086] <수학식 2>

$$E = \frac{\text{(응력)}}{\text{(변형)}} = \left(\frac{L_0}{\Delta L} \times \frac{F}{A} \right)$$

[0087] 여기서, E 는 영 모듈러스이고, L_0 은 평형 길이이고, ΔL 은 가해진 응력 하에서의 길이 변화이고, F 는 가해진 힘이고, A 는 힘이 가해지는 면적이다. 또한, 영 모듈러스는 하기 수학식 3을 통해 라메 상수들(Lame constants)의 항들로도 표현될 수 있다.

[0089] <수학식 3>

$$E = \frac{\mu(3\lambda + 2\mu)}{\lambda + \mu}$$

[0090] 여기서, λ 와 μ 는 라메 상수들이다. 영 모듈러스가 높은 것(또는 "고 모듈러스")과 영 모듈러스가 낮은 것(또는 "저 모듈러스")은 주어진 물질, 층 또는 장치에서 영 모듈러스의 크기를 상대적으로 기술하는 것이다. 본 발명에 있어서, 영 모듈러스가 높은 것은 영 모듈러스가 낮은 것에 비하여 일부 응용에 있어서는 약 10배 더 큰 것이 바람직하고, 다른 응용들에 있어서는 약 100배 더 큰 것이 더욱 바람직하고, 또 다른 응용들에 있어서는 약 1000배 더 큰 것이 더더욱 바람직하다. 복잡한 표면 모양들은 공간적으로 변화하는 영 모듈러스를 갖는 엘라스토머를 중합함으로써 및/또는 다중 층들을 갖는 엘라스토머를 상이한 탄성을 지니는 다양한 위치들에 적층함으로써 얻어진다.

- [0092] 압축은 여기서 변형과 유사한 방식으로 사용되지만, $\Delta L < 0$ 이 되도록 기판의 특성 길이 또는 부피를 감소시키게 작용하는 힘을 특히 가리킨다.
- [0093] "파괴됨(fracturing)" 또는 "파괴(fracture)"는 상기 상호 접속부가 실질적인 전기 전도를 할 수 없도록 하는 상기 상호 접속부 내의 물리적 파손을 가리킨다.
- [0094] "결합 위치들의 패턴(pattern of bond sites)"은 지지된 상호 접속부가 기판과의 결합 영역들 및 비결합 영역들을 갖도록, 결합 수단들을 지지 기판 표면에 및/또는 상기 상호 접속부들에 공간적으로 적용하는 것을 가리킨다. 예를 들면, 그 단부가 상기 기판에 결합되고, 중앙 부분은 결합되지 않은 상호 접속부. 상기 결합되지 않은 영역이 두 개의 구별되는 중앙 부분들로 나뉘어질 수 있도록, 중앙 부분 내에 추가적인 결합 위치를 제공함으로써 추가적인 모양의 조절이 가능하다. 결합 수단들은 접착제들, 접착 전구체들, 용접, 광 리소그래피, 광경화가 가능한 폴리머를 포함할 수 있다. 일반적으로, 결합 위치들은 다양한 기술들에 의하여 패터닝될 수 있고, 기판과 구조물(예를 들면, 상호 접속부) 사이에 강한 접착력을 제공할 수 있는 표면-활성화된(W_{act}) 면적들과 접착력이 비교적 약한 표면-비활성화된(W_{in}) 면적들의 항들로 표현될 수 있다. 접착 패터닝이 선들로 된 기판은 W_{act} 와 W_{in} 의 치수들의 항들로서 표현될 수 있다. 그들 변수들은 사전 변형의 크기 ϵ_{pre} 와 함께 상호 접속부의 기하 구조에 영향을 미친다.
- [0095] "공간적 변화(spatial variation)"는 표면을 따라 변화하는 크기를 갖는 파라미터를 가리키고 구성 부품 양각 구조물들의 2차원 제어를 제공하고, 그에 의하여 장치 또는 장치 구성 부품의 구부림 가능성(bendability)에 공간적 제어를 제공하기 위하여 특히 유용하다.
- [0096] "탄소 나노물질(carbon nanomaterial)"은 탄소 원자들을 포함하는 구조물들의 부류를 가리키고, 1 나노미터와 1 마이크론 사이에서 적어도 하나의 치수를 갖는다. 일 구현예에서, 상기 탄소 나노물질의 적어도 하나의 치수는 2 nm와 1000 nm 사이이다. 탄소 나노물질들은 단일벽 나노튜브류(SWNTs: single walled nanotubes), 다중벽 나노튜브류(MWNTs: multiwalled nanotubes), 그라파이트, 그래핀(graphene), 탄소 섬유류, 탄소 필름류, 탄소 휀스커류(whiskers), 및 다이아몬드, 및 이들의 모든 유도체들과 같은 탄소의 동소체들을 포함한다.
- [0097] "공간적으로 정렬된(spatially aligned)" 것은 둘 또는 그 이상의 구조들의 서로에 대하여 정의된 위치들 및/또는 배향들(orientations)을 가리킨다. 공간적으로 정렬된 구조들은 서로에 대하여 사전 선택된(preselected), 예를 들면, 1 마이크론 이내로 사전 선택되고, 일부 응용들에 대하여는 500 나노미터 이내로 바람직하게 사전 선택되고, 일부 응용들에 대하여는 50 나노미터 이내로 더욱 바람직하게 선택된 위치들 및/또는 배향들을 가질 수 있다.
- [0098] "이종 반도체 요소들(heterogeneous semiconductor elements)"은 하나 또는 그 이상의 다른 물질들 또는 구조들과 결합된 반도체를 포함하는 다중 구성 부품 구조들이다. 본 설명의 문장에서 다른 물질들 또는 구조들은, 상이한 화학 조성들 및/또는 물리적 상태들(예를 들면, 결정질, 반결정질 또는 비결정질 상태)을 지니는 물질들 및/또는 구조들과 같이 이들이 결합되는 반도체와 상이한 원소들, 분자들, 및 착화합물들, 용접물 및 이들의 임자들을 포함할 수 있다. 본 발명의 본 측면에 있어서 유용한 이종 반도체 요소들은 무기 반도체 구조와 결합된 다른 반도체 물질들을 포함하며, 상기 다른 반도체 물질들은 도핑된 반도체들(예를 들면, N-형 및 P-형 도편트들) 및 탄소 나노물질들 또는 그들의 필름들, 유전 물질들 및/또는 구조들, 및 도전성 물질들 및/또는 구조들을 포함한다. 본 발명의 이종 반도체 요소들은 균일하게 도핑된 반도체 구조들과 같이 공간적으로 균일한 조성을 갖는 구조들을 포함하고, 그리고 1차원, 2차원 또는 3차원 상의 공간적으로 농도가 변화하는 도편트를 갖는 반도체 구조와 같이 공간적으로 불균일한 조성들을 갖는(즉, 반도체 요소 내에서 공간적으로 불균일한 도편트 분포) 구조들을 포함한다.
- [0099] 본 발명은 다음의 비한정적인 실시예들에 의하여 더 이해될 수 있다. 여기에 인용된 모든 참조문헌들은 여기에 개시된 바와 불일치하지 않는 범위 내에서 여기에 인용되어 통합된다. 여기의 설명들은 많은 구체적인 사항들을 포함하지만, 이들은 본 발명의 범위를 한정하는 것으로 해석되어서는 안되며 본 발명의 현재 바람직한 구현 예들의 일부의 예시를 제공하는 것일 뿐인 것으로 해석되어야 한다. 따라서, 본 발명의 범위는 주어진 실시예들에 의해서리기보다는 첨부된 특허청구범위와 그들의 균등 범위에 의하여 결정되어야 한다.
- [0100] 베클링되거나 또는 웨이브진 상호 접속부들을 제조하기 위한 방법의 하나가 도 1에 개괄적으로 요약되어 있다. (상호 접속부가 될 금속 구조물과 같은) 금속 구조물(10)이 기판(20) 위에 제공된다. 접촉하는 상기 금속 구조물 및/또는 기판 표면들은 광 리소그래피에 의하거나 또는 새도우 마스크로 접착도가 감소하도록 선택적으로 처

리된다. 상기 구조물(10)과 상기 기판(20) 사이에는 마이크로 머시닝(micromachining), 식각 및/또는 기계적 스크라이빙(scribing)과 같은 것에 의하여 분리부(크랙)(25)가 도입된다. 상기 금속 구조물(10)은 유연한 (compliant) 엘라스토머 스템프(30)로 회수된다. 상기 스템프(30)의 후속적인 변형은 상기 금속 구조물(10)에 웨이브지거나(wavy) 또는 베클링된 기하 구조(40)를 생성한다. 상기 베클링된 기하 구조(40)를 생성하는 것은 상기 금속 구조물(10)이 회수될 때 변형되고 적용된 장력을 후속적으로 해제하는 스템프(30)에 의하여, 또는 상기 금속 구조물이 회수된 후에 스템프(30)를 압축하는 것에 의하여 제공된다.

[0101] 도 1에 요약된 방법에 의하여 생성된, 베클링되거나 웨이브진 금속 구조물의 한 실시예가 도 2에 도시된다. 도 2는 인장 가능한, 웨이브진/베클링된 전기 상호 접속부(40)의 사진이다. 상기 상호 접속부(40)는 경질 기판으로부터 사전-변형되고 인장 가능한 PDMS 고무 기판(30) 위로 회수하고, 이어서 변형을 해제하고 그에 의하여 베클링을 유발함으로써 형성된다.

[0102] 웨이브지고 인장 가능한 전극들 및/또는 상호 접속부들을 생성하기 위한 방법이 도 3에 제공된다. 도 3의 (a)에 나타낸 바와 같이, 웨이브진 구조물들(22)이, 예를 들면, 마이크로 머시닝 공정들과 같은 것에 의하여 기판(20) 위에 준비된다. 웨이브진 구조물들(22)을 지닌 표면을 갖는 상기 기판(20)은 대응하는 웨이브진 표면(32)을 갖는 엘라스토머 스템프들(30)을 몰딩하기 위한 마스터로서의 역할을 한다. 금속 구조물들(10)은 새도우 마스크를 통한 증발(evaporation) 및/또는 전착(electrodeposition)과 같은 것에 의하여 상기 웨이브진 표면(32) 위에 증착된다.

[0103] 도 4는 매끈하게 웨이브진 엘라스토머 기판을 제조하기 위한 한 방법을 제공한다. 비등방성 Si (1 0 0)의 식각은 날카로운 가장자리(24)들을 갖는 기판(20)을 제공한다(도 4의 (b) - 최상부 패널). PR의 스피너는 기판(20)의 날카로운 가장자리를 갖는 계곡들(24) 내에 PR(26)을 증착함으로써 상기 날카로운 가장자리를 갖는 계곡들을 매끈하게 한다. 엘라스토머 스템프(34)가 기판(20) 위에 주조된다. 스템프(34)는 날카로운 가장자리를 갖는 리세스 구조물들을 갖는다. 날카로운 가장자리를 갖는 피크들을 갖는 스템프를 생성하기 위하여 스템프(34) 위에 제 2 엘라스토머 스템프(36)가 주조된다. 스템프(36)는 SU-8(50)로 엠보싱되며, 적절할 때 경화된다. 스피너 PR(26)은 (50)의 날카로운 가장자리를 갖는 계곡들을 매끈하게 한다. 엘라스토머 기판(30)은 매끈한 계곡들을 갖는 (50) 위에 주조된다. 기판(30)은 분리되어 웨이브지고 매끈한 표면(32)을 드러낸다.

[0104] 도 54는 웨이브진 마스터 위에 증착하고, 이어서 상기 마스터 위에 스템프를 주조하고, 상기 스템프를 경화시키고, 그에 의하여 전극들을 해제(release)와 함께 마스터로 전사하는 것에 의하여 웨이브지고 인장 가능한 전극들을 제조하는 방법의 하나를 요약한다. 도 55는 도 4에 나타낸 방법들을 도 54에 나타낸 방법들과 결합함으로써 제조되는 웨이브진 PDMS 위의 인장 가능한 금속 전극들(Au, 300 nm 두께)의 이미지들을 나타낸다. 계면(112)은 금속 구조물(10)과 기판(20) 사이에 도시된다. 계면(112)은 하부 패널에 도시된 스템프(30)에 의하여 금속 구조물들(10)의 제거를 용이하게 하는 물질을 포함할 수 있다. 간단히 말해서, 한 방법은 다음을 이용한다: 미리 세정된 2"×3" 유리 슬라이드 위에 유리 표면이 완전히 덮이도록 SU-8 10의 얇은 코팅을 스피너온(spin on)한다. 슬라이드/SU-8을 원하는 웨이브진 표면 구조물(매끈한 계곡과 날카로운 피크들)들을 갖는 PDMS 스템프와 접촉시키고, 모든 공기 방울들이 제거되도록 서서히 압력을 가한다. 스템프/몰드 구조물을 UV 램프 하에서 앞면에 대하여 30초 동안 플래시(flash) 경화시키고, 뒤집어서 뒷면에 대하여 추가로 40초 동안 경화시킨다. 경화 후에는 핫 플레이트 위에서 65 °C로 5분 동안 베이킹을 한다. 베이킹을 한 후에는 샘플이 실온까지 냉각되도록 한 후 SU-8 몰드를 PDMS 마스터로부터 벗겨서 분리한다. 이제 SU-8은 날카로운 가장자리를 갖는 계곡들을 갖는 웨이브진 표면 양각 구조를 가질 것이다. 이를 계곡들을 매끈하게 하기 위하여 SU-8 2의 일부분을 더 물은 SU-8의 일부분과 혼합하고, 높은 RPM으로 90초간 스피너온 한다. 20초 동안 UV광에 노광시켜 경화시키고, 3분 동안 65 °C에서 포스트 베이킹을 한다. 일단 냉각되면, 금속 라인들 또는 콘택들이 전착, 광 리소그래피, 및 식각/리프트-오프, 및/또는 새도우 마스크를 통한 증발을 통해 증착된다. SU-8 위의 금속을 MPTMS로 1시간 동안 처리하고, 그런 후 그 위에 엘라스토머 기판을 주조한다. PDMS는 제거될 때, 전사된 금속 구조물들과 함께 매끈하게 된 피크들과 계곡들을 갖는 웨이브진 표면 양각 구조물을 갖는다. 도 55는 도 54에 요약된 공정에 의하여 제조된 웨이브지고 인장 가능한 전극의 사진이다. 또한, 도 55는 상기 인장 가능하고 웨이브진 금속 전극들의 측정된 전기 저항 데이터를 적용된 인장 변형(30%까지)의 함수로 제공한다.

[0105] 도 4에 요약된 방법에 의하여 제조된 매끄럽게 웨이브진 PDMS 기판(30)의 실시예가 도 5에 제공된다. 장치 구성 부품(60)은 웨이브진 기판(30)의 웨이브진지 않은 영역(예를 들면, 실질적으로 편평한 부분)에 지지되어 원하는 바에 따라 상호 접속부(10)와 연결될 수 있다.

[0106] 날카로운 가장자리를 갖는 계곡 또는 리세스 구조 내에 스무딩 층(smoothing layer)을 스피너 코팅하는 실시예가

도 6에 도시된다. 날카로운 가장자리를 갖는 기판(34)(도 6a)은 매끈하게 웨이브진 기판을 생성하기 위하여 광경화성 에폭시(26)을 스판-코팅함으로써 매끈하게 된다. 도 6b의 기판 위에 PDMS 스템프를 주조하고 이어서 상기 기판(34)으로부터 상기 스템프(30)을 제거함으로써, 매끈하게 웨이브진 표면(32)을 갖는 엘라스토머(예를 들면, PDMS) 스템프(30)가 얻어진다.

[0107] 도 7은 인장 가능한 전극의 사진들이다. 도 7a는 웨이브진 표면(32)을 갖는 엘라스토머 기판(30)의 단면 사진이다. 도 7b는 상기 웨이브진 엘라스토머 기판 표면(32) 위에 금속(10)의 증발에 의하여 제조된 전극을 위에서 본 현미경 사진이다. 상기 이미지의 초점면(focal plane)은 웨이브진 양각 구조물의 피크들 위에 있다. 도 7c에서 상기 초점면은 상기 웨이브진 양각 구조물의 계곡 위에 있고, 상기 금속 상호 접속부(10)는 상기 전극(250)과 전기적으로 접촉하고 있다. 상기 인장 가능한 전극은 매끈하게 웨이브진 엘라스토머 기판 위에 새도록 마스크를 통한 증발에 의하여 증착된다. 이 실시예에서, 상기 전극(250)은 장력(tension)에 있어서 약 10%까지 인장하는 동안 상호 접속부들(10)을 통한 전도도와 접속도(connectivity)을 유지한다.

[0108] 여기에 개시된 방법들 및 장치들은, 예를 들면, 인장 가능한 수동 매트릭스 LED 디스플레이(도 8 참조)를 포함하여 다양한 전자 장치들을 제조하기 위하여 사용될 수 있다. 웨이브진 전극들(예를 들면, 상호 접속부들(10) 및 콘택 패드(70))은 두 개의 엘라스토머 기판들(30) 위에 패터닝된다. 장치 구성 부품(60)(이 경우에 있어서는 ILED 픽셀들)은 전사 인쇄(transfer printing)에 의하여 웨이브진 전극들 위에 콘택 패드(70)에서 패터닝된다. 상기 두 기판들(30)은 상기 상호 접속부(10)들이 상이한 방향으로(본 실시예에서는 수직으로) 달리도록 그에 알맞게 조립된다. 이러한 수동 매트릭스 LED 디스플레이의 2-D 기계적 인장 가능성은 도 9에 도시된다. 상기 디스플레이에는 일축적으로(uniaxially) 및 이축적으로(biaxially) 인장될 수 있을 뿐만 아니라, 파손 없이 실질적인 구부림이 가능하다. 그러한 다축(multi-axial) 구부림은 굴곡진 전자 장치들을 생산하고 또한 스마트 전자 패브릭(fabric) 또는 디스플레이들에 통합하기 위해 전자 장치들을 굴곡진 표면들에 몰딩할 수 있는 능력을 제공한다.

[0109] 그러한 굴곡진 전자 장치의 한 실시예가 도 10에 제공된다. 도 10은 구면의 국면을 이루는 렌즈 위에 분포된 무기 광 다이오드 어레이를 포함하는 "인공 눈(artificial eye)"을 나타낸다. 상기 인공 어레이의 네 가지 상이한 관점들이 도시된다. 인장 가능한 평면 전자 장치들을 위한 요건은 도 11에 개념적으로 도시된다. 구의 표면 주위에 평면 시트를 싸기 위하여 상기 시트는 두 방향 이상으로 인장되어야 한다.

[0110] 도 12는 굴곡진 표면에 정합할 수 있는 인장 가능한 베클링된 반도체 어레이를 제조하기 위한 제조 방법이다. 얇은 Si 요소들은 패널 (i)에서 "모 웨이퍼(mother wafer)"로 도시된 바와 같이 기판 위에 Au 또는 Ti/Au의 선택적인 증착으로 제조된다. Si는 사전 변형되고(L+ Δ L로 표시) UVO 처리된 PDMS(패널 (ii))에 결합된다. 사전 변형은 도시된 바와 같이 두 방향으로 제공된다. 상기 결합은, 예를 들면, 상기 Si 요소, 상기 기판에, 또는 이들 둘 모두에 적용된 접착제와 같이 당 기술 분야에서 알려진 임의의 수단들에 의한다. 상기 결합 수단들은 상기 Si가 (변형 후에) 상기 기판과 물리적으로 접촉한 채 남아 있게 될 결합된 영역들과 상기 기판과 물리적 접촉을 하지 않는 구부러짐 구성인 다른 영역들(예를 들면, 상기 결합 영역들에서의 접착력에 비하여 상대적으로 약하게 결합되거나 또는 결합되지 않은 영역들)을 가지도록 선택된 패턴으로 적용된다. 상기 사전 변형된 기판은 상기 웨이퍼 기판으로부터 제거되어 반도체 어레이들(패널 (iii))의 편평한 그리드를 드러낸다. 상기 기판이 L+ Δ L로부터 L로 헐ックス됨과 함께, 상기 장치 구성 부품(60)(예를 들면, 반도체 Si 콘택 패드)은 상기 기판(30)에 결합된 채 남는 반면, 상기 상호 접속부(10)들은 상기 약하게 결합된 영역들(패널 (iv) 참조)에서 구부러짐 구성으로 베클링된다. 따라서, 베클링된 상호 접속부(10)들은 전체 어레이에 인장 가능성을 부여하고, 특히 구성 부품들(60) 사이의 전기적인 접촉을 파손하지 않으면서 구성 부품(60)의 다른 구성 부품들(60)에 대한 상대적인 운동의 능력을 부여하고, 그에 의하여 굴곡진 표면 또는 구부릴 수 있는 표면에 정합하는 능력을 제공한다.

[0111] 도 13은 단일 그리드 구성(140)(위쪽 두 패널들), 복수의 접속된 상호 접속부들(160)을 갖는 그리드 구성(아래쪽 왼쪽 패널), 및 꽃모양(floral) 구성(150)(아래쪽 오른쪽 패널)을 갖는 베클링되고 인장 가능한 실리콘 어레이의 광학 현미경 이미지를 제공한다. 이를 실시예들 각각에 있어서, 상호 접속부(10)는 중앙 부분에서 베클링되고, 상호 접속부의 단부들은 콘택 패드(70)에 부착된다. 상기 상호 접속부들과 콘택 패드(70)는 PDMS 기판(30) 위에 지지된다. 많은 상이한 상호 접속부의 기하 구조들의 근접 모습들은 도 14 내지 도 17에 더 제공된다. 도 14는 제 1 단부(100) 및 제 2 단부(110)와 함께 중앙 부분(90)을 갖는 기본적인 베클링되거나 또는 웨이브진 상호 접속부(10)를 보여 주는 전자 현미경 이미지들을 제공한다. 상기 중앙 부분은 구부러진 구성을 갖는다. 단부들(100 및 110)은 장치 구성 부품에 연결되며, 이 경우에 있어서는 장치 구성 부품과 전기적인 접촉을 형성할 수 있는 콘택 패드(70)에 연결된다. 상기 상호 접속부(10) 및 콘택 패드(70)는 엘라스토머 PDMS 기

판과 같은 기판(30) 위에 지지된다.

[0112] 도 15는 복수(둘)의 상호 접속부들(160)에 의하여 서로 연결된 이웃하는 장치 구성 부품들(예를 들면, 콘택 패드(70))의 전자 현미경 이미지이다. 도 15를 도 14와 비교하면 이웃하는 장치 구성 부품들(70)은 상기 전자 장치에 추가적인 유연성을 제공하기 위하여 하나 또는 그 이상의 상호 접속부들(10)에 의하여 서로 연결될 수 있음이 입증된다. 예를 들면, 비교적 큰 면적(footprint)을 갖는 장치 구성 부품 또는 콘택 패드(70)는 다중의 상호 접속부들에 의하여 다른 장치 구성 부품에 선택적으로 연결된다.

[0113] 도 16은 꽂모양 구성(150)의 상호 접속부들의 전자 현미경 이미지이다. 꽂모양 구성은, 그리드(grid) 구성과는 대조적으로, 세 이상의 길이 방향들(longitudinal directions)을 갖게 배향된 상호 접속부들을 갖는다. 본 실시예에 있어서, 콘택 패드(70)와 같은 장치 구성 부품이 대각선 방향으로 이웃하는 장치 구성 부품들과 접촉할 수 있도록 네 개의 구별되는 방향들이 있다. 본 실시예에 있어서, 상기 상호 접속부(10)는 장치 구성 부품(미도시)에 전기적으로 연결되고 그에 의하여 중앙 영역(90)을 각각 구부림 구성을 갖는 두 개의 비결합 영역들(92)로 나누는 상기 상호 접속부 단부(100)와 단부(110) 사이 내에 선택적인 결합 영역(102)를 갖는다.

[0114] 도 17은 브리지 구성(130)으로 배열된 상호 접속부들의 전자 현미경 이미지이다. 브리지 구성에 있어서, 세 또는 그 이상의 상호 접속부 단부들이 브리지 중앙 부분 퍼크(120)로부터 연장되어 나온다. 예를 들면, 결합되지 않은 영역에서 교차하는 두 개의 상호 접속부들은, 네 개의 상호 접속부 단부들이 그로부터 연장되는 퍼크(120)를 가져온다. 장치 구성 부품들이 엇갈리게 배열된 상황에 있어서, 상기 퍼크(120)는 그로부터 연장되는 세 개의 단부들을 가질 수 있다. 장치 구성 부품들 사이의 다중 상호 접속 연결의 경우에 있어서, 넷보다도 많은 단부들이 퍼크(120)로부터 연장될 수 있다.

[0115] 여기에 제공된 도면들 중 많은 도면들이 콘택 패드(70)인 장치 구성 부품을 보이지만, 여기서 청구되는 방법들 및 장치들은 인장 가능하고 따라서 형태 정합적인(shape-conforming) 전자 장치들을 제공하기 위하여 수많은 장치 구성 부품들을 연결할 수 있다. 예를 들면, 도 18은 장치 구성 부품(60)으로서, 엘라스토머 기판(30) 위에 지지된 베클링된 상호 접속부들(10)에 의하여 어레이 구성으로 다른 광 다이오드에 연결된 광 다이오드이다.

[0116] 도 19는 베클링된 실리콘 어레이의 1차원적으로 인장되는 거동을 묘사한다. 패널 (i)은 적용되는 변형력이 없는 베클링된 실리콘 어레이의 그림이다. (패널 (i)의 위의 화살표로 나타내어진 바와 같이) 인장력이 가해져서 상기 어레이를 한 방향으로 인장한다. 패널 (2) 내지 (4)에 나타낸 바와 같이, 상기 베클링된 상호 접속부는 편평하게 된다. 패널 (5)에서 상기 인장시키는 힘이 해제되면, 상기 어레이는 자신의 베클링된 구성으로 되돌아간다(패널 (6) 내지 패널 (8) 참조). 패널 (1)과 패널 (8)을 비교하면, 인장하기 전과 후의 베클 구성이 동일함을 보여주고 있으며, 이는 상기 과정이 가역적임을 나타낸다.

[0117] 장치 구성 부품들의 베클링된 어레이들은 경질 또는 비탄성적 곡률 표면들을 포함하는 굴곡 표면들에 용이하게 전사될 수 있다. 굴곡진 표면들에 정합 접촉을 용이하게 하기 위한 장치 및 방법의 한 실시예가 도 20의 베블 또는 풍선 스템프(400)에 의하여 제공된다. 이 실시예에서는 약 20 μm 두께의 PDMS 막인 엘라스토머 기판(30)은 하우징 캠버 및 내부를 향한 기판벽에 의하여 정의되는 캠버 부피(310)를 제공하는 하우징 캠버(300)에 고정된다. 양압(예를 들면, 외부 압력보다 높은 캠버(300) 내의 압력)을 적용하면 오목한 형태의 수용 기판과 정합적 접촉을 이를 수 있는 볼록(200) 기판 표면을 생성한다. 대조적으로, 음압은 볼록한 형태의 수용 기판과 정합적 접촉을 이를 수 있는 오목 표면(210)을 생성한다. 상기 기판의 국부적 탄성(예를 들면, 영 모듈러스)의 공간적인 조작은 복합적으로 굴곡진 기하 구조의 생성을 가능하게 한다. 도 20의 아래 왼쪽 패널은 캠버(310)에 가스를 도입하거나 또는 그로부터 가스를 제거하는 주사기에 의하여 하우징 부피(310) 내의 압력을 조절하기 위한 수단의 하나를 나타낸다. 상기 그림의 오른쪽에 있는 이미지들은 양압의 수준을 증가시킴에 따라 반응하는 PDMS 막의 상이한 곡률들이다. 엘라스토머 기판 위에 베클링된 상호 접속부들을 제공하기 위한 임의의 방법들과 장치들이, 굴곡진 기판으로의 전사 인쇄를 위한 장치들과 함께 이용될 수 있다.

[0118] 굴곡진 표면 위에 베클링된 상호 접속부 또는 팝-업 상호 접속부들을 생성하기 위한 다른 수단들이 도 21에 요약되어 있다. 굴곡진 부분을 적어도 갖는 엘라스토머 기판을 생성하기 위하여 형태를 갖는 표면 위에 얇은 엘라스토머 필름이 주조된다. 상기 기판이 굴곡진 표면과 편평한 표면 모두에 정합할 수 있도록, 상기 기판은 인장되어서 상기 표면을 편평하게 할 수 있다. 상기 편평한 스템프 위에 상호 접속부가 적용되고 인장력의 해제와 함께 상기 기판 표면은 릴랙스되어 굴곡진 기하 형태로 되돌아오고, 상기 상호 접속부에 변형이 생성되는데, 이는 상기 상호 접속부 중앙 부분의 팝-업에 의하여 수용된다.

[0119] 도 20에 나타낸 장치에 의하여 베클링된 실리콘 어레이를 "2차원적으로" 인장하는 실시예가 도 22에 제공된다.

이 실시예에 있어서, 상기 상호 접속부는 그리드 구성의 베클링된 상호 접속부 연결들을 복수개 포함한다. 상기 상호 접속부들은 290 nm 두께의 Si로 만들어진다. 초기에 편평한 베클링된 실리콘 어레이(위쪽 원쪽 이미지)는 하우징 내에 위치되고, 상기 어레이를 베를 또는 풍선 구성(예를 들면, 굴곡진 표면) 내로 팽창시키기 위해 양압이 작용된다. 최대 팽창이 가장 오른쪽 이미지에 나타내어져 있고, 이어서 상기 양압이 제거된다.

[0120] 편평한 기판의 일축 인장에 대한 결과와 유사하게도, 이 "구부림" 인장은 가역적이다. 굴곡진 표면과의 정합적 접촉을 최대화시키는 팽창의 여여한 단계에서든 상기 어레이는 당 기술 분야에 알려진 임의의 수단들에 의하여 상기 굴곡진 표면으로 전사될 수 있다. 접착제들(엘라스토머 기판 또는 SU-8)이 코팅된 유리 렌즈들 위에 풍선 스템프들에 의하여 실리콘 인쇄하는 실시예가 도 23에 도시된다. 상기 렌즈들은 볼록일 수도 있고 오목일 수도 있다. 이 실시예에서 각각 R=19.62 mm 및 9.33 mm였다.

[0121] 실시예 1: 반도체 나노리본들에서의 제어된 베클링 구조들과 인장 가능한 전자 장치들에서의 응용 실시예

[0122] 반도체 나노구조들의 조성, 모양, 공간적 위치 및/또는 기하학적 구성에 대한 제어는 이들 물질의 거의 모든 응용들에 있어서 중요하다. 나노와이어들 및 나노리본들의 물질 조성, 지름, 길이, 및 위치들을 정의하기 위한 방법들이 존재하지만, 이들의 2차원 및 3차원(2D 및 3D) 구성을 제어하기 위한 접근 방법은 상대적으로 거의 없었다. 나노리본들에서 다른 방법으로는 생성해 내기 어려웠을 소정 클래스의 3D 형태들을 창조하기 위한 기계적 전략이 여기에 제공된다. 본 실시예는 접착 위치에 대한 공간적인 제어를 제공하기 위한 리소그래피적으로 패터닝된 표면 화학과 잘 제어된 국부 변위들을 유발하기 위한 지지 기판의 탄성 변형을 조합하여 사용하는 것을 수반한다. 정밀하게 엔지니어링된 베클링 기하 구조들은 이러한 방식으로 GaAs 및 Si의 나노리본들에서 생성되고 또한 이들 구조들은 역학적 해석 모델로 정량적으로 설명될 수 있다. 하나의 응용 실시예로서, 특정 구조들은 극도로 높은 수준의 인장 가능성(~100%까지), 압축성(~25%까지) 및 구부림성(bendability)(~5 mm까지의 곡률 반경)을 갖는 전자 장치(및 광 전자장치)에 이를 수 있는 길을 제공한다.

[0123] 상기 2D 및 3D 구조의 나노리본들 및 와이어들은 코일, 고리, 및 가지친 레이아웃과 같이 특정 기하 구조들을 갖도록 그들이 성장하는 동안 제어된다. 또는 그들의 성장 이후에, 층상 시스템 내에 내재된(built-in) 잔여 응력들을 이용하여 인장된 엘라스토머 기판 또는 튜브-형(또는 나선형) 구조들에 이들 요소들을 결합함으로써, 예를 들면 사인파와 같은 구조를 생성하기 위하여 제어된다. 웨이브진 기하 구조들을 갖는 반도체 나노리본들은 구형 곡선 초점면 어레이들, 지능형 고무 수술 장갑 및 정합 가능한 구조의 건강 모니터들과 같은 잠재적 응용을 위한 고성능의 인장 가능한 전자 시스템 가능하게 하기 때문에 어느 정도 흥미롭다. 상기 전자 장치들 자체가 인장 가능한 이러한 접근은 인장 가능한 금속 상호 접속부들과 함께 경질 장치 아일랜드들을 사용하는 동일한 이들 응용들과는 상이하고 또한 보완적인 내지는 대안적인 것이다. 앞서 설명한 웨이브진 나노리본들은 크게 두 가지 단점들이 있다: (i) 그들은 물질의 모듈러스 및 리본들의 두께에 의해 정의되는 진폭들과 고정된 주기들을 가지면서, 웨이브의 기하 구조 또는 위상에 대한 제어를 거의 허용하지 않는 방식으로 자발적으로 형성되는 것과 (ii) 그들이 수용할 수 있는 최대 변형들은 20-30%의 범위로서 이러한 공정에 의하여 얻어지는 비최적의 웨이브진 기하 구조들에 의하여 제한되는 것이다. 여기에 소개된 절차들은 그들의 구조에 대한 결정론적 제어로 베클링 구조들을 달성하기 위하여 지지 기판의 탄성 변형과 함께 리소그래피적으로 정의된 표면 접착 위치들을 이용한다. 그러한 구조들의 대규모 조직화된 어레이들의 개별 나노리본들의 임의의 선택된 세트에 대하여, 주기적인 또는 비주기적인 설계가 가능하다. 인장 가능한 전자 장치에 대하여 설계된 특수한 기하 구조들이 GaAs와 같은 깨어지기 쉬운 물질에서 조차 거의 150%까지의 변형 범위를 가능하게 하는데, 이는 역학적 해석 모델과 일치하면서, 이전에 보고된 결과에 비하여 무려 10배나 더 크다.

[0124] 도 24는 이러한 절차에서의 단계들을 나타낸다. 폴리(디메틸실록산)(PDMS: poly(dimethylsiloxane)) 엘라스토머 기판 위에 표면 화학 접착 위치들을 패터닝하기 위한 마스크의 제조와 함께 제조가 시작된다. 본 공정은 UV-O 마스크라고 불리는 특수한 유형의 (단계 i를 통해 제조한) 진폭 광마스크를 상기 PDMS와 정합 접촉을 시킨 채 상기 광마스크를 통해 심자외선(deep UV)(240-260 nm)을 통과시키는 단계를 수반한다. 상기 UV-O 마스크는 UV에 노출시키면 PDMS의 표면 근방에 오존의 패터닝된 영역들을 생성하도록 투명 영역에 양각된 리세스 구조물을 갖는다. 상기 오존은 개질되지 않은, -CH₃ 및 -H로 종결된 기들이 압도적인 소수성 표면을 -OH 및 -O-Si-0- 작용기들로 종결되는 고도로 극성이면서 반응성인 표면(즉, 활성화된 표면)으로 전환시킨다. 노출되지 않은 영역들은 개질되지 않은 표면 화학 작용(즉, 비활성화된 표면)을 유지한다. 여기에 소개된 절차들은 일축성의(uniaxial) 큰 사전 변형(L에서 L+ΔL까지의 길이 변화에 대하여 $\varepsilon_{pre} = \Delta L/L$) 하에서 PDMS 기판들 (두께 ~4 mm) 위로의 노광을 수반한다(단계 ii). 단순하고 주기적인 라인 패턴들을 갖는 마스크에 대하여, 도 24의 (a)

의 단계 (iii)에서 ("활성화된 표면"의 표시가 붙은 선으로 지시되는) 활성화된 띠와 비활성화된 띠(예를 들면, 이웃하는 활성화된 띠들 사이의 거리)의 폭들을 단계 (i)에서 W_{act} 와 W_{in} 으로 각각 표시한다. 상기 활성화된 영역들은 표면에 -OH 또는 -Si-O 기들을 노출시키는 다른 물질들과 강하면서도 비가역적으로 결합할 수 있다. 이하에서 개괄하는 바와 같이, 이들 패터닝된 접착 위치들은 나노 리본들 내에 잘 정의된 3D 기하 구조들을 생성하기 위해 이용된다. 선택적으로, 상기 기판과 접촉하기 전에 상호 접속부들을 유사하게 패터닝함으로써 유사한 접착성 결합 위치의 패턴이 제공된다.

[0125] 본 실시예에 있어서, 나노리본들은 단결정 Si 및 GaAs 모두로 구성된다. 실리콘 리본들은 앞서 설명한 절차들을 이용하여 SOI(silicon-on-insulator) 웨이퍼로부터 제조된다(Khang et al. Science 311, 208-212 (2006) 참조). 상기 GaAs 리본들은 분자빔 에피택시(MBE: molecular-beam epitaxy)에 의하여 (100) SI-GaAs 웨이퍼 위에 형성된 Si-도핑된 n-형 GaAs (120 nm ; $4 \times 10^{17}\text{ cm}^{-3}$ 의 캐리어 농도), 반-절연(semi-insulating) GaAs (SI-GaAs; 150 nm) 및 AlAs (200 nm)의 다중층을 수반한다. 상기 에피층들을 식각 마스크와 같이 (0 1 1) 결정 방향을 따라 패터닝된 포토레지스트의 선들을 이용하여 H_3PO_4 및 H_2O_2 의 수용성 식각제 내에서 화학 식각하여 상기 리본들을 정의한다. 상기 포토레지스트를 제거한 후 웨이퍼를 HF의 에탄올 용액(에탄올과 49% HF 수용액 사이에 2:1 부피비)에 적셔서 상기 AlAs 층을 제거하고, 그에 의하여 상기 포토레지스트에 의하여 결정된 폭(도 24의 (d)의 실시예에 있어서는 $\sim 100\text{ }\mu\text{m}$)을 갖는 GaAs(n-GaAs/SI-GaAs)의 리본을 풀어낸다. 상기 HF 용액 내에 에탄올을 첨가하는 것은 건조하는 동안 모세관 힘의 작용으로 인하여 파손되기 쉬운 리본들에 크랙이 발생할 확률을 감소시킨다. (물에 비하여) 낮은 표면 장력은 상기 GaAs 리본들의 공간적 배치에서 건조로 인해 유발되는 무질서를 최소화할 수도 있다. 마지막 단계에서, 상기 PDMS의 활성화된 영역에 결합되기 위해 필요한 -Si-OH 표면 화학 작용을 제공하기 위하여 SiO_2 의 박막($\sim 30\text{ nm}$)이 증착된다.

[0126] UVo 처리되고 사전-인장된 PDMS 기판(사전 변형의 방향에 평행하게 리본들이 배향됨) 위에 상기 처리된 SOI 또는 GaAs 웨이퍼들을 적층하고, 90°C 의 오븐에서 수분동안 베이킹하고, 그리고 모든 리본들이 PDMS의 표면으로 전사된 웨이퍼를 제거한다(단계 (iv)). 가열은 상기 PDMS의 활성화된 영역과 Si 리본들 위의 내인성(native) SiO_2 층 또는 상기 GaAs 리본들 위의 증착된 SiO_2 층 사이에 정합적 접촉과 강한 실록산 결합(즉, -O-Si-O-)을 형성하는 것을 용이하게 한다. 상대적으로 약한 반데르발스(van der Waals) 힘은 상기 리본들을 상기 PDMS의 비활성화된 표면 영역들에 결합시킨다. 상기 PDMS 내의 변형을 릴랙스시키는 것은 상기 리본들이 상기 PDMS의 비활성화된 영역들로부터 물리적으로 분리되는 것을 통하여 베클링을 생성한다(단계 (v)). 상기 리본들은 상기 활성화된 영역들에서는 강력한 화학 결합으로 인하여 상기 PDMS에 속박된 채 유지된다. 결과로서 얻어지는 3D 리본 기하 구조들(즉, 베클링의 공간적으로 변화하는 패턴)은 사전 변형의 크기와 표면 활성화의 패턴들(예를 들면, W_{in} 과 W_{act} 의 모양과 치수들)에 의존한다. (유사한 결과들이 상기 리본들 위에 패터닝된 결합 위치들을 통해서 달성될 수 있다). 단순한 라인 패턴의 경우에 있어서, W_{in} 과 사전 변형이 상기 베클링들의 폭과 진폭을 결정한다. W_{act} 가 $> 100\text{ }\mu\text{m}$ 이었을 때 '웨이브진' 실리콘을 생성하는 유형의 기계적 불안정성으로 인하여 동일한 리본들 내에 상기 베클링보다 훨씬 작은 파장과 진폭을 갖는 사인파(sinoidal wave)들이 형성되었다. (도 25 참조, 상이한 W_{act} 에 대하여 형성된 샘플들의 이미지). 제조의 마지막 단계로서, 상기 3D 리본 구조들은 액체 프리폴리머(prepolymer)를 주조하고 경화시킴으로써 PDMS 내에 봉지될 수 있다(도 24 참조, 단계(vi)). 상기 액체는 낮은 점도와 낮은 표면 에너지로 인하여 흘러서 상기 리본들과 기판 사이에 형성된 틈을 메운다(도 26 참조).

[0127] 도 24의 (d)는 PDMS 위에 베클링된 GaAs 리본들의 경사-시각(tilted-view) 주사 전자 현미경(SEM: scanning electron microscope)의 이미지를 나타낸다. 이 때, $\varepsilon_{pre} = 60\%$ 이고, $W_{act} = 10\text{ }\mu\text{m}$ 이고, $W_{in} = 400\text{ }\mu\text{m}$ 이다. 상기 이미지는 어레이 내의 모든 리본들이 공통의 기하 구조와 공간적으로 일치하는(coherent) 위상들을 갖는, 균일하고 주기적인 베클링들을 보여준다. 고정시키는 점들(anchor points)은 리소그래피적으로 정의된 부착 위치들에 잘 맞추어져 있다. 삽입 사진은 결합된 영역의 SEM 이미지이다. 폭은 $\sim 10\text{ }\mu\text{m}$ 로서 W_{act} 와 일치한다. 상기 이미지들은 PDMS의 표면이 결합 위치들에서도 편평함을 나타낸다. 이전에 보고된 바 있던 강하게 결합된 웨이브 구조물들과는 크게 상이한 이러한 거동은 여기에 설명된 케이스에 있어서, PDMS가 변위를 유발하지만 베클링 과정에 밀접하게 관여하는 것은 아님(즉, 그의 모듈러스는 리본들의 기하 구조에 영향을 미치지 않음)을 암시한다. 이러한 의미에서, PDMS는 부착 위치들에 가해진 힘을 통해 리본들을 조작할 수 있는 연질의 비파괴적인 도구를 대표한다.

[0128] 도 27의 (a)는 PDMS 위에 형성된 상이한 ε_{pre} ($W_{act} = 10 \mu\text{m}$)이고, $W_{in} = 190 \mu\text{m}$)를 갖는 베클링된 리본들의 측면 광학 현미경 사진을 나타낸다. 상기 베클링들의 높이들(예를 들면, "진폭")은 ε_{pre} 에 따라 증가한다. 비활성화된 영역의 리본들은 낮은 ε_{pre} 에서는 완전히 분리되지 않았다($\varepsilon_{pre} = 11.3\%$ 및 25.5% 에 대하여 형성된 샘플들 참조). 높은 ε_{pre} 에서, 상기 리본들(두께 h)은 상기 PDMS로부터 분리되어 하기 식으로 특성화되는 수직 변위 프로파일들을 갖는 베클링들을 형성한다.

$$y = \frac{1}{2} A_1^0 \left[1 + \cos \left(\frac{\pi}{L_1} x \right) \right]$$

[0129] 여기서,

$$A_1^0 = \frac{4}{\pi} \sqrt{L_1 L_2 \left(\varepsilon_{pre} - \frac{h^2 \pi^2}{12 L_1^2} \right)}$$

$$L_1 = \frac{W_{in}}{2 * (1 + \varepsilon_{pre})}$$

$$L_2 = L_1 + \frac{W_{act}}{2}$$

[0134] 균일한 박막에 형성된 베클링들의 비선형 해석에 의하여 결정된다. 상기 리본들에서의 최대 인장 변형은, 대략,

$$\varepsilon_{peak} = K \Big|_{max} \frac{h}{2} = y'' \Big|_{max} \frac{h}{2} = \frac{h}{4} A_1^0 \left(\frac{\pi}{L_1} \right)^2$$

[0135] [0136] 상기 베클링들의 폭은 $2L_1$ 이고, 주기성은 $2L_2$ 이다. $h^2 \pi^2 / (12L_1^2)$ 은 $h < 1 \mu\text{m}$ 에 대하여 ε_{pre} (즉, 보고서에서 > 10%)보다 훨씬 작기 때문에, 상기 진폭은 리본들의 기계적 성질들(예를 들면, 두께, 화학적 조성, 영 모듈러스, 등)에 대하여 독립적이고, 접착 위치들의 레이아웃과 사전 변형에 의하여 주로 결정된다. 이러한 결론은 이러한 접근 방식의 일반적인 적용 가능성을 암시한다: 임의의 물질로 제조된 리본들은 유사한 베클링된 기하 구조들로 형성될 것이다. 이러한 예측은 여기에 사용된 Si 및 GaAs 리본들에 대하여 얻어진 결과들과 일치한다. 33.7%와 56.0%의 사전-변형에 대하여 도 27의 (a)에 점선으로 작도된 계산된 프로파일들은 GaAs 리본들에서의 관찰 결과와 잘 일치한다. 또한, 도 27의 (a)에 나타낸 베클링들의 파라미터들(주기성, 폭 및 진폭을 포함)은 낮은 ε_{pre} 에서는 제외하고 해석적인 계산과 일치한다(표 1 및 표 2). 본 연구에서 흥미로운 결과는 리본들에서 큰 ε_{pre} 에 대해서도 (예를 들면, 56.0%) 최대 인장 변형은 작다는 것이다(예를 들면, ~1.2%). 후속하여 논의하는 바와 같이, 이러한 스케일링이 GaAs와 같이 깨어지기 쉬운 물질들에 대해서도 인장 가능성을 가능하게 한다.

[0137] 리소그래피적으로 정의된 접착 위치들은 도 24의 구조들과 관련된 단순한 격자 또는 그리드 패턴들보다 더욱 복잡한 기하 구조들을 갖는다. 예를 들면, 상이한 폭들과 진폭들을 갖는 베클링들이 개별 리본들에 형성될 수 있다. 한 예로서, 도 27의 (b)는 리본의 길이에 따라 $W_{act} = 15 \mu\text{m}$ 및 $W_{in} = 350, 300, 250, 250, 300$, 및 $350 \mu\text{m}$ 에 대하여 특성화되는 접착 위치들과 50%의 사전 변형으로 형성된 베클링된 Si 리본(폭과 두께가 각각 $50 \mu\text{m}$ 과 290 nm)의 SEM 이미지를 나타낸다. 상기 이미지는 각 리본 내의 이웃하는 베클링들의 폭과 진폭의 변화를 명확하게 보여준다. 베클링된 리본들은 상이한 리본들에 대하여 상이한 위상들을 갖도록 형성될 수 있다. 도 27의 (c)는 베클링의 위상이 리본들의 길이에 수직하면서 거리에 따라 선형적으로 변화하게 설계된 Si 시스템의 실시예를 제공한다. 이러한 샘플을 위해 사용되는 UV-O 마스크는 W_{act} 및 $W_{in} = 15$ 및 $250 \mu\text{m}$ 을 각각 갖는다. PDMS 스

탬프와 Si 리본들 위의 활성화된 띠들 사이의 각도는 30° 이다. 접착 위치들을 리소그래피적으로 쉽게 제어할 수 있기 때문에 많은 다른 가능성들도 용이하게 달성될 수 있으며, 예를 들면 그 일부가 도 13 내지 도 17에 도시된다.

[0138] 도 27의 (d)에 나타낸 바와 같이, $\varepsilon_{\text{pre}} = 60\%$, $W_{\text{act}} = 10 \mu\text{m}$ 및 상이한 W_{in} 로 PDMS 위에 베클링된 GaAs 리본들의 단순한 케이스는 인장 가능한 전자 장치에 응용하기 위하여 중요한 측면이 도시된다. 프로파일들은 역학에 따른 해석적 해와 잘 일치하지만 $W_{\text{in}} = 100 \mu\text{m}$ 인 (및 그보다 더 작은) 때에 GaAs의 크랙으로 인한 파괴를 보인다. 상기 파괴는 GaAs의 항복점(yield point)(~2%)을 초과하는 인장 변형(이 경우에는 ~2.5%)에 기인한다. 따라서, 인장과 압축에 대하여 강건하기 위한 최적화된 구성은 ε_{pre} 에 비례하여 $W_{\text{in}}(>>W_{\text{act}})$ 를 선택함으로써 달성될 수 있다. 이러한 상황에서는, 100%까지의 또는 이보다 큰 사전 변형이 수용될 수 있다. PDMS 지지체에 힘을 가함으로써 이러한 유형의 인장 가능성을 입증하였다. 상기 리본들의 세그먼트의 단부-대-단부(end-to-end) 거리의 변화는 하기 식에 따라 인장 가능성과 압축 가능성을 정량화하기 위한 수단들을 제공한다.

$$\left| \frac{L_{\text{projected}}^{\max} - L_{\text{projected}}^0}{L_{\text{projected}}^0} \right| * 100\%$$

[0139] 여기서, $L_{\text{projected}}^{\max}$ 는 파괴 전의 최대/최소 길이를 나타내고, $L_{\text{projected}}^0$ 는 릴랙스된 상태에서의 길이를 나타낸다.

[0140] 여기서, $L_{\text{projected}}^{\max}$ 는 파괴 전의 최대/최소 길이를 나타내고, $L_{\text{projected}}^0$ 는 릴랙스된 상태에서의 길이를 나타낸다. 신장 및 압축은 $L_{\text{projected}}^0$ 보다 더 큰 $L_{\text{projected}}^{\max}$ 및 $L_{\text{projected}}^0$ 보다 더 작은 $L_{\text{projected}}^{\max}$ 에 각각 대응된다. $W_{\text{act}} = 10 \mu\text{m}$, $W_{\text{in}} = 400 \mu\text{m}$ 및 $\varepsilon_{\text{pre}} = 60\%$ 인 PDMS 위의 베클링된 리본들은 60%의 인장 가능성과 30%까지의 압축 가능성을 보여준다. 리본들은 PDMS 내에 내장(embed)됨으로써 상기 구조물을 기계적으로 보호되고, 또한 연속적이고도 가역적인 반응을 생성해 낼 수 있다. 그러나, 기계적으로는 약간 변화된다. 특히, 상기 인장 가능성과 압축 가능성은 각각 ~51.4%(도 28a) 및 ~18.7%(도 28b)로 감소한다. 상기 리본들의 상부 위의 PDMS 매트릭스는 베클링들의 퍼크들을 약간 편평하게 하는데, 이는 경화로 인하여 그 하부에 놓인 PDMS가 수축함에 부분적으로 기인한다. 큰 압축 변형 하에 있는 이들 영역에서는 작은 주기의 웨이브들이 형성되는데, 앞서 설명한 웨이브진 리본 구조물을 생성하는 유형의 자발적인 역학에 기인한다. 도 28b에 나타낸 바와 같이 기계적인 결함은 이들 영역에서 시작하는 경향이 있고, 그에 의하여 압축 가능성을 감소시킨다. $W_{\text{act}} = 10 \mu\text{m}$, 및 $W_{\text{in}} = 300 \mu\text{m}$ 로 베클링된 구조물들은 이런 유형의 거동을 피하였다. 이러한 샘플들은 도 28a에 나타낸 것보다 약간 더 낮은 인장 가능성을 보였지만, 짧은 과정의 웨이브들이 없다는 것이 압축 가능성을 ~26%까지 증가시켰다. 전체적으로, 패터닝된 표면 화학 접착 위치들을 갖는 사전-인장된 PDMS 기판들 위에 형성된 베클링들을 포함하는 단결정 GaAs 나노리본들은 50%보다 더 큰 인장 가능성과 25%보다 더 큰 압축 가능성을 보여주는데, 이는 100%에 육박하는 실물 크기의 (full scale) 변형 범위에 대응된다. 이러한 수치들은 ε_{pre} 와 W_{in} 을 증가시킴으로써, 또한 PDMS보다 더 높은 신장이 가능한 기판 물질을 이용함으로써 더 개선된다. 더욱 정교한 시스템을 위해서, 이러한 제조 과정들은 베클링된 리본들의 다중층을 갖는 샘플들을 생성하기 위해서 반복될 수 있다(도 29 참조).

[0141] 이러한 큰 인장 가능성/압축 가능성의 직접적인 결과는 매우 높은 수준의 기계적 구부림성(mechanical bendability)이다. 도 30의 a 내지 c는 이러한 특성을 나타낸 구부림 구성의 광학 현미경 사진들이다. PDMS 기판(두께 ~4 mm)은 오목한(반지름 ~5.7 mm), 편평한, 및 볼록한(반지름 ~6.1 mm) 곡면으로 각각 구부려진다. 상기 이미지들은 구부림으로 인해 유발된 표면 변형들(이 경우들에 있어서는 ~20-25%)을 수용하기 위하여 어떻게 프로파일들이 변화하였는지 보여준다. 사실상, 형태들은 (~20%의) 압축 및 (~20%의) 장력에서 얻어졌던 것들과 유사하였다. 임베딩된 시스템들은 중간의 기계적인 평면의 효과들로 인하여 더욱 높은 수준의 구부림성을 보여준다. PDMS의 상부층과 하부층이 비슷한 두께들을 가지면, 구부리는 동안 베클링 모양들에서 변화가 없었다(도 30의 d).

[0142] 작동하는 전자 장치들에 있어서 이러한 기계적 성질들을 실증하기 위하여, 도 30에 나타낸 것들과 유사한 프로파일을 갖는 베클링된 GaAs 리본들을 이용하여, 상기 리본들의 Si-GaAs 면 위에 쇼트키 콘택을 위한 얇은 금 전극을 증착함으로써 금속 반도체-금속 광감지기를 제작한다. 도 31의 a는 ~50% 만큼 인장하기 전과 후의 MSM PD의 기하 구조와 동등 회로, 및 평면 광학 현미경 사진들을 나타낸다. 빛이 없을 때, PD를 통하여 흐르는 전

류는 거의 없었다; 적외선 빔(파장 ~850 nm)으로 조사량을 증가시킴에 따라 전류가 증가하였다(도 31의 b). 전류/전압(I-V) 특성들의 비대칭성은 콘택들의 전기적 성질들의 차이 때문일 수 있다. 도 31의 c(인장)와 도 31의 d(압축)는 상이한 인장과 압축에서 측정된 I-V들을 보여준다. 전류는 상기 PD가 44.4 % 인장되었을 때까지 증가하였고, 그 후 추가적인 인장에 대하여는 감소하였다. 광원의 단위 면적당의 세기는 일정하기 때문에, 인장에 따른 전류의 증가는 베클링된 GaAs 리본이 편평해짐에 따라 베클링된 GaAs 리본의 (유효 표면적, S_{eff})라고 불리는) 투영 면적(projected area)의 증가에 기인하는 것일 수 있다. 상기 PD를 더 인장시키면, 상기 GaAs 리본의 표면에 및/또는 격자에 결함들의 형성을 유발할 수 있고, 이는 전류의 감소를 가져오고, 결국에는 파괴되어 회로가 열리게 된다. 유사하게, 압축은 S_{eff} 를 감소시키고, 따라서 전류를 감소시킨다(도 31의 d). 이들 결과들은 PDMS 매트릭스 내에 임베딩된, 베클링된 GaAs 리본들이 입을 수 있는 모니터들, 굴곡진 이미징 어레이들 및 다른 장치들과 같은 다양한 응용들에 대하여 유용한 완전히 인장 가능한/압축 가능한 유형의 광 센서를 제공함을 가리킨다.

[0143]

결론적으로, 본 실시예는 리소그래피적으로 정의된 접착 위치들을 갖는 연질의 엘라스토머가 반도체 나노리본들에서의 소정 부류의 3D 구조들을 생성해 내기 위한 도구로서 유용하다는 것을 가리킨다. 인장 가능한 전자 장치들은 이러한 유형의 구조들의 많은 가능한 응용 영역들의 한 예를 제공한다. 단순한 PD 장치들은 일부 능력을 실증한다.

[0144]

구조물에 대한 높은 수준의 제어와 고온 공정 단계들(예를 들면, 오믹 콘택의 형성)을 베클링 공정 및 PDMS로부터 분리하는 능력은 더욱 복잡한 장치들(예를 들면, 트랜지스터, 및 소형 회로 시트)이 가능함을 나타낸다. 이 웃하는 리본들에 있는 베클링들의 잘 조절된 단계들(phases)은 여러 요소들을 전기적으로 상호 접속하기 위한 기회를 제공한다. 또한, 여기에 보고된 실험들은 GaAs 및 Si 나노리본들을 이용하였지만, 다른 물질들(예를 들면, GaN, InP 및 다른 반도체들)과 다른 구조들(예를 들면, 나노와이어류, 나노막류)도 이러한 접근 방법과 양립한다.

[0145]

GaAs 리본들의 제조: 맞춤-설계된(customer-designed) 에피택셜 층들을 갖는 GaAs를 Bethlehem, PA의 IQE Inc.로부터 구매하였다. 포토리소그래피와 습식 화학 식각을 통해 상기 GaAs 리본들이 생성되었다. AZ 포토레지스트(예를 들면, AZ 5214)가 30초 동안 5000 rpm의 속도로 상기 GaAs 웨이퍼 위에 스핀 캐스트되고, 그런 다음 100 °C에서 1분 동안 소프트 베이크되었다. GaAs의 (0 1 1) 결정학적 방향을 따라 배향된 패터닝된 라인들을 갖는 포토마스크를 통한 노광과 그에 이은 현상은 상기 포토레지스트 내에 라인 패턴들을 생성하였다. 포토레지스트 잔사물을 온화한 O₂ 플라스마(즉, 찌꺼기 제거(descum) 공정)가 제거하였다. 그런 후, 상기 GaAs 웨이퍼들은 식각액(4 mL H₃PO₄ (85 wt%), 52 mL H₂O₂ (30 wt%), 및 48 mL 탈이온수) 내에서 1분 동안 비등방적으로 식각되고, 얼음 수조에서 냉각되었다. AlAs 층들은 에탄올에 희석시킨(부피 2:1 희석) HF 용액(Fisher Chemicals)에 용해되었다. 모 웨이퍼(mother wafer) 위의 해제된 리본들을 갖는 상기 샘플들은 연기 후드(fume hood) 내에서 건조되었다. 상기 건조된 샘플들은 전자 빔 증발에 의하여 증착된 30 nm의 SiO₂로 코팅되었다.

[0146]

Si 리본들의 제조: 상기 실리콘 리본들은 SOI(silicon-on-insulator) 웨이퍼(Soitech, Inc.사, 상부 실리콘 290 nm, 매립 산화물 400 nm, p-형)로부터 제조된다. 상기 웨이퍼는 AZ 5214 포토레지스트를 이용한 통상의 포토리소그래피에 의하여 패터닝되고, SF6 플라스마로 식각된다(PlasmaTherm RIE, SF6 40sccm, 50 mTorr, 100W). 아세톤으로 포토레지스트를 세정한 후, 상기 매립 산화물층을 HF(49%)로 식각한다.

[0147]

UVO 마스크들의 제조: 용융 석영(fused quartz) 슬라이드들을 15분 동안 피라냐 용액(60°C의) 내에서 세정하고, 충분한 물로 완전히 행군다. 세정된 상기 슬라이드들은 질소를 불어주어 건조시키고, (접착층으로서) 5-nm Ti와 (도광에 대한 마스크 층으로서) 100-nm Au의 층들이 순차 코팅될 전자빔 증발기(evaporator)의 챔버 내에 위치된다. 상기 슬라이드 위에 네거티브 포토레지스트, 즉, SU8 5가 30초 동안 3000 rpm의 속도로 스핀 캐스트되어 ~5 μm 두께의 필름을 산출한다. 소프트 베이킹, UV광에의 노광, 포스트 베이킹, 및 현상은 상기 포토레지스트 내에 패턴들을 생성한다. 온화한 O₂ 플라스마(즉, 찌꺼기 제거(descum) 공정)가 포토레지스트 잔사물을 제거한다. 상기 포토레지스트는 금 식각제(즉, I₂와 KI의 수용액)와 티타늄 식각제(즉, HCl의 희석 용액)를 각각 이용하여 Au와 Ti를 식각하기 위한 마스크의 역할을 한다.

[0148]

PDMS 스템프들의 제조: 페트리(Petri) 접시 내에 프리폴리머(A:B=1:10, Sylgard 184, Dow Corning)를 붓고, 이어서 65 °C에서 4 시간 동안 베이킹 함으로써 ~4 mm의 두께를 갖는 PDMS 기판들을 제조하였다. 그 결과로서 얻어지는 경화된 조각으로부터 적절한 두께와 정사각형 형태를 갖는 슬랩들을 잘라낸 후, 이를 이소프로필 알코올로 행구고, 질소를 불어 주며 건조시켰다. 상기 PDMS를 원하는 수준의 변형까지 기계적으로 인장시키기 위해

특별히 설계된 스테이지가 사용되었다. 인장된 이들 기판들에 단파장 UV 광(저압 수은 램프, BHK, 240 내지 260 nm 173 $\mu\text{W}/\text{cm}^2$)을 상기 PDMS와 접촉하게 위치시킨 UV0 마스크를 통해 5분 동안 조사시켜 표면 화학 물질들이 패터닝된 것을 형성하였다.

[0149] 베클링된 GaAs 리본들의 형성 및 임베딩: SiO₂가 코팅된 해제된 리본들을 갖는 GaAs 웨이퍼들이 패터닝된 표면 화학물질이 있는 인장된 PDMS 위에 적층되었다. 90 °C의 오븐 내에서 5분 동안 베이킹하고, 공기 중에서 실온으로 냉각하고, 그런 후 상기 PDMS 내의 변형을 서서히 릴랙스시켜 줌으로써 각 리본을 따라 베클링들을 형성하였다. 베클링된 상기 리본들을 임베딩시키는 것은 5분 동안 UV 광을 다량 노광시킨 후 ~4 mm의 두께로 액체 PDMS 프리폴리머를 캐스팅하는 것을 수반한다. 상기 샘플을 65 °C의 오븐 내에서 4시간 동안 또는 실온에서 36시간 동안 경화시켜 프리폴리머를 경화시켜서, PDMS의 고체 매트릭스 내에 임베딩된, 베클링된 리본들을 얻었다.

[0150] 베클링된 리본들의 특성화: 상기 리본들은 샘플을 (임베딩되지 않은 샘플들에 대하여) ~90° 또는 (임베딩된 샘플들에 대하여) ~30° 기울여서 광학 현미경으로 이미지를 찍었다. 상기 SEM 이미지들은 상기 샘플들이 (~5 nm 두께의) 금의 박막으로 코팅된 후 Philips XL30 전계-방출 주사 전자 현미경에 기록되었다. 결과로서 얻어지는 샘플들을 인장 및 압축하기 위하여, 상기 PDMS 스템프들을 사전-인장시키기 위해 사용된 것과 동일한 스테이지가 사용되었다.

[0151] SMS PD들의 제조 및 특성화: PD들의 제조는 도 24의 b의 바닥 프레임에 나타낸 구성의 샘플로 시작하였다.

[0152] ~0.8 mm 폭의 폴리(에틸렌테레프탈레이트)(PET: poly(ethylene terephthalate) 시트의 띠를 그 길이 방향 축이 리본들의 길이 방향 축과 수직이 되게 PDMS 위에 서서히 위치시켰다. 이 띠는 (쇼트키 전극들을 형성하기 위한) 30-nm 두께의 금 필름의 원자빔 증발을 위한 새도우 마스크의 역할을 한다. 상기 PET 스트립을 제거하고 사전-인장된 PDMS 스템프를 릴랙스시킴으로써 베클링된 GaAs 리본들로 형성된 SMS PD들이 형성되었다. 상기 리본들의 전극이 없는 영역들 위에 액체 PDMS 프리폴리머를 캐스트하고, 그런 후 오븐에서 경화시켰다. 반도체 파라미터 분석기가 조사할 수 있도록 상기 금 전극들은 상부 PDMS 너머로 연장되었다. (Agilent 4155C). 광 반응의 측정에 있어서, 상기 PD들은 인장 및 압축을 위해 기계적 스테이지를 이용하여 조작되었다. (850 nm의 광장을 가진) IR LED 소스가 조사광을 제공하였다.

[0153] 실시예 2: 전사 인쇄:

[0154] 우리의 기술적 접근 방법은, 앞서 설명된 평면 스템프에 기초한 인쇄 방법들로 구체화된 소정의 아이디어들을 이용한다. 이들 기본적인 기술들이 유망한 시작점을 제공하지만, HARDI (Hemispherical Array Detector for Imaging) 시스템의 과제들을 만족시키기 위해서는 이하에서 설명하는 바와 같이 많은 근본적으로 새로운 특징들이 도입되어야만 한다.

[0155] 도 32 및 33은 굴곡진 표면에의 전사 인쇄와 관련된 일반 전략을 도시한다. 첫 번째 세트의 단계들(도 32)은 상호 접속된 Si CMOS '칩렛(chiplet)'들을 웨이퍼의 평면 표면으로부터 리프트 오프시키고, 그 후 기하 구조를 반구 모양으로 전환시키도록 설계된, 얇고 구형 곡면을 갖는 엘라스토머 스템프의 제작 및 조작을 수반한다. 이 공정을 위한 스템프는 액체 프리폴리머를 캐스팅 및 경화시키고, 필요한 곡률 반경에 따라 선택된 고품질의 광학 요소들 (즉, 볼록 및 오목 렌즈들의 매칭된 쌍) 위에 폴리(디메틸실록산)(PDMS: poly(dimethylsiloxane))과 같은 엘라스토머를 얻음으로써 형성된다. 상기 스템프는 몰딩된 원형의 테두리를 갖는다. 이 테두리 위의 몰딩된 그루브(도 32의 점선원)를 적절한 크기를 갖는 경질의 원형 유지 링과 짹지워 줌으로써 이 요소를 반지름 방향으로 인장시키는 것은 이 구형의 스템프를 인장된, 평면 시트로 변형시킨다. 인장된 이 스템프를, 사전 형성되고 언더컷 식각된, 얇은 상호 접속부를 갖는 Si CMOS '칩렛'들을 지지하는 모 웨이퍼에 접촉시키고, 그런 후 상기 스템프를 벗겨 내는 것은 이들 상호 접속된 '칩렛'들로 이 요소를 잉크칠한다(ink). 상기 칩렛들과 연질의 엘라스토머 요소 사이의 반 데르 발스 상호작용은 이 공정을 위한 충분한 접착을 제공한다.

[0156] 상기 유지 링을 제거하는 것은 PDMS가 릴랙스되어 그것의 최초의 반구형 모양으로 돌아가는 것을 초래하며, 그에 의하여 상기 칩렛 어레이가 평면형에서 구면형으로 전환되는 것을 달성한다. 이러한 전환은 상기 스템프의 표면에 압축적 변형을 유발한다. 이들 변형들은 상기 상호 접속부의 국부적인 박리(delamination)와 리프트 업에 의하여 CMOS 칩렛 어레이 내에 수용된다(도 32의 왼쪽 아래). 이들 '팝-업' 상호 접속부들은 칩렛들에 대한 손상 또는 그들의 전기적인 성질에 변형으로 인해 유도된 해로운 변화들을 피하는 방식으로 변형을 흡수한다. 상기 칩렛들 내의 변형을 ~0.1% 미만으로 유지하면 이러한 두 목표들이 달성된다. 상기 상호 접속부들에 대하여 요구되는 공간이 CMOS 칩렛들의 최대 채움 인자(fill factor)를 제한한다. 그러나, 광 감지기들은 거의 전

체 광센 면적들을 소비하고, 그에 의하여 80% 채움 인자 목표로의 직접적인 경로를 제공한다.

[0157] 상기 두 번째 세트의 단계들(도 33)에서, 상기 '잉크칠'된 반구형 스템프는 이를 요소들을 매칭되는 형태의 공동을 갖는 최종 장치 기판 위에 전사 인쇄하기 위해 사용된다(예를 들면, 본 실시예에서는 매칭되는 반구형 모양의 공동을 갖는 유리 기판). 이 전사 과정은 접착제로서 광 경화성 BCB (Dow Chemical) 또는 폴리우레탄(Norland Optical Adhesive)과 같은 자외선(UV) 경화성 광 폴리머를 이용한다. 이를 물질들은 얇은(수십 마이크론의 두께) 액체 필름의 형태로 장치 기판에 적용된다. 상기 스템프와의 접촉과 함께, 이 액체층은 상기 칩렛들 및 팝-업 상호 접속부들과 관련된 양각 구조물들과 정합하기 위하여 유동한다. 투명한 기판을 통과한 UV 광은 광 폴리머를 경화시키고, 그리고 그것을 고체 형태로 전환하여 상기 스템프의 제거와 함께 매끈하고, 평坦화된 상부 표면을 가져온다. 기능적인 시스템을 형성하기 위한 최종적인 통합은 전극들 및 광 감지기 물질들의 증착 및 패터닝, 그리고 외부 제어 회로로 가는 버스 라인들의 리소그래피적인 정의를 수반한다.

[0158] 도 32 및 도 33의 접근 방법들은 몇 가지 주목할만한 특징들을 갖는다. 첫째, 그것은 반구형 기판 위에 신뢰할 수 있고, 비용이 저렴하며, 고성능 동작을 가능하게 하기 위해, 최신 기술의 평면 전자공학 기술을 활용한다. 특히, 상기 칩렛들은 0.13 μm 디자인률로 처리된 실리콘 트랜지스터의 집합으로 구성되어, HARDI 시스템에 대하여 국부적인, 광센-수준 처리 능력들을 가져온다. 이를 장치들을 형성하기 위하여 SOI 웨이퍼들에 통상의 공정이 사용된다. 매립된 산화물은 인쇄될 칩렛들을 제조하기 위한 희생층(HF로 언더컷 식각)을 제공한다. 상기 상호 접속부들은 좁고 얇은(~100 nm) 금속 라인들로 구성된다.

[0159] 두 번째 특징은 상기 접근 방법이 평면에서 반구로의 잘 제어된 전환을 가능하게 하기 위한 기계적인 설계들과 엘라스토머 요소들을 이용한다는 것이다. 이어서 약술하는 바와 같이, 전사 스템프들 내에서의 가역적이고, 선형적인 역학과 포괄적인 역학적 모델링으로 이러한 제어를 달성한다. 세 번째 매력적인 측면은 접착을 제어하기 위한 전략들과 전사 공정의 어떤 기본적인 구성이 평면 응용에서 실증되었다는 것이다. 사실상, 평면 인쇄 응용을 위하여 설계된 스테이지들은 도 32 및 도 33의 공정에 대하여 개조될 수 있다. 도 34는 본 공정에 사용하기에 적합한 공압 액츄에이터와 통합화된 시각화 시스템을 갖는 자체 제작(home-built) 프린터를 보여준다.

[0160] 이를 유형의 프린터 시스템들은 도 32 및 도 33의 공정들의 여러 측면들을 실증하기 위하여 사용된다. 도 35는 고농도로 도핑된 실리콘 리본들과 정사각형 어레이로 상호 접속된 단결정 실리콘 아일랜드들의 어레이로 잉크칠된 반구형 스템프의 표면의 주사 전자 현미경의 이미지들을 나타낸다. 도 36은 광학적 이미지들을 나타낸다. 평면에서 구면으로의 전환을 하는 동안, 이를 리본 상호 접속부들은 도 32에 묘사된 방식으로 팝 업하였다. 이를 유형의 상호 접속부들의 핵심적인 측면은, 완전히 형성된 칩렛들의 전사와 결합되었을 때, 고해상도, 곡면 리소그래피 또는 다른 형태의 반구 위의 직접 처리에 대한 필요를 감소시킨다.

[0161] 물질 및 일반 공정 전략뿐만 아니라, 상기 반구형 스템프들, 팝-업 상호 접속부들 및 경질 장치 아일랜드들과의 상호 작용의 탄성 기계 응답의 완전히 계산적인 모델링이 수행된다. 이를 계산은 공학적 제어 및 최적화를 쉽게 하는 수준에서 공정의 물리학을 밝힌다. 선형 탄성 평판(plate) 이론에 근거한 단순한 추정들은 도 32의 공정들과 관련된 수준의 변형은 2-mm 두께의 스템프와 1 cm 반지름을 갖는 구면에 대하여 10% 또는 그 이상에 이를 수 있음을 암시한다. 따라서, 신뢰할 수 있는 공학적 제어를 위하여, 상기 스템프는 이 값의 두 배 - 즉, ~20%까지의 변형에 대한 선형 탄성 영역 내에서 작동되는 것이 필요하다. 도 37은 별크, 평면 스템프 기반 인쇄의 수준에서 우리가 경험을 갖고 있는 여러 상이한 PDMS의 실험적인 응력/변형 곡선을 나타낸다. 184-PDMS는 ~40%의 변형까지 고도로 선형이면서도 탄성의 응답을 제공하기 때문에 우수한 초기 물질을 제공하는 것으로 보인다.

[0162] 상기 리본 팝-업 상호 접속부들과 상기 칩렛들의 모듈러스들 및 기하구조에 대한 문헌값들과 결합된, 이들과 같은 기계적 측정들은 모델링에 필요한 정보를 제공한다. 계산에 대한 두 접근 방법들이 채택된다. 첫째는 전체-규모(full-scale) 유한 요소 모델링(FEM: finite element modeling)으로서, 평면 기판 위에서의 장치와 상호 접속부의 기하 구조(예를 들면, 크기, 간격, 다중-층들)의 상세가 해석된다. 상이한 물질들(예를 들면, 스템프, 실리콘, 상호 접속부들)은 해석에서 직접 설명된다. 상기 스템프와 회로들을 원하는 반구형 모양 위로 변형시키기 위하여 측방향 압력이 가해진다. 상기 유한 요소 해석은 변형 분포를 제공하며, 특히 장치들 및 상호 접속부들에서의 최대 변형과 전환된 장치들 사이에서의 불균일한 간격을 제공한다. 그러한 접근 방법의 장점은 그것이 장치의 기하 구조와 물질의 상세를 모두 포착하고, 따라서 최대 변형과 불균일성을 감소시키기 위한 전사 인쇄 공정의 다른 설계들의 효과를 조사하기 위하여 사용될 수 있다는 것이다. 그러나, 이러한 접근 방법은 광범위한 길이 스케일들과, 상기 스템프 위에서의 수만은 구조물 장치들의 모델링을 수반하기 때문에 컴퓨터적으로 복잡하고, 따라서 시간 소모적이다.

[0163]

두 번째 접근 방법은 장치들(칩렛들)을 위한 단위-셀 모델로서, 부하와 함께 그들의 기계적인 성능을 분석하는 것이다. 각 장치는 단위 셀에 의하여 나타내어질 수 있고, 기계적 부하(예를 들면, 구부림 및 장력)에 대한 그들의 응답이 유한 요소 방법을 통해 완전히 연구된다. 그런 후 각 장치는 상호 접속부들에 의하여 연결된 단위 셀들에 의하여 대체된다. 이 단위 셀 모델은 이어서 상기 장치들과 상호 접속부들의 상세한 모델링을 대체하기 위하여 상기 유한 요소 해석 내에 통합된다. 또한, 구의 가장자리에서 멀어질수록, 많은 단위-셀들이 통합될 수 있고 또한 그들의 성능이 조악한(coarse)-수준의 모델에 의하여 나타내어질 수 있도록 상기 변형들이 상대적으로 균일하다. 구의 가장자리 근처에서는, 상기 장치들의 상세한 모델링이 계속 필요하도록 변형이 매우 불균일하다. 그러한 접근 방법의 장점은 계산에 드는 노력을 현저히 감소시킨다는 것이다. 상기 첫 번째 접근 방법에서의 전체-규모 유한 요소 해석은 이 단위-셀 모델을 확인하기 위하여 사용된다. 일단 확인되면, 상기 단위-셀 모델은 강력한 설계 툴을 제공하는데, 상이한 장치들, 상호 접속부들 및 그들의 간격들의 설계를 신속하게 조사하기에 적합하기 때문이다.

[0164]

도 38은 도 32에서 약술한 바와 같이, 반구면 스템프를 평면 기하 구조로(그리고 릴랙스되어 그의 반구형 모양으로 돌아오는 것) 신장시키는 것에 대한 예비적인 FEM 결과를 나타낸다. 상부 프레임은 도 32에 개념적으로 도시한 것과 같은 기하 구조를 갖는 반구형 스템프의 단면도를 나타낸다. 이 결과들은 그것의 불균일한 두께에 의하여 증거되는 바와 같이, 인장된 막의 변형에서 약간의 공간적인 불균일성을 보여준다. 상기 스템프들이 캐스팅되어 경화되는 구조물의 적절한 선택을 통해 상기 스템프들의 두께 프로파일들을 처리하는 것은 이러한 불균일성들을 제거할 수 있다. 그러나, (i) 팝-업 접속부들은 내재적으로 변형에 내성이 있고, (ii) 상기 칩렛들은 각 꾹센 위치에 완벽하게 중앙에 있을 필요가 없기 때문에 일부 불균일한 변형들은 수용할만하다: 더 큰 광감지기들은, 상기 꾹센 영역 내에서의 위치에 무관하게 상기 칩렛들과 전기적인 접촉을 형성할 수 있는 균일한 후방(back) 전극으로 꾹센 영역들을 채울 것이다.

[0165]

모델링은 상기 Si CMOS 칩렛들 내의 변형의 수준을 결정할 수도 있다. 상기 시스템들은 전기적 성질에 있어서의 변화와, 파괴 또는 박리에 따른 기계적 결함을 어떻게든 피하기 위하여 이들 칩렛의 변형이 ~0.1-0.2% 미만을 고수하도록 설계되어야 한다. 이러한 모델링은 스템프들 및 이 범위를 벗어나는 변형에 칩렛들이 노출되는 것을 피하기 위한 공정 조건들의 설계를 용이하게 한다.

[0166]

실시예 3: 이축 인장 가능한 "웨이브진" 실리콘 나노막들

[0167]

본 실시예는 이축(biaxially) 인장 가능한 형태의 단결정 실리콘을 소개한다. 상기 단결정 실리콘은 엘라스토머 지지체 위의 2차원적으로 베클링되거나 "웨이브진" 실리콘 나노막들로 구성된다. 이들 구조들에 대한 제조 방법들이 설명되고, 그들의 기하 구조와 다양한 방향들에 따른 단일축 및 이축변형들에 대한 반응들의 다양한 측면들이 제공된다. 이들 시스템들의 기계상의 해석적인 모델들은 그들의 거동을 정량적으로 이해하기 위한 프레임워크(framework)을 제공한다. 이들 부류의 물질들은 완전한, 2차원 인장 가능성을 갖는 고성능 전자장치로의 경로를 제공한다.

[0168]

기계적인 구부림성을 제공하는 전자장치들은 정보 디스플레이, X-선 이미징, 광전지(photovoltaic devices), 및 다른 시스템들에서의 응용에 있어서 흥미롭다. 가역적인 인장 가능성은 상이하면서도, 스마트 수술 장갑, 전자 눈 카메라, 및 개인 건강 모니터들과 같이 구부릴 수 있을 뿐인 전장 장치들에서는 실현될 수가 없는 장치 가능성을 가능하게 할 훨씬 더 기술적으로 도전적인 기계적 특성이다. 이러한 유형의 전자장치에 대한 하나의 접근 방법은 인장 가능하지 않은 장치 구성 부품들에 회로 수준의 인장 가능성을 제공하기 위하여 인장 가능한 와이어들이 경질의 장치 아일랜드들을 상호 연결한다. 대안적인 전략에서, 얇은 단결정 반도체 및 다른 전자 장치 물질들의 어떤 구조적인 형태들은 장치 그 자체 내의 인장 가능성을 가능하게 한다. 금속 산화물 반도체 전계 효과 트랜지스터(MOSFETs: metal oxide semiconductor field effect transistors), 금속 반도체 전계 효과 트랜지스터(MESFETs: metal semiconductor field effect transistors), pn 접합 다이오드, 및 쇼트키 다이오드들에서 단일축의(uniaxial) 인장 가능성을 달성하기 위하여 최근의 실증들은 실리콘과 갈륨 비소화물의 나노리본들 (수십 내지 수백 나노미터의 두께와 마이크로미터 범위의 폭) 내의 베클링된, 1차원적으로 "웨이브진" 기하구조들의 이용을 수반한다. 이 실시예는 유사한 물질의 나노막들이 완전한 2D 인장 가능성을 제공하기 위하여 2차원(2D)적으로 웨이브진 기하구조들로 형성될 수 있음을 보여준다. 그러한 시스템의 제조 방법들이 상세한 실험적 특성화 및 그들의 기계적인 응답의 해석적인 모델링과 함께 설명된다.

[0169]

도 39는 엘라스토머 지지체 위에 2차원적으로 인장 가능한 Si 나노막을 형성하기 위한 단계들을 개념적으로 도시한다. 본 실시예에 있어서, 이 막들은 SOI 웨이퍼들(Soitec, Inc., p-형)로부터 제조된다. 이 막들의 제조는 포토리소그래피에 의하여 포토레지스트의 적절한 패턴을 정의하고, 그런 후 노출된 실리콘을 반응성 이온 식

각(PlasmaTherm RIE, SF₆ 40 sccm, 50 mTorr, 100 W)으로 제거함에 의하여 상부 실리콘 내에 구멍들의 정사각형 어레이(~2.5 μm 지름, ~25 μm 끈적)를 형성하는 것으로 시작한다. 이 동일한 단계는 상기 막의 전체 측방향 치수를 정의하며, 여기에서 보고되는 샘플에 있어서는 3~5 mm 제곱의 범위에 있다. 두께는 55 내지 320 nm 사이이다. 식각된 샘플을 농축된 불산(HF 49%)에 침지시켜 매립 SiO₂ 층(145 ~ 1000 nm 두께)을 제거하고; 아세톤 내에서 세정하여 포토레지스트를 제거하였다. 연마된 실리콘 웨이퍼에 폴리(디메틸실록산)(PDMS)의 프리풀리머들을 캐스팅하고 경화시켜, 평탄한 엘라스토머성의 기판(~4mm 두께)을 생성하였다. 강렬한 자외선(240~260 nm)에 의하여 생성된 오존 환경에 5분 동안 노출시킴으로써 소수성 PDMS 표면(-CH₃ 및 -H 종결기들)을 친수성 상태(-OH 및 -O-Si-O 종결기들)로 전환하였다. 그와 같이 활성화된 PDMS 기판을 대류 오븐 내에서 70~180 °C에서 단순 가열하여 제어된 정도로 등방적으로 열팽창하도록 유도하였다. 이 요소를 처리된 SOI 웨이퍼에 접촉시킨 후 다시 그것을 벗겨 냄으로써 전체 나노막이 PDMS로 전사되었다. 대류 오븐 내에서 수 분 동안 계속 가열하여 상기 막과 상기 PDMS 사이에 강한 접착 결합들이 형성되는 것을 용이하게 하였다. 마지막 단계에서는, 상기 나노막/PDMS 구조물은 실온(ca. 25°C)까지 냉각되어 열적으로 유발된 사전 변형($\Delta L/L$)을 해제하였다. 이 공정은 Si 나노막과 PDMS의 표면 영역 근처에 2차원(2D) 웨이브진 양각 구조물들의 자발적인 형성으로 이어졌다. 이들 구조물들은 1-차원 주기 웨이브들이 우세한 가장자리 근처, 2-차원 헤링본(herringbone) 레이아웃이 통상적으로 관찰되는 안쪽 영역들, 그리고 무질서한 헤링본 구조들이 종종 발생하는 중앙 부근에서 상이한 거동들을 보인다. 상기 헤링본 영역은 우리가 단파장 λ 라고 부르는, 웨이브들 내에서 이웃하는 피크들 사이의 거리, 웨이브의 진폭 A_1 (도 1에는 미도시), 및 상기 헤링본 구조물 내에서 이웃하는 "조그(jog)"들 사이의 거리와 관련되고, 우리가 장파장이라고 부르는 (x_2 방향을 따르는) 더 긴 거리 $2\pi/k_2$ 에 의하여 특성화된다. 다른 특성화 길이는 (장파장 방향 x_2 방향에 수직인 x_1 방향을 따르는) '조그' 파장 $2\pi/k_1$, 상기 조그의 진폭 A_2 , 상기 조그의 각도 Θ 이다. 도 39의 하부 프레임들은 이를 특성들을 개념적으로 도시한다.

[0170]

도 40의 부분 a 내지 f는 (150 °C로의 가열에 의하여 정의되는) ~3.8%의 열적 사전 변형 및 (측방향 치수가 ca. $4 \times 4 \text{ mm}^2$) 100 nm 두께를 갖는 나노막의 경우에 대하여, 헤링본 웨이브들이 형성되는 동안 상이한 단계들에서 수집된 광학 현미경 사진들을 보인다. 이들 이미지들은 구조물이 두 단계로 형성되는 것을 나타내는데, 두 단계의 첫 번째는 넓은 면적에 걸쳐 현저하게 1차원적인 웨이브들을 수반하고, 이어서 이들 웨이브 구조물을 구부림으로써 궁극적으로 완전히 냉각되었을 때 컴팩트한 헤링본 레이아웃을 형성한다(도 40의 d 내지 f). 도 40의 h는 두 특성 파장들의 시간에 따른 전개를 보여준다. 상대적으로 더 큰 PDMS의 열수축으로 인하여, 냉각이 실리콘 위에 점진적으로 더 큰 압축적 변형으로 이어짐에 따라 상기 단파장은 감소하는 경향이 있다. 특히, 이 값은 초기 단계에서의 17~18 μm로부터 헤링본 구조가 두드러지게 될 때에는 ~14.7 μm로, 그리고 결국에는 완전히 냉각된 상태에서 ~12.7 μm로 감소한다. 이 파장은 대면적에 걸쳐서 균일하다(~5% 변동). 대조적으로, 상기 헤링본 레이아웃과 관련된 상기 장파장은 넓은 범위의 값들을 보여주며, 이는 도 40의 g에 나타낸 이미지로부터 명백하다. 이 샘플에 걸친 ~100 지점에서의 측정 결과가 도 40의 g에 히스토그램으로 요약된 분포의 값을 나타내었다. 상기 헤링본 구조는 $w = A_1 \cos[k_1 x_1 + k_1 A_2 \cos(k_2 x_2)]$ 의 면외변위(out-of-plane displacement)에 의하여 표시될 수 있다(도 49). 여기서, 계수들, 웨이브의 진폭 A_1 , 장파장 $2\pi/k_2$, 조그 파장 $2\pi/k_1$, 및 조그의 진폭 A_2 는 특정 막의 두께, 필름 및 기판의 기계적 성질을 분석함으로써 결정된다. 상기 단파장 λ 는 $(2\pi/k_1)\sin(\Theta/2)$ 이다. 모델링은 적용된 사전 변형으로서 열적 사전 변형 대신에 Si 변형을, 측정된 콘투어 길이들과 웨이브진 구조물들의 주기들로부터 결정되기 때문에, 이용한다(도 50). Si를 변형시키는 실제 변형은 추정된 열적 사전 변형보다 대개 약간 더 작다.

[0171]

이는 PDMS에 대한 Si의 로딩 효과/loading effect)에 기인하는 것일 수 있다. 상기 Si 변형은, 예를 들면, 3.8%의 열적 사전 변형에서 2.4%이다. 그러한 변위 w 에 대하여, Si 필름의 응력, 변형, 및 변위의 장들(fields)은 폰 카르만(Von Karman) 평판 이론으로부터 A_1 , k_1 , A_2 및 k_2 의 항들로 얻어질 수 있다. PDMS 기판에서의 상기 장들은 3D 탄성 이론으로부터 얻을 수 있다. Si 필름 내의 막 에너지와 구부림 에너지 및 PDMS 기판 내의 탄성 에너지로 구성되는 전체 에너지를 최소화하면 A_1 , k_1 , A_2 및 k_2 가 구해진다. Si와 PDMS의 영 모듈러스와 포아송 비율은 $E_{Si} = 130 \text{ GPa}$, $v_{Si} = 0.27$, $E_{PDMS} = 1.8 \text{ MPa}$, 및 $v_{PDMS} = 0.5$ 이다. 실험과 모델은 모두 조그 각도 Θ 가 약 90°로 얻어졌다. 상기 이론에 의하여 주어진 단파장은 2.4% 이축 사전 변형에서 12.4 μm인데, 이는 위의 실험 결과와 잘 일치한다. 장파장 $2\pi/k_2$ 의 큰 변동은 이론적 계산에 의하여서도 30 내지 60 μm로

예상되었다.

[0172] 도 41은 도 40의 완전히 냉각된 상태에서 도시된 것들에 유사한 구조물의 원자력 현미경(AFM: atomic force microscope) 및 주사 전자 현미경(SEM: scanning electron microscope)의 이미지들을 나타낸다. 이들 이미지들은 압축 변형이 완전히 등방적이더라도 헤링본 패턴들이 두 개의 특성 방향들을 정의하는 지그재그 구조물에 의하여 특성화됨을 명백히 보여준다. 헤링본 구조물들은 시스템 내의 전체 면내(in-plane) 응력을 감소시키고 두 방향 모두로 이축 압축을 경감시키는 최소 탄성 에너지 구성을 나타낸다. 따라서, 이 기하 구조는 1D 웨이브 레이아웃과 "체커보드(checkerboard)"에 비하여, 넓은 면적에 대하여 선호된다. 왜냐하면, 헤링본 모드는 이들 세 모드들 중에서, 현저한 인장 에너지를 초래함이 없이도 모든 방향으로 면내 응력을 완화할 수 있는 유일한 모드이기 때문이다. 현저한 인장은 조그들의 인접한 근방에서만 유발된다. 상기 1D 모드는 한 방향에서만 사전응력(prestress)을 낮춘다. 상기 체커보드 모드는 모든 방향으로의 응력을 낮추지만 구부림에 수반되는 상당한 인장 에너지를 생성한다.

[0173] 비록 근사적으로만 사인파이지만, AFM 이미지들로부터 추출된 두 개의 라인컷(linecut)들은 조그 방향을 따르고 (프로파일 (i)) 웨이브에 수직인(프로파일 (ii)) 주기적인 양각 프로파일들을 나타낸다. 상기 웨이브들의 λ 와 A_1 은 프로파일 (ii)로부터 결정될 수 있으며, 각각 12.8 및 0.66 μm 이다. 이론적인 해석에 의하여 주어진 λ 는 12.4 μm 이고 실험 데이터와 유사하다; 그러나, 이론적 해석으로 얻은 A_1 은 0.90 μm 로서 그의 실험 결과보다 약간 높은 값이다. 상기 SEM 이미지들은, 상기 웨이브들의 상승된 영역과 리세스된 부분 모두에 있어서 실리콘 내의 작은 구멍 부근의 샘플의 거동에 의하여 증명되는 바와 같이, 막과 PDMS 사이의 밀접한 결합을 명확하게 보여준다. 구멍의 크기인 2.5 μm 는 본 실험의 변형 모드의 특성 과장보다 훨씬 작기 때문에, 이들 이미지들은 상기 웨이브 구조물들이 이를 구멍의 위치와 완전히 무관함을 나타낸다. 상기 웨이브진 구조물들의 기하구조의 실리콘 두께에 대한 의존성에 관한 연구들은 물리적 현상에 대한 추가적인 통찰을 제공할 수 있으며, 역학적 모델을 추가로 검증할 수 있다. 도 42는 광학 현미경 사진들과 유사한 열적 변형에 대하여 상이한 두께로 막에 형성된 웨이브 구조물들의 과장과 진폭들을 포함하여 일부 결과들을 보여준다. 100 nm 두께에 대하여, 웨이브의 λ 와 A_1 은 각각 12.6 (± 0.37) 및 0.64 (± 0.07) μm 이고, 320 nm 두께에 대하여 이들은 각각 45.1 (± 1.06) 및 1.95 (± 0.18) μm 이다. 이 값들은 100 nm 경우에 대하여 λ 와 A_1 은 12.4 및 0.90 μm 이고, 320 nm 경우에 대하여 λ 와 A_1 은 45.1 및 3.29 μm 가 얻어지는 이론적인 계산들과 상당히 잘 일치한다.

[0174] 앞서 설명된 기하 구조에 의하여 제공된 1차원 인장 가능성과 대조적으로 이들 웨이브진 막들은 다양한 면내 방향들에서의 변형에 대하여 진정한 인장 가능성을 제공한다. 이러한 측면을 조사하기 위하여 눈금을 정한 기계적 스테이지와 3.8%의 열적으로 유도된 사전 변형을 갖고 제조된 2D 인장 가능한 막을 이용하여 상이한 방향들을 따라 단축 인장 시험을 수행하였다. 도 43은 일부 이미지들을 제공한다. 케이스 (i)에서, 긴 웨이브들의 방향을 따라 적용된 인장 변형 (ε_{st})은 "접히지 않은(unfold)" (ε_{st} 1.8%) 헤링본 구조를 초래하고, 서서히 완전히 인장된 상태의 (ε_{st} 3.8%) 1D 웨이브진 기하구조로 이어졌다. 이러한 인장은 포아송 효과에 의하여, 상기 인장 변형의 반과 대략 동일한 진폭을 갖는 압축 변형을 수직 방향으로 초래한다. 이 압축 변형은 이 방향으로의 웨이브진 구조물들의 압축에 의하여 수용될 수 있다. 적용된 인장 변형의 해제와 함께, 최초의 헤링본 웨이브는 회복되어 원래와 거의 유사한 구조를 보여주었다. (도 51은 5회, 10회 및 15회의 인장 사이클 이후에 수집된 광학 현미경 사진들을 보여준다).

[0175] 완전 인장(full stretching)에서, 1D 웨이브 구조들이, 초기 기하구조(geometry) 보다는, 인가된 변형에 의해 정해지는 방향을 따라 정렬되었을지라도, 대각선 방향으로 인가된 인장 변형들은(tensile strains)(케이스 ii) 유사한 구조적 변화들을 나타내었다. 수직 케이스 iii의 경우, 작은 변형 (ε_{st} 1.8%)에서, 샘플의 일정 비율은 인장 방향을 따라 새로운 1D 웨이브들을 생성하기 위해 헤링본 배열(herringbone layout)을 완전히 잃는다. 인장을 증가시키면, 전체 영역(area)이 이렇게 배향된 1D 웨이브들로 구성될 때까지, 더 많은 부위(region)들은 이렇게 변형된다. 이렇게 새롭게 형성된 1D 웨이브들은 초기 웨이브들의 방향(orientation)에 수직하다; 해제(release)되면, 이들은 간단하기 구부러져 무질서한 헤링본-형 기하구조를 생성한다. 도 43B에 도시된 모든 케이스들에 대해, 설령 압축 응력들이 포아송 효과(Poisson effect)에 의해 직교 방향으로 유도된다고 할지라도, 과장은 인장 변형과 함께 커지며 해제(release) 시 이의 초기값으로 회복한다. 이러한 거동(behavior)은, 포아송 효과에 의해 야기되는 이러한 과장의 감소보다 큰, 헤링본 웨이브들의 펼침(unfolding)에 의해 유도되는 λ 의 증가에 기인한다. (도 52) 케이스 i의 경우, 포아송 효과에 의해, 인가된 인장 변형, ε_{st} 하에서, 예컨대 $k_1' > k_1$ 인 경우, 조그스 과장, $2\pi/k_1$ (도 52A)은 $2\pi/k_1'$ (도 52B)로 감소한다. 그러나 대응하는 조그 각도

(Θ')는 헤링본 구조의 평침에 의해 각도(Θ)보다 크다. 단파장 $\lambda = (2\pi/k_1)\sin(\Theta/2)$ 은 $\lambda' = (2\pi/k_1')\sin(\Theta'/2)$ 이 되며, λ' 는 각도 변화의 효과가 포아송 효과를 압도하는 경우 λ 보다 클 수 있다. 우리의 이론적인 모델은 $\varepsilon_{st} = 0, 1.8$, 및 3.8%에 대해 $\lambda = 12.4, 14.6$, 및 17.2 μm 이며, 실험에서 관찰되다시피, 이것은 짧은 파장이 인장과 함께 증가함을 확인한다. 케이스 iii의 경우, λ 와 $2\pi/k_1$ 모두 인가된 스트레칭(stretching) 인장과 함께 증가하였는데, 그 이유는 웨이브들이 스트레칭 인장의 방향을 따라 허리스되었고 조그스 각도(Θ)가 포아송 효과에 의해 현저하게 변하지 않았기 때문이다. 베클링된 막(membranes)들의 이축성(biaxial) 인장가능성도 열적으로 유도된 인장 변형들에 의해 조사되었다(도 53). 열 인장에 의해 생성된 헤링본 웨이브들은 샘플이 가열됨에 따라 천천히 사라졌다; 이들은 냉각 시 완벽하게 회복되었다.

[0176] 막들의 중앙 부위만을 이와 같이 관찰하였다. 도 39의 아래 프레임에 지시된 바와 같이, 막들의 에지들은 에지들을 따라 배향된 웨이브백터들을 갖는 1D 웨이브 구조들을 나타낸다. 이를 사이의 에지 부위, 중앙 부위, 및 전이 영역(transition area)의 AFM 이미지를 및 라인컷(linecut) 프로파일들이 도 44에 도시된다. Si의 에지 근처(상부 프레임)에서 시작한 1D 웨이브들은 점점 구부러지다가(중간 프레임), 중앙 영역들에서 헤링본 기하구조들로 변형된다(하부 프레임). 이러한 영역들의 λ 값들은, (상부 프레임에서부터) 각각, 0.52, 0.55, 및 0.67 μm 의 A_1 과 함께, 16.6, 13.7, 및 12.7 μm 이다. 에지들에서의 1D 웨이브들과 비교할 때, Si의 내부 영역이 에지들보다 압축 인장에 의해 더 많이 영향 받는다고 가정하면, 2D 헤링본 웨이브들은 더 작은 λ 와 A_1 을 갖는다. 에지 근처의 응력 상태는 막의 트랙션 없는 에지(traction-free edge)로 인하여 소정의 거리 범위 내에서 대략 단일축 압축(uniaxial compression)이다. 이러한 단일축 압축은 이러한 자유 에지(free edge)와 평행하며, 그에 따라 1D 웨이브들이 에지를 따르도록 한다. 그러나 응력 상태는 헤링본 구조들이 생기는 중앙 부위에 동등-이축 압축(equi-biaxial compressive)이 된다. 1D 웨이브진 에지와 헤링본 웨이브들 사이의 과도 영역의 경우, 불안정한 이축 압축(biaxial compression)은 큰 조그 각도를 갖는 “세미”-헤링본 웨이브를 야기한다. 우리의 모델에서, 각각 1D 웨이브들에서 λ 와 A_1 은 각각 16.9와 0.83 μm 이고, 헤링본 구조에서 λ 와 A_1 은 각각 12.4와 0.90 μm 이다. 이러한 결과는 실험적으로 관찰한 값들과 상당히 잘 맞는다.

[0177] 이러한 에지 효과들을 추가로 조사하기 위해서, 우리는 동일한 PDMS 기판 상에 100, 200, 500, 및 1000 μm 의 폭과 1000 μm 의 길이를 갖는 직사각형 막을 제조하였다. 도 45는 2가지 다른 레벨의 열적 사전 변형(thermal prestrain)에 대해 이러한 구조들의 광학 현미경 사진(optical micrographs)들을 도시한다. 낮은 열적 사전 변형(케이스 2.3%, 도 45A)에서, 100 및 200 μm 의 폭을 갖는 막들은, 단부들에서 평평하고 변형되지 않은 부위들을 갖는, 한쪽에서 다른 쪽까지 완벽한 1D 웨이브들을 나타낸다. 500 μm 의 폭을 갖는 막은 유사한 1D 웨이브들 및 평평한 부위들을 나타내지만, 웨이브들은 구조들의 중앙에서 약간 구부러진 기하구조를 가지며, 방향의 균일성 및 전체적인 배열이 100 및 200 μm 의 케이스들보다 실질적으로 낮다. 1000 μm 의 정사각형 막의 경우, 1D 웨이브들은 에지(edge)들의 중앙 부위들에 나타나며, 평평한 영역들은 코너들에 나타난다. 막의 중앙부는 완전히 성장된 헤링본 기하구조들을 나타낸다. 코너의 평평한 부위는 2개의 자유 에지들로 인해 대략 응력-없는 상태이다. 이러한 코너들 근처에는 웨이브들이 형성되지 않는다. 사전 변형을 증가시키면(4.8%, 도 45B), 모든 케이스에서 평평한 부위들의 크기는 감소한다. 1D 웨이브진 성질은 100 및 200 μm 리본들에서 존속하지만, 두드러진 헤링본 형태(morphologies)들은 500 μm 케이스의 중앙 부위에 나타난다. 더 높은 사전 변형에서, 동등-이축 압축 인장들은 500 μm 의 폭을 갖는 막의 중앙 부위에서 나타난다. 1000 μm 의 정사각형 막의 경우, 헤링본 성질은 에지들에 가까운 부위들까지 연장한다. 평평한 부위들의 공간적인 범위를 정하는 특성 길이 스케일(scale)들은 에지 효과 길이(L_{edge})로 언급되며, 막 크기와 사전 변형의 함수로서 구할 수 있다. 도 45C는, 여기서 조사된 케이스들에 대하여, 막의 크기에 독립적인 방식으로, 사전 변형에 대한 이러한 길이의 선형 스케일링을 나타낸 결과를 도시한다. 사전 변형이 커질수록, 단축 인장 부위의 길이는 작아진다. 따라서 더 짧은 범위의 1D 웨이브들이 형성되고 유사한 성질은 2개의 자유 에지들 근처의 응력-없는 부위들에서 관찰될 수 있다.

[0178] 도 46은 원형, 타원형, 육각형 및 삼각형을 포함한 다른 막 기하구조들로 형성한 웨이브진 구조들의 광학 현미경 사진들을 도시한다. 결과들은 도 45의 리본들 및 정사각형에서의 관찰들과 질적으로 일치한다. 특히, 에지 부위들은 에지들과 평행하게 배향된 1D 웨이브들을 나타낸다. 직교 방향을 갖는 웨이브들은 에지에서 L_{edge} 보다 큰 거리에서만 나타난다. 원형의 경우, 1D 웨이브들은 에지들 근처에서 나타나며, 막의 형태에 기인하여 전체적으로 방향을 갖는다. 헤링본 웨이브들은 중앙에서 나타난다. 타원형은 유사한 성질을 나타내지만, 장축의 에지들의 평행한 부위들을 갖는데 이는 이러한 부위의 작은 곡률 반지름 때문이다. 육각형 및 삼각형의

경우, 각진 코너들(각각 120° 와 60° 의 각도)은 평평한 부위들을 초래한다. 헤링본 기하 구조들은 육각형의 중앙에서 나타난다. 삼각형의 중앙은 본원에 제시된 사전 변형의 레벨에서 1D 웨이브들의 합류(merging)를 나타낸다. 분명한 코너들을 갖는 모형들(예컨대 육각형, 삼각형 및 타원형의 끝)의 경우, 코너 근처에 웨이브들이 없으며, 2개의 교차하는 자유 에지들(반드시 수직은 아님)은 응력-없는 상태를 부여하기 때문이다. 삼각형의 경우, 심지어 중앙 부위조차도, 헤링본 구조를 발생시킬 공간이 충분하지 않다.

[0179] 막들은 그 자체로 이축으로 인장가능한 전자 장치들에 경로를 제공한다. 상술된 에지 효과들은 이러한 장치들의 특정 종류에 유용할 수 있는 특별한 성과를 달성하기 위해 활용될 수 있다. 특히, 영상 시스템에서, 이러한 장치들이 웨이브진 형태를 가질 때 발생하는 비이상적 성질을 피하기 위해 광검출기들의 위치에서 평평하고 변형되지 않는 부위들을 유지하는데 가치 있을 수 있다. 도 47은 이러한 성과를 달성하는 인장가능한 막들의 일부의 대표적인 예시들을 나타낸다. 이러한 구조는 수직 및 수평 방향으로(도 47A, C) 및 수직, 수평 및 대각선 방향으로(도 47E, G) $30 \mu\text{m} \times 150 \mu\text{m}$ 의 리본들(직교 리본들의 경우, $30 \mu\text{m} \times 210 \mu\text{m}$)에 의해 연결되는 $100 \times 100 \mu\text{m}$ 의 정사각형 아일랜드(islands)들로 구성된다. 리본들의 웨이브들의 진폭과 파장의 변화는, 정사각형 아일랜드 부위들에서의 변형을 상당히 회피하는 방식으로, 인가된 인장들을 수용하기 위한 수단을 제공한다. 우리는 몇 가지 다르게 인가된 인장들에서 이러한 구조들의 성질을 조사하였다. 도 47의 a와 e는 오븐(oven)에서 샘플들을 가열함으로써 인가되는, 낮은 인장(케이스 2.3%) 형(regime)에서의 대표적인 케이스들을 도시한다. 도 47의 c와 g는 기계 스테이지(stage)를 사용하여 인가되는, 상대적으로 높은 이축 인장들(케이스 15%)에서의 동일한 구조들을 도시한다. 명백히, 낮은-인장 형에서, 아일랜드들은 평평하게 잔존한다; 충분히 높은 인장들에서, 웨이브 구조들은 이러한 부위들에서 형성하기 시작한다. PDMS와 SI 사이의 좋은 접착력은, 경사진 SEM 이미지들(도 47B, D, F, H)에서 알 수 있다시피, 모든 인장에서 유지되었다. 도 47의 b와 d에 삽입된 고화대 SEM 이미지도 SI와 PDMS의 강한 결합을 확인한다.

[0180] 요약하면, 실리콘의 나노막들은 일정범위의 기하 구조를 갖는 2D “웨이브진” 구조들을 생성하기 위해 사전 변형된 엘라스토머성 기판들에 접적될 수 있다. 이러한 시스템들의 기계적인 성질들의 많은 측면들은 이론적으로 예측된 성질들과 잘 일치한다. 이러한 결과는 사용 또는 설치 시 완전한 인장가능성이 요구되는 시스템의 전자 기기들에 적용하는데 유용하다.

[0181] 참고문헌들

- [0182] 1. Duan, X. & Lieber, C. M. General synthesis of compound semiconductor nanowires. *Adv.Mater.* 12, 298-302 (2000).
- [0183] 2. Xiang, J., Lu, W., Hu, Y., Wu, Y., Yan, H. & Lieber, C. M. Ge/Si nanowire heterostructures as high-performance field-effect transistors. *Nature* 441, 489-493 (2006).
- [0184] 3. Wu, Y., Yan, H., Huang, M., Messer, B., Song, J. H. & Yang, P. Inorganic semiconductor nanowires: rational growth, assembly, and novel properties. *Chem. Eur. J.* 8, 1261 -1268 (2002).
- [0185] 4. Pan, Z. W., Dai, Z. R. & Wang, Z. L. Nanobelts of semiconducting oxides. *Science* 291, 1947-1949 (2001).
- [0186] 5. Peng, X., Manna, L., Yang, W., Wickham, J., Scher, E., Kadavanich, A. & Alivisatos, A. P. Shape control of CdSe nanocrystals. *Nature* 404, 59-61 (2000).
- [0187] 6. Wang, D., Chang, Y.-L., Lu, Z. & Dai, H. Oxidation resistant germanium nanowires: bulk synthesis, long chain alkanethiol functionalization, and Langmuir-Blodgett assembly. *J. Am. Chem. Soc.* 127, 11871-11875 (2005).
- [0188] 7. Huang, M. H., Wu, Y., Feick, H., Tran, N., Weber, E. & Yang, P. Catalytic growth of zinc oxide nanowires by vapor transport. *Adv. Mater.* 13, 113-116 (2001).
- [0189] 8. Gudiksen, M. S., Wang, J. & Lieber, C. M. Synthetic control of the diameter and length of single crystal semiconductor nanowires. *J. Phys. Chem. B* 105, 4062-4064 (2001).
- [0190] 9. Yu, H., Li, J., Loomis, R. A., Wang, L.-W. & Buhro, W. E. Two- versus three-dimensional quantum confinement in indium phosphide wires and dots. *Nat. Mater.* 2, 517-520 (2003).
- [0191] 10. Sun, Y. & Rogers, J. A. Fabricating semiconductor nano/microwires and transfer printing ordered

arrays of them onto plastic substrates. *Nano Lett.* 4, 1953–1959 (2004).

[0192] 11. Yin, Y., Gates, B. & Xia, Y. A soft lithography approach to the fabrication of nanostructures of single crystalline silicon with well-defined dimensions and shapes. *12*, 1426–1430 (2000).

[0193] 12. Kodambaka, S., Hannon, J. B., Tromp, R. M. & Ross, F. M. Control of Si nanowire growth by oxygen. *Nano Lett.* 6, 1292–1296 (2006).

[0194] 13. Shan, Y., Kalkan, A. K., Peng, C-Y. & Fonash, S. J. From Si source gas directly to positioned, electrically contacted Si nanowires: the self-assembling "grow-in-place" approach. *Nano Lett.* 4, 2085–2089 (2004).

[0195] 14. He, R., Cao, D., Fan, R., Hochbaum, A. I., Carraro, C., Maboudian, R. & Yang, P. Si nanowire bridges in microtrenches: integration of growth into device fabrication. *Adv. Mater.* 17, 2098–2102 (2005).

[0196] 15. Lee, K. J., Motala, M. J., Meitl, M. A., Childs, W. R., Menard, E., Shim, A. K., Rogers, J. A. & Nuzzo, R. G. Large-area, selective transfer of microstructured silicon: a printing-based approach to high-performance thin-film transistors supported on flexible substrates. *Adv. Mater.* 17, 2332–2336 (2005).

[0197] 16. Gao, P. X., Ding, Y., Mai, W., Hughes, W. L., Lao, C. & Wang, Z. L. Conversion of zinc oxide nanobelts into superlattice-structured nanohelices. *Science* 309, 1700–1704 (2005).

[0198] 17. Kong, X. Y., Ding, Y., Yang, R. & Wang, Z. L. Single-crystal nanorings formed by epitaxial self-coiling of polar nanobelts. *Science* 303, 1348–1351 (2004).

[0199] 18. Chen, P., Chua, S. J., Wang, Y. D., Sander, M. D. & Fonstad, C. G. InGaN nanorings and nanodots by selective area epitaxy. *Appl. Phys. Lett.* 87, 143111 (2005).

[0200] 19. Manna, L., Milliron, D. J., Meisel, A., Scher, E. C. & Alivisatos, A. P. Controlled growth of tetrapod-branched inorganic nanocrystals. *Nat. Mater.* 2, 382–385 (2003).

[0201] 20. Dick, K. A., Deppert, K., Larsson, M. W., Martensson, T., Seifert, W., Wallenberg, L. R. & Samuelson, L. Synthesis of branched 'nanotrees' by controlled seeding of multiple branching events. *Nat. Mater.* 3, 380–384 (2004).

[0202] 21. Khang, D. -Y., Jiang, H., Huang, Y. & Rogers, J. A. A stretchable form of single-crystal silicon for high-performance electronics on rubber substrates. *Science* 311 , 208– 212 (2006).

[0203] 22. Schmidt, O. G. & Eberl, K. Thin solid films roll up into nanotubes. *Nature* 410, 168– 168 (2001).

[0204] 23. Zhang, L., Ruh, E., Gr[upsilon]tzmacher, D., Dong, L., Bell, D. J., Nelson, B. J. & Sch[omicron]nenberger, C. Anomalous coiling of SiGe/Si and SiGe/Si/Cr helical nanobelts. *Nano Lett.* 6, 1311 –1317 (2006).

[0205] 24. Jin, H.-C Abelson, J. R., Erhardt, M. K. & Nuzzo, R. G. Soft lithographic fabrication of an image sensor array on a curved substrate. *J. Vac. Sci. Technol. B* 22, 2548–2551 (2004).

[0206] 25. Someya, T., Sekitani, T., Iba, S., Kato, Y., Kawaguchi, H. & Sakurai, T. A large-area, flexible pressure sensor matrix with organic field-effect transistors for artificial skin applications. *Proc. Natl. Acad. Sic. U.S.A.* 101 , 9966–9970 (2004).

[0207] 26. Nathan, A., Park, B., Sazonov, A., Tao, S., Chan, I., Servati, P., Karim, K., Charania, T., Striakhilev, D., Ma, Q. & Murthy, R. V. R. Amorphous silicon detector and thin film transistor technology for large-area imaging of X-rays. *Microelectronics J.* 31 , 883–891 (2000).

[0208] 27. Lacour, S. P., Jones, J., Wagner, S., Li, T. & Suo, Z. Stretchable interconnects for elastic electronic surfaces. *Proc. IEEE* 93, 1459–1467 (2005).

[0209] 28. Childs, W. R., Motala, M. J., Lee, K. J. & Nuzzo, R. G. Masterless soft lithography: patterning

UV/Ozone-induced adhesion on poly(dimethylsiloxane) surfaces. *Langmuir* 21 , 10096-10105 (2005).

[0210] 29. Sun, Y., Kumar, V., Adesida, I. & Rogers, J. A. Buckled and wavy ribbons of GaAs for high-performance electronics on elastomeric substrates. *Adv. Mater.*, in press.

[0211] 30. Sun, Y., Khang, D.-Y., Hua, F., Hurley, K. Nuzzo, R. G. & Rogers, J. A. Photolithographic route to the fabrication of micro/nanowires of III-V semiconductors. *Adv. Funct. Mater.* 15, 30-40 (2005).

[0212] 32. Loo, Y.-L.; Someya, T., Baldwin, K. W., Bao, Z., Ho, P., Dodabalapur, A., Katz, H. E. & Rogers, J. A. Soft, conformable electrical contacts for organic semiconductors: high-resolution plastic circuits by lamination. *Proc. Natl. Acad. Sci. U.S.A.* 99, 10252-10256 (2002).

[0213] 33. Suo, Z., Ma, E. Y., Gleskova, H., Wagner, S. Mechanics of reliable and foldable film-on-foil electronics. *Appl. Phys. Lett.* 74, 1177-1179 (1999).

[0214] P. Mandlik, S. P. Lacour, J. W. Li, S. Y. Chou, and S. Wagner, *IEEE Electron Device Letters* 27, 650-652 (2006).

[0215] D. S. Gray, J. Tien, and C. S. Chen, *Advanced Materials* 16, 393-+ (2004).

[0216] S. P. Lacour, S. Wagner, Z. Y. Huang, and Z. Suo, *Applied Physics Letters* 82, 2404- 2406 (2003).

[0217] S. P. Lacour, J. Jones, S. Wagner, T. Li, and Z. G. Suo, *Proceedings of the IEEE* 93, 1459-1467 (2005).

[0218] J. Jones, S. P. Lacour, S. Wagner, and Z. G. Suo, *Journal of Vacuum Science & Technology A* 22, 1723-1725 (2004).

[0219] S. P. Lacour, J. Jones, Z. Suo, and S. Wagner, *IEEE Electron Device Letters* 25, 179- 181 (2004).

[0220] W. T. S. Huck, N. Bowden, P. Onck, T. Pardoen, J. W. Hutchinson, and G. M. Whitesides, *Langmuir* 16, 3497-3501 (2000).

[0221] N. Bowden, S. Brittain, A. G. Evans, J. W. Hutchinson, and G. M. Whitesides, *Nature* 393, 146-149 (1998).

[0222] S. Wagner, S. P. Lacour, J. Jones, P. H. I. Hsu, J. C. Sturm, T. Li, and Z. G. Suo, *Physica E-Low-Dimensional Systems & Nanostructures* 25, 326-334 (2004).

[0223] H. Kudo, T. Sawada, E. Kazawa, H. Yoshida, Y. Iwasaki, and K. Mitsubayashi, *Biosensors & Bioelectronics* 22, 558-562 (2006).

[0224] T. Li, Z. G. Suo, S. P. Lacour, and S. Wagner, *Journal of Materials Research* 20, 3274- 3277 (2005).

[0225] S. P. Lacour, D. Chan, S. Wagner, T. Li, and Z. G. Suo, *Applied Physics Letters* 88 (2006).

[0226] S. P. Lacour, C. Tsay, and S. Wagner, *IEEE Electron Device Letters* 25, 792-794 (2004).

[0227] S. P. Lacour, S. Wagner, R. J. Narayan, T. Li, and Z. G. Suo, *Journal of Applied Physics* 100 (2006).

[0228] Reuss, R. H et al. Proc. IEEE 2005, 93, 1239.

[0229] Jain, K. et al.. Proc. IEEE 2005, 93, 1500.

[0230] Nathan, A. et al. *Microelectron. Reliab.* 2002, 42, 735.

[0231] Someya, T et al.T. Proc. Natl. Acad. Sci. U.S.A. 2004, 101 , 9966.

[0232] Hsu, P. H. I. et al. *IEEE Trans. Electron. DeV.* 2004, 51 , 371.

[0233] Jin, H. C. et al. *Vac. Sci. Technol., B: Microelectron. Nanometer Struct. -Process., Meas., Phenom.* 2004, 22, 2548.

[0234] Nathan, A.; et al. *Microelectron. J.* 2000, 31 , 883.

[0235] Someya, T. et al. Proc. Natl. Acad. Sci. U.S.A. 2005, 103, 12321.

- [0236] Lacour, S. P. et al. Proc. IEEE 2005, 93, 1459. (c)
- [0237] Lacour, S. P. et al. Appl. Phys. Lett. 2003, 82, 2404.
- [0238] Khang, D.-Y. et al. Science 2006, 311, 208.
- [0239] Sun, Y. et al. Adv. Mater. 2006, 18, 2857.
- [0240] Sun, Y. et al. Nat. Nanotechnol. 2007, 1, 201.
- [0241] Ouyang, M. et al. Chem. Mater. 2000, 12, 1591.
- [0242] Childs, W. R.; Nuzzo, R. G. J. Am. Chem. Soc. 2002, 124, 13583.
- [0243] Efimenko, K. et al. J. Colloid Interface Sci. 2002, 254, 306.
- [0244] Hillborg, H. et al. Langmuir 2004, 20, 785.
- [0245] Buma, T. et al. Appl. Phys. Lett. 2001, 79, 548.
- [0246] Properties of Silicon; INSPEC: New York, 1998. The coefficients of thermal expansion are α_{PDMS} $3.1 \times 10^{-4} \text{ K}^{-1}$ and α_{Si} $2.6 \times 10^{-6} \text{ K}^{-1}$ for PDMS substrate and Si nanomembrane, respectively. The thermal prestrain for the samples prepared at 150°C was calculated by $\Delta \alpha \Delta T = (3.1 \times 10^{-4} - 2.6 \times 10^{-6})(150 - 25) = 3.8\%$.
- [0247] Timoshenko, S. Theory of Plates and Shells; McGraw-Hill: New York, 1940.
- [0248] Timoshenko, S.; Goodier, J. N. Theory of Elasticity, 3rd ed.; McGraw-Hill: New York, 1969.
- [0249] Chen, X.; Hutchinson, J. W. J. Appl. Mech. Trans. ASME 2004, 71, 597.
- [0250] Chen, X.; Hutchinson, J. W. Scr. Mater. 2004, 50, 797.
- [0251] Huang, Z. Y. et al. J. Mech. Phys. Solids 2005, 53, 2101.
- [0252] Bietsch, A.; Michel, B. J. Appl. Phys. 2000, 88, 4310.
- [0253] Ohzono, T.; Shimomura, M. Phys. Rev. B 2004, 69, 132202.
- [0254] Ohzono, T.; Shimomura, M. Langmuir 2005, 21, 7230.
- [0255] 실시예 4: 프린트된 반도체 나노물질의 사용에 의한 이종 접적된 3차원적 전자기기
- [0256] 우리는 2차원 또는 3차원(3D) 레이아웃을 갖는 이종 접적(HGI: heterogeneously integrated) 전자 시스템 안으로 넓은 분류의 비유사한 물질들을 결합하는 간단한 접근을 개발하였다. 공정은 분리된 기판 위에 다른 반도체 나노물질들을 (예를 들면, 단일벽의 탄소 나노튜브 및 갈륨 질화물, 실리콘 및 갈륨 비소의 단일 결정 나노와이어/리본) 합성하는 것으로 시작한다. 소프트 스템프(soft stamp) 및 도너로서 이들 기판들을 사용하는 부가적인, 전달 프린팅 공정(transfer printing process)의 반복적인 적용과 뒤따르는 소자 및 배선 형성을 단단한 또는 유연한 소자 기판 위의 이들 (또는 다른) 반도체 나노물질들의 임의의 결합을 포함하는 고성능의 3D-HGI 전자기기를 생산한다. 이 다재다능한 방법론은 다른 기술들을 사용하여 얻기 어렵거나 불가능한 넓은 범위의 비통상적인 전자기기 시스템을 생산할 수 있다.
- [0257] 많은 현존하고 새롭게 출현하는 전자 소자들은 2차원 또는 3차원 레이아웃에서 비유사한 분류의 반도체들을 단일의 시스템 안으로 모노리식, 이종 접합(HGI)하는 것으로부터 이익을 얻는다. 실시예들은 다기능 라디오 주파수 통신 장치, 적외선(IR) 영상 카메라, 어드레스할 수 있는 센서 어레이 및 혼성 CMOS/나노와이어/나노소자 회로(3-7)를 포함한다. 일부의 대표적인 시스템들에서, 종종 적층된 3D 형태를 포함하는 회로들에서 화합물 반도체 또는 다른 물질들은 고속 동작, 효율적인 광검출(photodetection) 또는 감지(sensing) 능력을 제공하는 반면, 실리콘 CMOS는 디지털 판독(readout) 및 신호 처리(signal processing)를 제공한다. 웨이퍼 본딩(8) 및 에피택셜 성장(9, 10)은 이러한 유형의 3D-HGI 시스템들을 얻기 위하여 가장 널리 사용되는 두 가지 방법을 나타낸다. 전자의 공정은 접착체 또는 열적으로 개시되는 화학 작용의 사용에 의하여 다른 반도체 웨이퍼 위에 분리되어 형성된 접적 회로들, 광다이오드들 또는 센서들의 물리적인 결합을 포함한다. 이 접근 방법은 많은 경우에 잘 작동하지만 다음의 사항을 포함하는 중요한 결점을 갖는다. (i) 큰 영역으로 또는 3차원의 (즉, 적층의)

몇가지 층들 이상으로 확장하는 능력의 제한, (ii) 비통상적인 (예를 들면, 나노구조의 물질들) 또는 저온의 물질들 및 기판들과의 양립불가능성, (iii) 관통-웨이퍼 전기적 배선을 위한 도전적인 제조 및 정렬, (iv) 편평하고, 평면적인 결합 표면에 대하여 요구하는 필요사항 그리고 (v) 이종의 물질들의 다른 열 팽창/수축에 의하여 생성되는 기계적인 긴장으로부터 발생할 수 있는 휨(bowing)이나 금감(cracking). 에피택셜 성장은, 분자빔 에피택시 또는 다른 수단에 의하여, 다른 물질의 웨이퍼의 표면 위에 얇은 층의 반도체 물질을 직접 형성하는 것을 포함하는 다른 접근 방법을 제공한다. 비록 이 방법이 몇가지 앞에서 언급한 문제들을 회피하지만, 에피택시를 위한 요구사항들은 베퍼층들 및 다른 진보된 기술들이 사용되더라도 성장될 수 있는 물질들의 품질이나 유형에 심한 제한을 가한다. 반면에, 무기 물질의 나노스케일 와이어, 리본, 막, 입자 또는 단일벽 탄소 나노튜브(SWNT) 또는 그라핀 시트(graphene sheet)와 같은 탄소계 시스템과 같이 새로 생겨나는 분류의 반도체 나노물질들은 (11-14) 에피택셜 성장 또는 웨이퍼 결합을 위한 필요를 우회하는 방법으로 성장되고 그 후 용매에 분산되거나 기판 위에 전달될 수 있다. 최근의 작업은 예를 들면, 2D 레이아웃에서, 용액 캐스팅(solution casting)에 의하여 형성된 교차된 나노와이어 다이오드의 접적을 보여준다(15). 여기에 제시한 결과들은 2D 또는 3D 레이아웃에서 복잡한 HGI 전자기기 시스템들을 생성하기 위하여, 스케일 가능하고 결정적인 프린팅 방법을 사용하여 어떻게 비유사한 단일 결정의 무기 반도체들이 (예를 들면, GaN, Si 및 GaAs의 나노와이어들/리본들) 서로 그리도 또한 다른 분류의 나노물질들과 (예를 들면 SWNT) 결합될 수 있는지를 보여준다. 특히, 단단한 무기물질 및 유연한(flexible) 플라스틱 기판들 위로, 소자 어레이, 논리 게이트 및 능동적으로 어드레스 가능한 광검출기로 접적된 초박막의 다층 스택의 고성능 금속-산화물-반도체 전계-효과 트랜지스터(MOSFET), 금속-반도체 전계-효과 트랜지스터(MESFET), 박막 트랜지스터(TFT), 광다이오드 및 다른 요소들은 능력의 일부를 증명한다.

[0258]

도 57은 이러한 3D-HGI 시스템들을 생성하기 위한 대표적인 단계들을 도시한다. 공정은 반도체 나노물질들을 각각 그들 자신의 소스 기판 위에서 합성하는 것으로 시작한다. 여기에 제시된 소자들은 웨이퍼 기판의 소스 물질들 및 사진 식각 공정을 사용하여 형성된 단결정의 Si, GaN 및 GaAs 나노와이어들 및 나노리본들(16-21) 및 화학 기상 증착에 의하여 성장된 SWNT 네트워크를 접적한다(13, 21). 도 57의 상부에서 주사 전자 현미경 사진은 소스 기판들로부터 제거된 후의 이를 반도체 나노물질들을 보여준다. 회로 제조를 위하여, 이를 요소들은 제조 또는 성장 단계 동안에 웨이퍼 위에 정의된 형태로 남는다: Si, GaN 및 GaAs 나노와이어들/리본들의 경우는 정렬된 배열 그리고 SWNT의 경우 서브-모노레이어 랜덤 네트워크. Si, GaN 및 GaAs로의 오직 접합을 위한 고온 도핑 및 어닐링 공정이 소스 기판 위에서 수행될 수 있다. 다음 단계는 앞서 기술된 엘라스토머성 스템프-기반의 프린팅 기술을 사용하여 이를 처리된 요소들을, 도 57에 도시된 바와 같이 소스 기판으로부터 폴리이미드(PI) 시트(sheet)와 같은 소자 기판으로 전달하는 것을 포함한다. 특히, 소스 기판에 대하여 폴리디메틸실록산(polydimethylsiloxane: PDMS)의 스템프를 라미네이트하는 것은 반도체 나노물질 요소들에 약한 반데어발스 부착 접촉(adhesion contact)을 이룬다. 얇은, 스픬-캐스트(spin-cast) 층의 액체 프리폴리머(예를 들면 폴리아믹 산(polyamic acid))를 그 표면 위에 갖는 소자 기판 위에 '잉크' 스템프를 접촉시키고 그 후 폴리머를 큐어링하는 것은 스템프가 제거되었을 때 이를 반도체 물질들이 이 층 위에 임베드되고 잘 부착되도록 한다(16-20). 유사한 공정들이 일련의 기판들(즉, 단단하거나 유연한; 유기 또는 무기) 및 반도체 나노물질들과 잘 작용한다[이 공정의 약간 변형된 형태가 SWNT에 대하여 사용된다(21)]. 중간층(이 경우 PI)의 두께는 여기에 기술된 시스템들에 대하여 500nm 만큼 작을 수 있고, 전형적으로는 1-1.5 μm 이다. 게이트 유전막, 전극 및 배선의 형성을 포함하는 몇가지 부가적인 공정 후에, 앞서 완성된 회로 레벨의 상부 위에 새로운 프리폴리머 중간층을 스픬-코팅하는 것으로 시작하여 전달 프린팅 및 소자 제조 단계들이 반복될 수 있다. 전달 프린팅을 위하여 특별히 디자인된 자동화된 스테이지들 또는 일반적인 마스크 정렬기들은 수 제곱 센티미터에 대하여 ~1 μm 의 오버레이 제한 정밀도를 가능하게 한다(22)(도 61). 층 대 층 배선들(23)은 포토페터닝 및/또는 건식 식각에 의하여 정의된 중간층들 안의 개구부들 위 및 안으로 금속 라인들을 증착시킴에 의하여 간단하게 형성된다. 3D-HGI 전자소자들에 대한 이 비통상적인 접근은 몇가지 중요한 특징을 갖는다. 첫째로, 소자 기판 위의 모든 공정은 낮은 온도에서 일어나며, 그에 의하여 다층 적층 시스템에서 원하지 않는 변형을 초래할 수 있는 차별적인 열 팽창/수축 효과를 피한다. 이러한 작용은 또한 저온의 플라스틱 기판 및 중간층 물질의 사용을 가능하게 하며, 이것은 하부의 회로 층들이 상부 소자들의 공정에 의하여 열적으로 열화되지 않는 것을 확실하게 하는 것을 돋는다. 둘째로, 이 방법은 SWNT 박막과 같은 새로 출현하는 물질들을 포함하는 얇은 분류의 반도체 나노물질들로 적용가능하다. 셋째로, 소프트 스템프는 하부의 소자 층들과 비-파괴적인 접촉을 가능하게 한다; 이러한 스템프들은 초박막 반도체 물질들과 함께 일부 토포그래피를 갖는 표면들을 다룰 수 있다. 넷째로, 초박의(ultrathin) 소자 지형(<1 μm) 및 중간층(<1.5 μm)은 전기적인 배선들로의 적층을 위한 층의 형성을 쉽게 한다. 이러한 특징들은, 통상적인 접근 방법들의 많은 단점들을 극복하며, 다음에서 기술되는 몇가지 회로 증명들에서 도시된다.

[0259]

도 58은 (소스 기판 위에 형성된) 도핑된 콘택, 플라즈마 강화 화학 기상증착된 SiO₂ 유전막, 소스, 드레인 및

게이트를 위한 Cr/Au 금속화 공정과 함께 단결정 실리콘 나노리본들을 사용하여, 도 57에 도시된 개략적인 공정을 사용하여 제조된 3층의 3차원 적층 배열 Si MOSFET을 제시한다. 각 소자는 각각 87 μm , 290nm, 250 μm 의 폭, 두께 및 길이를 갖는 3개의 정렬된 나노리본들을 갖는다. 도 2a는 MOSFET의 하나, 둘 및 세 층을 지지하는 기판의 부분들을 분리하여 드러내도록 디자인된 레이아웃을 갖는 시스템의 에지의 상면 광학 사진을 보여준다. 제1 및 제3 층에 대하여 상대적으로 제2 층에 대한 소자 기하 지형의 90도 회전은 시스템의 레이아웃을 명확히 하는 것을 도와준다. 도 58b에 적층 구조의 개략적인 단면 조망 및 경사 조망이 나타난다. 샘플은 공유 초점의 광학 현미경(confocal optical microscopy)을 사용하여 3D로 조망될 수 있다. 도 58c는 쉽게 볼 수 있도록 색을 입힌 그러한 이미지들의 상면 및 경사 조망을 보여준다. (상부층들로부터의 산란 및 흡수에 기인하여 깊이가 깊어 질수록 이미지의 품질이 다소 떨어진다.) 도 58d는 각 층의 대표적인 소자들[상부 게이트 MOSFET 채널 길이(Lc) 19 μm , 게이트 전극이 도핑된 소스/드레인 영역 위로 확장되는 거리로 정의되는 채널 중첩 거리(Lo) 5.5 μm , 채널 폭(W) 200 μm]의 전기적인 측정값들을 보여준다. PI 기판 위에 형성된, 세 개의 층들 각각 위의 소자들은 훌륭한 특성들 ($470 \pm 30 \text{ cm}^2/\text{Vs}$ 의 선형 이동도, 온/오프(on/off) 비율 $> 10^4$ 및 $-0.1 \pm 0.2 \text{ V}$ 의 문턱 전압) 및 다른 층들 안의 소자들 사이의 조직적인 차이가 없음을 보여준다. 동일한 공정들을 반복함에 의하여 부가적인 층들이 이 시스템에 부가될 수 있다. 도 59에 도시된 바와 같이, 단일의 반도체를 갖는 3D 회로에 더하여, 완전한 3D-HGI 시스템을 형성하도록 다중 층들에서 다양한 반도체들이 사용될 수 있다. 이 능력을 도시하기 위하여, 우리는 GaN 및 Si 나노리본 및 SWNT 필름을 각각 PI 기판 위에 사용하여 MESFET (특히, 높은 전자 이동도 트랜지스터, HEMT), MOSFET 및 TFT의 어레이를 제조하였다. 도 59a 및 도 59b는 결과로 만들어진 소자들의 고배율 광학 및 공동 초점 이미지를 각각 보여준다. 제1층 위의 GaN HEMT는 소스 및 드레인에 대한 오믹 콘택 (소스 웨이퍼 위에서 어닐된 Ti/Al/Mo/Au) 및 게이트에 대한 쇼트키 (Ni/Au) 콘택을 사용한다. 채널 길이 및 폭 및 게이트 폭은 각각 20, 170 및 5 μm 이다. 각 소자는 각각 1.2, 10 및 150 μm 의 두께, 폭 및 길이를 갖고, 소자 기판 위의 공정에 의하여 전기적으로 상호연결된 (AlGaN/GaN/AlN의 다중 적층으로 구성된) GaN 리본을 사용한다. 제2 층 위의 SWNT TFT는 게이트 유전막을 위한 SiO₂/에폭시 및 소스, 드레인을 위한 Cr/Au를 사용하며, 각각 50 및 200 μm 의 채널 길이 및 폭을 갖는다. Si MOSFET은 도 58에 보이는 것들과 동일한 디자인을 사용한다. Si, SWNT 및 GaN의 다른 조합들을 사용하여 다양한 다른 3D-HGI 소자들이 구성될 수 있다(도 61 및 도 62). 도 59c는 도 59a 및 도 59b의 시스템들 안의 전형적인 소자들의 전류-전압 특성을 나타낸다. 모든 경우들에서, 특성들은 소스 웨이퍼 위에서 제조된 것들과 유사하다: GaN HEMT는 $-2.4 \pm 0.2 \text{ V}$ 의 문턱 전압(V_{th}), 온/오프 비율 $> 10^6$ 및 $0.6 \pm 0.5 \text{ mS}$ 의 상호 컨덕턴스(transconductance)를 갖는다; SWNT TFT는 $V_{th} = -5.3 \pm 1.5 \text{ V}$, 온/오프 비율 $> 10^5$ 및 $5.9 \pm 2.0 \text{ cm}^2/\text{Vs}$ 선형 이동도를 갖는다; Si MOSFET은 $V_{th} = 0.2 \pm 0.3 \text{ V}$, 온/오프 비율 $> 10^4$ 및 $500 \pm 30 \text{ cm}^2/\text{Vs}$ 선형 이동도를 갖는다. 이들 소자의 흥미로운 점은, 얇은 PI 기판(25 μm), 소자(2.4 μm) 및 PI/PU 중간층(5 μm)의 사용으로부터 기인하는 기계적인 구부러짐 수 있는 능력(bendibility)인데, 이것은 유연한 전자기기에 대한 응용을 위하여 중요하다. 우리는 구부러짐 반경의 함수로서 도 59a의 3D-HGI 시스템 안의 Si, SWNT 및 GaN 소자들을 위한 유효 상호컨덕턴스(g_{eff})를 평가하였다. 이러한 데이터를 보여주는 도 59d는 구부러지지 않은 상태의 상호 컨덕턴스(g_{0eff})에 대하여 정규화되어, 3.7mm 아래의 구부러짐 반경에 대하여 안정적인 성능을 도시한다.

[0260] 이러한 3D-HGI 소자들 안의 다른 레벨들 사이에 형성된 전기적인 배선들은 흥미로운 회로 성능을 생성할 수 있다. 얇은 폴리머 중간층들은 이를 배선들이 리소그래피로 정의된 개구부들 위 및 안으로 금속 라인들을 증착시킴에 의하여 용이하게 형성될 수 있도록 한다. 도 60은 몇 가지 실시예들을 보여준다. 도 60a에 보이는 첫번째 것은 구동 ($L=4\mu\text{m}$, $W=200\mu\text{m}$) 및 부하 ($L=4\mu\text{m}$, $W=30\mu\text{m}$) Si MOSFET이 다른 레벨들 위에 있는 3D NMOS 인버터(논리 게이트)이다. 5V의 공급 전압에서, 이 이중-층 인버터는 유사한 트랜지스터를 사용하는 통상적인 평면형 인버터의 특성과 견줄만한, ~2의 이득(gain)을 갖는 명확한 전달 특성을 보여준다(25). 도 60b는 풀-업 및 풀-다운의 양 방향에서 전류-구동 능력을 동등하게 하기 위하여 디자인된 집적된 n-채널 Si MOSFET 및 p-채널 SWNT TFT의 사용에 의하여 상보적인 디자인(CMOS)을 갖는 인버터를 보여준다 (도 65). VDD 단자에 5V 바이어스를 인가하고 게이트 전압(입력)을 0V에서 5V까지 조사하여 그린 전달 곡선이 도 60a에 나타난다. 곡선의 형태와 (~7 만큼 높은) 이득은 계산적인 회로 시뮬레이션과 정성적으로 일치한다(도 65). 세번째 실시예로서, 활성 IR 화상기에 사용될 수 있는 단위 셀들을 제조하기 위한 능력을 증명하기 위하여, 우리는 유연한 PI 기판 위에 Si MOSFET으로 집적된 GaAs 금속-반도체-금속(MSM) 적외선(IR) 검출기를 형성할 것이다. 이 경우에, Si 나노리본 MOSFET의 프린트된 배열을 갖는 기판 위로 전달된 (각각 270nm, 100 μm 및 400 μm 의 두께, 폭 및 길이의) 프린트된 GaAs 나노리본은 MSM의 기초를 형성한다. 이를 GaAs 나노리본들의 끝단 위에 증착된 전극들은 (Ti/Au=5/70 nm) 10 μm 의 분리를 갖는 연속적인 쇼트키 다이오드를 형성한다. 결과에 의한 검출 셀은 IR 조사의 세기가 증가

함에 따라 전류의 향상을 보여주며(도 60c), 회로 시뮬레이션과 일치한다(도 66). 850nm 파장에서 약 0.3 A/W의 반응도는 반도체 표면으로부터 반사되는 빛을 고려하지 않고 1에서 5V에 이르는 것으로 관찰되었다. 시스템은 또한 1cm 아래의 곡률 반경을 갖는 구부러짐 가능성을 보여주었으며, 이것은 넓은 각도의 IR 야간 영상 화상기를 위한 곡면의 초점면 배열과 같은 진보된 시스템을 위하여 사용될 수 있다.

[0261]

프린트된 반도체 나노물질들은 3D-HGI 시스템에 대한 새로운 접근을 제공하며, 다양한 분야들의 응용, 여기에 보고된 시스템들에 의하여 제안되는 응용뿐만 아니라, 접적된 판독 및 감지 전자기기를 갖는 마이크로유제공학 소자들, 비일반적인 감지 물질들을 통상적인 실리콘 기반의 전자기기에 통합한 화학/바이오 센서 시스템 및 화합물 반도체의 광방출기를 실리콘 구동 전자기기 또는 마이크로전자기계 구조와 결합한 포토닉/광전자 시스템을 포함하는 다른 응용들에 중요하게 응용될 수 있다. 더 나아가, 얇고, 가벼운 플라스틱 기판들을 갖는 본 접근의 적합성은 주요 특징으로서 일반적이지 않은 형태 요인 또는 기계적인 유연성을 갖는 소자들에 대한 부가적인 기회를 생성할 것이다.

[0262]

물질 및 방법: 소자 제조: 실리콘 소자: 제조는 절연체 위 실리콘 웨이퍼(SOI; $6.0\sim9.4\times10^{14}/\text{cm}^3$)의 도핑 레벨을 갖는 290nm 상부 Si 층을 갖는 Soitec 유니본드)의 처리에 의하여 콘택 도핑된 단결정 실리콘의 얇은 리본을 정의하는 것으로 시작한다. 제1 단계는 고체 소스 및 스판-온-도펀트(Filmtronic, P509)를 사용한 인(phosphorous) 도핑, 도펀트가 실리콘으로 확산하는 것을 조절하기 위한 마스크로서 플라즈마 강화 화학 기상(PECVD) 증착된 SiO₂ (Plasmatherm, 300nm, 900mTorr, 350sccm, 2% SiH₄/He, 795 sccm NO₂, 250°C)의 사진식 각으로 정의된 층을 포함한다. 도핑 후에, 패턴닝된 포토레지스트 층을 통한 SF₆ 플라즈마 식각이 리본을 정의하였다. 농축된 HF 용액(Fisher Chemicals)으로 매립된 산화막을 언더컷 식각하여 웨이퍼로부터 리본을 떼어놓았다. 이 공정은 콘택 도핑된 단결정 실리콘의 리본의 제조를 완성하였다. 다음 단계에서, 폴리다이메틸실록산(PDMS, A:B=1:10, Sylgard 184, Dow Corning)의 평면 탄성 스템프를 포토레지스트로 코팅된 리본과 접촉시키고, 그 후 스템프를 다시 벗겨내는 것은 리본들을 웨이퍼로부터 제거하고 소수성의 PDMS과 포토레지스트 사이의 반 테어 밸스 힘에 의하여 리본들을 스템프의 표면에 부착되도록 하였다. 웨이퍼로부터의 □ s-Si 리본으로 '잉크된' 스템프는 액체 PI 전구체, 폴리아믹 산(Sigma-Aldrich Inc.)의 얇은 막 (~1.5μm)으로 스판코팅된 25μm의 폴리이미드(PI) 시트 (Dupont, Kapton 100E)에 대하여 라미네이트되었다. 전구체의 큐어링, PDMS 스템프의 필링 오프 및 포토레지스트의 제거는 리본들이 PI 기판의 표면 위에 임베드되고 잘 부착되도록 하였다. (두께 ~ 100nm) SiO₂의 층으로 이루어진 게이트 유전층이 비교적 저온, 250°C에서 PECVD에 의하여 증착되었다. 포토리소그래피 및 CF₄ 플라즈마 식각이 실리콘의 소스/드레인 영역에 대한 개구부를 정의하였다. 소스, 드레인 및 Cr/Au (5/100nm, 전자빔 증착에 의하여 바닥으로부터 상부까지, Temescal FC-1800)의 게이트 전극이 포토리소그래피 및 습식 식각에 의하여 단일 단계에서 정의되었다.

[0263]

GaN 소자: GaN 마이크로구조들이 이종 구조 [AlGaN(18nm)/ GaN(0.6μm)/ AlN(0.6μm)/ Si]를 갖는 GaN 벌크 위에 퍼 위에 제조되었다. 오믹 콘택 영역이 AZ 5214 포토레지스트에 의하여 정의되었고, 그 후 RIE 시스템에서 SiCl₄ 플라즈마로 세정되었다. Ti/AI/Mo/Au(15/60/35/50nm) 금속층이 그 후 전자-빔 증착(Ti/AI/Mo) 및 열적 증착(Au)에 의하여 증착되었다. 레지스트를 씻어냄이 GaN 위의 남아있는 금속 콘택을 완성하였다. 850°C에서 30초 동안 N₂ 분위기에서 열적 어닐인 오믹을 형성하였다. SiO₂(Plasmatherm, 300nm, 900mTorr, 350sccm, 2% SiH₄/He, 795sccm NO₂, 250°C) 및 Cr 금속(전자-빔 증착기, 150nm) 층들이 후속 유도 커플 플라즈마(ICP) 식각을 위한 마스크 물질로서 증착되었다. 포토리소그래피, 습식 식각 및 RIE 공정 (50mTorr, 40sccm CF₄, 100W, 14 분)이 GaN의 리본 형태를 정의하였다. 아세톤으로 포토레지스트를 제거한 후에, 노출된 GaN을 제거하고 후속의 비등방성 시각을 촉진시키기 위하여 Si 안으로 (~1.5 μm) 약간 식각하기 위하여 ICP 전식 식각 (3.2 mTorr, 15sccm Cl₂, 5sccm Ar, -100V 바이어스, 14 분)이 사용되었다. 그 후 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide) (Aldrich, 150°C, 4분 30초)를 사용하여 GaN 아래의 Si이 식각되었다. 샘플은 PECVD SiO₂를 제거하기 위하여 BOE (6:1, NH₄F:HF)에 30초 동안 담가졌고, 새로운 50nm 전자-빔 증착된 SiO₂ 층이 GaN 리본의 상부 위에 증착되었다. 모 웨이퍼로부터의 GaN 리본으로 '잉크된' PDMS 판이 그 후 2 μm 폴리우레탄(polyurethane) (PU, Norland optical adhesive, No. 73)으로 코팅된 PI 시트에 대하여 라미네이트되었다. PU를 큐어링하기 위하여 샘플이 UV 빛(173 uWcm⁻²)에 15분 동안 노출되었다. PDMS를 벗겨내고 BOE에 20초 동안 담가서 전자-빔 SiO₂를 제거함으로써 GaN 요소를 플라스틱 기판 위로 전달되었다. 음성 포토레지스트 (AZ nLOF2020)이 Ni/Au(80/180nm)의 쇼트키 콘택을 패터닝하는데 사용되었다. 포토레지스트는 AZ 스트리퍼 (KWIK, 30분)로 제거되었다.

[0264]

SWNT 장치들: SiO₂/Si 웨이퍼들 위에 개별 단일벽 탄소 나노튜브들의 랜덤 네트워크를 성장시키기 위하여 화학

기상 증착(CVD: chemical vapor deposition)이 이용되었다. 촉매로서는 메탄올과 함께 기판 위에 증착된 Ferritin(Sigma Aldrich)을 이용하였다. 공급 가스는 메탄(1900 sccm CH₄와 300 sccm H₂)이었다. 성장시키기 전에 세정을 위하여 퍼니스 내의 석영 튜브는 Ar 가스를 고유량으로 훌려주었다. 성장시키는 동안, 온도는 900 °C에서 20분 동안 유지되었다. 상기 전사는 앞서 설명한 공정들과 같이 인쇄에 유사하거나 또는 두꺼운 Au 층과 PI 전구체가 튜브들과 함께 SiO₂/Si 기판 위에 코팅되는 약간 상이한 방법을 수반하였다. PI를 경화시킨 후, 상기 Au/PI를 벗겨내었다. 이 층을 얇은 에폭시층(SU8, 150 nm)으로 코팅되고 미리 패터닝된 장치 기판 위에 적층한 후, PI 층과 Au 층을 각각 산소 반응성 이온 식각 및 습식 식각으로 각각 제거하여 전사를 완료하였다. 하부 게이트 장치들의 경우에 있어서, 상기 기판은 미리 패터닝된 게이트 전극들과 유전체들을 지지하였다. 특히, Cr/Au/Cr(2/10/10 nm)의 게이트 전극들은 포토리소그래피에 의하여 패터닝되었고, 그런 후, 300 nm SiO₂가 PECVE를 이용하여 기판 위에 증착되었다. Cr/Au(2/20 nm)의 상기 소스 및 드레인 전극들은 상기 튜브의 상부 위에 직접 정의되었다.

[0265] 3D 회로: 3D Si NMOS 인버터: 동일한 제조 공정들을 반복적으로 적용함으로써 다중층 장치들이 제조되었다. 특히, PI 전구체가 장치의 현존하는 층 상부 위에 스핀-캐스트되고, 또한 실리콘 리본들이 상부 위에 전사-인쇄되었다. 그런 후 동일한 공정들이 장치들을 제조하기 위하여 사용되었다. 수직의 금속 상호 접속부들을 위하여 AZ4620 포토레지스트의 층에 포토-패터닝으로 개방부를 형성함으로써 전극 영역을 정의하고, 그런 후 이 노출된 영역에서 SiO₂와 PI를 RIE 시스템 내에서 CF₄와 O₂ 플라스마를 이용하여 식각하여 제거하였다. 이 영역에 300 nm의 Al을 증착하여 하부 콘택을 형성하고, 또한 SiO₂ 및 PI의 식각에 의해 형성된 계단 가장 자리 위에 전기적으로 연속인 연결부를 제공하였다.

[0266] SWNT 및 Si CMOS 인버터: 상기 SWNT 장치들은 튜브 네트워크 위에서 포토리소그래피에 의하여 정의된 금(20 nm)의 소스/드레인 콘택들로 구성되었다. 상기 SiO₂(100 nm)/Si 웨이퍼 기판은 게이트 유전체와 게이트를 제공하였다. 그런 다음 상기 SWNT 트랜지스터들이 포토레지스트(AZ5214)로 선택적으로 코팅된 후에 에폭시(SU8, 500 nm)가 이 기판 위에 스핀-코팅되었다. 에폭시를 경화시키기 위해 UV 노광을 수행한 후 도핑되지 않은 Si 리본들로 '잉크칠'된 PDMS 슬랩을 상기 기판 위에 적층하고, 전사-인쇄 공정을 완료하기 위해 수작업으로 천천히 벗겨내는 것에 의하여 제거하였다. 실리콘 장치에 있어서 소스 및 드레인 전극을 위하여 쇼트키 콘택들로서 Cr/Au(5/100 nm)가 사용되었다. 상기 SWNT와 Si 트랜지스터를 연결하기 위하여 Al(100 nm)이 사용되었다.

[0267] Si TFT와 접적된 GaAs MSM IR 디텍터: 배면-대-배면 쇼트키 다이오드를 제조하기 위하여 GaAs 웨이퍼들(IQE Inc., Bethlehem, PA)이 사용되었다. 상기 리본들은 다중 에피택셜 층들을 갖는 GaAs의 고-품질 벌크 웨이퍼로부터 생성되었다[Si-도핑된 n-형 GaAs(120nm)/반-절연(Si)-GaAs(150nm)/AlAs(200nm) / Si-GaAs]. n-형 GaAs의 캐리어 농도는 $4 \times 10^{17} \text{ cm}^{-3}$ 이다. 포토레지스트 마스크를 갖는 GaAs 웨이퍼들은 식각제(4 mL H₃PO₄ (85 wt%), 52 mL H₂O₂ (30 wt%), 및 48 mL 탈이온수) 내에서 비등방 식각되었다. AlAs 층들은 에탄올로 회석된 HF 용액(부피비 2:1)으로 식각하여 제거되었다. 2 nm Ti와 28 nm SiO₂의 층들은 e-빔 중발에 의하여 증착되었다. GaAs 리본들과 잉크칠 되었던 PDMS 스템프는, 그 후, PI로 코팅된 (두께 1.5 μm) Si 트랜지스터의 층과 접촉하였다. 상기 PDMS를 벗겨내고 BOE 식각제로 Ti 및 SiO₂를 제거하여 GaAs를 장치 기판에 전사하는 것을 완료하였다. 쇼트키 콘택을 위한 금속들(Ti/Au=5/70 nm)이 e-빔 중발에 의하여 증착되었다. GaAs 배면-대-배면(back-to-back) 쇼트키 다이오드들과 Si MOSFET 사이의 전기적 상호 접속부들이 AZ4620 포토레지스트의 층을 먼저 패터닝하고, RIE 시스템 내에서 CF₄와 O₂ 플라스마를 이용하여 개구부를 통하여 식각하고, 그런 후 Al을 300 nm 증착함으로써 정의되었다.

[0268] 장치 특성화: 반도체 파라미터 분석기(Agilent, 4155C)와 통상의 탐침 장치를 이용하여 다이오드들과 트랜지스터들의 전기적 특성을 측정하였다. 850 nm의 광장을 갖는 IR LED 소스 하에서 IR 응답이 측정되었다.

[0269] 회로 모사: CMOS 인버터의 측정된 전자 곡선을 모사 결과와 비교하기 위하여 n-채널 Si MOSFET과 p-채널 SWNT TFT에 대한 레벨 2 PSPICE 모델이 실험적으로 생성되었다. 이를 PSPICE 모델들은 디폴트인 PSPICE MOSFET 모델(MbreakN 및 MbreakP)에 기초하여 도 65의 B에 보인 Si NMOS와 SWNT PMOS 둘 모두의 측정된 IV 곡선을 피팅하도록 하는 파라미터들을 추출하여 생성되었다. GaAs MSM 광-감지기를 위한 PSPICE 모델은 Si MOSFET과 직렬 연결된 배면-대-배면 쇼트키 다이오드들을 이용하여 실험적으로 만들어졌다.

[0270] 실시예 4의 참고문헌들

- [0271] 1. K. Banerjee, S. J. Souris, P. Kapur, K. C. Saraswat, Proc. IEEE, 89, 602 (2001).
- [0272] 2. S. F. Al-Sarawi, D. Abbott, P. D. Franzon, IEEE Trans. Components, Packaging, and Manufacturing Technology, Part B, 21 , 2 (1998).
- [0273] 3. A. S. Brown, W. A. Doolittle, N. M. Jokerst, S. Kang, S. Huang, S. W. Seo Materials Science and Engineering B 87, 317 (2001).
- [0274] 4. Y.-C. Tseng, P. Xuan, A. Javey, R. Malloy, Q. Wang, J. Bokor, H. Dai, Nano letters 4, 123 (2004).
- [0275] 5. C. Joachim, J. K. Gimzewski, A. Aviram, Nature 408, 541 (2000).
- [0276] 6. G. Roelkens et al. Optics Express 13, 10102 (2005).
- [0277] 7. D. B. Strukov, K. K. Likharev, Nanotechnology 16, 888 (2005).
- [0278] 8. K. Vanhollebeke, I. Moerman, P. Van Daele, P. Demeester, Prog. Cryst. Growth Charact. Mater. 41 , 1 (2000).
- [0279] 9. H. Amano, N.Sawaki, I. Akasaki, Y.Toyoda, Appl. Phys. Lett. 48, 353 (1986).
- [0280] 10. T. Kuykendall, P. J. Pauzauskie, Y. Zhang, J. Goldberger, D. Sirbuly, J. Denlinger, P. Yang, Nature Materials 3, 524, (2004).
- [0281] 11. A. M. Morales, CM. Lieber, Science 279, 208 (1998).
- [0282] 12. M. Law, D. J. Sirbuly, J. C. Johnson, J. Goldberger, R. J. Saykally, P. Yang, Science 305, 1269 (2004).
- [0283] 13. J. Kong, H. T. Soh, A. M. Cassell, C. F. Quate and H. Dai, Nature 395, 878 (1998)
- [0284] 14. K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Ghgoheva, A. A. Firsov, Science 306, 666 (2004)..
- [0285] 15. Y. Huang, X. Duan, C. M. Lieber, Small 1 , 1 (2005).
- [0286] 16. M. A. Meitl, Z. Zhu, V. Kumar, K. Lee, X. Feng, Y. Huang, R. G. Nuzzo, J. A. Rogers, Nature Materials 5, 33 (2006).
- [0287] 17. E. Menard, K. J. Lee, D. Y. Khang, R. G. Nuzzo, J. A. Rogers, Appl. Phys. Lett. 84, 5398 (2004).
- [0288] 18. Y. Sun, S. Kim, I. Adesida, J. A. Rogers, Appl. Phys. Lett. 87, 083501 (2005).
- [0289] 19. K. Lee, M. A. Meitl, V. Kumar, J.-H. Ahn, I. Adesida, J. A. Rogers, R. G.. Nuzzo, Appl. Phys. Lett, accepted.
- [0290] 20. S.-H. Hur, D.-Y. Khang, C. Kocabas, J. A. Rogers, Appl. Phys. Lett. 85, 5730 (2004).
- [0291] 21. Materials and Methods are available as supporting material on Science Online.
- [0292] 22. J. Dong, M. A. Meitl, E. Menard, P. Ferreira and J. A. Rogers, unpublished.
- [0293] 23. S. Linder, H. Baltes, F. Gnaedinger, and E. Doering: Proc. IEEE Micro Eletro Mech. Systems 349, (1994).
- [0294] 24. J.-H. Ahn, H.-S. Kim, K. Lee, Z.-T. Zhu, E. Menard, R. G. Nuzzo, J. A. Rogers, IEEE Electron Devices Lett. 27, 460 (2006).
- [0295] 25. J.-H. Ahn, H.-S. Kim, K. Lee, Z.-T. Zhu, E. Menard, R. G. Nuzzo, J. A. Rogers, unpublished.
- [0296] 26. J. B. D. Soole, H. Schumacher, IEEE J. Quantum Electron. 27, 737 (1991).
- [0297] 팝업 아키텍처는 다양한 범위의 장치 아키텍처들 및 구조들로 하여금 임베딩된 구조들을 접약시키는 것으로, 유용하지만 특징들을 구현하기가 어렵다. 이것은 전기적, 광학적, 기계적 및 열적 형태들의 기능성을 나타내는 중요한 능력 장치들을 구현 가능하게 하는 아키텍처이다. 편의를 위하여 이하의 특정 실시예들은 기본 모드 기능의 용어들로 설명되지만, 많은 경우에, 시스템 디자인들은 명백한 장치 레벨 성능 결과들을 가능하게 하는 계

총 효과들을 이용한다.

[0298]

전자 시스템들. 본 분야에서 가장 직접적인 형태의 유용성은, 복잡한 기계적으로 양립 가능한 전자 장치들의 디자인에 이익이 되는 상술된 아키텍처들의 규정들인데, 복잡한 기계적으로 호환 가능한 전자 장치들은 고성능 전자 회로들-플렉서블 시스템 레벨 아키텍처 내의 고성능 전자 회로들의 집적으로 이익을 얻는 일부 도전적인 형태들의 어플리케이션을 포함하는 디스플레이들, 감지 소자들, RF-ID 태그들을 직접적으로 포함한다(embed). 본 명세서에 개시된 디자인들은 실현될 수 있는 기계적 호환성들의 전체 범위를 상당히 확장한다. 이것은 시스템 디자인 레벨에서, 구성 요소들의 평면 집적을 기반으로 장치에 대하여 전형적인 1%의 변형(strain)의 일반적인 한계를 넘어서도 잘 견뎌낼 수 있는 기계적 변형들의 범위를 확장할 수 있는 구체적인 아키텍처 디테일들의 규정을 가능하게 함으로써, 기계적 호환성들의 전체 범위를 상당히 확장한다. 상기 예들은 가장 단순한 요소들, 상호 접속들에 대한 구체적인 아키텍처를 보여주는데, 구체적인 아키텍처는 형식적 시스템 고레벨의 변형들(디스플레이에서 버스 선들 및 상호 접속들의 구조에 대하여 적절한 폼 팩터에서 30%보다 크다)을 버티는데 이용될 뿐 아니라, 다른 더욱 요구되는 형태들의 기계적인 호환성(탄력성)을 제공하는 데에도 이용될 수 있다. 이러한 이익들은 더욱이, 도 31에 도시된 예시적인 장치들, 상술된 GaAs MSM IR 광검출기의 폼 팩터로 예시된 바와 같이 더욱 복잡한 장치 레벨 구성 요소들에도 확장될 수 있다. 본질적으로 복잡한 전자 시스템의 모든 기능 구성 요소들은 본 명세서에서 교시된 방법들을 이용하여 디자인에 특정적인, 기계적으로 호환 가능한 형태로 집적될 수 있다.

[0299]

광학 구성 요소들 및 시스템들. 광학 구성 요소들, 예를 들어, 도파관(waveguide)은 굴곡부에 대해 극심한 민감도로 반응할 수 있다. 본 방법들과 시스템들은 그러한 장치들을 위해, 기능적 성능에 이익이 되는 기계적인 굴곡부를 견딜 수 있고, 더욱 중요하게는, 기계적인 굴곡부를 활용할 수 있는 새로운 아키텍처들을 제공한다. 본 명세서에 개시된 방법들을 직접적으로 활용할 수 있는 기술들의 예들은, 도파관 광학 커플러들 및 연관된 형태들의 광학 스위치들과 리미터들(limiters)을 포함하지만 이에 한정되지 않는, 향상된 형태들의 광(photonics) 구성 요소들을 포함한다. 집적 구조의 시스템 레벨에서 기계적 굴곡부는 (압축 또는 확장을 통하여) 이러한 기능성들에 영향을 주는 직접 수단들을 제공한다. 더욱이, 채널에서의 손실은 도파관의 굴곡부 - 중심(core) 모드부터 덮개(sheath) 모드까지 조절 가능한 진로(way)에서 누출(leakage)을 조장하는 크게 구부러진 반경들에 직접적으로 연관된다. 이러한 효과들은 다양한 장치들에 직접적으로 활용될 수 있다. 예를 들어, 도 67은 변형 가능한 기판에 부분적으로 부착된 광학 미세구조의 제어된 베클링(buckling)을 통해 생성된 도파관 어레이를 나타낸다. 도 67A는 구성 요소(330)(예를 들어, 광섬유 또는 다른 연장된 미세구조와 같은 도파관)를 예를 들어, 접촉 프린팅으로 기판(30)에 부착함으로써 광학 장치가 생성되는 것을 보여준다. 부착은 강하게 묶인 접촉 영역들(310)과, 상승된 영역들(320)에 대응하는 약하게 묶인 영역들을 포함한다. 변형으로, 제2 전극은 휘고, 도파관의 약하게 묶인 영역은 기판으로부터 물리적으로 분리되며, 그럼으로써, 상승된 영역이 생성된다. 상기 장치는 단순히, (5 내지 50%의) 상당한 탄력성을 가질 수 있는 도파관으로 동작할 수 있다(도 67B를 참조하라). 다른 실시예에서, 도파관과 기판의 굴절률들뿐만 아니라 베클링 기하 구조(geometry)는 선택될 수 있고, 그 결과, 상기 장치는 광학 스위치로 동작하고, 베클링된 도파관들에서 높은 뒤틀림으로 인하여, 빛이 단축된 상태가 아닌(도 67A를 참조하라) 연장된 상태로 통과하는 것을 허락한다(도 67B를 참조하라).

[0300]

기계적 기능 시스템들. 기계학과 전자공학 사이의 교차점은 여러 중요한 분야들의 기술들에 대한 기본이다 - 관성 및 다른 형태의 힘 센서들은 구체적인 예들을 포함하는데, 이러한 예들은 현재의 관심과 넓은 이용의 발견 모두이다. 본 명세서에 개시된 방법들과 시스템들은 그러한 장치들의 새로운 형태들을 생성하는 길을 제공한다. 도 68은 기계적 시스템, 특히, 용량 결합된(capacitively coupled) 센싱을 위한 엉힌(entwined) 다중층 아키텍처의 대표적인 예이다. 이러한 예시적인 아키텍처는 중요한 형태들의 힘 관련 센싱-가장 두드러지게는 관성 측정 및 압력 측정을 가능하게 한다. 각 경우에, 본 명세서에 개시된 방법들 및 시스템들은, (예를 들어, 전자 시스템들의 집적을 새로운 방법들에서 허용함으로써) 그들의 집적을 미세하고(compact) 새로운 폼 팩터 시스템들로 가능하게 하면서, 이러한 장치들의 성능의 많은 시스템 레벨의 양상들-가장 두드러지게는 최적 민감도의 동적 범위 및 영역을 제어하는, 상대적으로 직접적인 수단을 제공한다. 이러한 구조들은 기존에 확립된 MEMS 기반의 접근 방식을 이러한 타입의 장치들에 보충한다. 도 68을 참조하면, 기계적 장치(400) (예를 들어, 가속계/압력 센서)는 변경 가능한 기판(30)에 부분적으로 부착된 전도성 미세구조의 제어된 베클링을 통하여 생산된다. 이러한 장치 아키텍처는, 다른 전극(440)의 상승된 영역(320)이 z 방향에서 가속도 또는 압력을 통하여 기판에 대해 옮겨질 때 발생하는, 하부 전극(450)과 다른 전극(440) 사이의 커패시턴스의 변화들을 감지함으로써 동작한다. 장치(400)는 기판(30) 상에 전극(하부 전극(450))을 마련하고, 이어서, 또 다른 전극(440)을 접촉 프린팅으로 부착함으로써 생산된다. 부착은 강하게 묶인 접촉 영역들(310) 및 약하게 묶인 영역들 (예를 들어, 320 아래의 영역에서)을 포함한다. 변형으로, 제2 전극(440)은 휘고, 약하게 묶인 영역은 기판으

로부터 물리적으로 분리되며, 그럼으로써, 상승된 영역(320)을 생성한다.

- [0301] 열적 기능 장치들. 본 발명으로 공급되는 팝업 아키텍처들은 복잡한 전자 구성 요소들의 열적 분리를 제공하는 새로운 능력들을 생기게 한다. 명백한 장치 종류는 장파장 이미징 시스템의 픽셀 요소들에 대한 일반적인 디자인을 제공하는데, 이 디자인은 열적으로 반응하는 (그리고 이러한 예에 대한) 두 개의 열적 장치들의 직접적인 접적과 정확한 열적 분리를 제공하면서, 제어, 독출(read out), 데이터 처리(hanlding) 및 시스템에 대한 다른 능력들을 제공하는 고성능 전자 구성 요소들의 접적을 필요로 한다. 이러한 요구되는 아키텍처는 본 발명에 의해 교시된 방법들을 이용하여 쉽게 접근된다. 본 케이스에서, 픽셀을 읽기 위해 요구되는 AD 컨버터와 같은 기능적 전자 구성 요소들을, IR 응답 요소들에 아주 근접하게 배치하는 것(적절한 예들은 SiSN4 막 위에 지지되는 Si 및 박막 다중층의 포토 레지스트(photoresistive) 금속 산화막들을 포함하지만 이에 한정되지 않는다), 즉, 디자인을 단순화하고 성능을 향상시키는 것을 가능하게 하는 특징이 가능하다. 가장 두드러지게는, 본 명세서에서 제공된 시스템들 및 장치들은 비평면의 초점(focal) 어레이에서 이러한 장치 요소들의 접적 능력을 제공한다. 도 69는 변형 가능한 기판에 부분적으로 부착된 열저항 미세구조의 제어된 버클링을 통하여 생산된 열적 장치(500)(마이크로볼로미터)를 나타낸다. 상기 장치(500)는 열저항 물질(560)을 포함하는 전극(550)을 접촉 프린팅으로 기판(30)에 부착하여 생산된다. 부착은 강하게 묶인 접촉 영역들(310)과 상승된 영역들(320)에 대응되는 약하게 묶인 영역들을 포함한다. 변형으로, 전극(550)은 휘고, 약하게 묶인 영역은 기판으로부터 물리적으로 분리되고, 그럼으로써, 기판으로부터 열적으로 분리된 넓은 한도까지인 상승된 영역(320)을 생성하며, 그럼으로써, 정확하고 국부적인 온도 센싱을 제공한다.
- [0302] 미국 특허 출원 번호 제11/115,954호, 제11/145,574호, 제11/145-542호, 제60/863,248호, 제11/465,317호, 제11/423,287호, 제11/423,192호 및 제11/421,654호는, 본 명세서와 불일치하지 않는 범위까지 본 명세서에 참조로써 병합된다.
- [0303] 본 출원에 걸친 모든 참조들은, 예를 들어, 발행된, 특허권이 수여된 또는 이와 동등한 것들을 포함하는 특허 문서들; 특히 출원 공표들; 및 비특허 문헌 문서들 또는 다른 출처 물질은 개별적으로 참조로써 병합되었지만, 각 참조가 적어도 부분적으로, 본 출원에서 개시된 내용과 불일치하지 않는 범위까지 그들 전체로써 본 명세서에 참조로써 병합된다(예를 들어, 부분적으로 불일치하는 참조는 그 참조의 부분적으로 불일치하는 부분을 제외하고 참조로써 병합된다).
- [0304] 본 명세서에 이용되어온 용어들 및 표현들은 한정 용어들이 아닌 기술 용어들로 이용되고, 그러한 용어들 및 표현들의 사용에서, 나타나고 상술된 특징들의 균등물 또는 그들의 부분들을 배제하려는 의도는 없고, 다양한 변형들은 청구된 발명의 범위 내에서 가능함을 인식할 수 있다. 그러므로, 본 발명은 바람직한 실시예들, 예시적인 실시예들 및 선택적인 특징들로 구체적으로 개시되어왔음에도 불구하고, 본 명세서에 개시된 개념들의 변경 또는 변형이 본 기술분야에서 통상의 지식을 가진 자에 의해 재분류될 수 있고, 그러한 변경들 및 변형들은 첨부된 청구항들에 의해 정의되는 본 발명의 범위 내로 고려될 수 있음을 이해할 수 있다. 본 명세서에서 제공되는 구체적인 실시예들은 본 발명의 유용한 실시예들의 예들이고, 본 발명이 본 명세서에 개시된 장치들, 장치 구성 요소들 방법 단계들의 수많은 변형들을 이용하여 수행될 수 있음을 본 기술분야에서 통상의 지식을 가진 자에게 명백하다. 본 기술분야에서 통상의 지식을 가진 자에게 명백하게 명백할 것임과 같이, 본 방법들에 유용한 방법들 및 장치들은 수많은 선택적 구성 및 처리 요소들 및 단계들을 포함할 수 있다.
- [0305] 본 명세서에서 상술된 또는 예시된 구성 요소들의 모든 표현 또는 조합은 다르게 제시되지 않는 한, 본 발명의 실행에 이용될 수 있다.
- [0306] 본 상세한 설명에서 범위, 예를 들어, 온도 범위, 시간 범위, 또는 구성 또는 농도 범위가 주어질 때마다, 모든 중간 범위들과 서브 범위들, 뿐만 아니라 상기 주어진 범위들에 포함된 모든 개별적인 값들은 본 명세서에 포함되는 것으로 의도된다. 본 명세서에 포함된 범위 또는 서브 범위에서 여하한 서브 범위들 또는 개별적인 범위들은 여기에서 청구항들로부터 배제될 수 있다.
- [0307] 본 상세한 설명에서 언급된 모든 특허들 또는 공개들은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자들의 수준들을 나타낸다. 본 명세서에서 인용된 참조들은 그들 전체로 본원에 참조로써 병합되어, 그들의 공개 또는 출원일에 대한 기술분야를 나타내고, 이것은 필요하다면, 이러한 정보가 종래 기술의 특정 실시예들을 배제하기 위하여 본원에서 이용될 수 있음이 의도된다. 예를 들어, 물질의 구성이 청구된 경우, 구현 가능하게 하는 개시가 본 명세서에서 인용된 참조들에서 제공되는 혼합물들을 포함하는, 출원인의 발명에 대해 선행하는 기술에서 알려지고 이용 가능한 혼합물들은, 본원에서 물질 청구항들의 구성에 포함되는 것으로 의도되지 않음은 이해되어야 한다.

[0308]

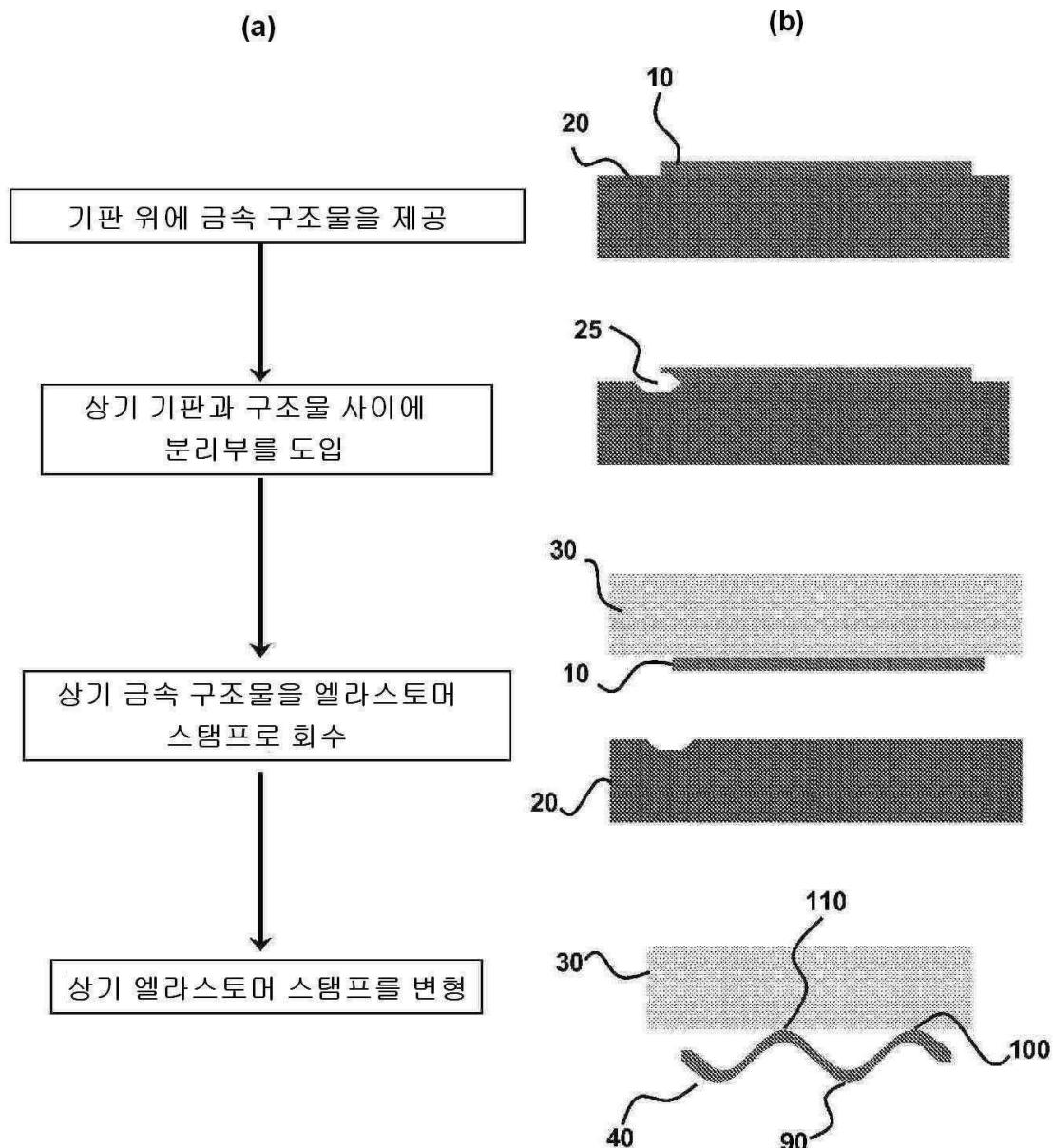
본 명세서에서 이용된 바와 같이, “포함하는(comprising)”은 “포함하는(including)”, “포함하는(containing)” 또는 “특징된(characterized by)”과 동의어이고, 포괄적이거나 개방형(open-ended)이고, 추가적인, 기술되지 않은 요소들 또는 방법 단계들을 배제하지 않는다. 본 명세서에서 이용된 바와 같이, “~로 구성된(consisting of)”은 청구항 요소에서 특정되지 않은 여하한 요소, 단계 또는 성분을 배제한다. 본 명세서에서 이용된 바와 같이, “본질적으로 ~로 구성된(consisting essentially of)”은 청구항의 기본적이고 신규한 특성들에 실질적으로 영향을 주지 않는 물질들 또는 단계들을 배제하지 않는다. 본 명세서에서 각 예에서, “포함하는(comprising)”, “~로 구성된(consisting of)”, 및 “본질적으로 ~로 구성된(consisting essentially of)”은 서로 다른 두 용어들로 대체될 수 있다. 본 명세서에서 예시적으로 설명된 본 발명은 본 명세서에서 구체적으로 개시되지 않은 여하한 요소 또는 요소들, 한정 또는 한정들의 부재에서 실행될 수 있다.

[0309]

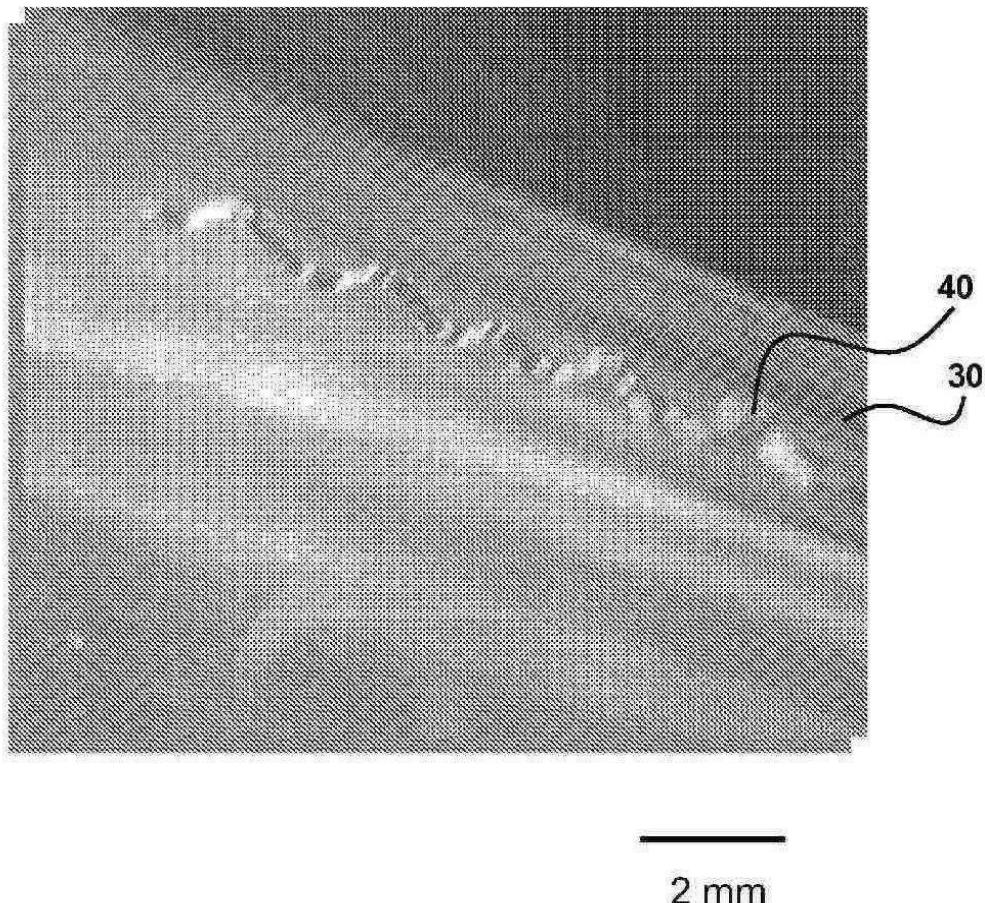
본 기술분야에서 통상의 지식을 가진 자는 개시 물질들, 생물학적 물질들, 반응물들, 합성 방법들, 정화 방법들, 분석 방법들, 시험 방법들, 및 그러한 구체적으로 예시된 것이 아닌 생물학적 방법들은 과도한 실험으로 재구분되지 않고 본 발명의 실행에서 이용될 수 있다. 이러한 물질들 및 방법들의 모든 기술적으로 알려진 기능적인 균등물들은 본 발명의 범위 내로 포함되는 것으로 의도된다. 이용되어온 용어들과 표현들은 제한의 용어가 아닌, 기술적인 용어로써 이용되고, 나타나고 개시된 특징들의 여하한 균등물들을 배제하는 용어들과 표현들의 사용의 의도는 없고, 청구된 본 발명의 범위 내에서 다양한 변경들이 가능함을 인식한다. 그러므로, 본 발명이 바람직한 실시예들과 선택적인 특징들로 구체적으로 개시되어 왔음에도 불구하고, 본 명세서에 개시된 개념들의 변형 및 변경은 본 기술분야에서 통상의 지식을 가진 자에 의해 재구분될 수 있고, 그러한 변형들 및 변경들은 첨부된 청구항들로 정의된 바와 같은 본 발명의 범위 내로 여겨진다.

도면

도면1

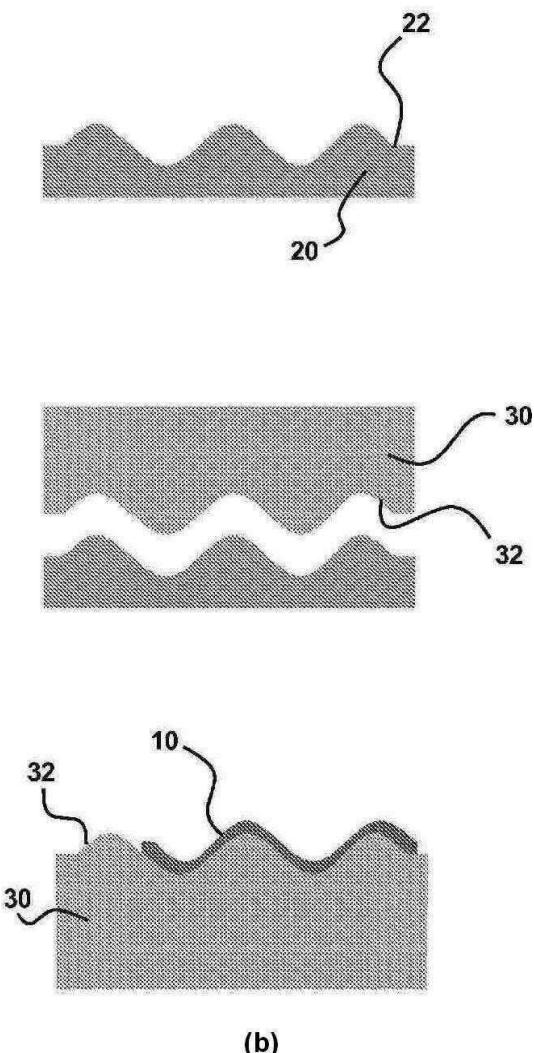


도면2

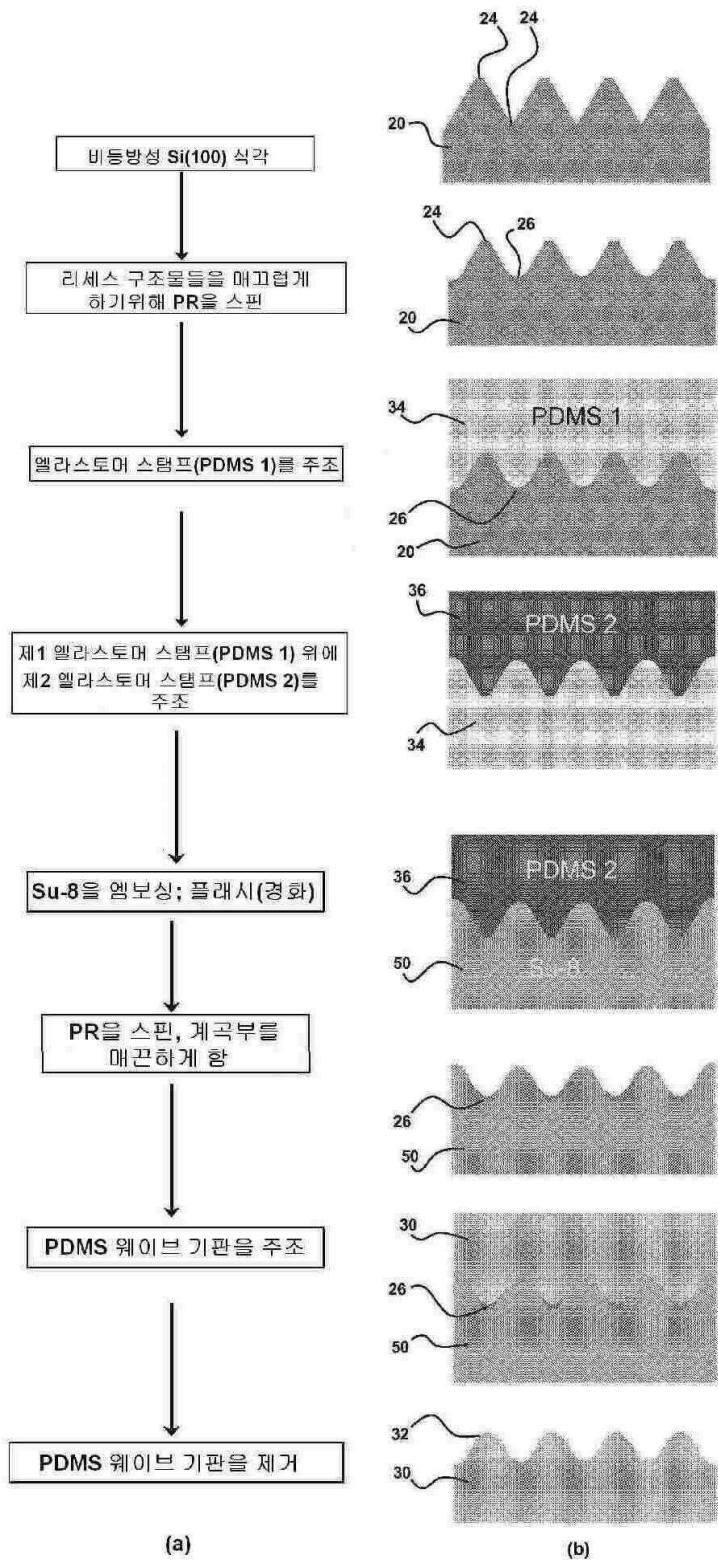


2 mm

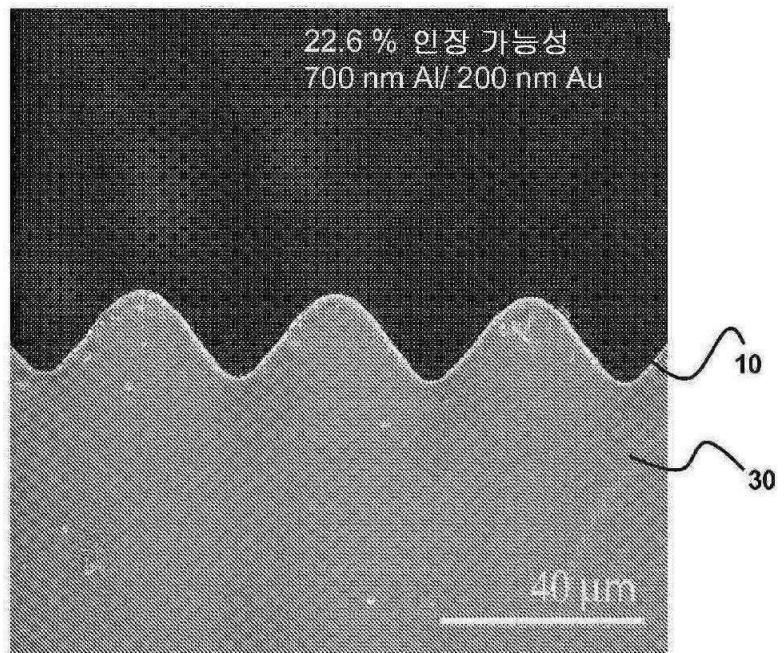
도면3



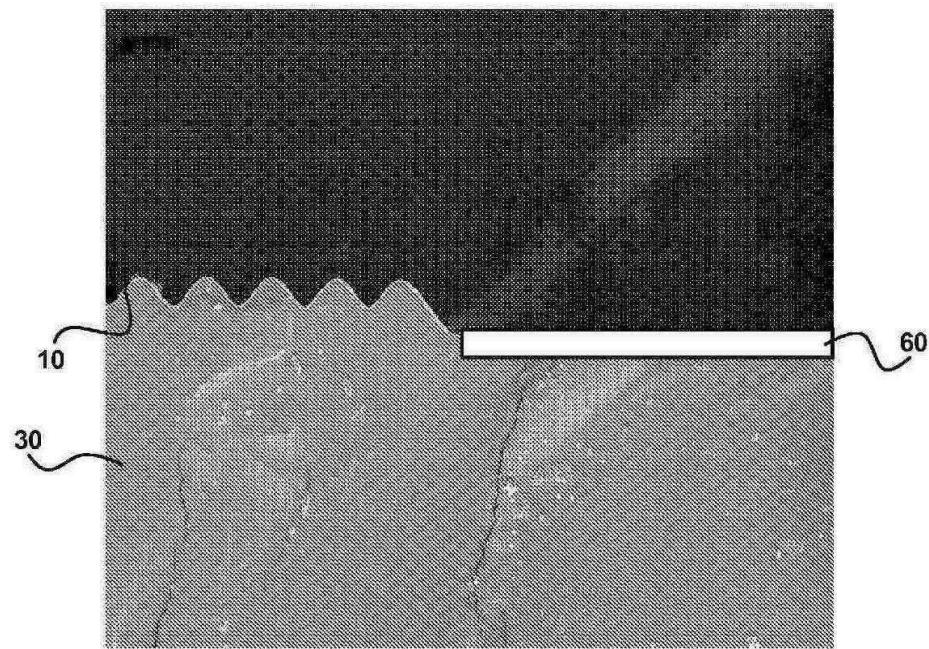
도면4



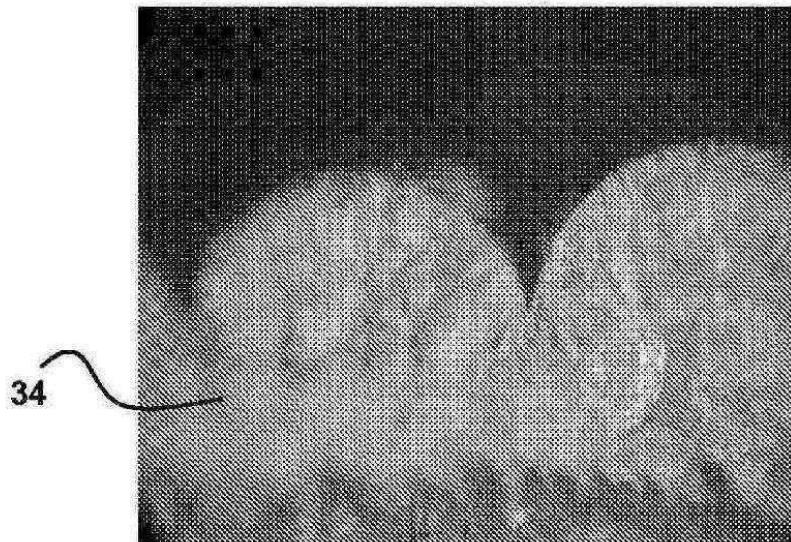
도면5a



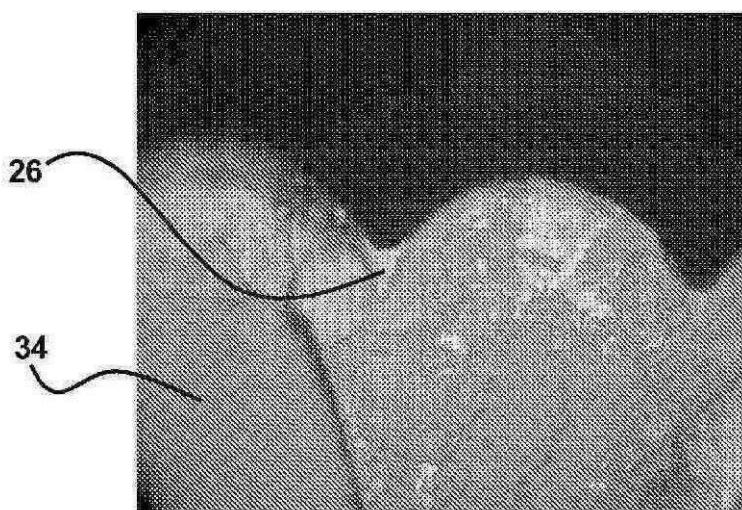
도면5b



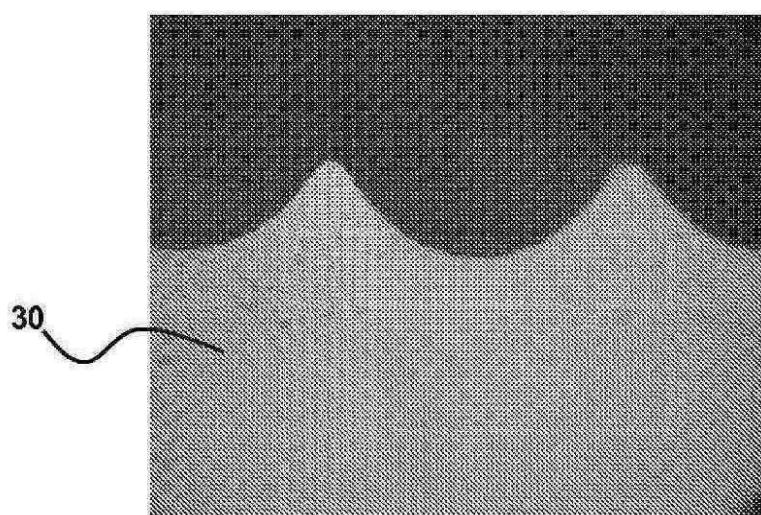
도면6a



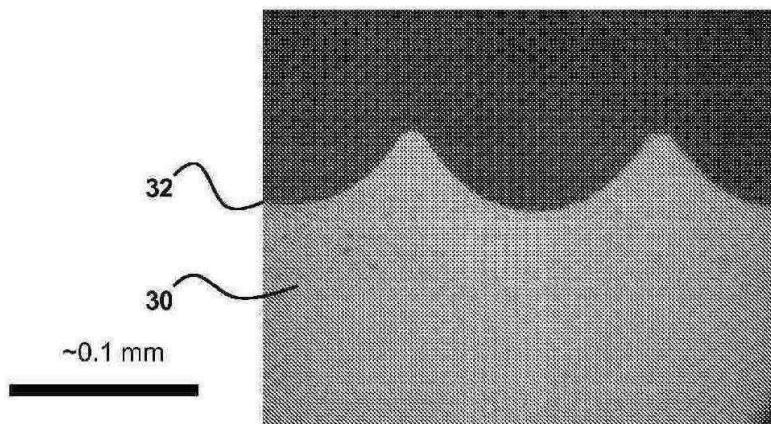
도면6b



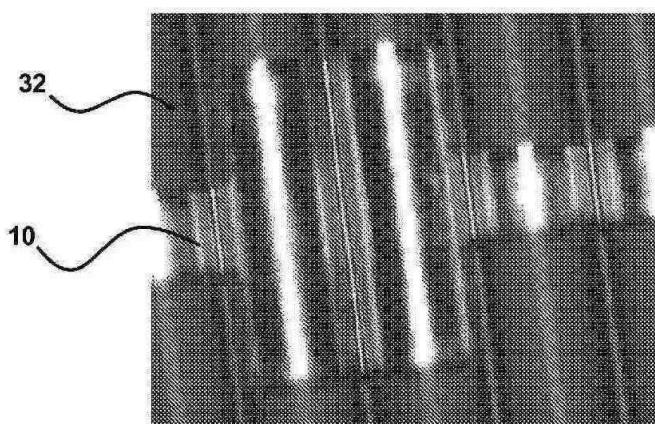
도면6c



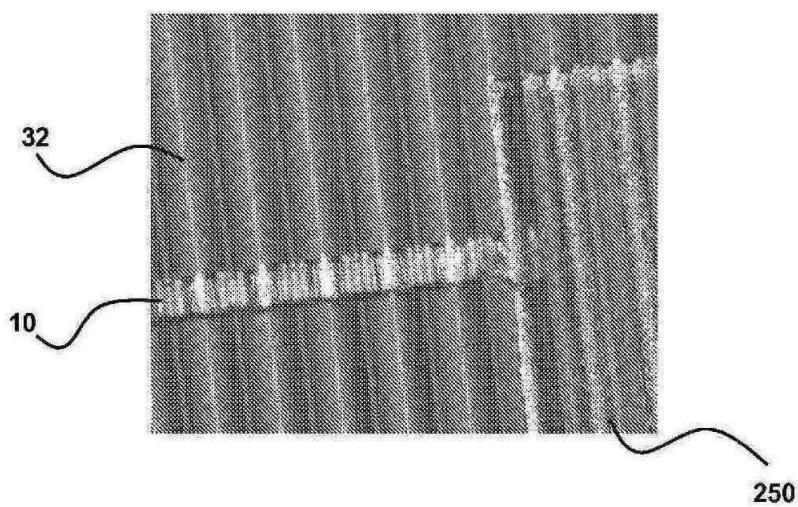
도면7a



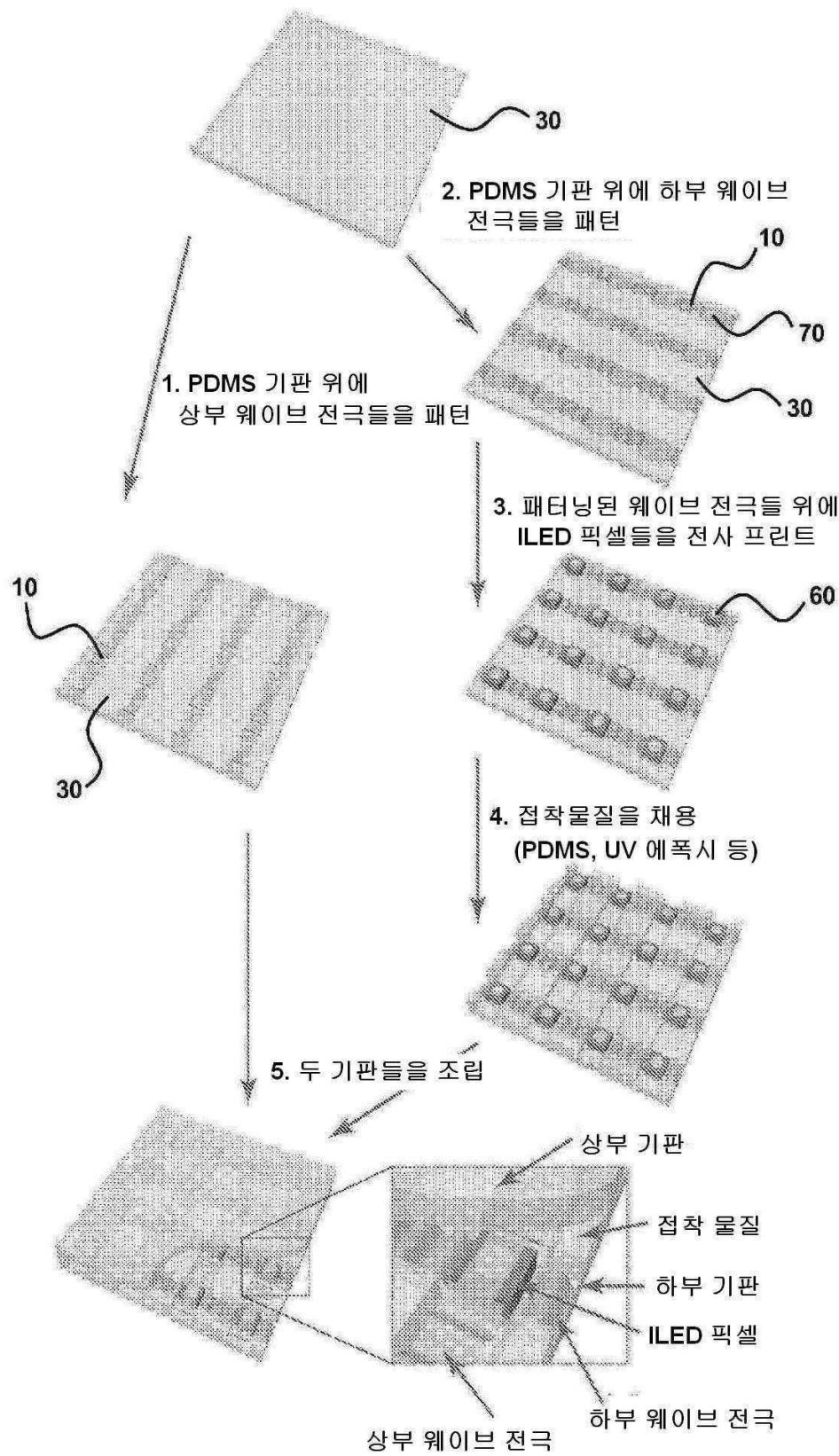
도면7b



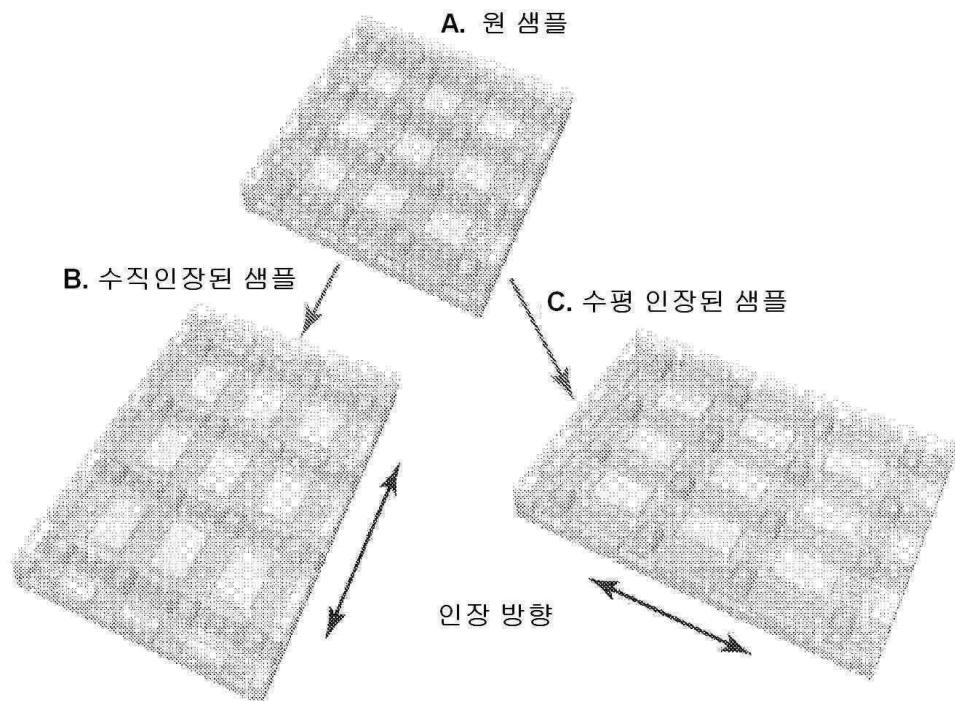
도면7c



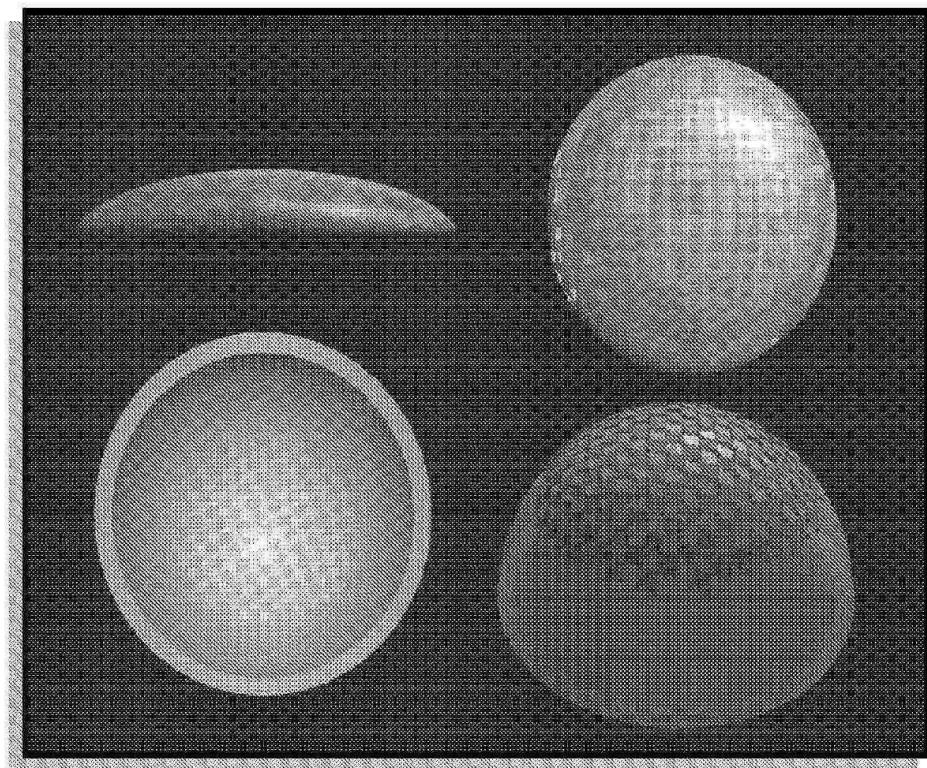
도면8



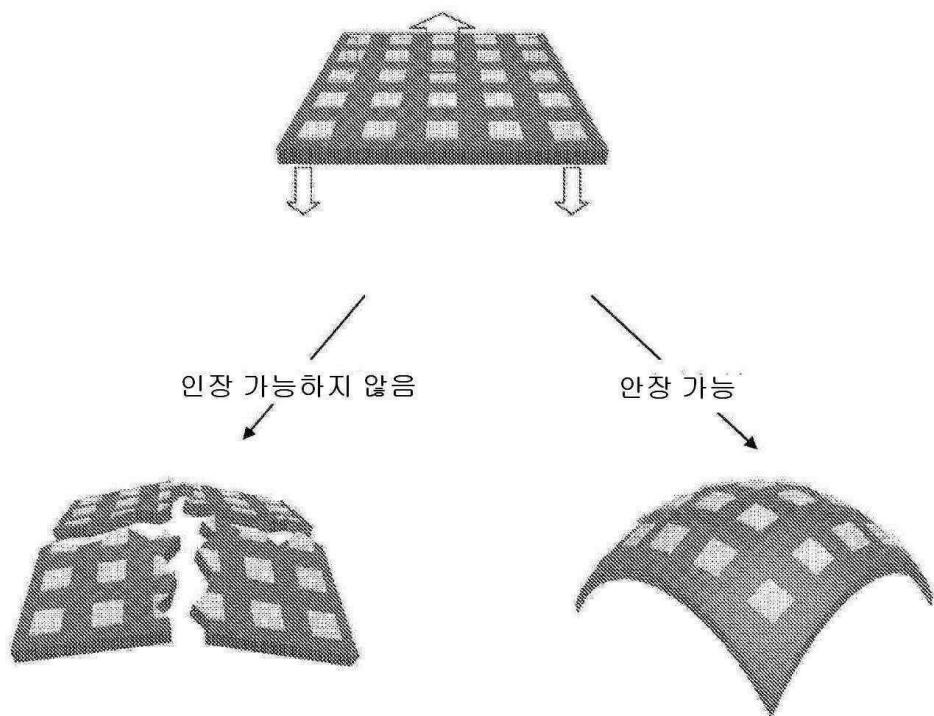
도면9



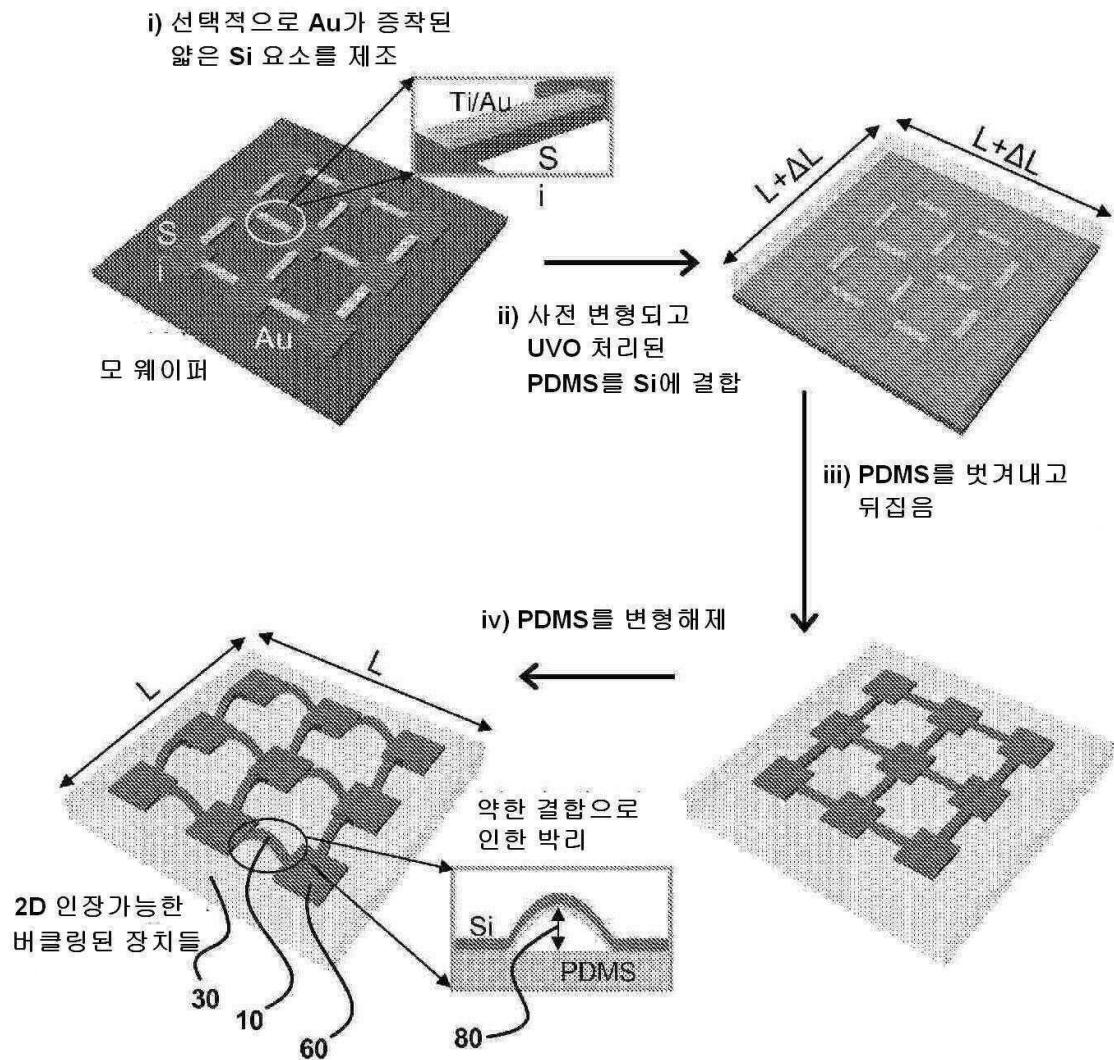
도면10



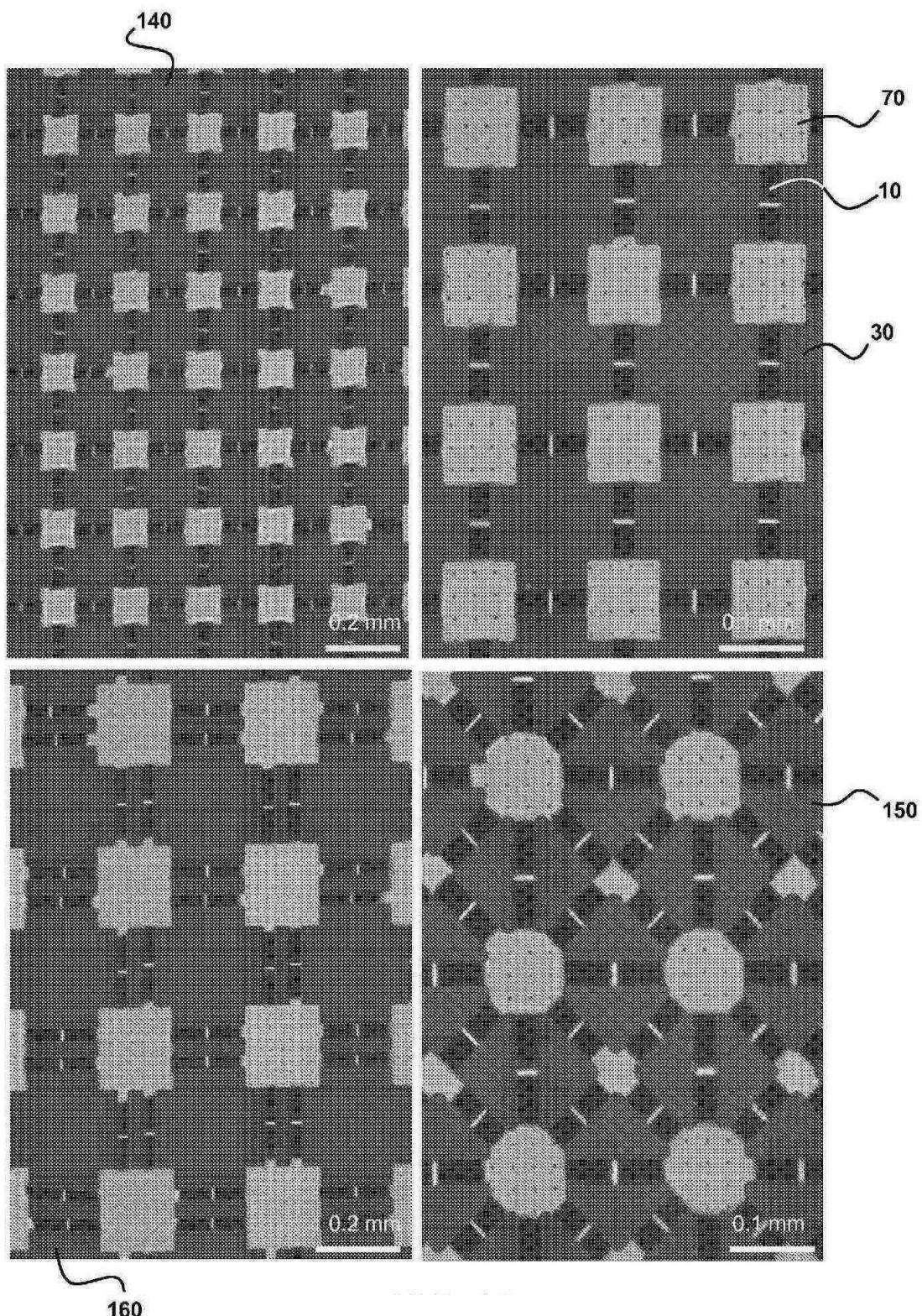
도면11



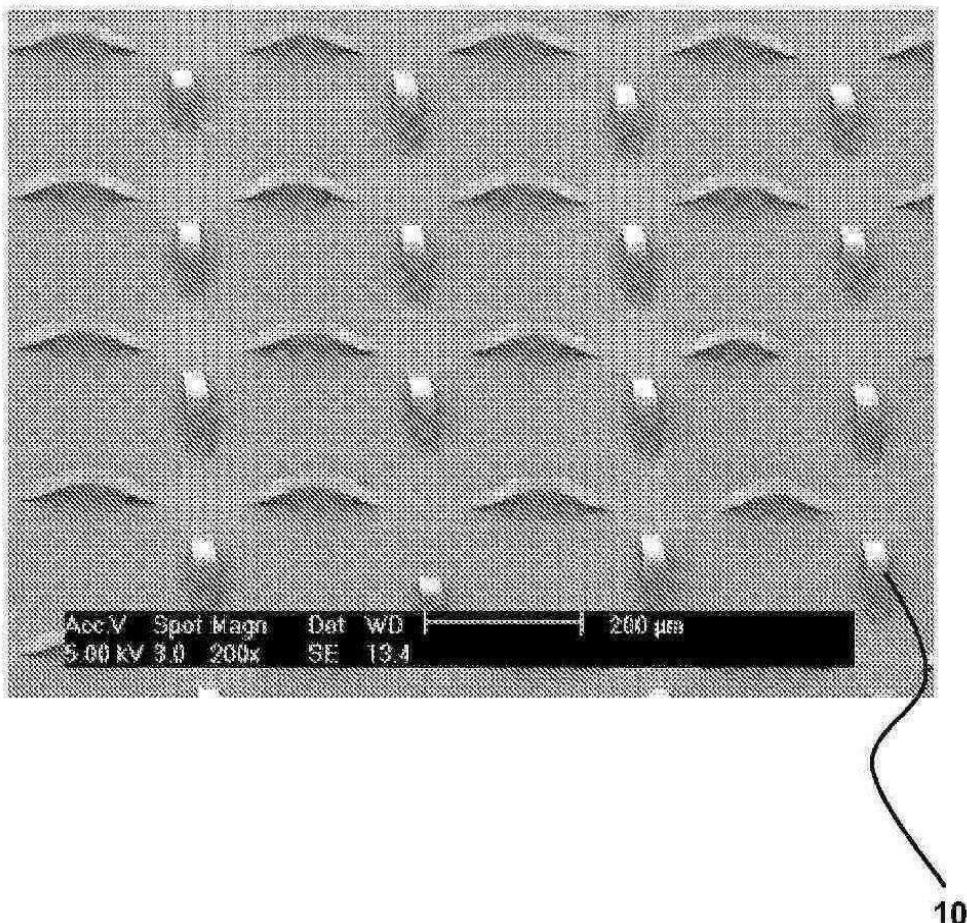
도면12



도면13

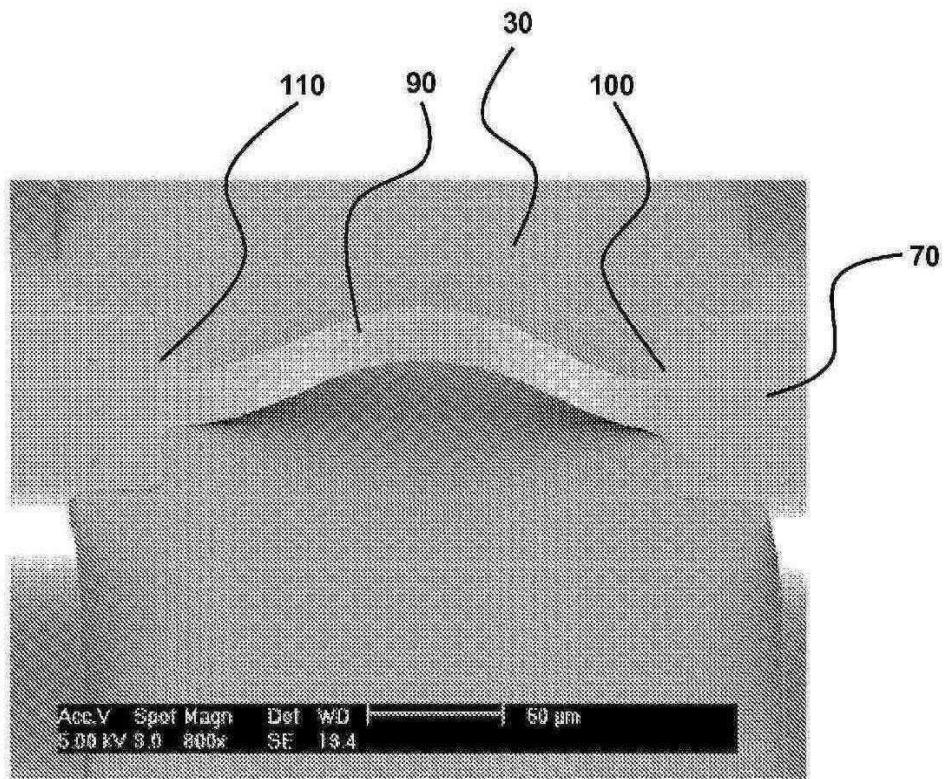


도면14a

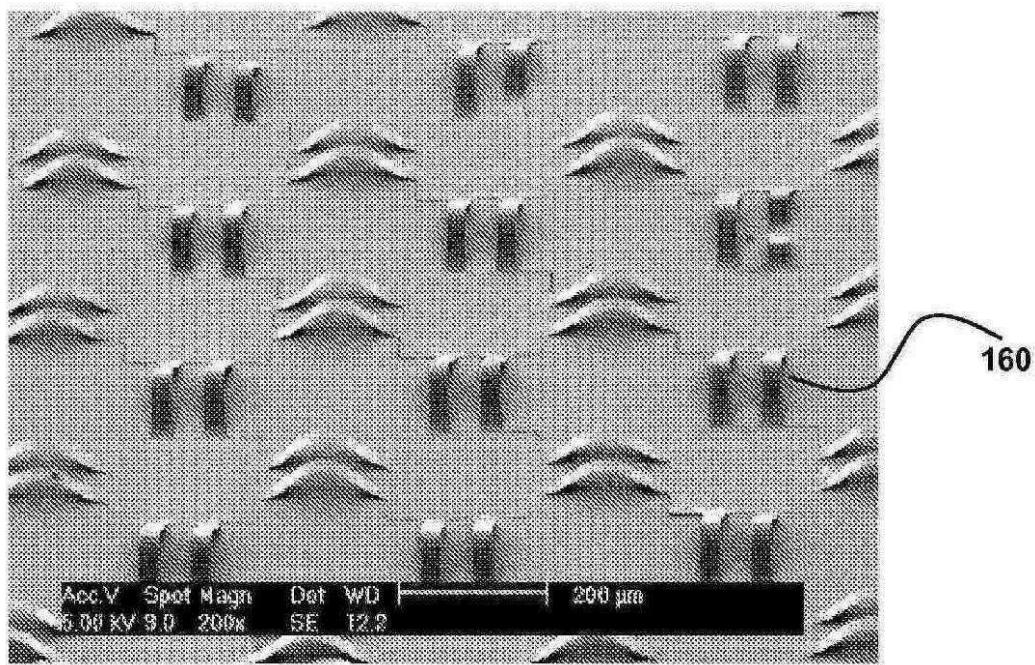


10

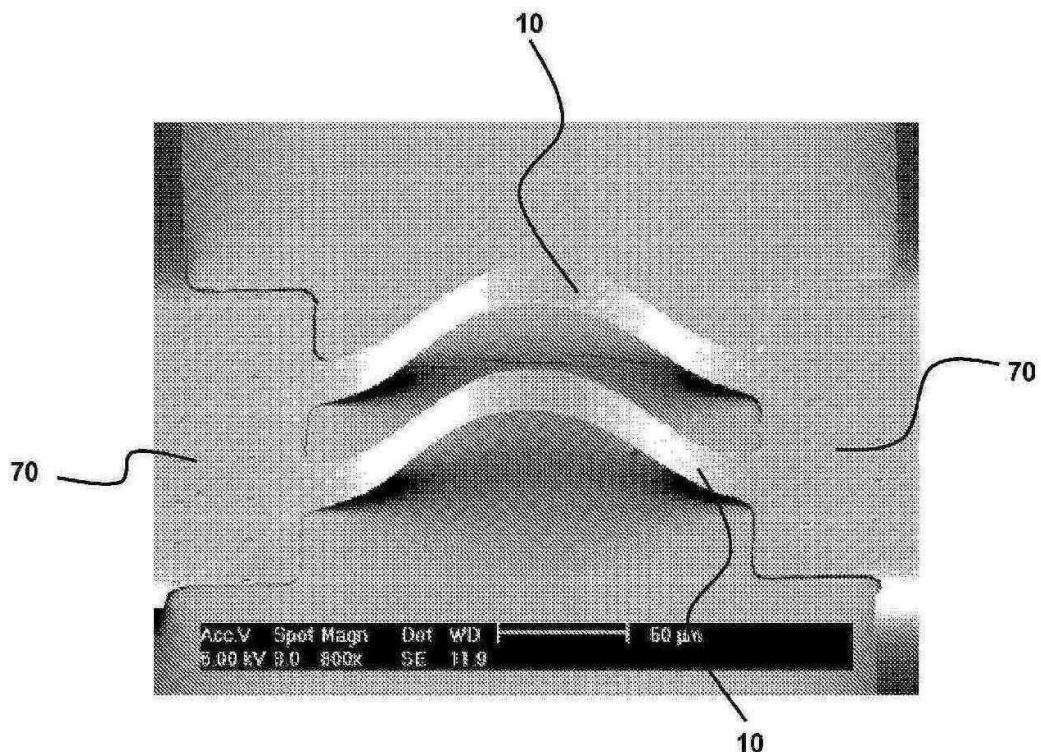
도면14b



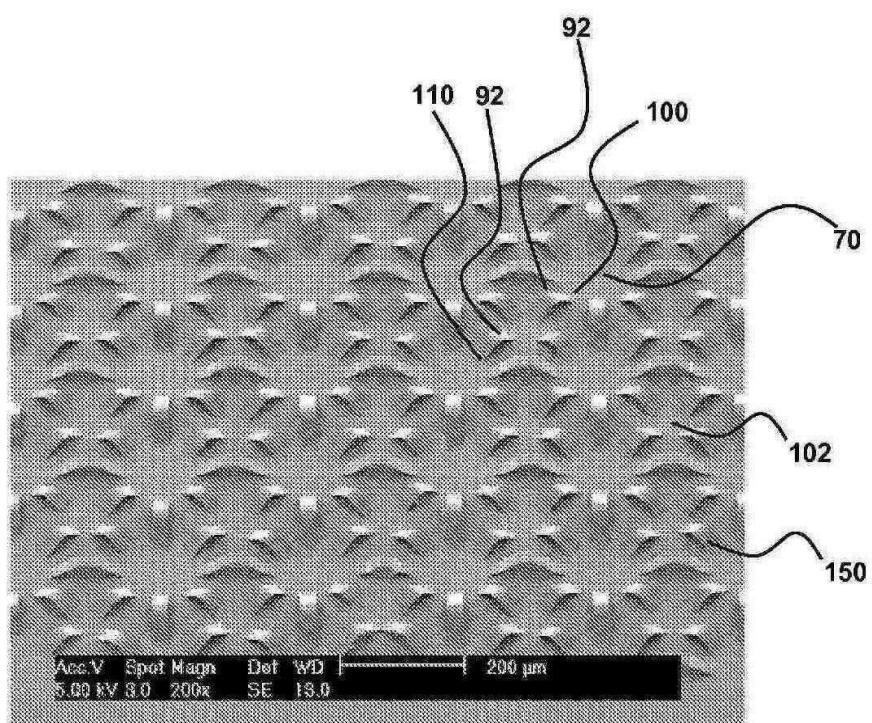
도면15a



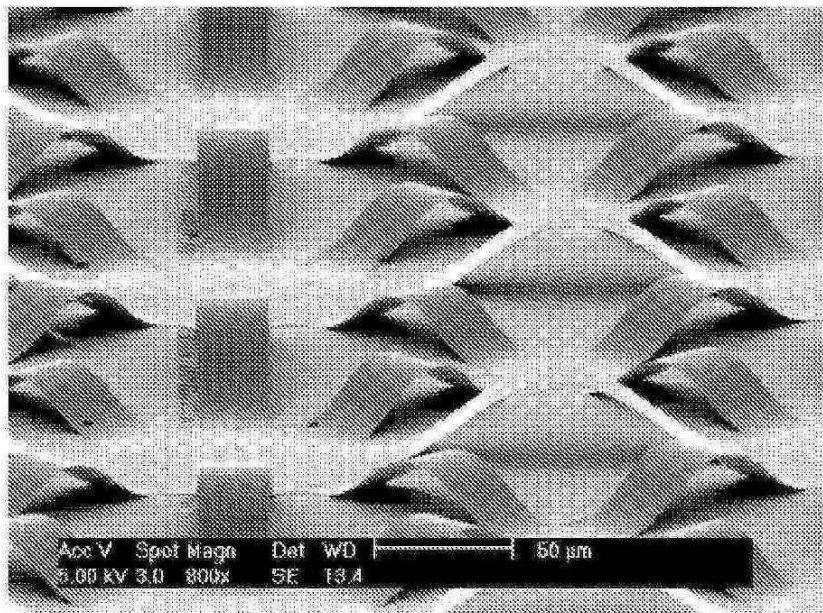
도면15b



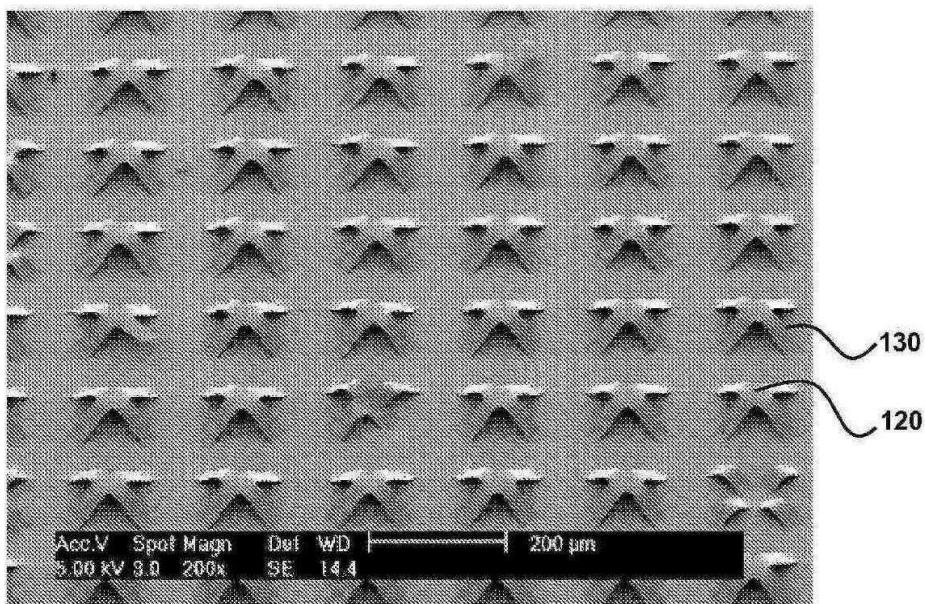
도면16a



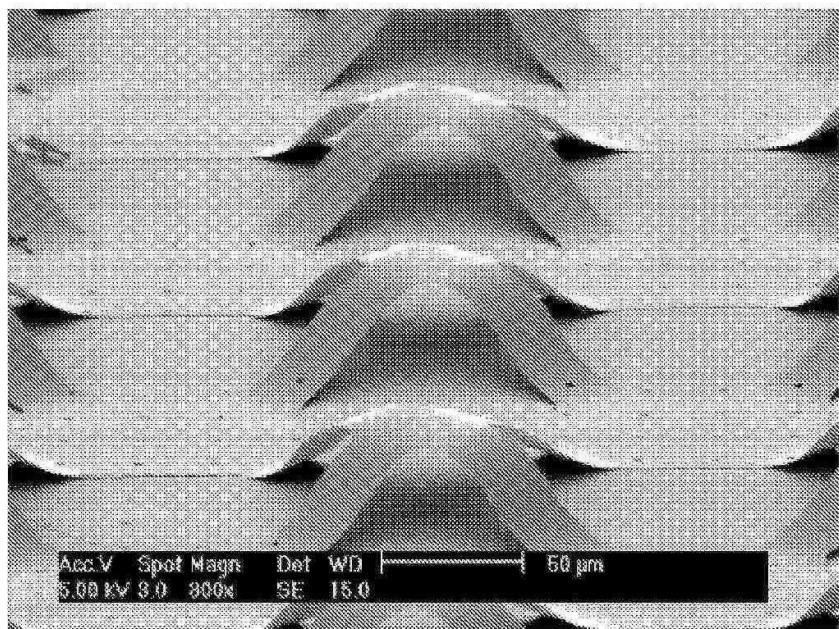
도면16b



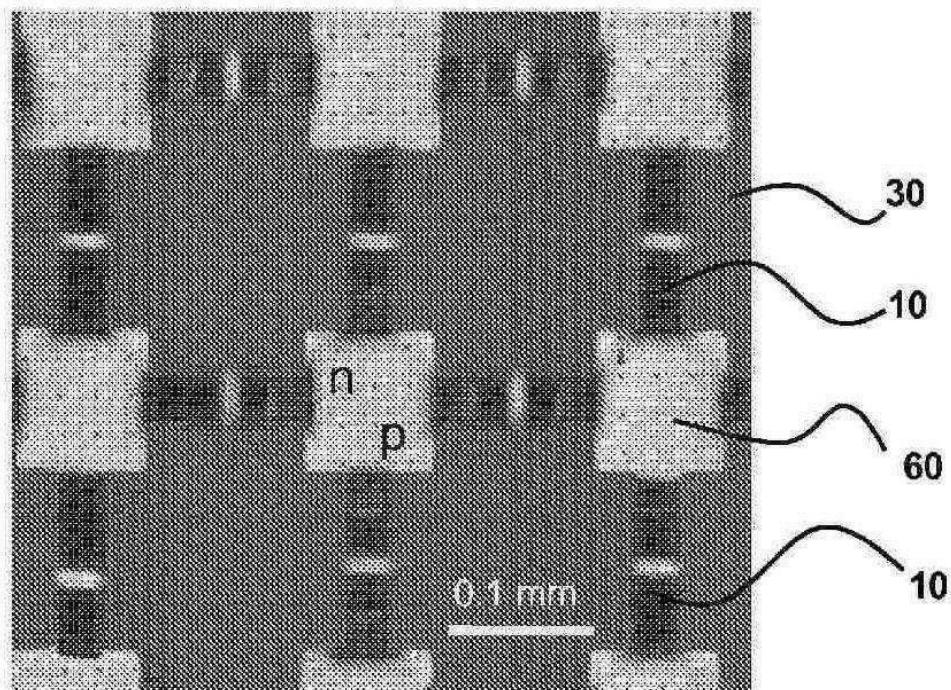
도면17a



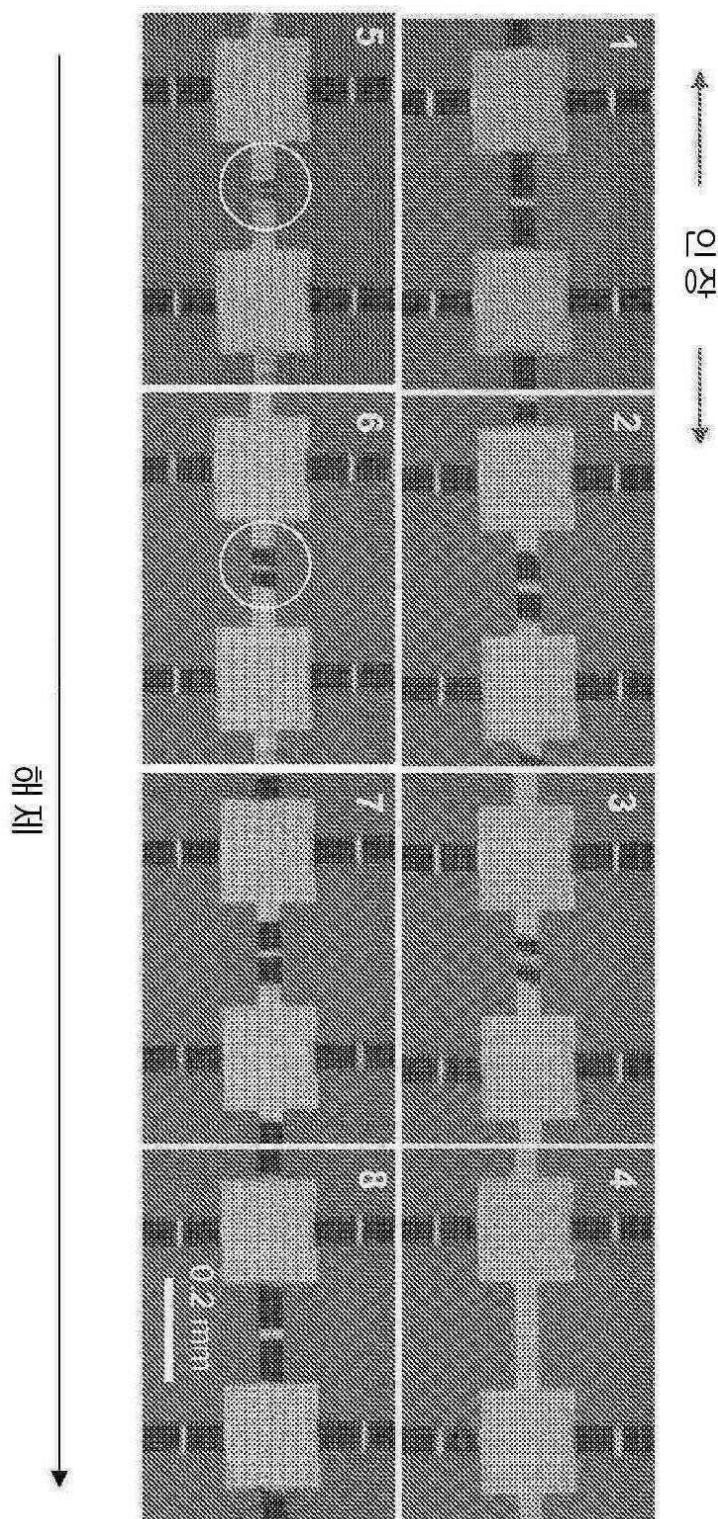
도면17b



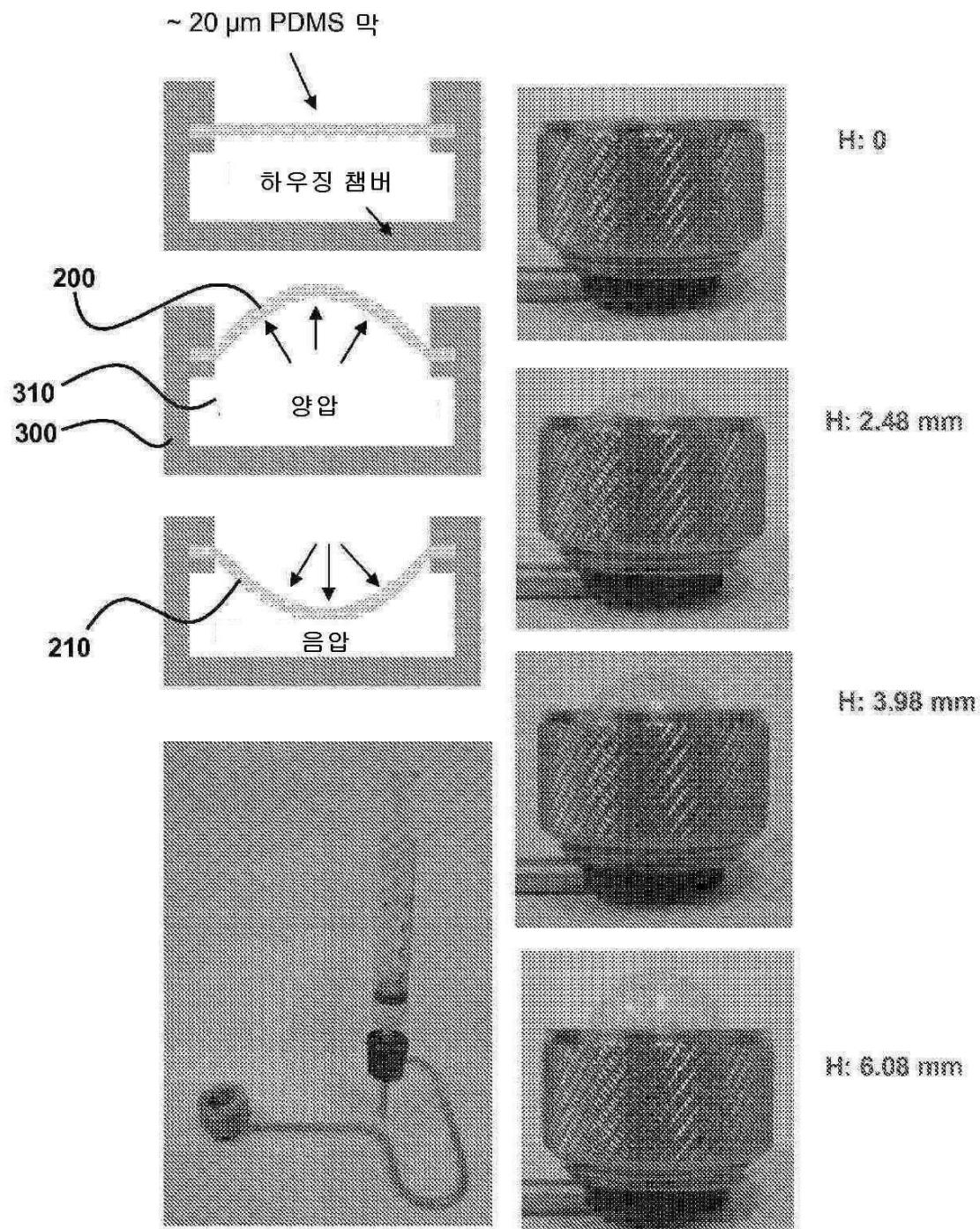
도면18



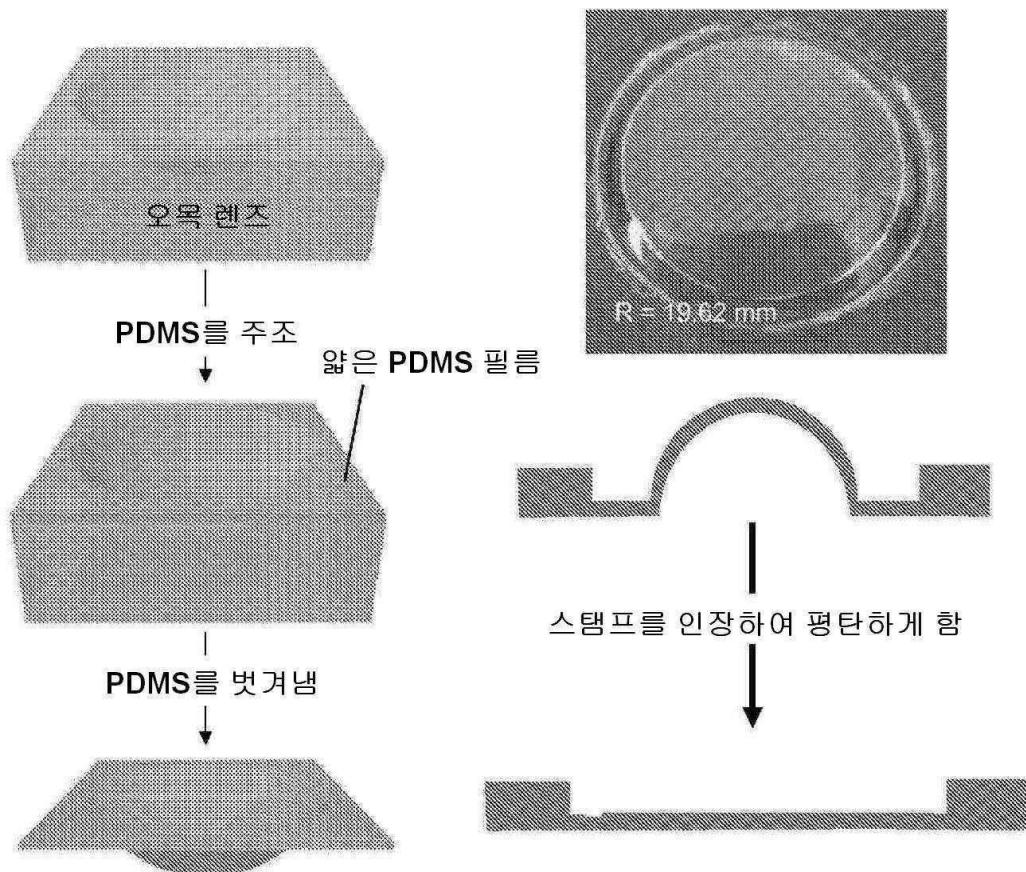
도면19



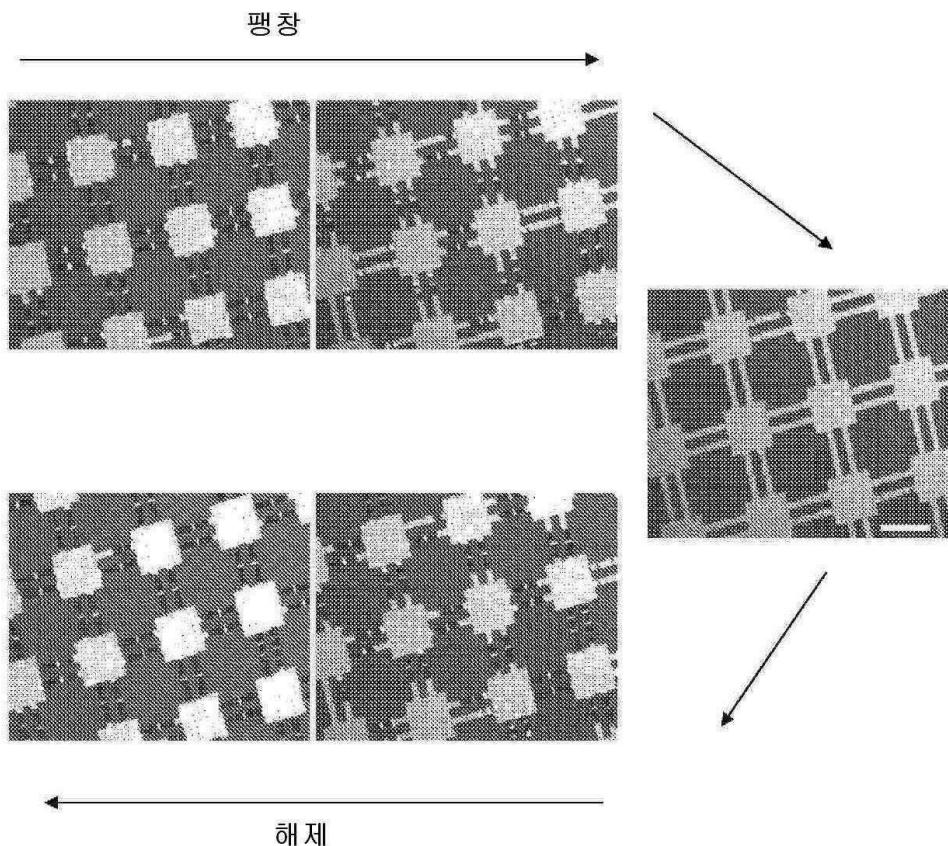
도면20



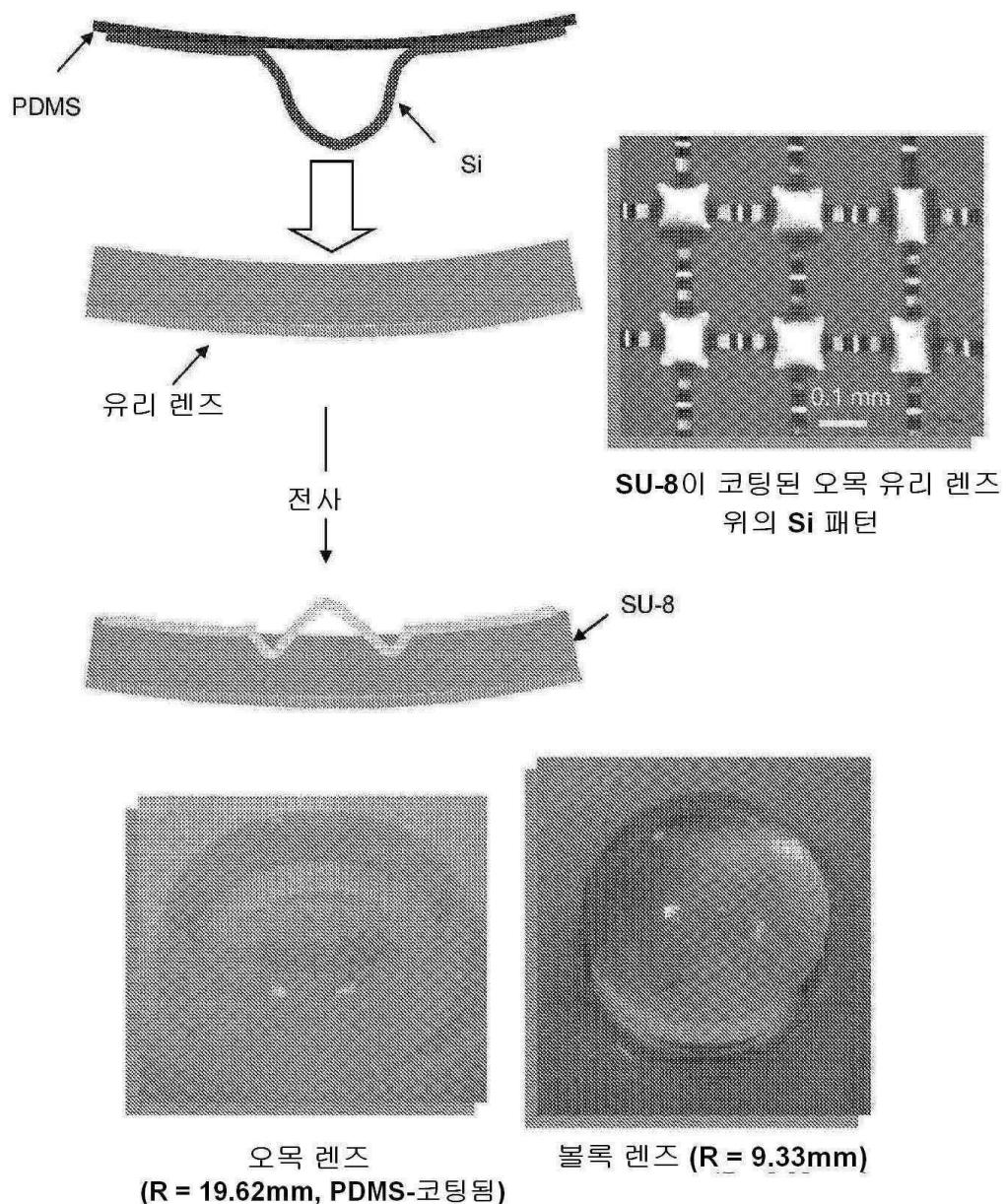
도면21



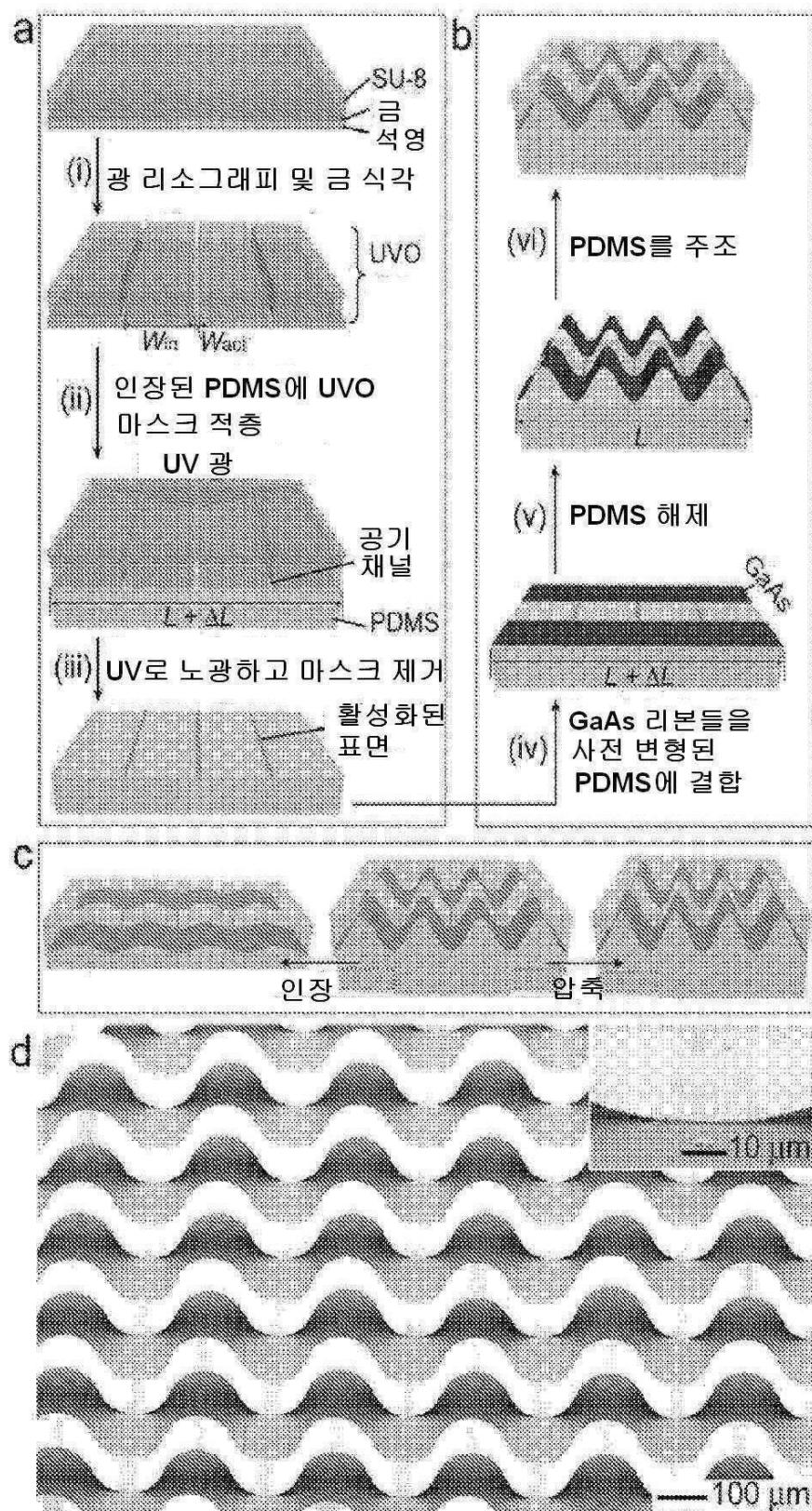
도면22



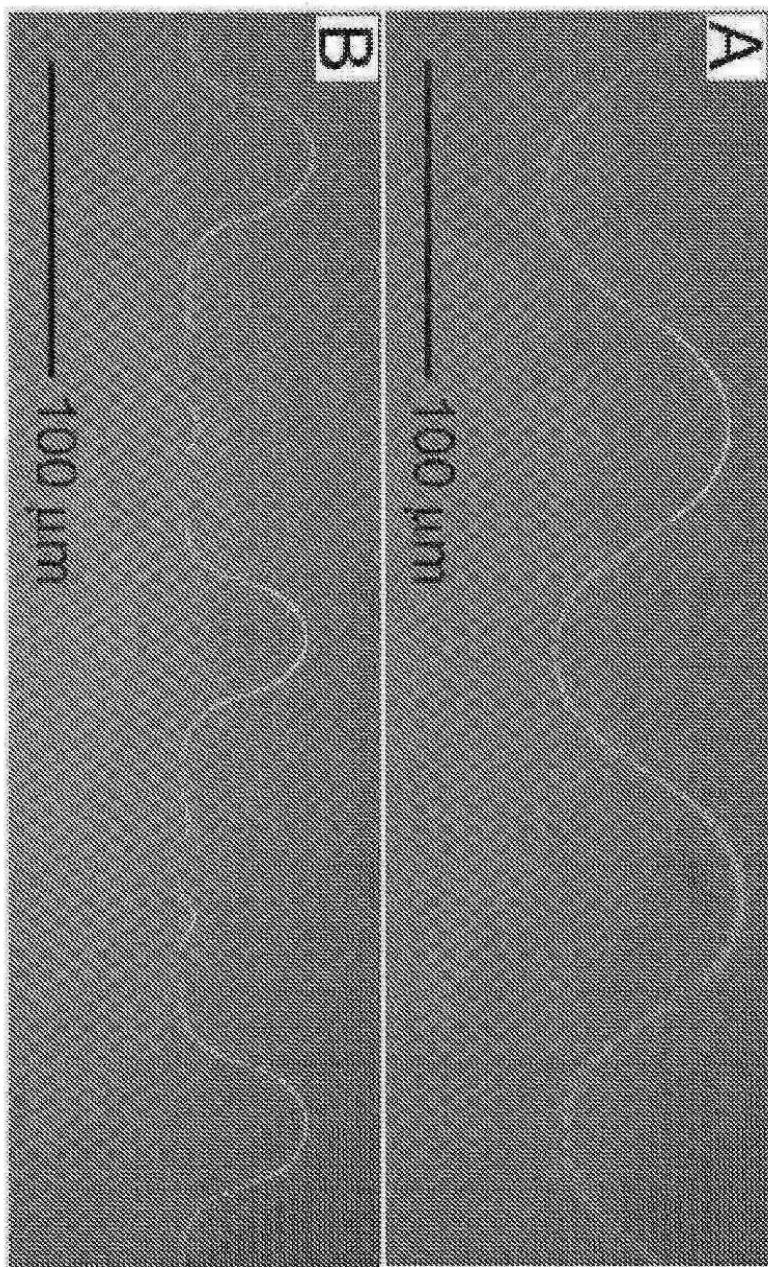
도면23



도면24



도면25



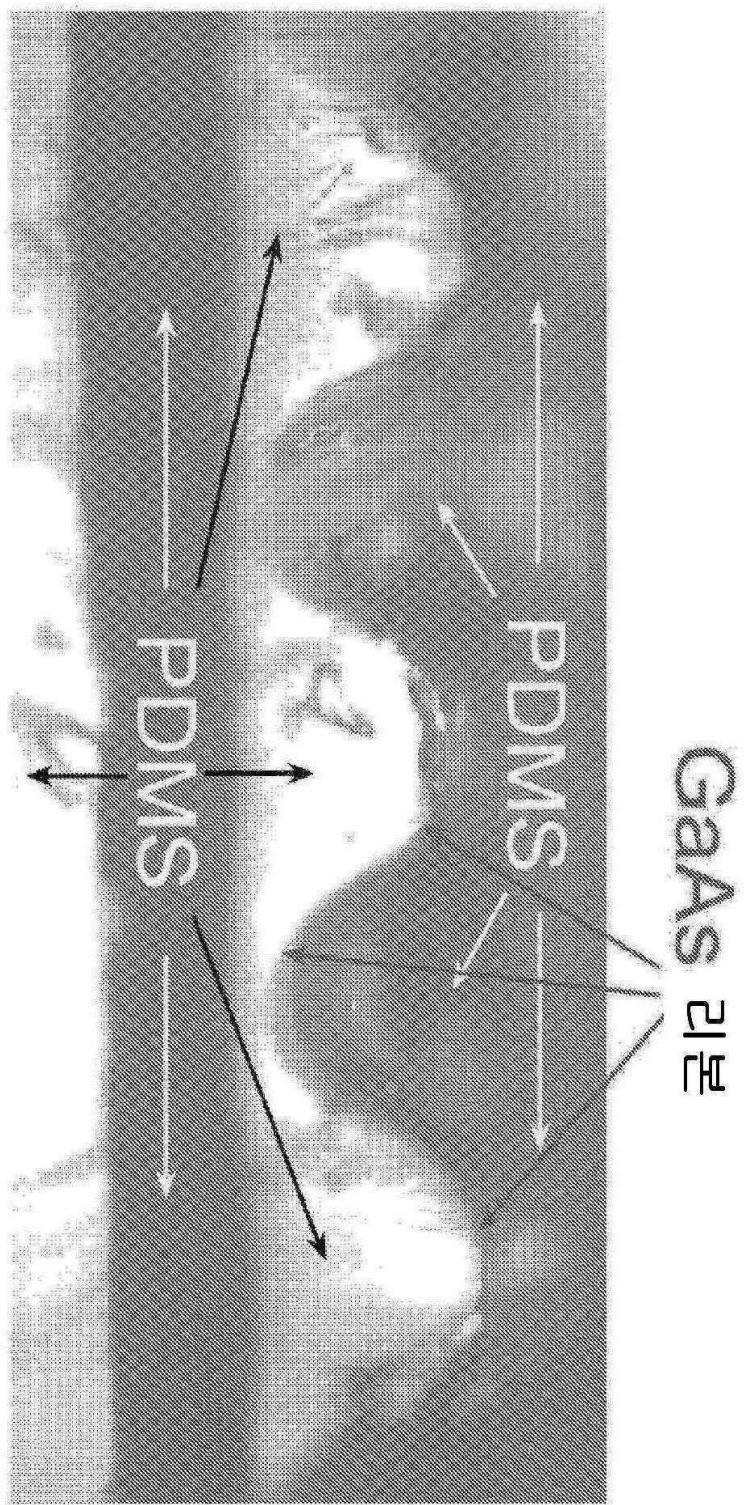
사전 변형 =
33.7%

$W_{act} = 10 \mu\text{m}$

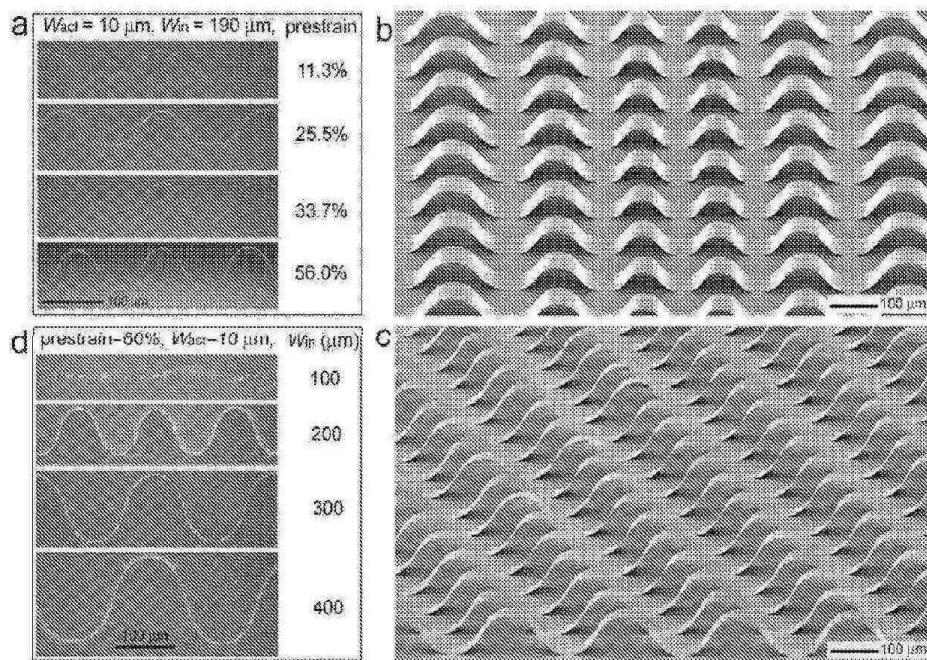
$W_{In} = 190 \mu\text{m}$

— 100 μm —

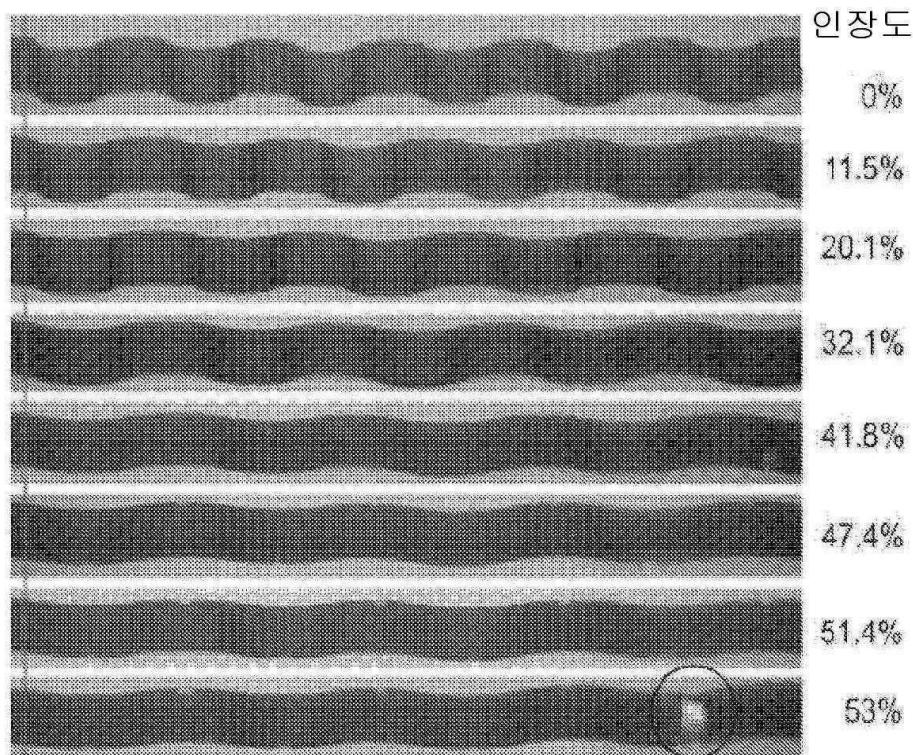
도면26



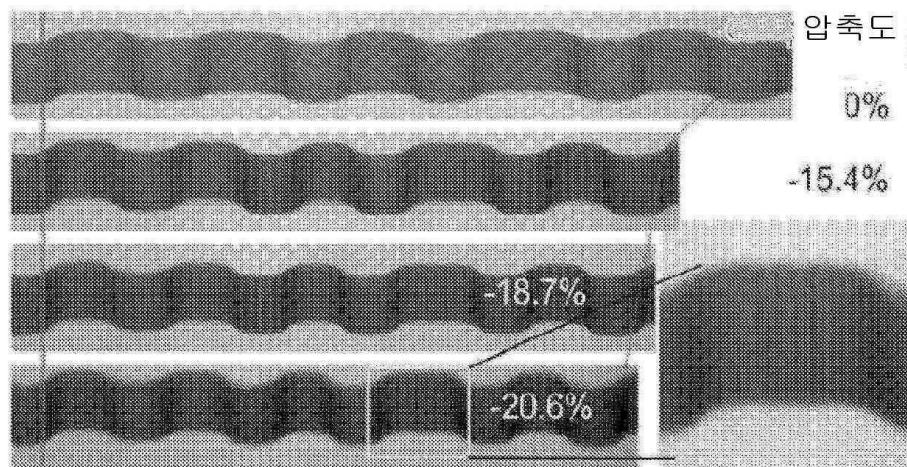
도면27



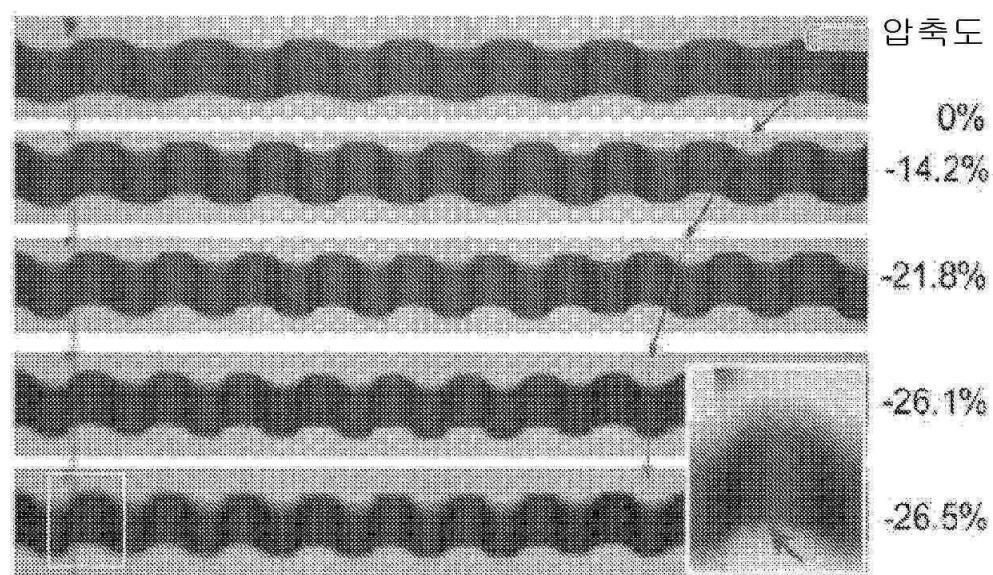
도면28a



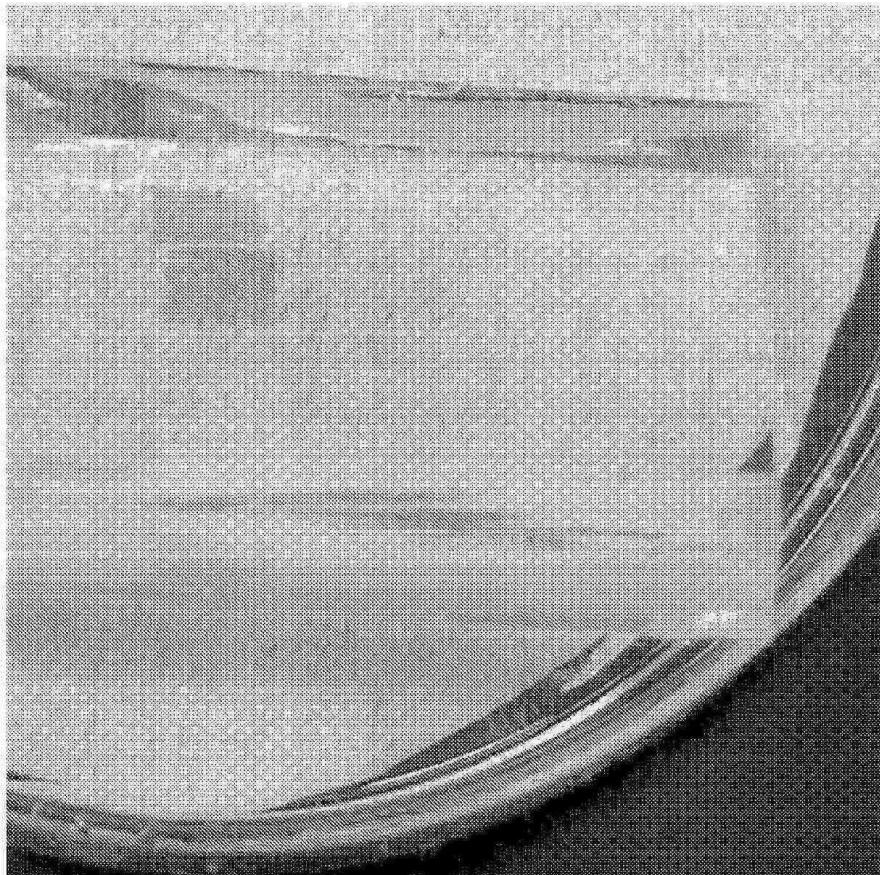
도면28b



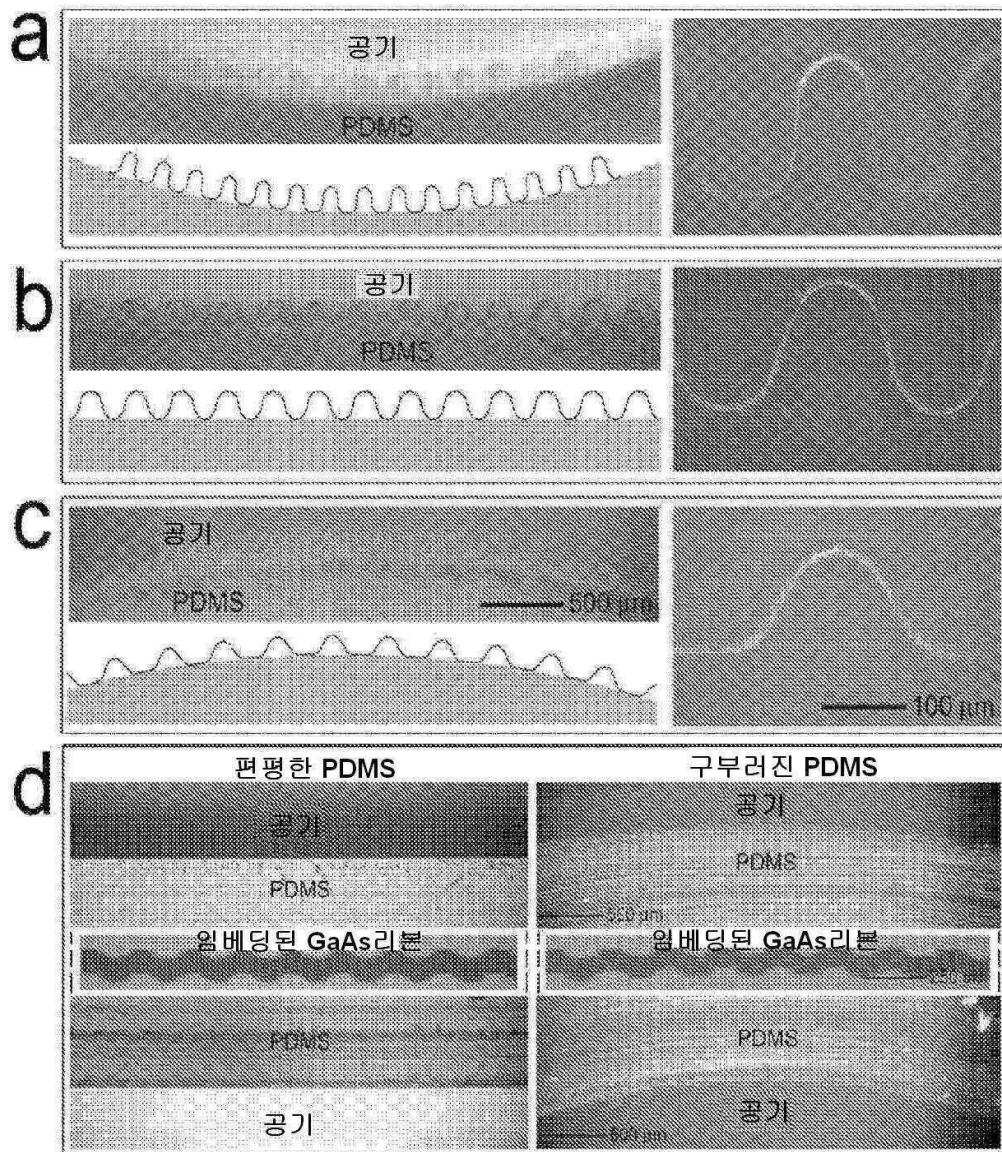
도면28c



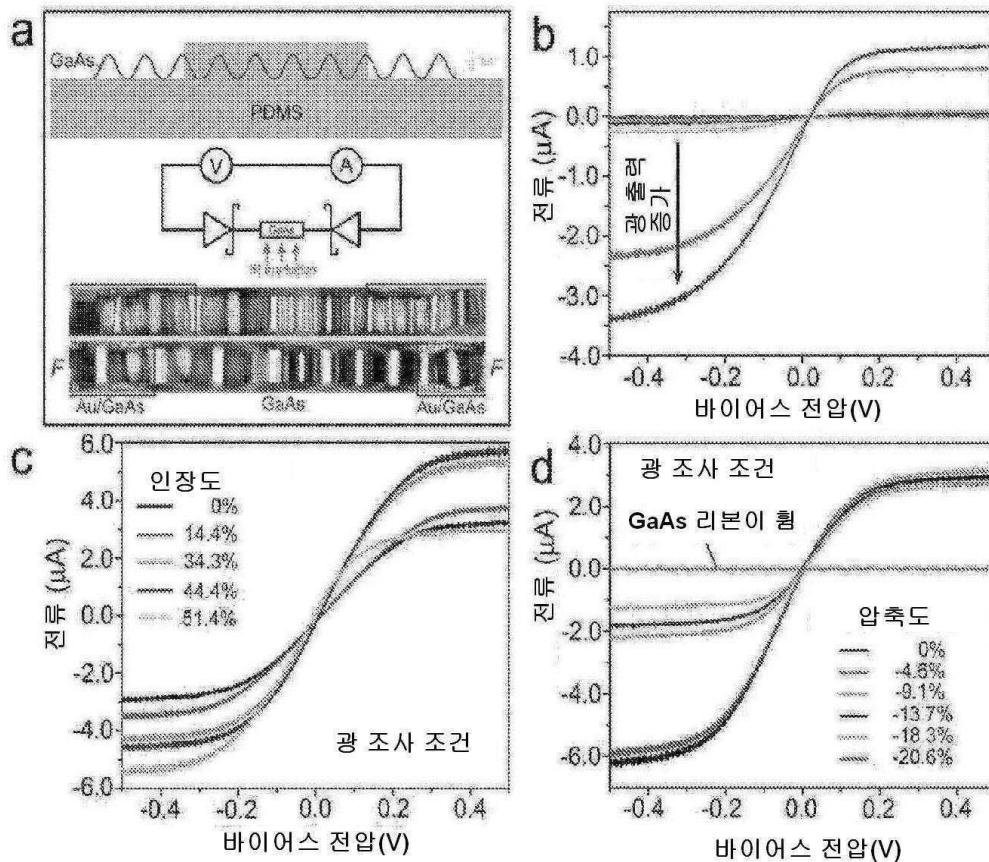
도면29



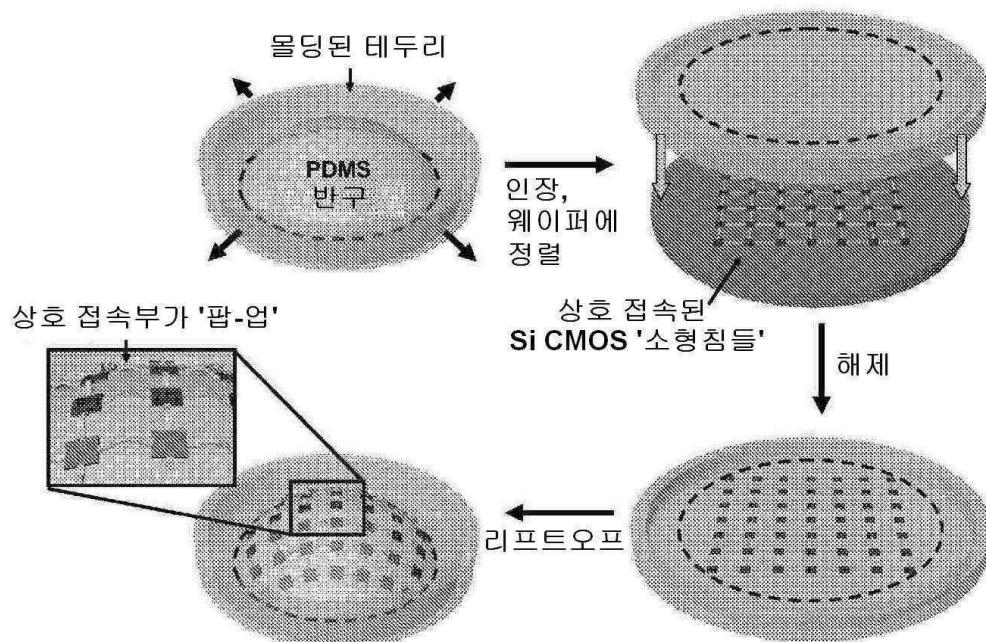
도면30



도면31



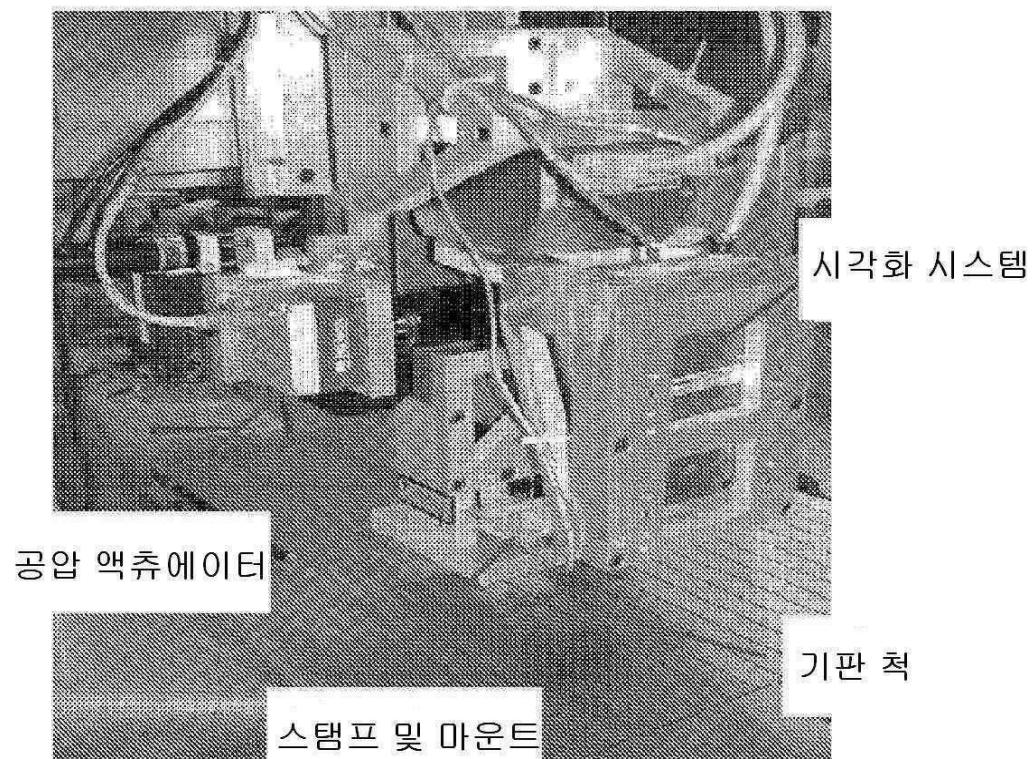
도면32



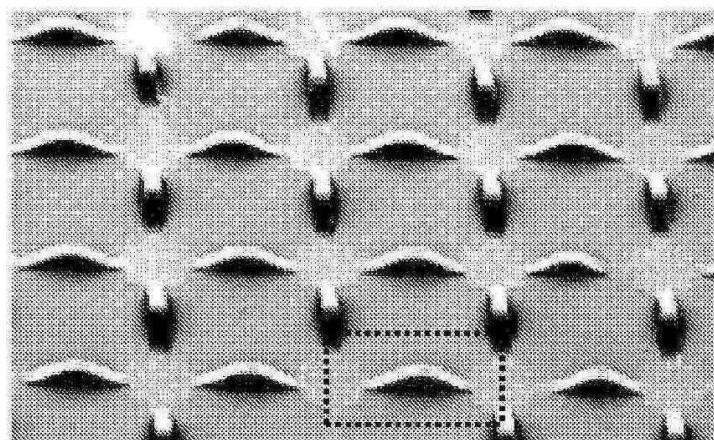
도면33



도면34



도면35

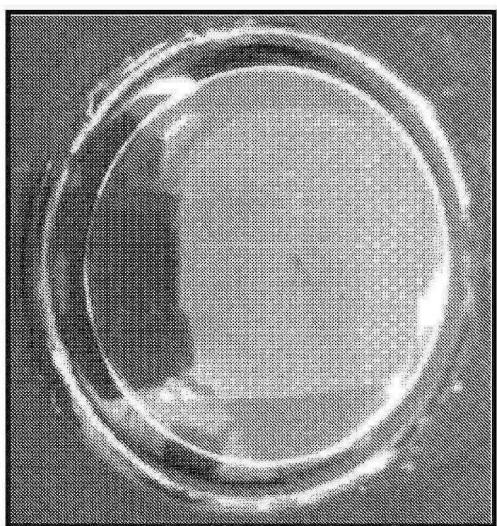
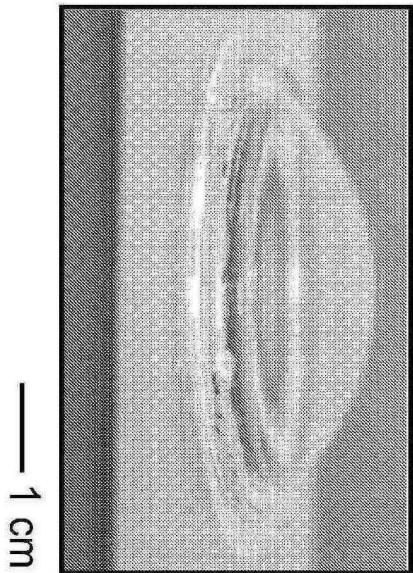


— 200 μm

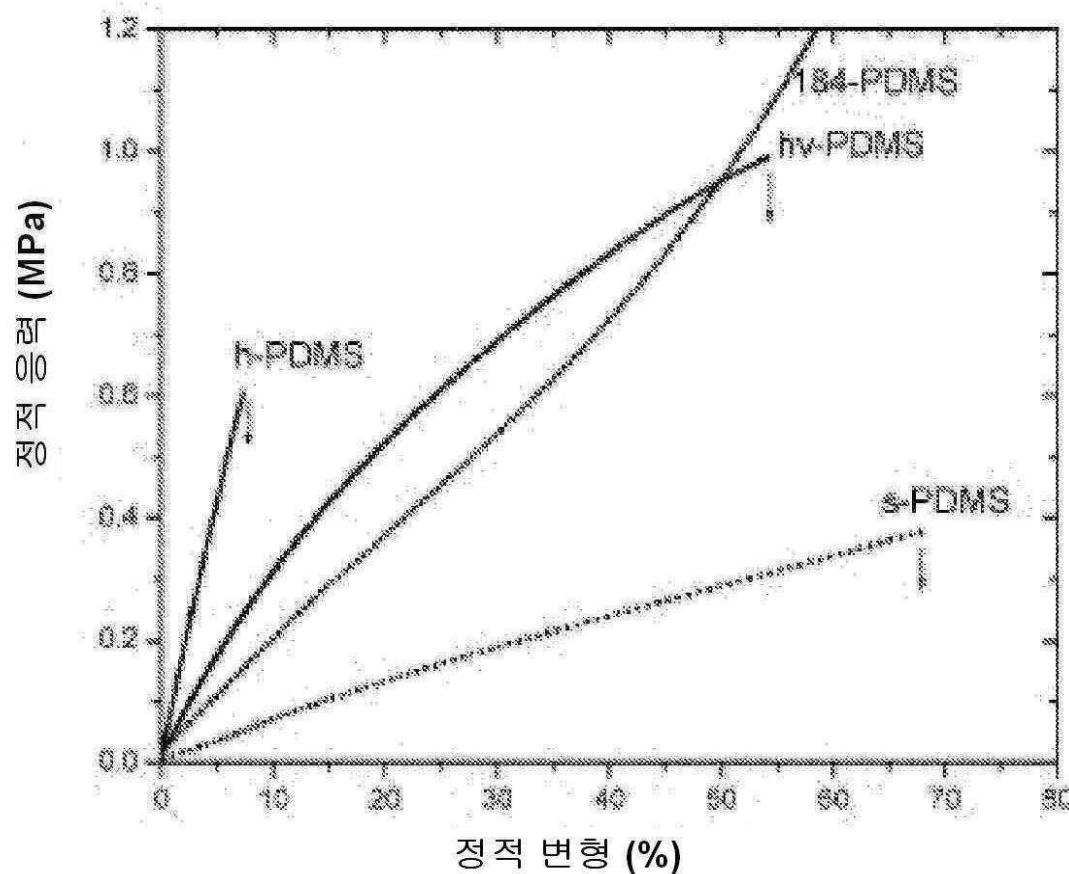


— 50 μm

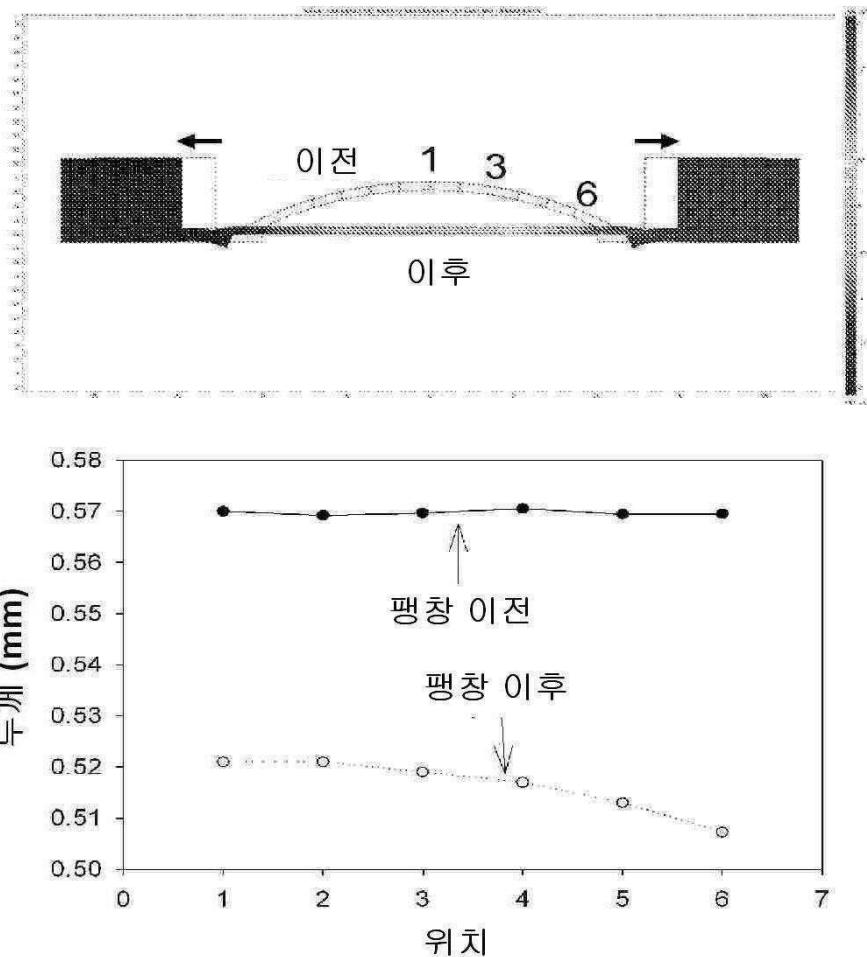
도면36



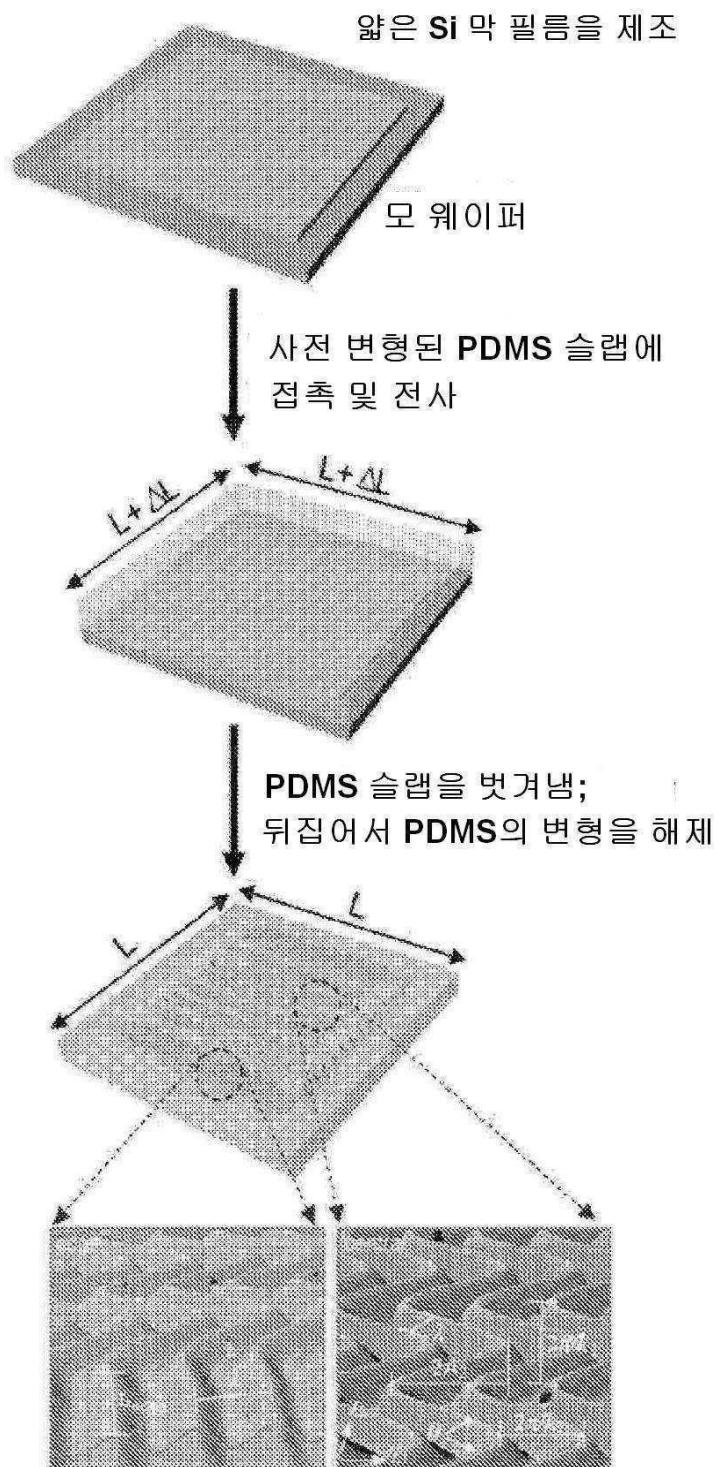
도면37



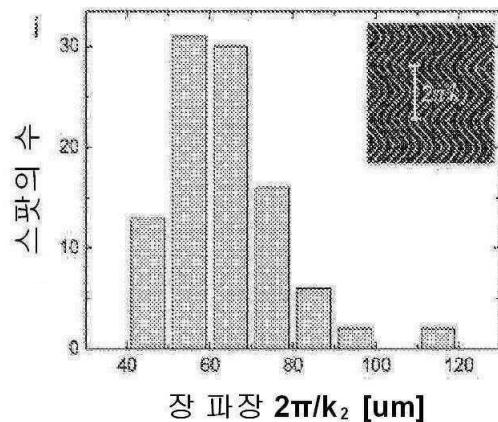
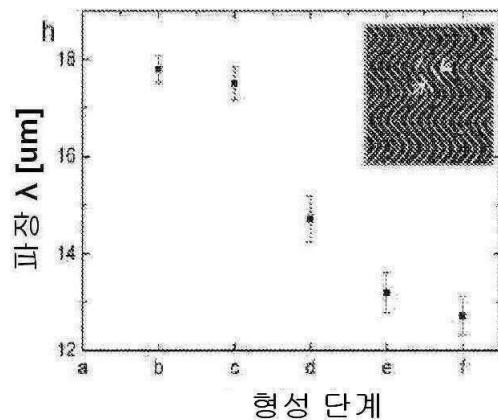
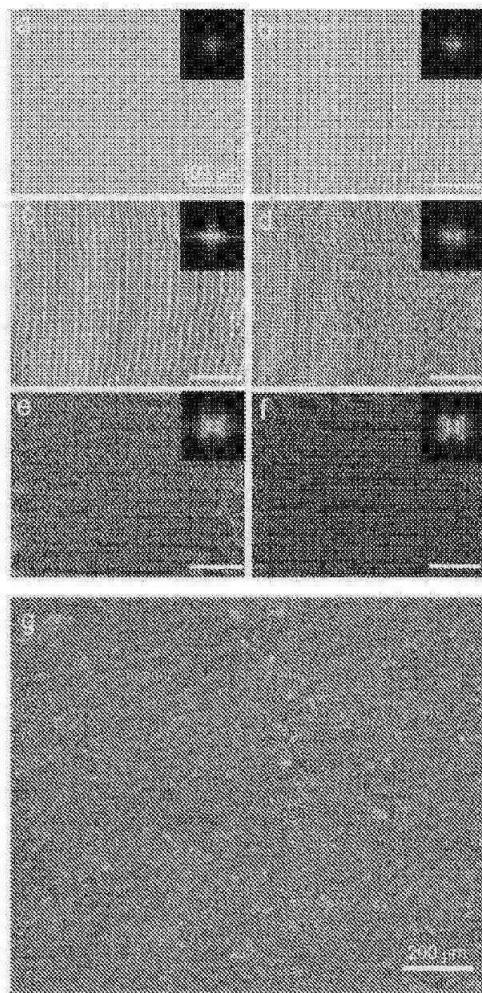
도면38



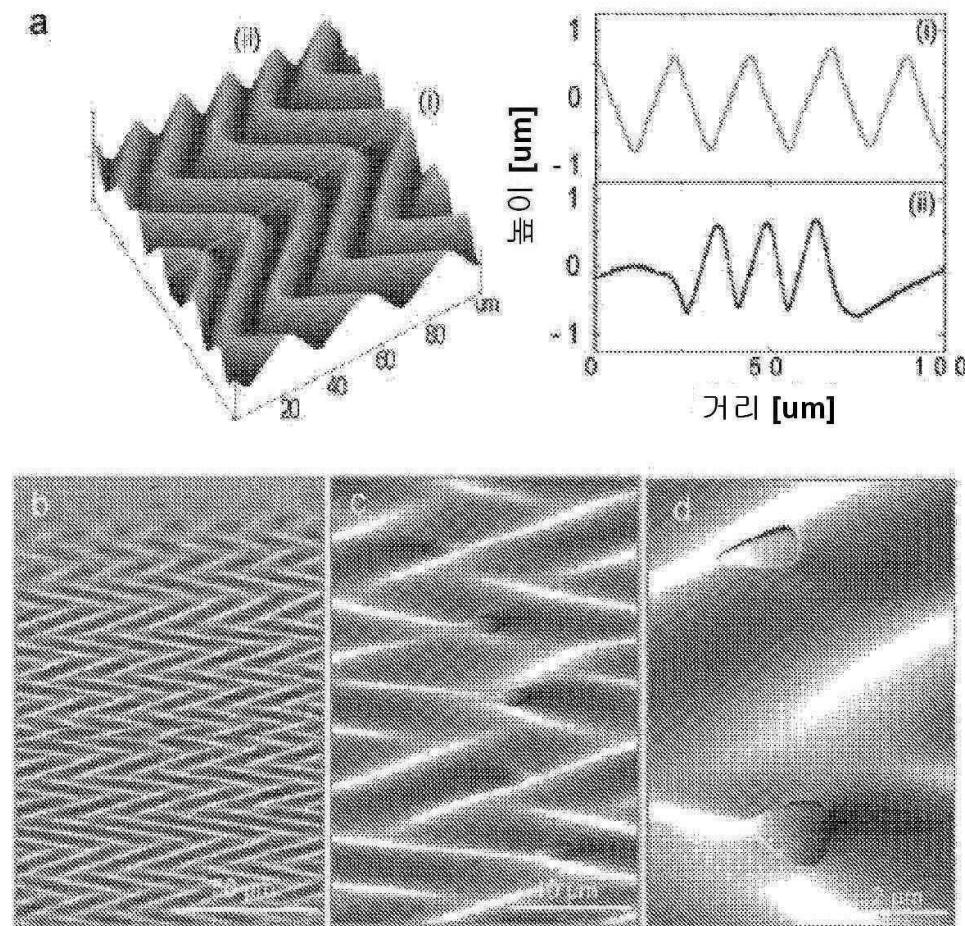
도면39



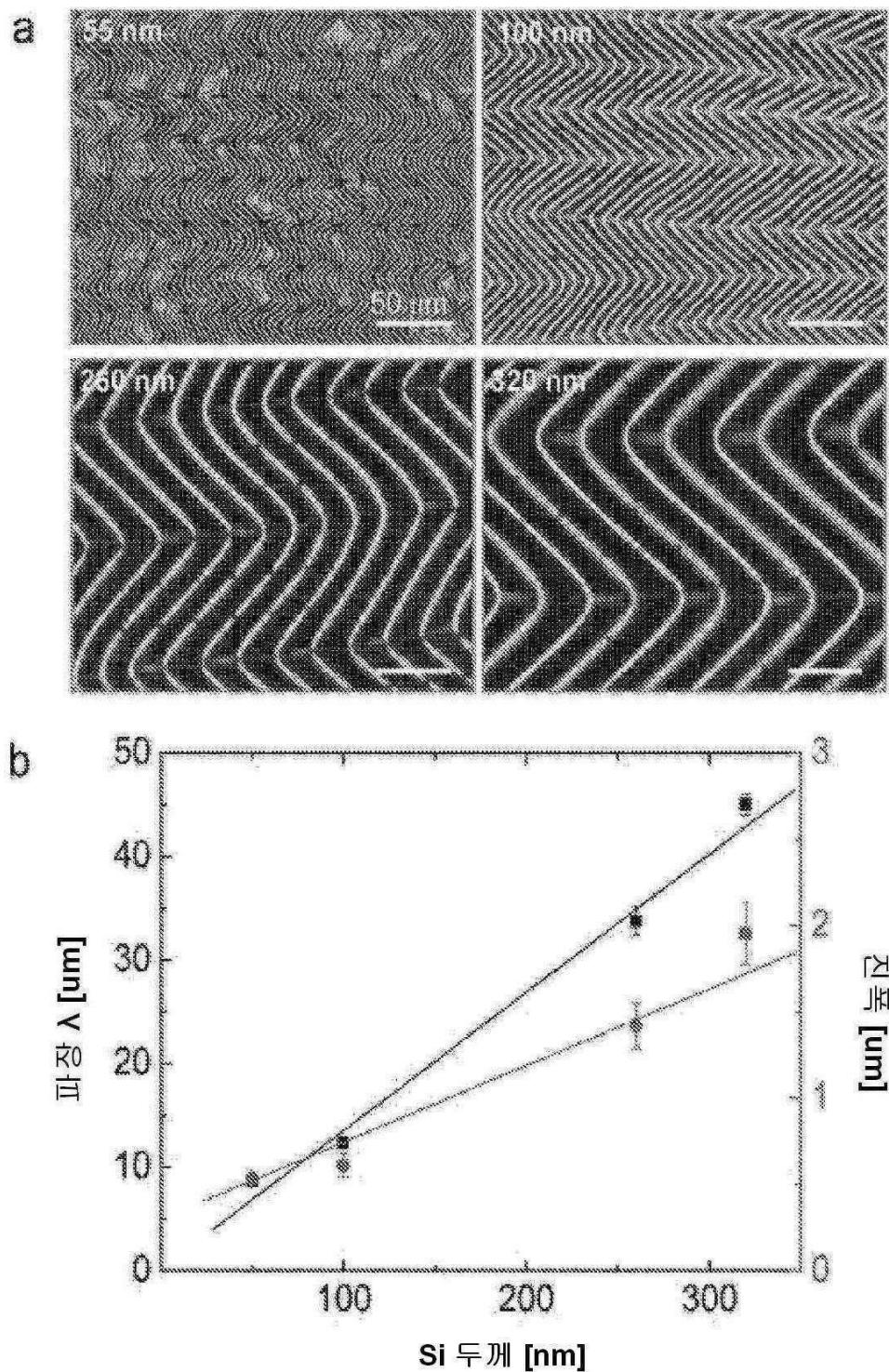
도면40



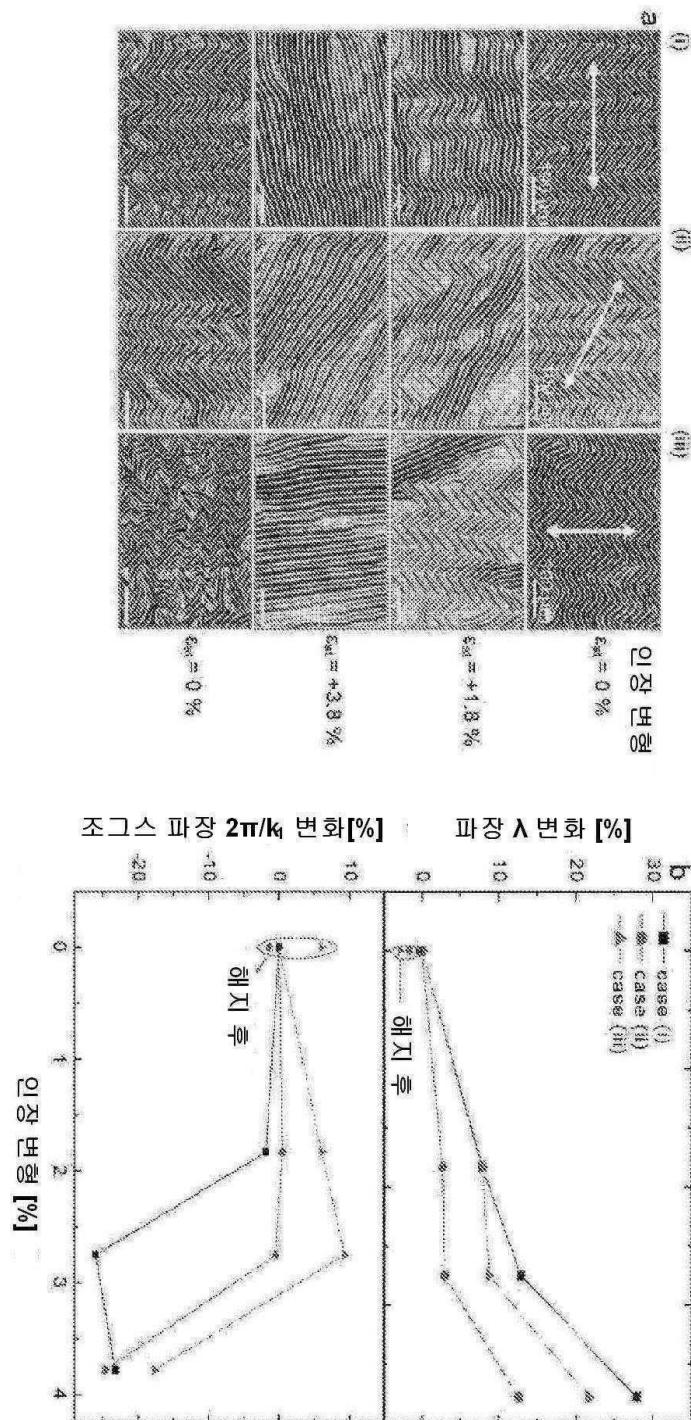
도면41



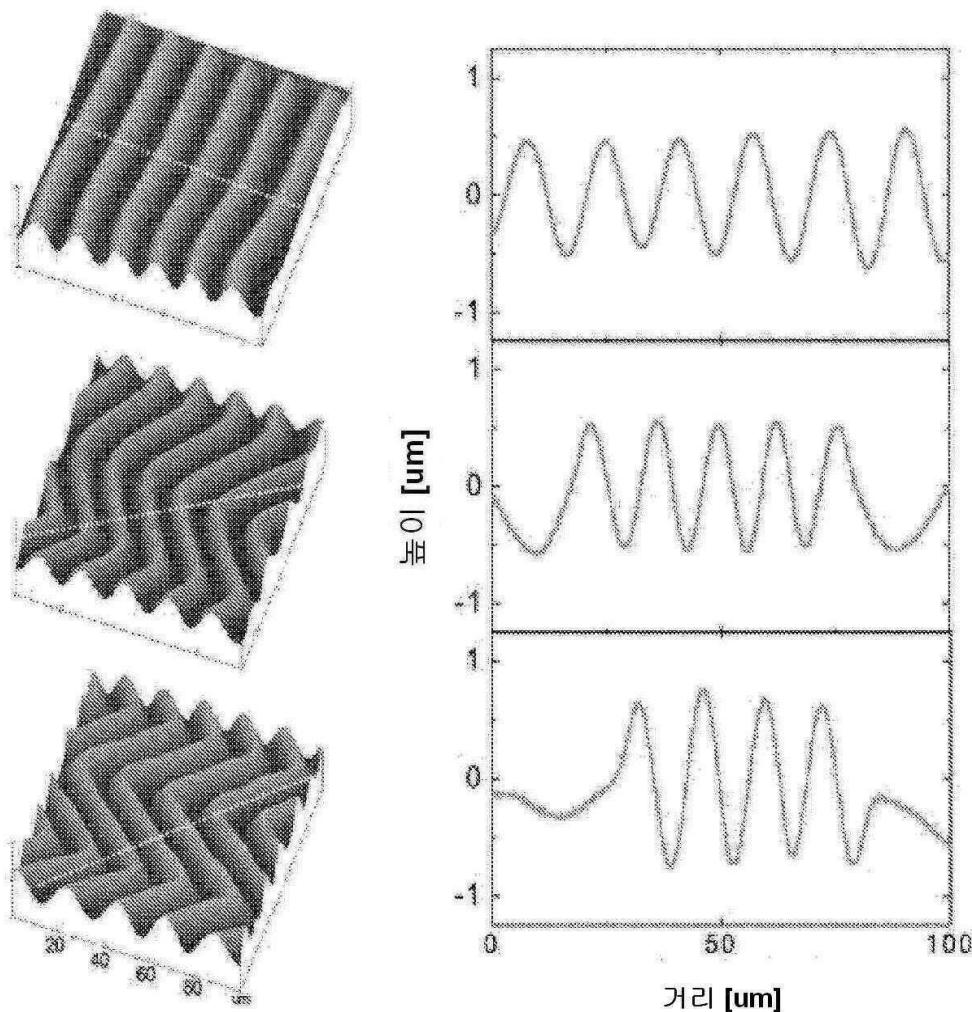
도면42



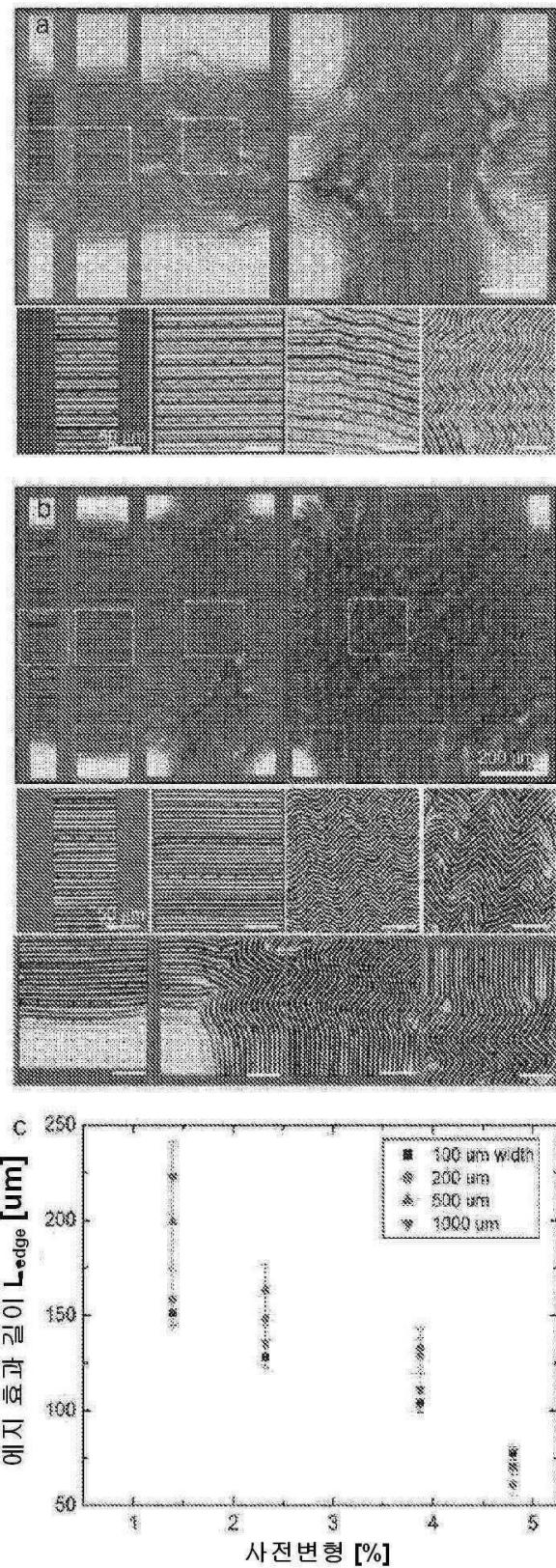
도면43



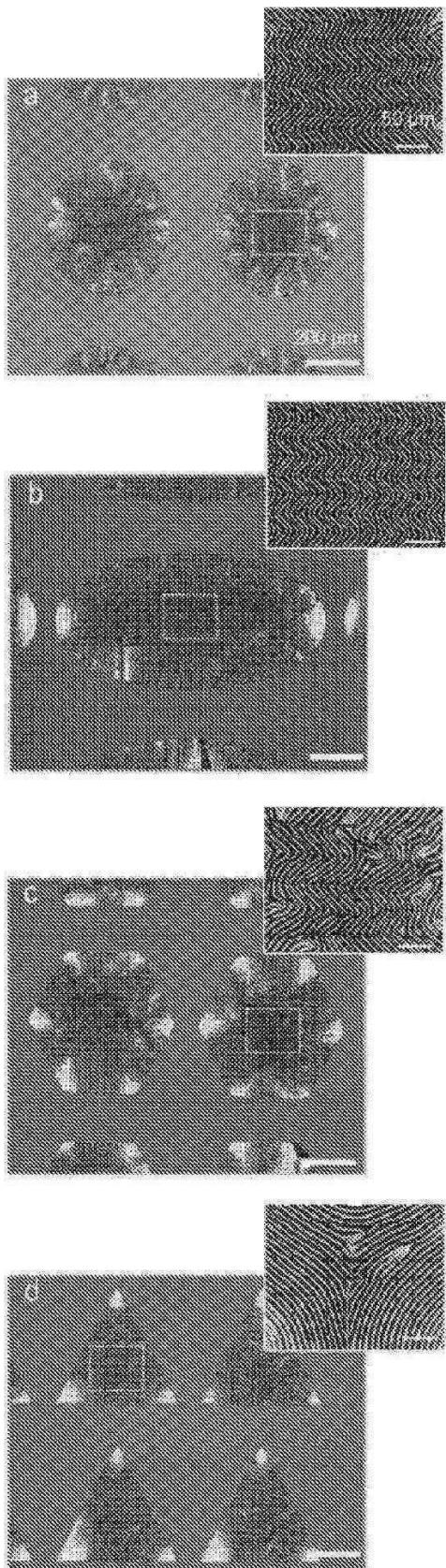
도면44



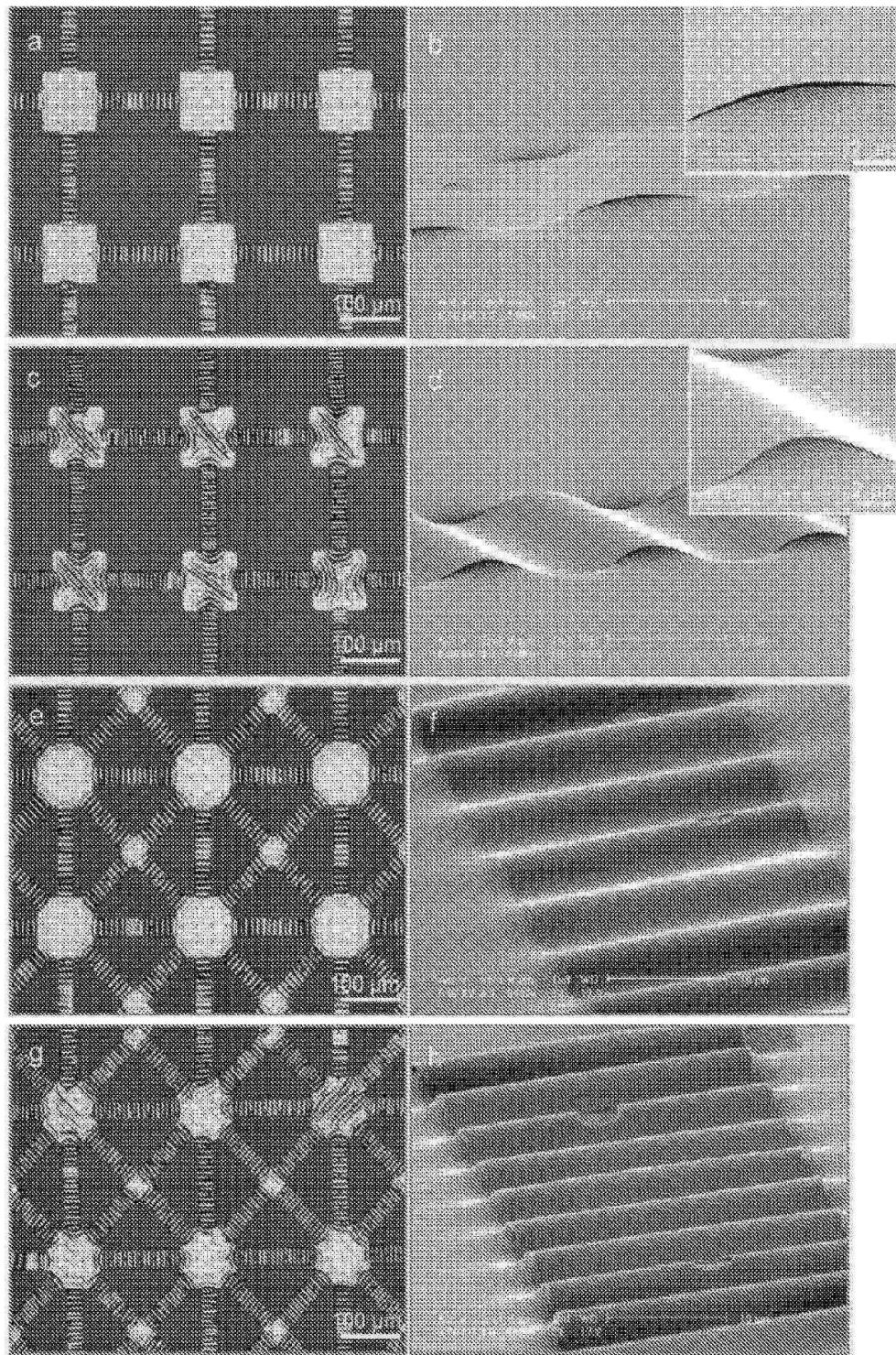
도면45



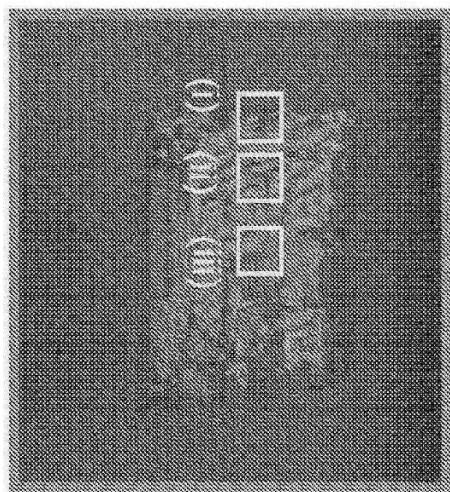
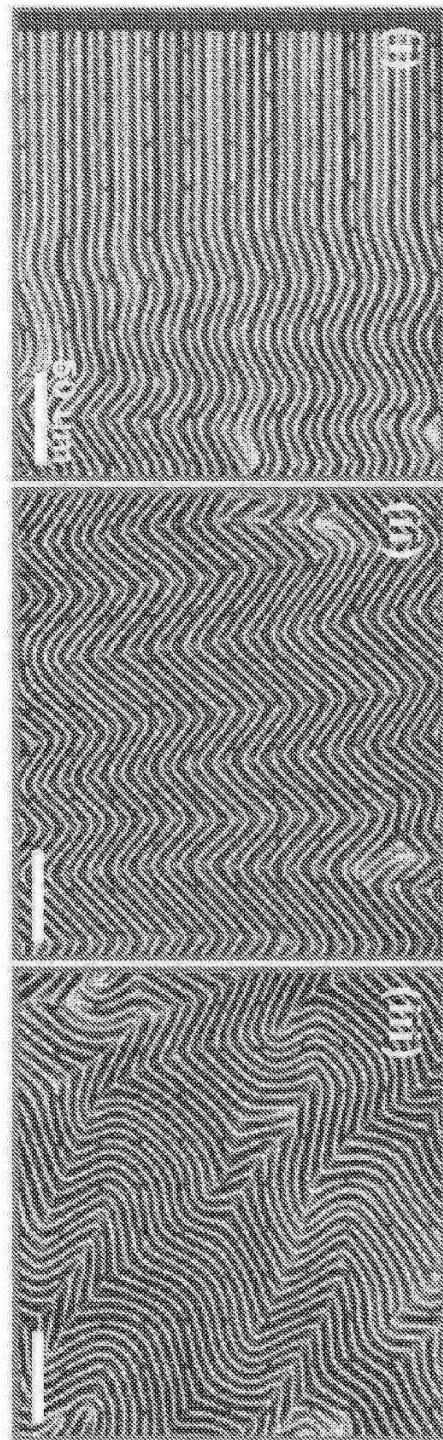
도면46



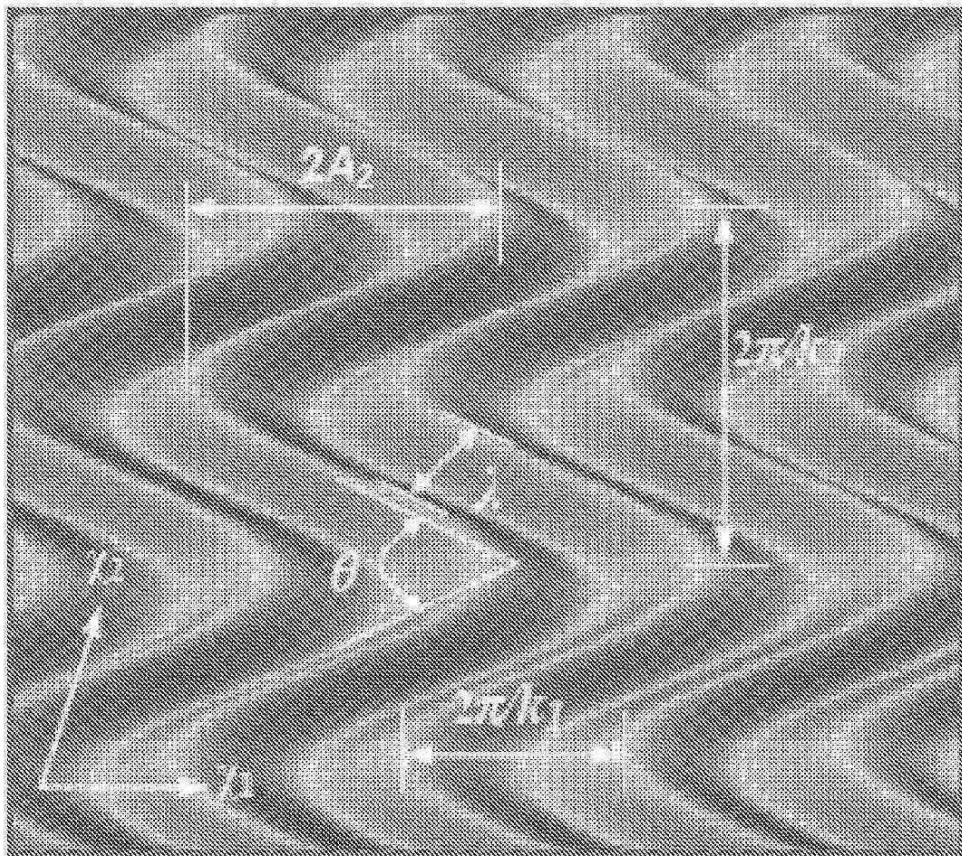
도면47



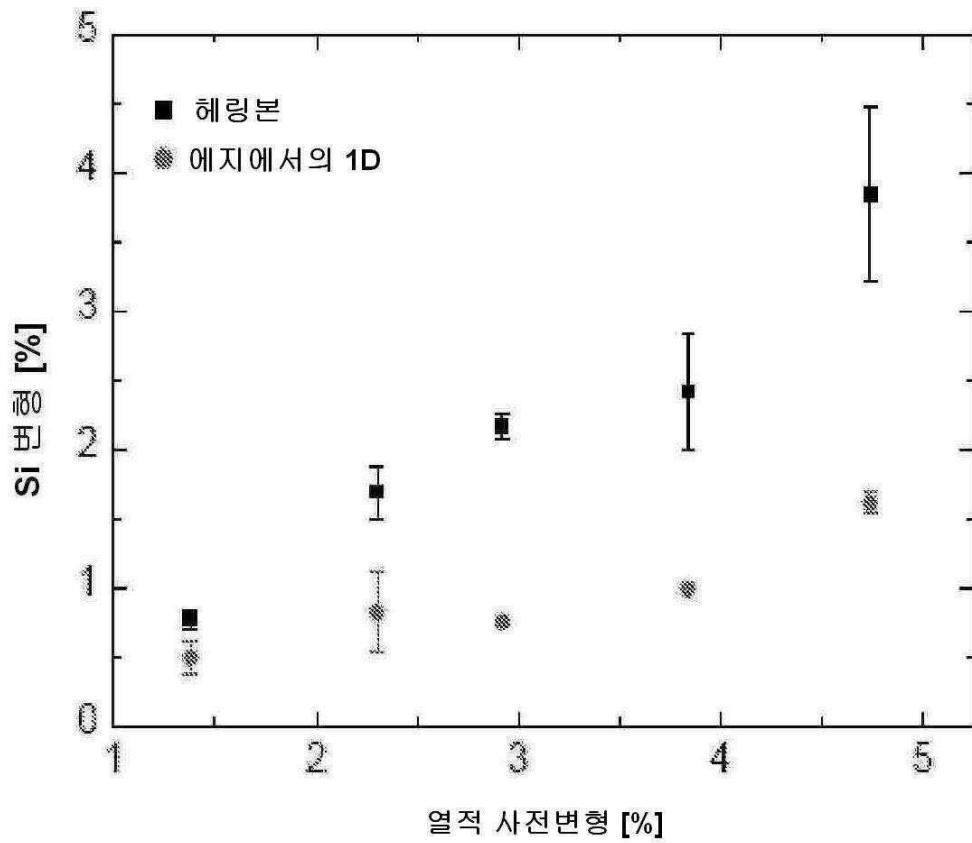
도면48



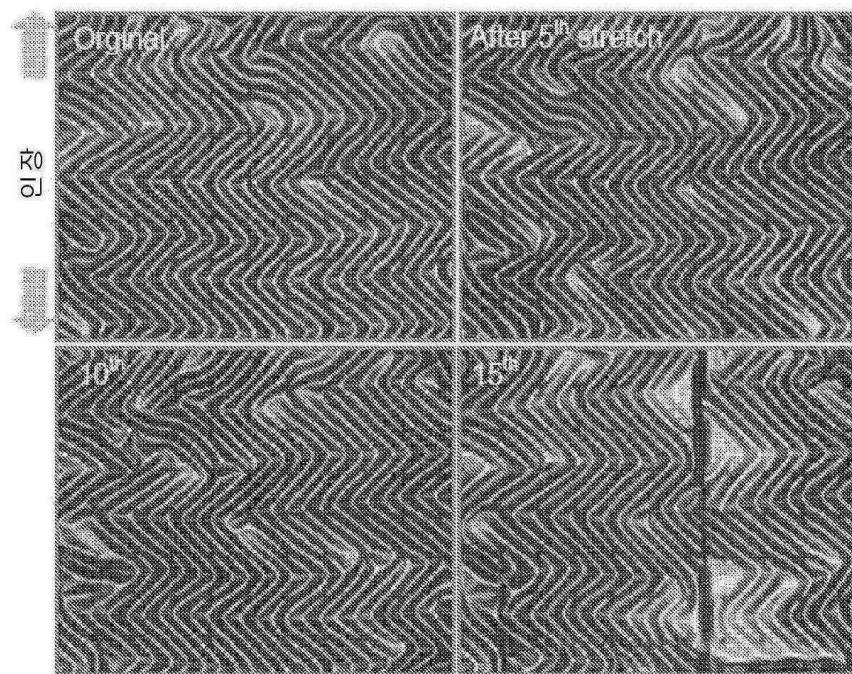
도면49



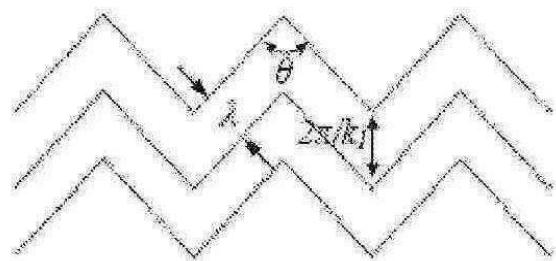
도면50



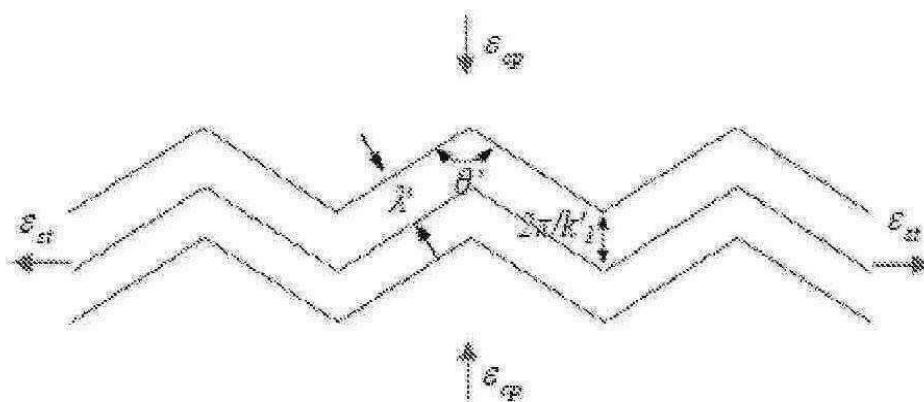
도면51



도면52

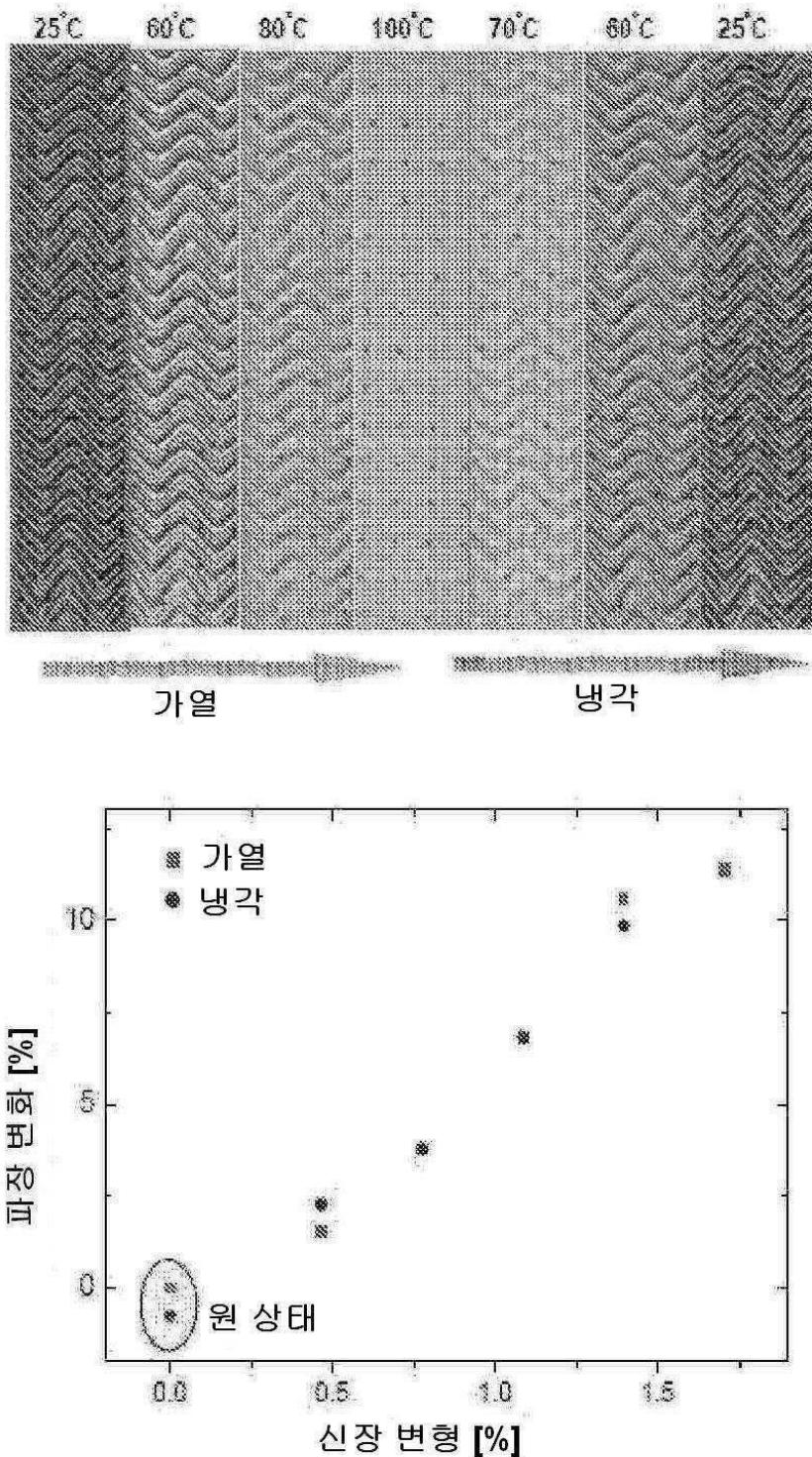


(a)



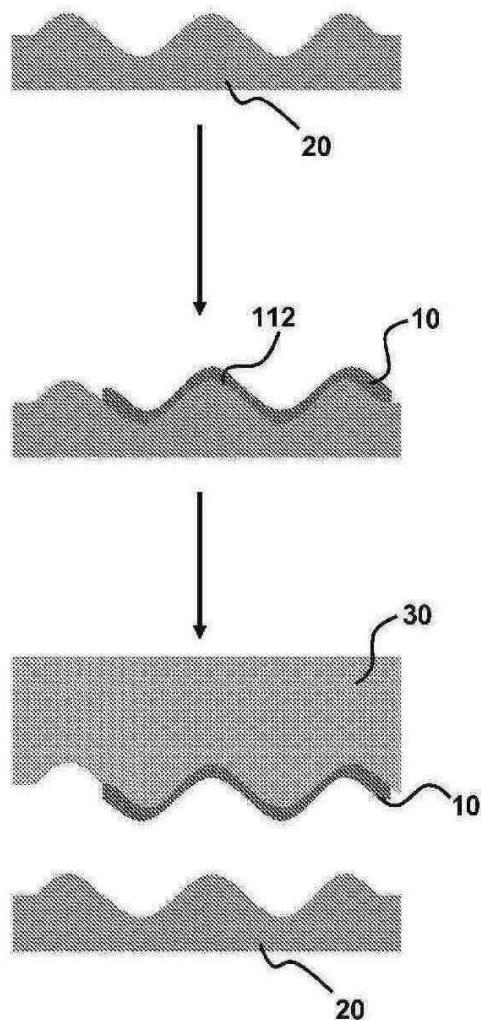
(b)

도면53

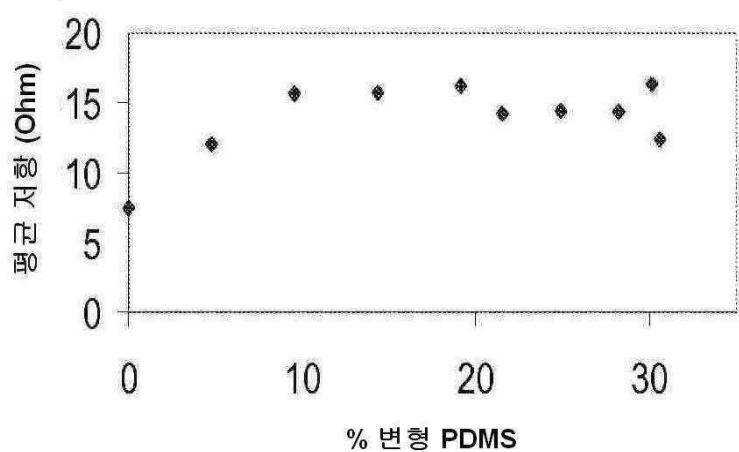
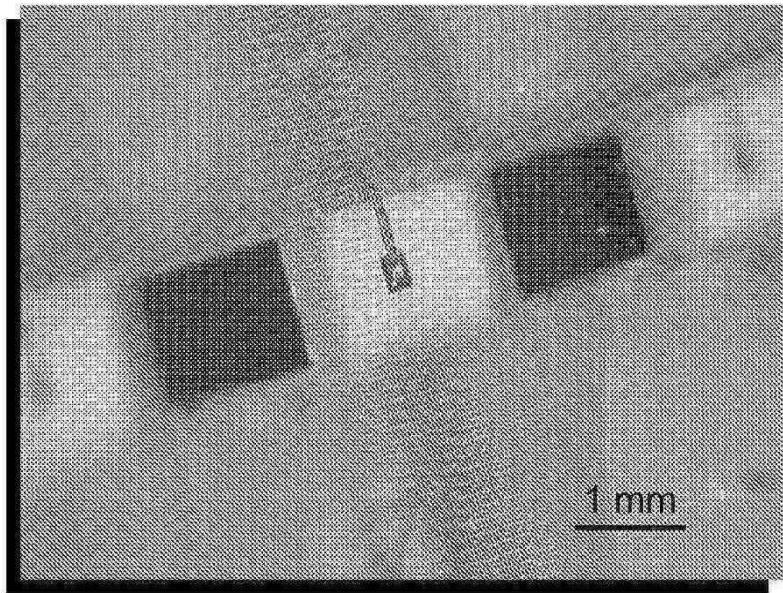


도면54

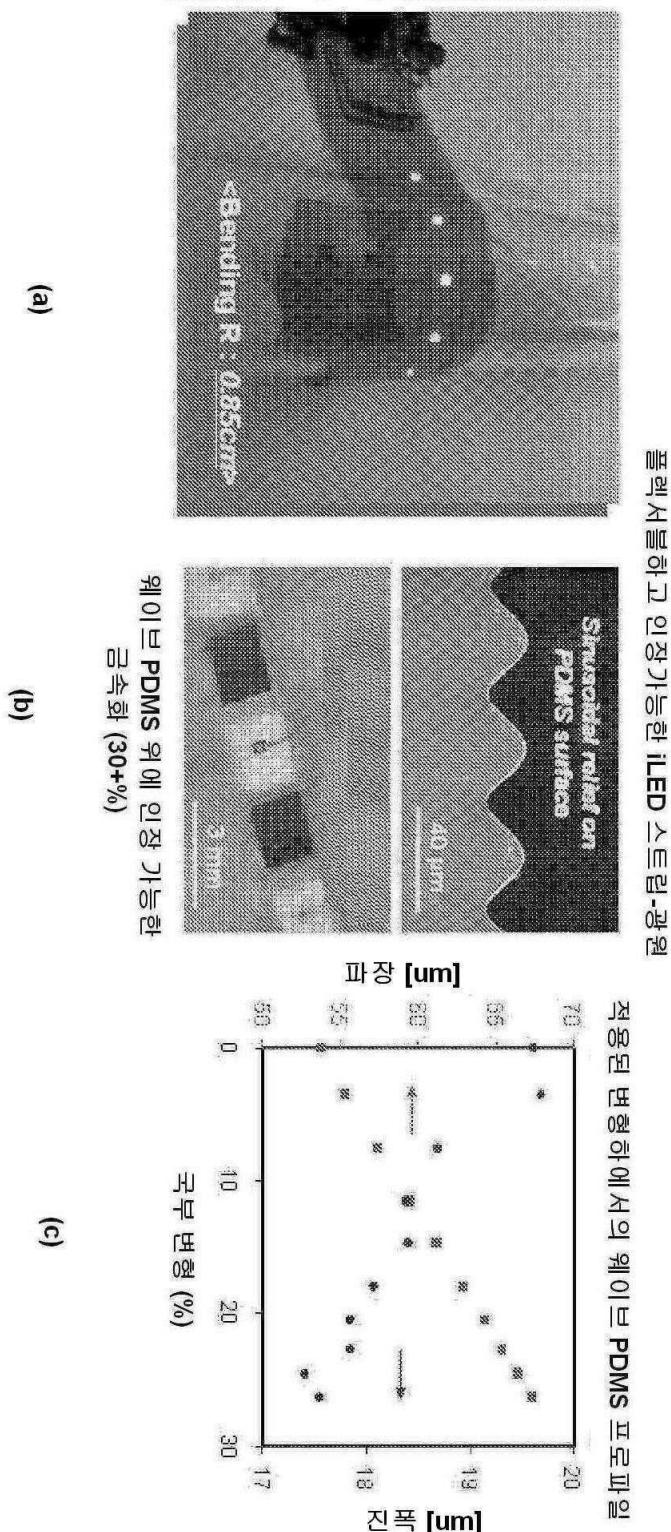
1. 웨이브 엘라스토머 스템프를 위한 마스터인 웨이브 구조물을 기판 위에 (예를 들면, 마이크로 머시닝 공정으로) 준비
2. 웨이브 마스터 위에, 예를 들면, 새도우 마스크를 통한 증발, 광리소그래피 및 식각, 광리소그래피 및 리프트-오프, 및/또는 전착에 의하여 금속 구조물을 증착
3. 전극을 갖는 웨이브 마스터에 엘라스토머 기판을 캐스트; 경화; 웨이브 기판 마스터로부터 제거. 상기 전극은 제거를 통해 엘라스토머로 전사



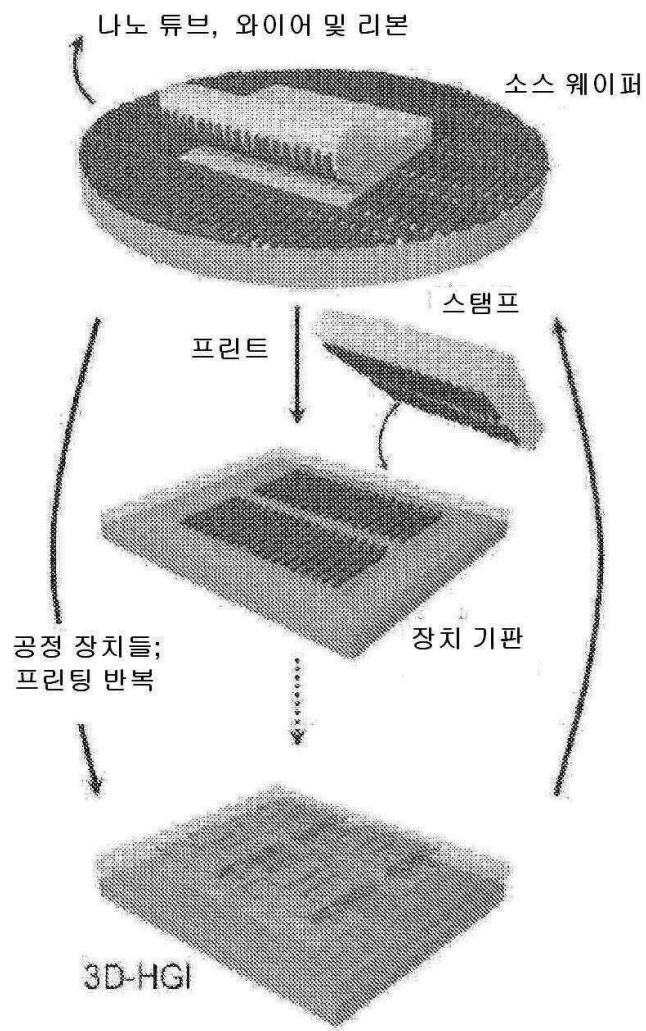
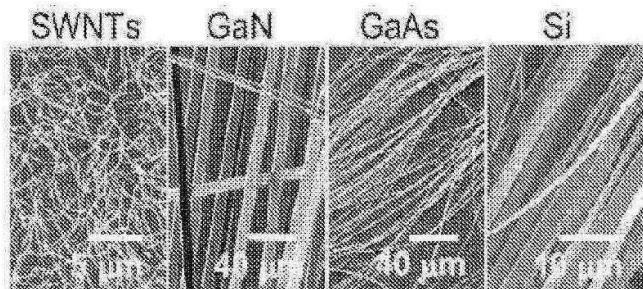
도면55



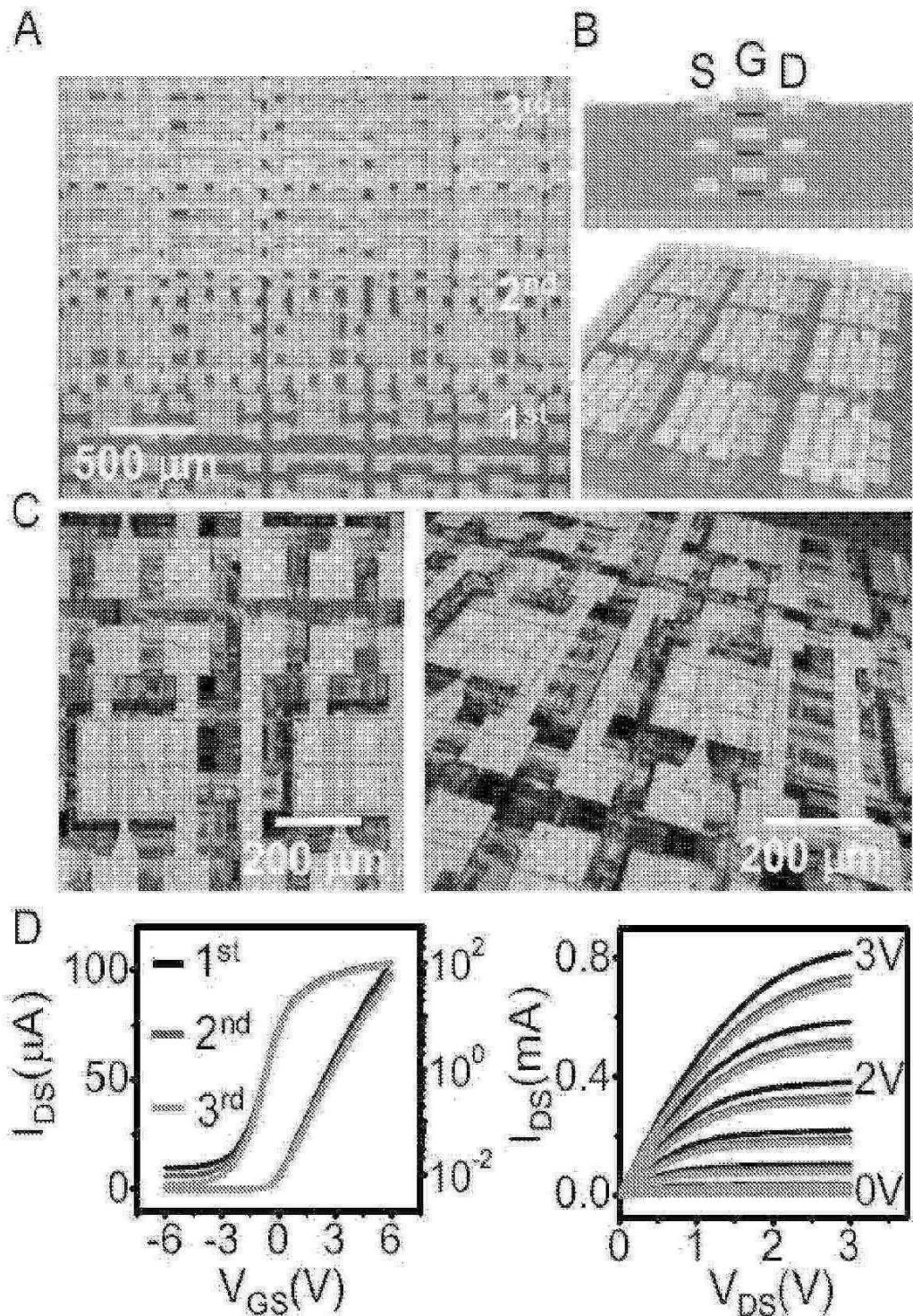
도면56



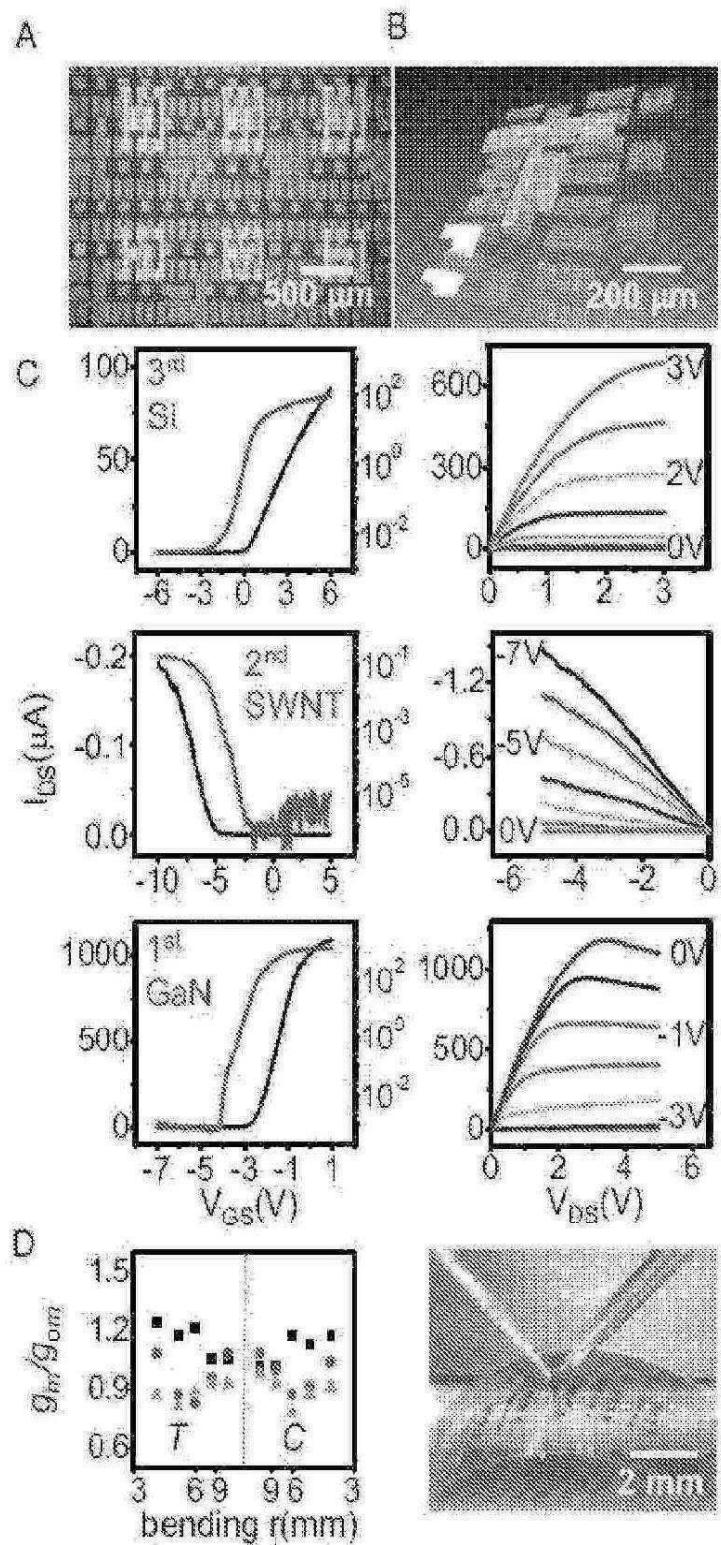
도면57



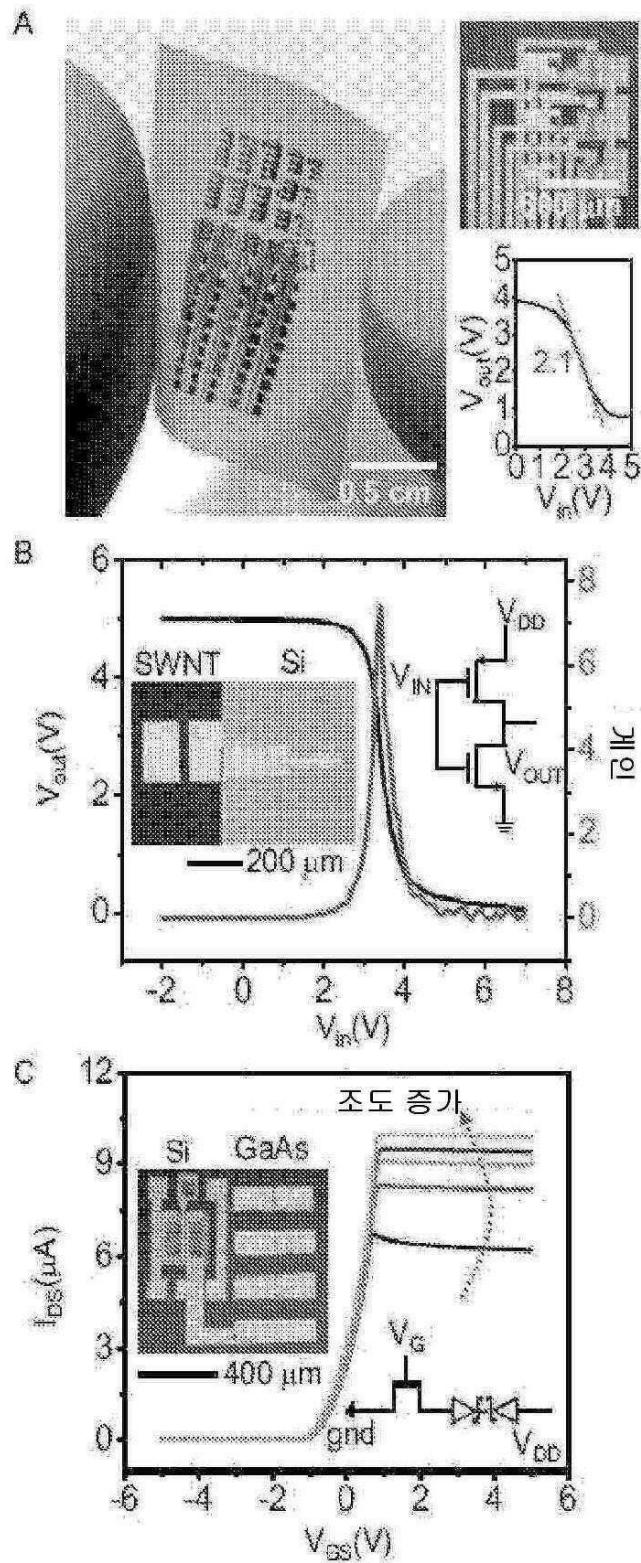
도면58



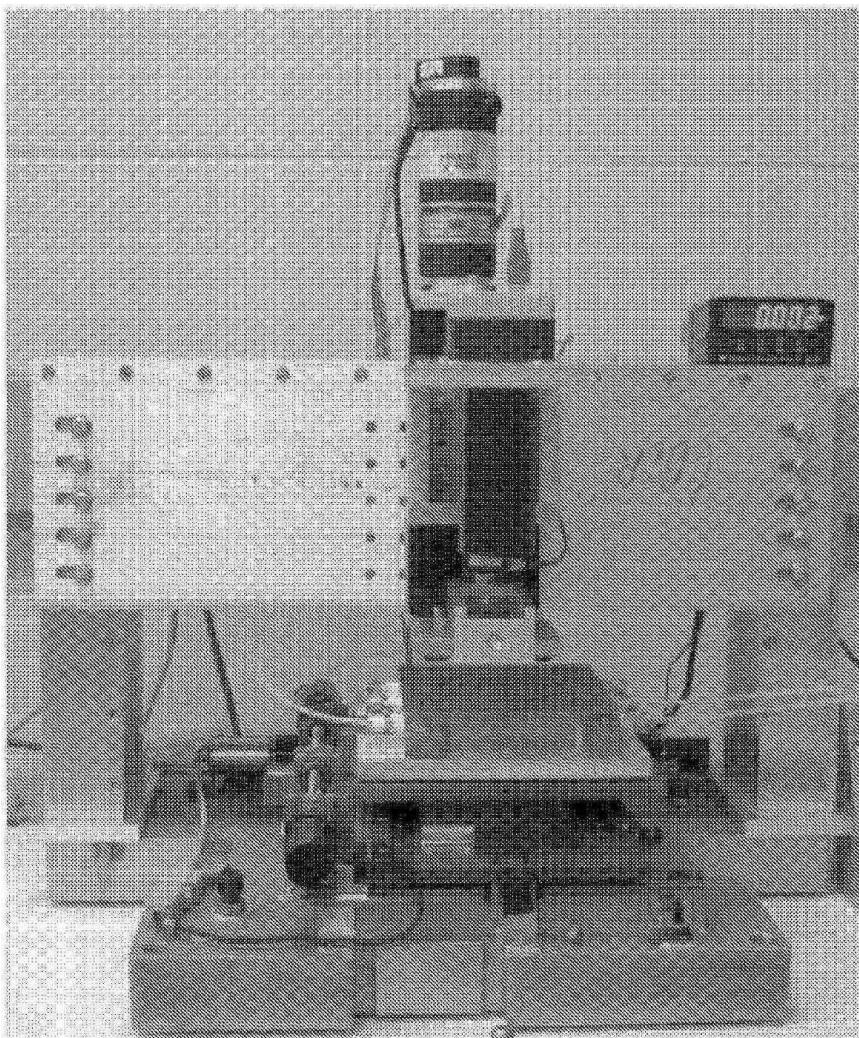
도면59



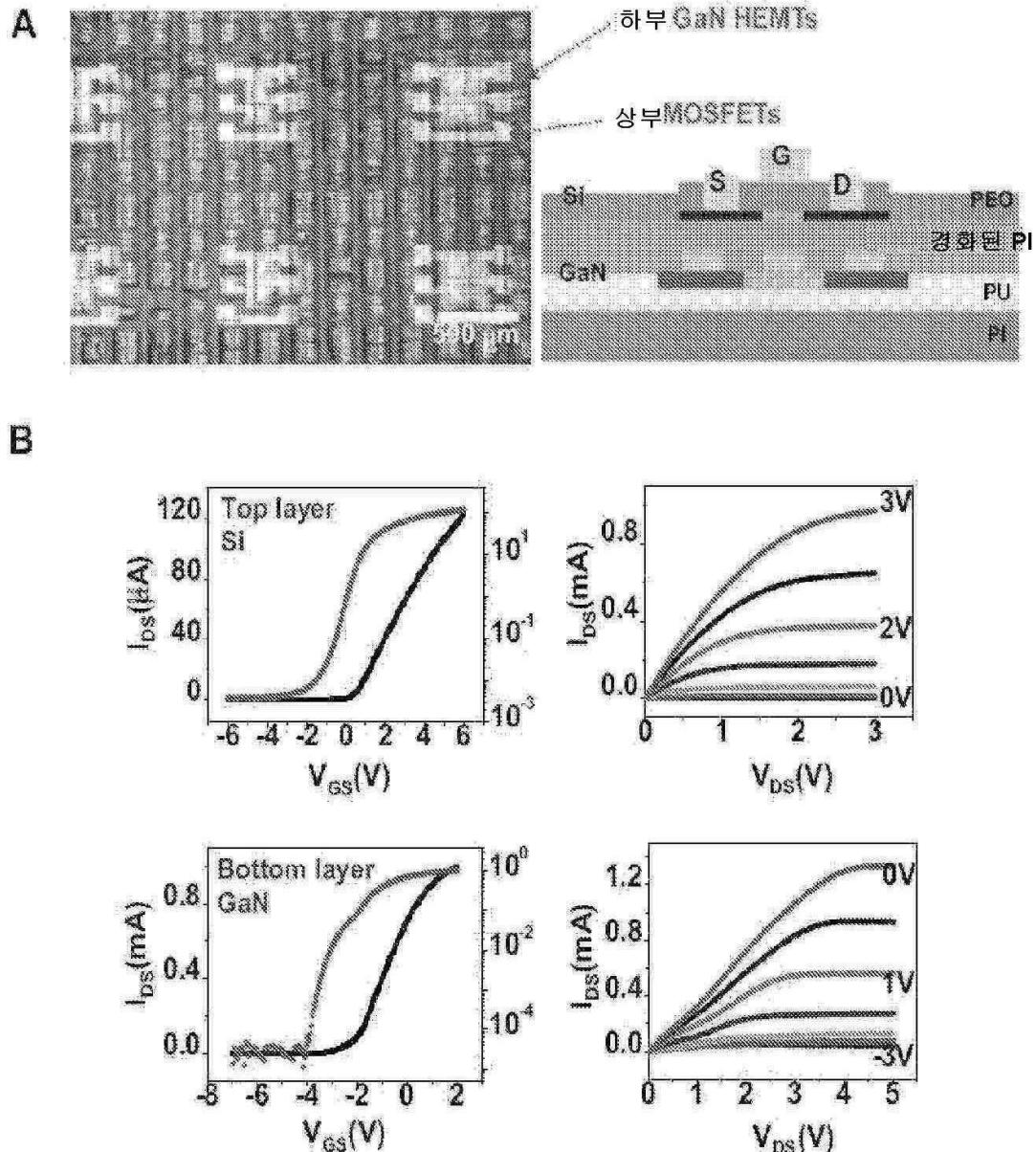
도면60



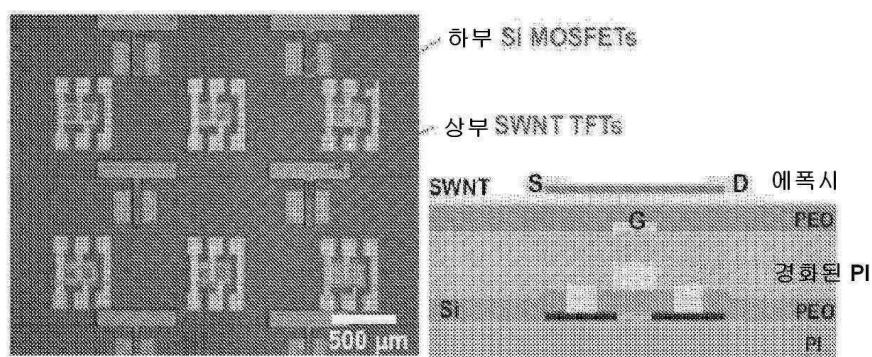
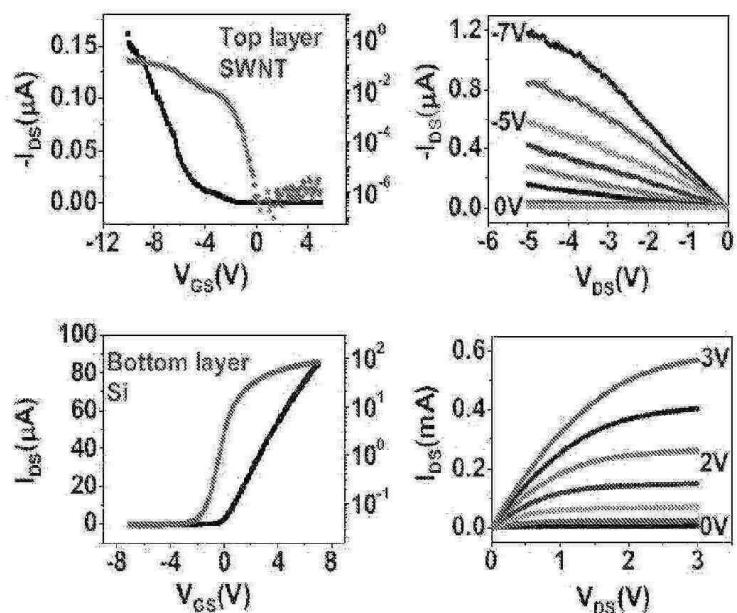
도면61



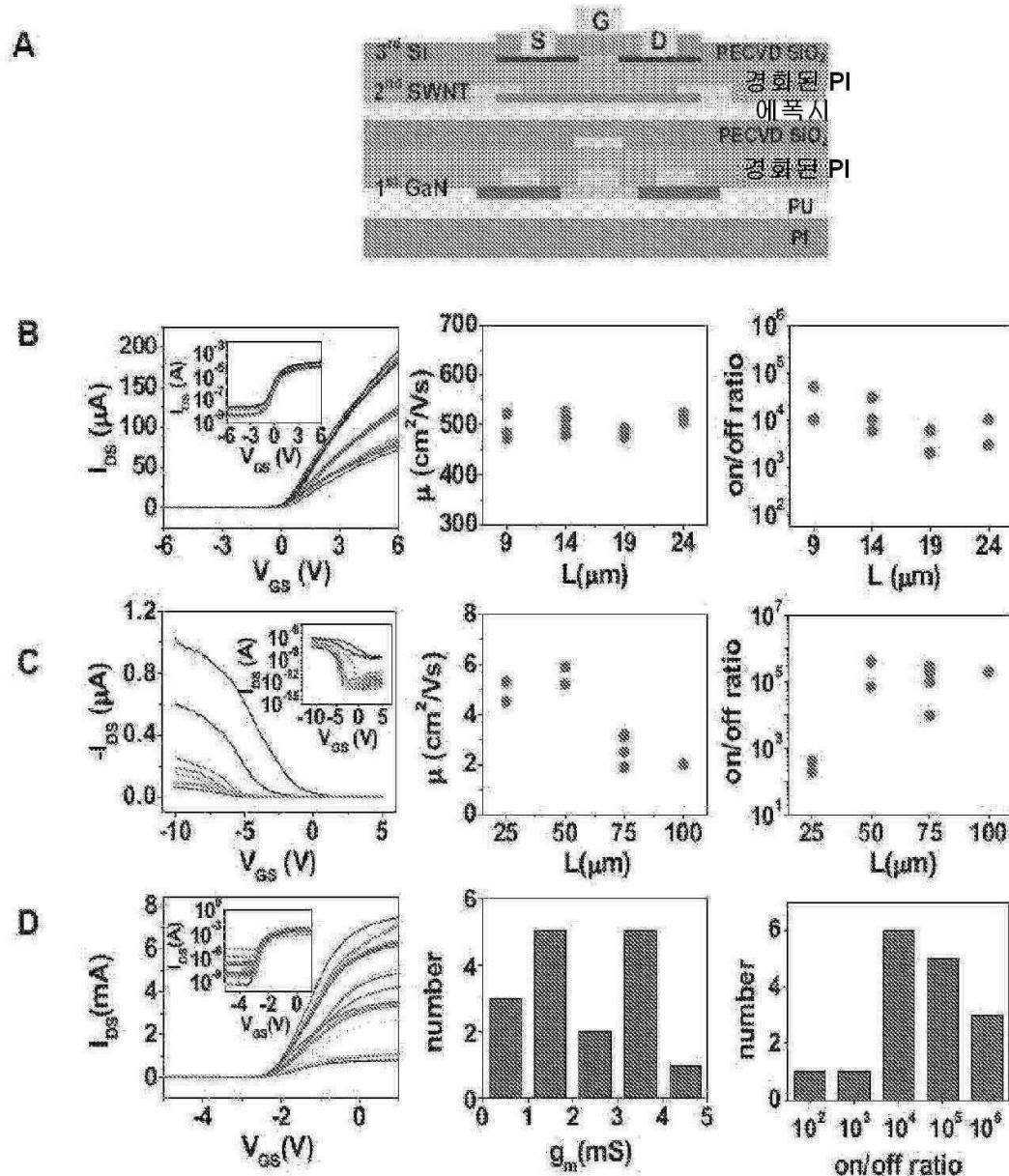
도면62



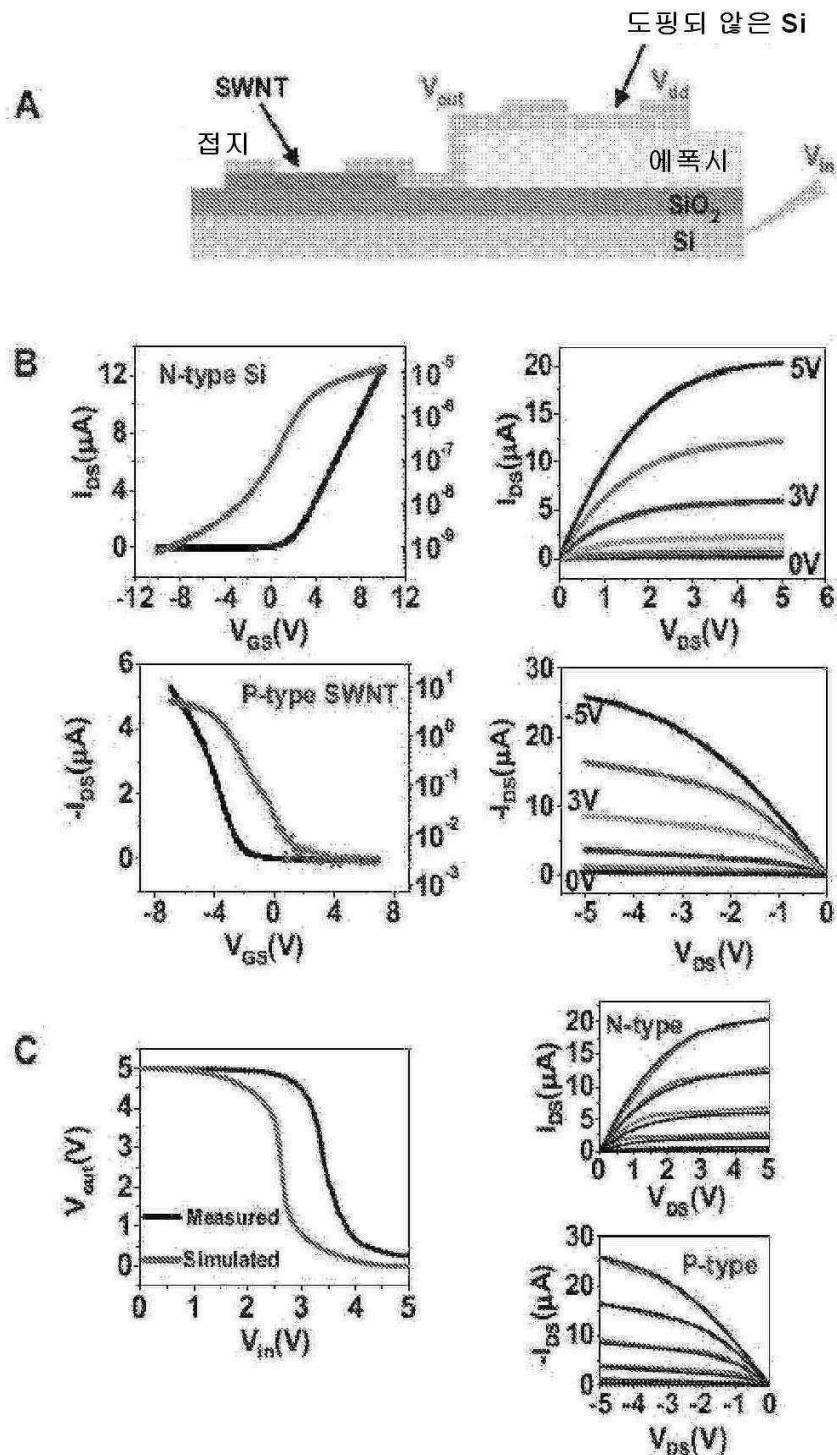
도면63

A**B**

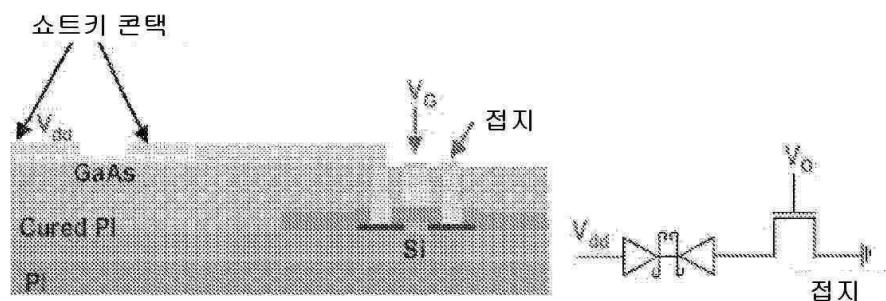
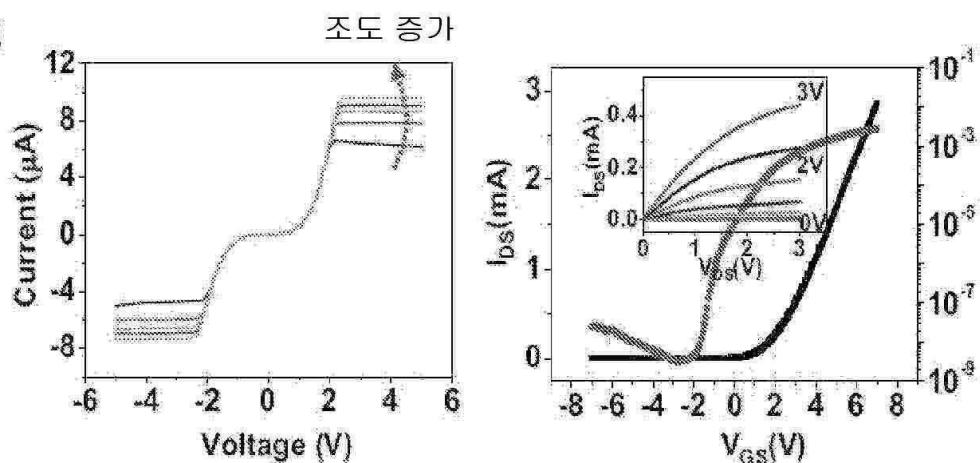
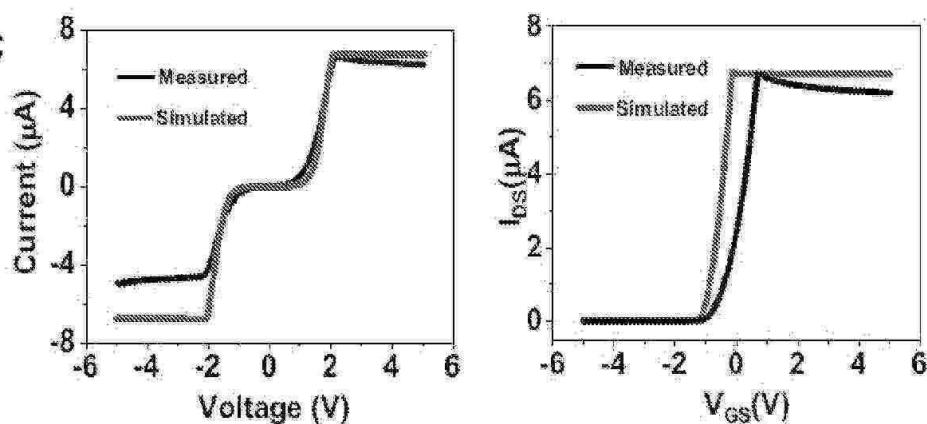
도면64



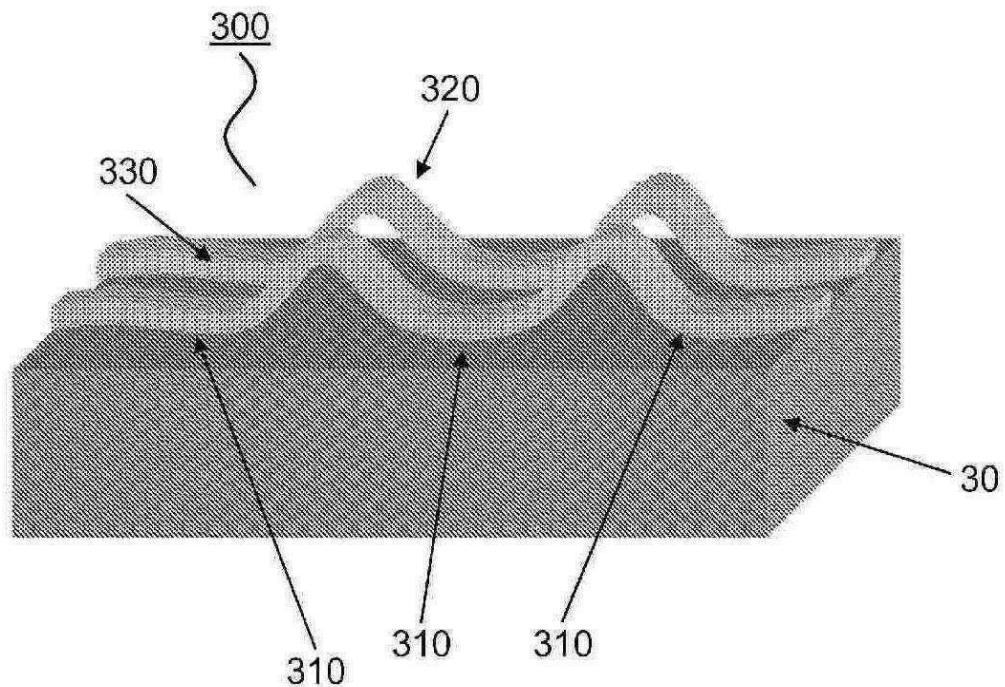
도면65



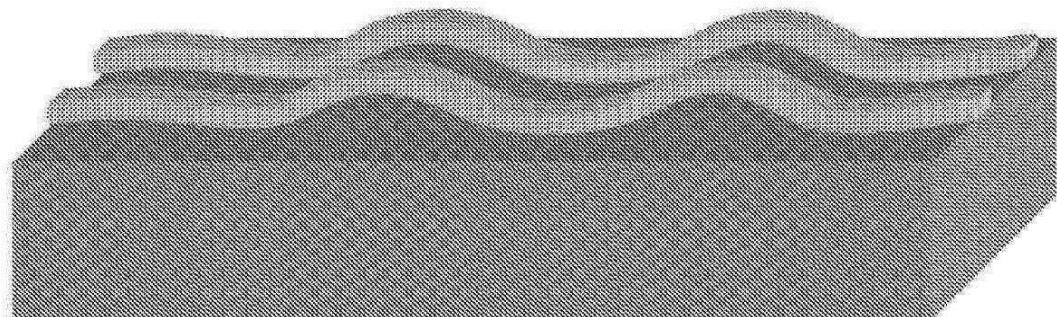
도면66

A**B****C**

도면67a

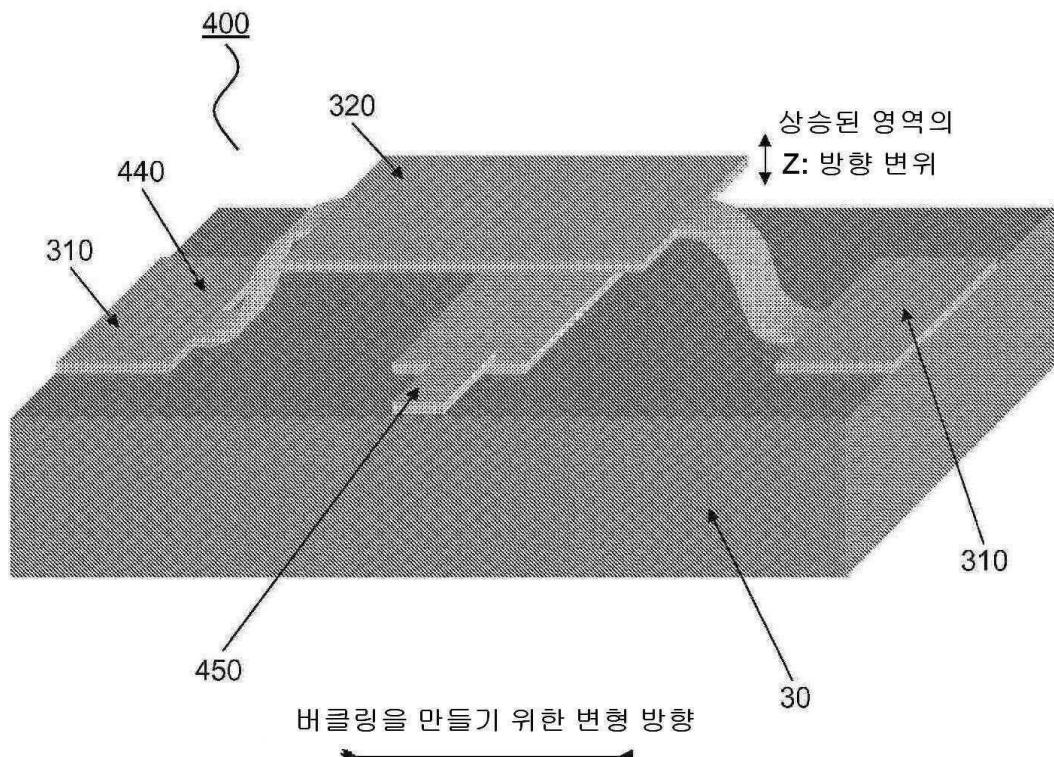


도면67b



← →
인장

도면68



도면69

