

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2024年12月19日 (19.12.2024)



(10) 国际公布号  
**WO 2024/255060 A1**

- (51) 国际专利分类号:  
**G06F 1/20** (2006.01)
- (21) 国际申请号: PCT/CN2023/126685
- (22) 国际申请日: 2023年10月26日 (26.10.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
202310728159.4 2023年6月16日 (16.06.2023) CN
- (71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 方媛 (**FANG, Yuan**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。王彦武 (**WANG, Yanwu**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (**SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PA-**

**RTNERSHIP**); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) **Title:** INFORMATION PROCESSING APPARATUS

(54) 发明名称: 信息处理装置

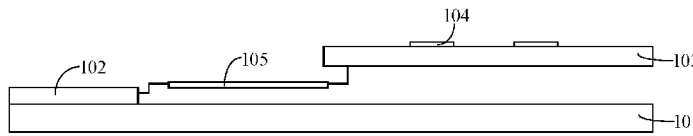


图 1

(57) **Abstract:** An information processing apparatus, comprising: a mainboard (101), which has a first surface, wherein the first surface is provided with a central processing unit (102) electrically connected to the mainboard (101); a compressed additional memory module (103), which is located on one side of the first surface, wherein at least one surface of the compressed additional memory module (103) is provided with a plurality of chips (104); and an external connection structure (105), which is located on one side of the first surface, and is configured to electrically connect to the compressed additional memory module (103) and the central processing unit (102), wherein the central processing unit (102) is configured to read data from each chip (104) and write data into each chip (104) at least via the external connection structure (105).

(57) **摘要:** 一种信息处理装置, 包括: 主板 (101), 具有第一表面, 第一表面具有与主板 (101) 电连接的中央处理器 (102); 压缩附加内存模块 (103), 位于第一表面的一侧, 压缩附加内存模块 (103) 的至少一个表面具有多个芯片 (104); 外部连接结构 (105), 位于第一表面的一侧, 被配置为: 电连接压缩附加内存模块 (103) 以及中央处理器 (102), 中央处理器 (102) 被配置为: 至少经由外部连接结构 (105) 向每一芯片 (104) 中读写数据。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

## 信息处理装置

### 交叉引用

[0001] 本申请要求于 2023 年 06 月 16 日递交的名称为“信息处理装置”、申请号为 202310728159.4 的中国专利申请的优先权，其通过引用被全部并入本申请。

### 技术领域

[0002] 本公开实施例涉及半导体技术领域，特别涉及一种信息处理装置。

### 背景技术

[0003] CAMM (Compression Attached Memory Module, 压缩内存附加模块) 是一种新型的内存模块, CAMM 连接多个芯片, 将多个芯片固定在主板上, 并电连接主板与芯片。与主板电连接的中央处理器能够向芯片写入数据或者从芯片中读出数据。相较于传统的内存模块而言, 具有更薄、散热型更优的特点。

[0004] 芯片与中央处理器之间的信号传输通常是通过位于主板内的信号线实现, 然而, 随着 CAMM 连接的芯片的数量越来越多, 主板内的信号线的数量越来越多, 这不仅使得主板的厚度增加, 使得主板的散热较慢, 还使得主板内的信号线的走线密度较大, 导致信号线之间的串扰严重, 引发信号畸变。

### 发明内容

[0005] 本公开实施例提供一种信息处理装置。

[0006] 本公开实施例提供一种信号处理装置, 包括: 主板, 具有第一表面, 所述第一表面具有与所述主板电连接的中央处理器; 压缩附加内存模块, 位于所述第一表面的一侧, 所述压缩附加内存模块的至少一个表面具有多个芯片; 外部连接结构, 位于所述第一表面的一侧, 被配置为: 电连接所述压缩附加内存模块以及所述中央处理器, 所述中央处理器被配置为: 至少经由所述外部连接结构向每一所述芯片中读写数据。

[0007] 在一些实施例中, 主板内具有多根信号线, 每一所述信号线电连接所述中央处理器与所述压缩附加内存模块, 所述中央处理器被配置为: 经由所述信号线和所述外部连接结构向每一所述芯片中读写数据。

[0008] 在一些实施例中, 外部连接结构位于所述压缩附加内存模块朝向所述中央处理器的一侧。

[0009] 在一些实施例中, 压缩附加内存模块相较于主板的高度大于所述中央处理器相较于所述主板的高度。

[0010] 在一些实施例中，还包括：中央处理器连接器，所述中央处理器连接器位于所述第一表面，且所述中央处理器连接器相较于所述主板的高度大于所述中央处理器相较于所述主板的高度。

[0011] 在一些实施例中，中央处理连接器相较于所述主板的高度与所述压缩附加内存模块相较于所述主板的高度相同。

[0012] 在一些实施例中，中央处理器连接器朝向所述第一表面的底面与所述中央处理器电连接，所述中央处理器连接器远离所述第一表面的顶面与所述外部连接结构电连接。

[0013] 在一些实施例中，主板被配置为：电连接所述中央处理器连接器与所述中央处理器，所述中央处理器与所述主板之间通过金手指或者球栅阵列电连接；所述中央处理器连接器与所述外部连接结构之间通过球栅阵列、按压式连接器或者硅中介层中的任一者电连接。

[0014] 在一些实施例中，还包括：第一转接件，位于所述主板与所述压缩附加内存模块之间，用于电连接所述主板和所述压缩附加内存模块，且所述第一转接件还用于电连接所述外部连接结构与所述压缩附加内存模块。

[0015] 在一些实施例中，外部连接结构与所述第一转接件朝向所述压缩附加内存模块一侧表面电接触。

[0016] 在一些实施例中，还包括：第一转接件，位于所述主板与所述压缩附加内存模块之间，用于电连接所述主板和所述压缩附加内存模块；第二转接件，位于所述压缩附加内存模块远离所述主板的一侧，所述第二转接件电连接所述外部连接结构与所述压缩附加内存模块。

[0017] 在一些实施例中，压缩附加内存模块的数量为两个，两个所述压缩附加内存模块在垂直于所述第一表面的方向上堆叠，且两个所述压缩附加内存模块通过同一个所述外部连接结构与所述中央处理器电连接。

[0018] 在一些实施例中，第一转接件为硅中介层或者是z轴压缩连接器中的任一者；所述外部连接结构为柔性电路板。

[0019] 在一些实施例中，压缩附加内存模块在沿垂直于所述第一表面方向上的其中一个表面具有所述多个芯片；或者，所述压缩附加内存模块在沿垂直于所述第一表面方向上的相对的两个表面均具有所述多个芯片。

[0020] 在一些实施例中，还包括：顶部垫板，位于所述压缩附加内存模块远离所述主板的表面，所述顶部垫板具有至少一个安装孔；底部垫板，固定于所述第一表面，所述底部垫板位于所述压缩附加内存模块朝向所述主板的表面，所述底部垫板具有至少一个与安装孔对应的插销；紧固件，与所述插销匹配，所述紧固件用于在所述插销穿过所述安装孔后，固定所述插销，以使所述顶部垫板和底部垫板对所述压缩附加内存模块进行夹持固定。

## 附图说明

[0021] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0022] 图 1 为本公开一实施例提供的第一种信息处理装置的剖面结构示意图；

[0023] 图 2 为本公开一实施例提供的第二种信息处理装置的剖面结构示意图；

[0024] 图 3 为本公开一实施例提供的一种信息处理装置的立体结构示意图；

[0025] 图 4 为本公开一实施例提供的第三种信息处理装置的剖面结构示意图；

[0026] 图 5 为本公开一实施例提供的第四种信息处理装置的剖面结构示意图；

[0027] 图 6 为本公开一实施例提供的第五种信息处理装置的剖面结构示意图；

[0028] 图 7 为本公开一实施例提供的第六种信息处理装置的剖面结构示意图；

[0029] 图 8 为本公开一实施例提供的第七种信息处理装置的剖面结构示意图；

[0030] 图 9 为本公开一实施例提供的第八种信息处理装置的剖面结构示意图；

[0031] 图 10 为本公开一实施例提供的第九种信息处理装置的剖面结构示意图；

[0032] 图 11 为本公开一实施例提供的第十种信息处理装置的剖面结构示意图；

[0033] 图 12 为本公开一实施例提供的另一种信息处理装置的立体结构示意图。

## 具体实施方式

[0034] 由背景技术可知，目前的信号处理装置中的主板的散热能力较差。分析发现，目前，导致主板的散热能力较差的原因之一在于，主板内具有较多信号线，用于电连接中央处理器和压缩附加内存模块，随着压缩附加内存模块连接的芯片的数量越来越多，使得主板内的信号线的数量越来越多，进而导致主板的厚度越来越大，导致主板的散热能力大大减小。

[0035] 本公开实施例提供一种信号处理装置，设置外部连接结构位于主板的第一表面的一侧，用于电连接压缩附加内存的模块以及中央处理器，也就是说，外部连接结构从主板外部走线，连接压缩附加内存模块以及中央处理器，如此，可以减小主板中用于电连接中央处理器和压缩附加内存模块中的信号线的数量，甚至能够省去主板中的信号线的设置，进而能够大大减小主板的厚度，使得主板的散热能力大大增加。

[0036] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员

可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

[0037] 图 1 为本公开一实施例提供的第一种信息处理装置的剖面结构示意图。

[0038] 参考图 1 至图 3，信号处理装置包括：主板 101，具有第一表面，第一表面具有与主板 101 电连接的中央处理器 102。信号处理装置还包括：压缩附加内存模块 103，位于第一表面的一侧，压缩附加内存模块 103 的至少一个表面具有多个芯片 104。信号处理装置还包括：外部连接结构 105，位于第一表面的一侧，被配置为：电连接压缩附加内存模块 103 以及中央处理器 102，中央处理器 102 被配置为：至少经由外部连接结构 105 向每一芯片 104 中读写数据。

[0039] 中央处理器 102，简称为 CPU，中央处理器 102 作为计算机系统的运算和控制核心，是信息处理、程序运行的最终执行单元。

[0040] 主板 101 也称作母板，主板 101 可以作为中央处理器 102 以及压缩附加内存模块 103 的承载体，并实现中央处理器 102 与压缩附加内存模块 103 的电连接。在一些实施例中，主板 101 可以是系统板，逻辑板或任何其它印刷电路板。

[0041] 压缩附加内存模块 103，即“Compression Attached Memory Module”，简称 CAMM，是一种有别于传统 SO-DIMM 笔记本内存的新形态，其结构包括：PCB 电路板，以及双面都可安装的芯片 104。

[0042] 中央处理器 102 在向芯片 104 写入数据时，可以通过地址线将地址信息发出，接着通过控制线发出内存写命令，选中芯片 104，并通过外部连接结构 105 向选中的芯片 104 写入数据。中央处理器 102 在从芯片 104 中读出数据时，通过地址线将地址信息发出，接着通过控制线发出内存读命令，选中芯片 104，选中的芯片 104 将芯片 104 中的数据通过外部连接结构 105 送入中央处理器 102。

[0043] 在一些实施例中，芯片 104 可以包括 DRAM（动态随机存储器，Dynamic Random Access Memory）、SRAM（静态随机存储器，Static Random-Access Memory）或者 SDRAM（同步动态随机存储器，Synchronous Dynamic Random-Access Memory）中的任一者。

[0044] 在一个具体的例子中，芯片 104 可以为 DRAM，具体可以为同步 DRAM 的一些变体。例如 DDR3（DDR 版本 3）、DDR4（DDR 版本 4）、DDR5（DDR 版本 5），LPDDR3（低功率 DDR 版本 3）、LPDDR4（LPDDR 版本 4）、LPDDR5（LPDDR 版本 5）或其它或存储器技术的组合。

[0045] 外部连接结构 105 位于主板 101 的第一表面的一侧，也就是说，外部连接结构 105 设

置于主板 101 外部，实现中央处理器 102 与压缩附加内存模块 103 之间的电连接，由于芯片 104 与压缩附加内存模块 103 电连接，因此，中央处理器 102 能够通过外部连接结构 105 以及压缩附加内存模块 103 向芯片 104 中读写数据。

[0046] 图 2 为本公开一实施例提供的第二种信号处理装置的剖面结构示意图，图 3 为本公开一实施例提供的一种信息处理装置的立体结构示意图。

[0047] 参考图 2 以及图 3，在一些实施例中，主板 101 内具有多根信号线 10，每一信号线 10 电连接中央处理器 102 与压缩附加内存模块 103，中央处理器 102 被配置为：经由信号线 10 和外部连接结构 105 向每一芯片 104 中读写数据。也就是说，外部连接结构 105 与信号线 10 均能够实现中央处理器 102 与芯片 104 之间的信号传输，信号线 10 位于主板 101 内部，外部连接结构 105 位于主板 101 外部，使得主板 101 内的信号线 10 的数量能够大大减小。一方面能够减小信号线 10 在主板 101 内部占用体积，减小主板 101 的厚度，有利于增强主板 101 的散热。另一方面，使得主板 101 内的信号线 10 的走线密度大大减小，进而能够避免由于信号线 10 的走线密度过大而造成的不同信号线 10 中传输的信号之间的串扰问题，避免信号线 10 中的传输的信号畸变。

[0048] 通过外部连接结构 105 与信号线 10 共同实现中央处理器 102 与芯片 104 之间的信号传输，能够增强外部连接结构 105 与信号线 10 的布线的灵活性，既能够避免外部连接结构 105 的走线过密问题，也能够避免信号线 10 的走线过密问题，大大减小由于走线密度过大而导致的信号畸变的风险。

[0049] 参考图 4，在一些实施例中，主板 101 内还具有多根信号线 10，则信号处理装置还包括：第一引脚 21，位于第一表面，中央处理器 102 与第一引脚 21 电连接，实现与主板 101 的电连接。信号线 10 与部分第一引脚 21 电连接，进而电连接中央处理器 102 和压缩附加内存模块 103。

[0050] 信号处理装置还包括：第二引脚 22，位于第一表面，第二引脚 22 与剩余部分第一引脚 21 电连接，且第二引脚 22 与外部连接结构 105 电连接，以实现中央处理器 102 与外部连接结构 105 的电连接。在一些实施例中，主板 101 内还包括第一引线 20，第一引线 20 用于电连接第一引脚 21 和第二引脚 22，使得第二引脚 22 可以与中央处理器 102 电连接，进而使得与第二引脚 22 电连接的外部连接结构 105 能够与中央处理器 102 电连接。

[0051] 在一些实施例中，第二引脚 22 位于中央处理器 102 与压缩附加内存模块 103 之间第一表面，且邻近第一引脚 21 设置，如此，使得主板 101 中的第一引线 20 长度较短，减小第一引线 20 中传输的信号传输损耗。且由于第一引线 20 长度较短，使得第一引线 20 中传输的信号损耗较小，因此，可以设置第一引线 20 的直径较小，减小第一引线 20 在主板 101 中所占用的体积，避免由于第一引线 20 的设置而导致主板 101 厚度的增加。

[0052] 在一些实施例中，第一引线 20 的直径可以小于信号线 10 的直径。如此，可以保证第一引线 20 的设置不会导致主板 101 厚度的进一步增加。

[0053] 可以理解的是，在一些实施例中，主板 101 内也可以不设置信号线 10，使得芯片 104 与中央处理器 102 之间仅通过外部连接结构 105 进行信号的传输。如此，可以大大减小主板 101 的厚度，进一步增强主板 101 的散热。

[0054] 在一些实施例中，芯片 104 与中央处理器 102 之间仅通过外部连接结构 105 进行信号的传输，则信号处理装置还包括：第一引脚，位于第一表面，中央处理器 102 与第一引脚电连接，实现与主板 101 的电连接。

[0055] 信号处理装置还包括：第二引脚，位于第一表面，第二引脚与第一引脚电连接，且第二引脚与外部连接结构 105 电连接，以实现中央处理器 102 与外部连接结构 105 的电连接。在一些实施例中，主板 101 内还包括第一引线，第一引线用于电连接第一引脚和第二引脚。

[0056] 在一些实施例中，第一引脚可以是金手指或者球栅阵列中的任一者，第二引脚可以是金手指或者球栅阵列中的任一者。

[0057] 金手指是由多个金黄色导电触片组成的结构，因其表面镀金且导电触片排列如手指状而称作金手指。

[0058] 球栅阵列为在主板 101 第一表面按阵列方式制出的球形触点。在一些实施例中，球形触点可以为阵列排布锡球。

[0059] 金手指和球栅阵列均可以以本领域技术人员所熟知的方式形成于第一表面，并与中央处理器 102 电接触。

[0060] 在一些实施例中，可以采用电镀的方式在主板 101 内形成第一引线 20，本公开实施例不对第一引线 20 在主板 101 内的具体走线方式以及形状进行限定，仅需满足第一引线 20 能够电连接第一引脚 21 和第二引脚 22 即可。第一引线 20 的材料可以是金属材料，例如可以是铜、钨、镍、银、铜或者本领域技术人员所熟知的其它导电材料中至少一者。

[0061] 参考图 1 至图 3，在一些实施例中，外部连接结构 105 位于压缩附加内存模块 103 朝向中央处理器 102 的一侧。中央处理器 102 与压缩附加内存模块 103 均位于第一表面，且中央处理器 102 与压缩附加内存模块 103 相对设置。外部连接结构 105 可以位于中央处理器 102 于压缩附加内存模块 103 之间。外部连接结构 105 位于压缩附加内存模块 103 朝向中央处理器 102 的一侧，即外部连接结构 105 与压缩附加内存模块 103 正对，且外部连接结构 105 相较于第一表面的高度不高于压缩附加内存模块 103 相较于第一表面的高度。也就是说，可以利用压缩附加内存模块 103 与中央处理器 102 之间的空余空间来设置外部连接结构 105，且由于外部连接结构 105 的高度不高于压缩附加内存模块 103 的高度，使得外部连接结构 105

不会额外占用过多的体积，防止发生由于外部连接结构 105 的厚度过大而导致信息处理装置的厚度无法进一步减小的问题。

[0062] 在一些实施例中，压缩附加内存模块相较于主板 101 的高度大于中央处理器 102 相较于主板 101 的高度。换句话说，压缩附加内存模块 103 远离主板 101 的表面相较于第一表面的高度大于中央处理器 102 远离主板 101 的表面相较于第一表面的高度。

[0063] 参考图 5，在一些实施例中，信号处理装置还包括：中央处理器连接器 106，中央处理器连接器 106 位于第一表面，中央处理器连接器 106 用于当电连接外部连接结构 105 与中央处理器 102。中央处理器连接器 106 位于中央处理器 102 与压缩附加内存模块 103 之间，且邻近中央处理器 102 设置，如此，使得中央处理器连接器 106 与中央处理器 102 之间的距离较短，有利于增强中央处理器 102 与外部连接结构 105 之间的电传输性能。

[0064] 在一些实施例中，中央处理器连接器 106 朝向第一表面的底面与中央处理器 102 电连接，中央处理器连接器 106 远离第一表面的顶面与外部连接结构 105 电连接。则中央处理器连接器 106 的底面与位于第一表面的金手指或者球栅阵列电接触，中央处理器连接器 106 的顶面具有球栅阵列或者按压式连接器，中央处理器连接器 106 通过位于顶面的球栅阵列、按压式连接器或者硅中介层中的任一者与外部连接结构 105 电接触。

[0065] 外部连接结构 105 一端电连接中央处理器 102，另一端电连接压缩附加内存模块 103。即外部连接结构 105 在中央处理器 102 指向压缩附加内存模块 103 的方向上延伸。由于压缩附加内存模块 103 相较于第一表面的高度高于中央处理器 102 相较于第一表面的高度，使得压缩附加内存模块 103 与中央处理器 102 之间具有较大的高度差。这可能会使外部连接结构 105 的两端高度不一致，而导致外部连接结构 105 相较于第一表面倾斜的问题，进而导致外部连接结构 105 所占用空间较大。

[0066] 基于上述考虑，在一些实施例中，中央处理器连接器 106 相较于主板 101 的高度大于中央处理器 102 相较于主板 101 的高度。换句话说，中央处理器连接器 106 远离主板 101 的表面相较于主板 101 的高度大于中央处理器 102 远离主板 101 的表面相较于主板 101 的高度。如此，使得中央处理器连接器 106 与压缩附加内存模块 103 之间的高度差小于中央处理器 102 与压缩附加内存模块 103 之间的高度差。由于外部连接结构 105 与中央处理器连接器 106 电连接，相较于与中央处理器 102 直接连接而言，使得外部连接结构 105 与压缩附加内存模块 103 之间的高度差较小，使得外部连接结构 105 相较于第一表面的倾斜度不至于过大，进而改善外部连接结构 105 所占用空间较大的问题。

[0067] 参考图 6，在一些实施例中，中央处理器连接器 106 朝向第一表面的底面与中央处理器 102 电连接，中央处理器连接器 106 远离第一表面的顶面与外部连接结构 105 电连接。如此，使得外部连接结构 105 的高度高于中央处理器连接器 106 的高度，能够最大限度地减小

外部连接结构 105 与压缩附加内存模块 103 之间的高度差。由于外部连接结构 105 的两端分别与中央处理器连接器 106 以及压缩附加内存模块 103 电连接，因此，减小外部连接结构 105 与压缩附加内存模块 103 之间的高度差，可以使外部连接结构 105 的两端的高度差较小，甚至为 0，进而使得外部连接结构 105 可以水平放置或者接近水平放置，这里指的水平放置为平行于第一表面放置。相较于外部连接结构 105 相对于第一表面倾斜放置而言，外部连接结构 105 水平放置，一方面有利于保持外部连接结构 105 的平稳，另一方面，使得外部连接结构 105 所占用的空间较小，能够为主板 101 表面的其它元器件的布置提供较多的空间，有利于走线的布置。

[0068] 在一些实施例中，中央处理连接器相较于主板 101 的高度与压缩附加内存模块 103 相较于主板 101 的高度相同。换句话说，中央处理器连接器 106 远离主板 101 的表面相较于第一表面的高度与压缩附加内存模块 103 相对主板 101 的表面相较于第一表面的高度相同。如此，使得电连接中央处理器连接器 106 与压缩附加内存模块 103 的外部连接结构 105 的两端相较于第一表面的高度接近，进而使得当外部连接结构 105 的两端的高度差较小，甚至为 0。如此，能够实现外部连接结构 105 能够大致平行于第一表面设置，使得外部连接结构 105 在第一表面一侧所占用的空间较小。

[0069] 在一些实施例中，中央处理器连接器 106 相较于主板 101 的高度与压缩附加内存模块 103 相较于主板 101 的高度相同也可以为：中央处理器连接器 106 远离主板 101 的表面相较于第一表面的高度与压缩附加内存模块 103 朝向主板 101 的表面相较于第一表面的高度相同。

[0070] 在一些实施例中，中央处理器连接器 106 远离主板 101 的表面相较于第一表面的高度与压缩附加内存模块 103 远离主板 101 的表面相较于第一表面的高度也可以不相同。例如，中央处理器连接器 106 远离主板 101 的表面相较于第一表面的高度可以略高于压缩附加内存模块 103 远离主板 101 的表面相较于第一表面的高度。或者，中央处理器连接器 106 远离主板 101 的表面相较于第一表面的高度可以略低于压缩附加内存模块 103 远离主板 101 的表面相较于第一表面的高度。

[0071] 参考图 7，在一些实施例中，主板 101 被配置为：电连接中央处理器连接器 106 与中央处理器 102，中央处理器 102 与主板 101 之间通过金手指或者球栅阵列电连接；中央处理器连接器 106 与外部连接结构 105 之间通过球栅阵列、按压式连接器或者硅中介层中的任一者电连接。

[0072] 在一些实施例中，第一表面设置有金手指或者球栅阵列，且第一表面还设置有第一引脚 21，第一引脚 21 用于电连接中央处理器 102 与主板 101。主板 101 内还设置有第一引线 20，第一引线 20 用于将第一引脚 21 的信号引出至第一表面的金手指或者球栅阵列，进一步通过金手指或者球栅阵列引出至中央处理器连接器 106。在一个具体的例子中，第一引线 20

的材料可以是金属材料，例如可以是铜、钨、镍、银、铜或者本领域技术人员所熟知的其它导电材料中至少一者。

[0073] 在一些实施例中，中央处理器连接器 106 表面设置有球栅阵列、按压式连接器或者硅中介层中的任一者，中央处理器 102 内部设置有连接结构，连接结构用于将中央处理器 102 的信号传输至位于中央处理器连接器 106 表面的球栅阵列或者按压式连接器，再经由球栅阵列或者按压式连接器传输至外部连接结构 105 中。

[0074] 在一些实施例中，中央处理器连接器 106 表面设置有硅中介层，硅中介层包括硅通孔，硅通孔沿硅中介层的厚度方向贯穿硅中介层，硅通孔的底端与中央处理器连接器 106 中的连接结构电接触，硅通孔的顶端与外部连接结构 105 电连接。

[0075] 在一些实施例中，连接结构可以是第二引线，本公开实施例不对第二引线在中央处理器连接器 106 中的具体走线方式以及形状进行限定，仅需满足第二引线能够将来自中央处理器 102 的信号引出至位于中央处理器连接器 106 表面的球栅阵列、按压式连接器或者硅中介层中的任一者即可。第二引线的材料可以是铜、钨、镍、银、铜或者本领域技术人员所熟知的其它导电材料中至少一者。

[0076] 参考图 6 以及图 7，在一些实施例中，信号处理装置还包括：第一转接件 107，位于主板 101 与压缩附加内存模块 103 之间，用于电连接主板 101 和压缩附加内存模块 103，且第一转接件 107 还用于电连接外部连接结构 105 与压缩附加内存模块 103。也就是说，外部连接结构 105 与主板 101 共用同一第一转接件 107，如此，可以节省空间。

[0077] 在一些实施例中，外部连接结构 105 与主板 101 共用同一第一转接件 107，主板 101 内具有多根信号线 10，每一信号线 10 电连接中央处理器 102 与压缩附加内存模块 103。主板 101 中的信号线 10 与第一转接件 107 电连接，外部连接结构 105 与第一转接件 107 电连接，信号线 10 与外部连接结构 105 均能够实现中央处理器 102 与芯片 104 的信号传输。

[0078] 继续参考图 6 以及图 7，在一些实施例中，外部连接结构与第一转接件 107 朝向压缩附加内存模块 103 一侧表面电接触。在一个具体的例子中，信号线 10 与第一转接件 107 朝向主板 101 的表面电连接，外部连接结构 105 与第一转接件 107 朝向压缩附加内存模块 103 的一侧表面电连接。也就是说，外部连接结构 105 与信号线 10 分别位于第一转接件 107 的相对的两个表面，避免外部连接结构 105 与信号线 10 由于位于第一转接件 107 的同一表面而导致外部连接结构 105 与信号线 10 的信号串扰问题。

[0079] 第一转接件 107 朝向压缩附加内存模块 103 的一侧还与压缩附加内存模块 103 电连接，进而能够将外部连接结构 105 以及信号线 10 中传输的信号均传输至压缩附加内存模块 103 中。

[0080] 在一些实施例中，压缩附加内存模块 103 内具有：第一走线 41，第一走线 41 用于电连接第一连接线与芯片 104，且第一走线 41 还用于电连接第一转接件 107，即第一转接件 107 朝向压缩附加内存模块 103 的一侧与第一走线 41 电连接，第一走线 41 用于传输来自第一转接件 107 的传输信号，并将其传输至芯片 104 中，或者，芯片 104 中的信号可以通过第一走线 41 传输至第一转接件 107 中。

[0081] 在一些实施例中，第一转接件 107 可以为硅中介层或者是 z 轴压缩连接器中的任一者。在一些实施例中，外部连接结构 105 可以为柔性电路板。

[0082] 在一些实施例中，第一转接件 107 为第一硅中介层，则第一硅中介层包括第一硅通孔 111，第一硅通孔 111 沿第一硅中介层的厚度方向贯穿第一硅中介层，第一硅中介层露出第一硅通孔 111 的顶端以及底端，信号线 10 与第一硅通孔 111 朝向主板 101 的底端电连接，第一硅通孔 111 远离主板 101 的顶端与第一走线 41 电连接。

[0083] 在一些实施例中，第一硅中介层远离主板的表面还可以包括：第三引脚 31，第三引脚 31 与第一硅通孔 111 顶端电接触，且外部连接结构 105 朝向第一硅中介层的一侧电连接第三引脚 31，由于第三引脚 31 与第一硅通孔 111 顶端电接触，而第一硅通孔 111 底端与信号线 10 电连接，从而使得外部连接结构 105 与信号线也能够电连接。如此，信号线中传输的信号也能经由外部连接结构 105 传输至压缩附加内存模块 103 中。剩余部分第三引脚 31 与压缩附加内存模块 103 电接触，用于将主板内的信号线中传输的信号输入至压缩附加内存模块 103 中。

[0084] 在一些实施例中，第三引脚 31 可以为金手指或者球栅阵列中的任一者，电连接结构可以为导电金属线，电连接结构的材料可以为铜、钨、镍、银、铜或者本领域技术人员所熟知的其它导电材料中至少一者。

[0085] 柔性电路板是以聚酰亚胺或聚酯薄膜为基材制成的一种具有高度可靠性，绝佳的可挠性印刷电路板，具有配线密度高、重量轻、厚度薄、弯折性好的特点。使用柔性电路板作为外部连接结构 105，可以防止发生由于封装步骤对外部连接结构 105 造成弯折而导致外部连接结构 105 失效的问题。此外，柔性电路板的厚度较薄，避免外部连接结构 105 占用过多的空间，使得信号处理装置整体的厚度较小。有利于实现器件的小型化，且有利于增强信号处理装置的整体散热能力。

[0086] 参考图 8 至图 10，在一些实施例中，主板 101 与外部连接结构 105 也可以不共用同一第一转接件 107，则信号处理装置包括：第一转接件 107，位于主板 101 与压缩附加内存模块 103 之间，用于电连接主板 101 和压缩附加内存模块 103；第二转接件 108，位于压缩附加内存模块 103 远离主板 101 的一侧，第二转接件 108 电连接外部连接结构 105 与压缩附加内存模块 103。

[0087] 也就是说，第一转接件 107 与第二转接件 108 分别位于压缩附加内存模块 103 的相对两侧，第一转接件 107 仅与信号线 10 电连接，第二转接件 108 仅与外部连接结构 105 电连接，使得第一转接件 107 与第二转接件 108 中用于信号传输的走线的走线密度均较小，能够避免第一转接件 107 与第二转接件 108 中由于走线密度过大而导致信号串扰的问题。

[0088] 在一些实施例中，主板 101 内的信号线 10 与第一转接件 107 朝向主板 101 的一侧电连接，第一转接件 107 远离主板 101 的一侧与压缩附加内存模块 103 电连接。外部连接结构 105 与第二转接件 108 远离压缩附加内存模块 103 的一侧电连接，第二转接件 108 朝向压缩附加内存模块 103 的一侧与压缩附加内存模块 103 电连接。

[0089] 也就是说，第一转接件 107 中，与压缩附加内存模块 103 距离较小的一侧与压缩附加内存模块 103 电连接，第二转接件 108 中，与压缩附加内存模块 103 距离较小的一侧与压缩附加内存模块 103 电连接，如此，能够减小第一转接件 107 与压缩附加内存模块 103 之间的走线距离，以及减小第二转接件 108 与压缩附加内存模块 103 之间的走线距离，有利于节省走线长度。

[0090] 在一些实施例中，第一转接件 107 为第一硅中介层，第一硅中介层包括第一硅通孔 111，第一硅通孔 111 沿第一硅中介层的厚度方向贯穿第一硅中介层，第一硅中介层露出第一硅通孔 111 的顶端以及底端，信号线 10 与第一硅通孔 111 朝向主板 101 的底端电连接，第一硅通孔 111 远离主板 101 的顶端与压缩附加内存模块 103 电连接。第二转接件 108 为第二硅中介层，第二硅中介层包括第二硅通孔 112，第二硅通孔 112 沿第二硅中介层的厚度方向贯穿第二硅中介层，第二硅中介层露出第二硅通孔 112 的顶端以及底端。第二硅通孔 112 的底端与压缩附加内存模块 103 远离主板 101 表面正对，且与压缩附加内存模块 103 远离主板 101 的一侧电连接。外部连接结构 105 与第二硅通孔 112 顶端电连接。

[0091] 在一些实施例中，信息处理装置包括第一转接件 107 和第二转接件 108，则压缩附加内存模块 103 内具有：第一走线 41，第一走线 41 用于电连接第一连接线与芯片 104，且第一走线 41 还用于电连接第一转接件 107；第二走线 42，第二走线 42 用于电连接外部连接结构 105 与芯片 104，且第二走线 42 还用于电连接第二转接件 108。

[0092] 在一些实施例中，压缩附加内存模块 103 包括相对的第三面与第四面，第四面与第一表面正对，第一走线 41 与第二走线 42 沿平行于第三面的方向间隔排布。也就是说，第二走线 42 与第一走线 41 水平排布，如此，使得第二走线 42 与第一走线 41 不会占用压缩附加内存模块 103 中的厚度方向上的空间，相较于第二走线 42 与第一走线 41 沿压缩附加内存模块 103 的厚度方向间隔排列而言，设置第二走线 42 与第一走线 41 但沿平行于第三面的方向间隔排布，大大减小了压缩附加内存模块 103 厚度。

[0093] 在一些实施例中，第一硅通孔 111 的顶端与第一走线 41 电连接，第二硅通孔 112 的

底端与第二走线 42 电连接，其中，第一硅通孔 111 的顶端与第三面正对，第二硅通孔 112 的底端与第四面正对。

[0094] 参考图 8，在一些实施例中，压缩附加内存模块在沿垂直于第一表面方向上的其中一个表面具有多个芯片 104。在一些实施例中，压缩附加内存模块 103 包括相对的第三面以及第四面，第三面与第一表面正对。多个芯片 104 可以仅位于第三面或者仅位于第四面。其中，每一芯片 104 可以与外部连接结构 105 或者信号线 10 中的任一者电连接，也就是说，中央处理器 102 可以通过外部连接结构 105 或者信号线 10 中的任一者向一芯片 104 读写数据。

[0095] 参考图 9，在一些实施例中，压缩附加内存模块 103 在沿垂直于第一表面方向上的相对的两个表面均具有多个芯片 104。也就是说，第三面以及第四面均具有多个芯片 104，如此，可以提高芯片 104 的集成度。

[0096] 参考图 9，在一些实施例中，信号处理装置包括：第一转接件 107 与第二转接件 108，第一转接件 107 位于第三面一侧，第二转接件 108 位于第四面一侧，外部连接结构 105 与第二转接件 108 电连接，信号线 10 与第一转接件 107 电连接。则第二转接件 108 可以与第四面的芯片 104 电连接，即中央处理器 102 通过外部连接结构 105 向位于第四面的芯片 104 读写数据。第一转接件 107 可以与第三面的芯片 104 电连接，中央处理器 102 可以通过主板 101 内的信号线 10 向位于第三面的芯片 104 读写数据。如此，可以节省走线长度，简化走线。

[0097] 参考图 8，在一些实施例中，位于第三面的多个芯片 104 中的每一个芯片 104 也可以与外部连接结构 105 或者信号线 10 中的任一者电连接。位于第四面的多个芯片 104 中的每一个芯片 104 也可以与外部连接结构 105 或者信号线 10 中的任一者电连接。

[0100] 参考图 11，在一些实施例中，压缩附加内存模块的数量为两个，两个压缩附加内存模块 103 在垂直于第一表面的方向上堆叠，且两个压缩附加内存模块 103 通过同一个外部连接结构 105 与中央处理器 102 电连接。两个压缩附加内存模块 103 中的每一压缩附加内存模块 103 的至少一个表面均具有多个芯片 104，通过同一外部连接结构 105，使得中央处理器 102 可以向位于任一压缩附加内存模块 103 表面的芯片 104 读写数据，在保证外部连接结构 105 数量不增加的情况下，提升了与中央处理器 102 电连接的芯片 104 的数量，进而能够提升芯片 104 的集成度。

[0101] 由于外部连接结构 105 设置于主板 101 外部，能够减少主板 101 内的信号线 10 的数量，甚至省去主板 101 内的信号线 10 的设置，如此，在提高芯片 104 的集成度的同时，能够增强主板 101 的散热能力，有利于保证主板 101 的优异性能，保证信息处理装置具有较高的运行速度。

[0102] 在一些实施例中，将两个压缩附加内存模块 103 分别记为：第一压缩附加内存模块 121 以及第二压缩附加内存模块 122，第一压缩附加内存模块 121 邻近第一表面，第二压缩附

加内存模块 122 位于第一压缩附加内存模块 121 远离主板 101 的一侧。

[0103] 信息处理装置可以包括：第一转接件 107 和第二转接件 108。第一转接件 107 位于第一压缩附加内存模块 121 与第一表面之间，用于电连接主板 101 与第一压缩附加内存模块 121。第二转接件 108 位于第一压缩附加内存模块 121 与第二压缩附加内存模块 122 之间，用于电连接外部连接结构 105，且第二转接件 108 与第一压缩附加内存模块 121 以及第二压缩附加内存模块 122 电连接，用于将外部连接结构 105 中的信号分别传输至第一压缩附加内存模块 121 以及第二压缩附加内存模块 122 中。

[0104] 在一个具体的例子中，第一转接件 107 可以为第一硅中介层，第二转接件 108 可以为第二硅中介层，第一硅中介层包括第一硅通孔 111，第一硅通孔 111 贯穿第一硅中介层，第一硅通孔 111 的顶端与第一压缩附加内存模块 121 电连接，第一硅通孔 111 的底端与主板 101 电连接。具体地，主板 101 内可以具有信号线 10，信号线 10 电连接中央处理器 102，第一硅通孔 111 的底端可以与信号线 10 电连接。

[0105] 第二硅中介层包括第二硅通孔 112，第二硅通孔 112 贯穿第二硅中介层，第二硅通孔 112 的顶端与第二压缩附加内存模块 122 电连接，第二硅通孔 112 的底端与第一压缩附加内存模块 121 电连接。

[0106] 在一些实施例中，第二硅中介层表面可以包括：第四引脚 32，第四引脚 32 位于第二硅中介层远离主板 101 的表面或者第二硅中介层朝向主板 101 的表面中的任一者。外部连接结构 105 朝向第二硅中介层的表面与第三引脚 31 电接触，使得外部连接结构 105 中传输的信号能够通过第三引脚 31 传输至第二硅通孔 112 中，最后通过第二硅通孔 112 传输至第一压缩附加内存模块 121。

[0107] 第二压缩附加内存模块 122 朝向第二硅中介层表面可以包括：第五引脚 33，第五引脚 33 与外部连接结构朝向第二压缩附加内存模块 122 的表面电接触，使得外部连接结构 105 中传输的信号能够通过第五引脚 33 传输至第二压缩附加内存模块 122 中。

[0108] 在一些实施例中，第四引脚 32 可以为金手指或者球栅阵列中的任一者，电连接结构可以为导电金属线，电连接结构的材料可以为铜、钨、镍、银、铜或者本领域技术人员所熟知的其它导电材料中至少一者。在一些实施例中，第五引脚 33 可以为金手指或者球栅阵列中的任一者，电连接结构可以为导电金属线，电连接结构的材料可以为铜、钨、镍、银、铜或者本领域技术人员所熟知的其它导电材料中至少一者。

[0109] 参考图 12，在一些实施例中，信号处理装置还包括：顶部垫板 11，位于压缩附加内存模块 103 远离主板 101 的表面，顶部垫板 11 具有至少一个安装孔 13；底部垫板 12，固定于第一表面，底部垫板 12 位于压缩附加内存模块 103 朝向主板 101 的表面，底部垫板 12 具有至少一个与安装孔 13 对应的插销 14；紧固件 15，与插销 14 匹配，紧固件 15 用于在插销

14 穿过安装孔 13 后，固定插销 14，以使顶部垫板 11 和底部垫板 12 对压缩附加内存模块 103 进行夹持固定。

[0110] 在一些实施例中，顶部垫板 11 可以具有两个安装孔 13，底部垫板 12 也可以具有两个插销 14，每一插销 14 与一安装孔 13 对应。两个安装孔 13 分别位于顶部垫板 11 的相对两侧，如此，可以提高部垫板与底部垫板 12 的安装稳定性。

[0111] 在一些实施例中，顶部垫板 11 也可以具有两个以上的安装孔 13，底部垫板 12 也可以具有两个以上的插销 14；或者顶部垫板 11 也可以仅具有一个安装孔 13，底部垫板 12 也可以仅具有一个插销 14。仅需满足安装孔 13 的数量与插销 14 的数量匹配即可。安装孔 13 与插销 14 的数量可以根据不同的需求灵活设置。

[0112] 在一些实施例中，插销 14 可以是钢丝螺套，钢丝螺套是一种内螺纹紧固件 15，钢丝螺套内侧具有内螺纹。紧固件 15 可以是螺钉中的任一者，螺钉通过拧入钢丝螺套内部，可以与钢丝螺套锁紧，进而在钢丝螺套插入安装孔 13 之后，将钢丝螺套固定于安装孔 13 内，防止钢丝螺套从安装孔 13 中滑脱。

[0113] 在一些实施例中，插销 14 也可以为螺栓，紧固件 15 也可以为螺母，螺栓侧面具有外螺纹螺母内部具有与螺栓外侧的外螺纹相匹配的内螺纹，当螺栓插入安装孔 13 之后，螺母拧入螺栓外侧面，与螺栓锁紧，进而将螺栓固定于安装孔 13 中，防止螺栓从安装孔 13 中滑脱，进而使得顶部与底部垫板 12 可以将压缩附加内存模块 103 夹紧固定，防止压缩附加内存模块 103 发生移动的问题。

[0114] 上述实施例提供的信息处理装置中，设置外部连接结构 105 位于主板 101 的第一表面的一侧，用于电连接压缩附加内存模块 103 以及中央处理器 102，也就是说，外部连接结构 105 从主板 101 外部走线，连接压缩附加内存模块 103 和中央处理器 102。如此，可以减小主板 101 中用于电连接中央处理器 102 和压缩附加内存模块 103 信号线 10 的数量，甚至能够省去主板 101 中的信号线 10 的设置，进而能够大大减小主板 101 的厚度，使得主板 101 的散热路径大大减小，有利于增强主板 101 的散热。

[0115] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。任何本领域技术人员，在不脱离本公开的精神和范围内，均可作各自更动与修改，因此本公开的保护范围应当以权利要求限定的范围为准。

## 权 利 要 求 书

1.一种信息处理装置，包括：

主板（101），具有第一表面，所述第一表面具有与所述主板（101）电连接的中央处理器（102）；

压缩附加内存模块（103），位于所述第一表面的一侧，所述压缩附加内存模块（103）的至少一个表面具有多个芯片（104）；

外部连接结构（105），位于所述第一表面的一侧，被配置为：电连接所述压缩附加内存模块（103）以及所述中央处理器（102），所述中央处理器（102）被配置为：至少经由所述外部连接结构（105）向每一所述芯片（104）中读写数据。

2.根据权利要求1所述的信息处理装置，其中，所述主板（101）内具有多根信号线（10），每一所述信号线（10）电连接所述中央处理器（102）与所述压缩附加内存模块（103），所述中央处理器（102）被配置为：经由所述信号线（10）和所述外部连接结构（105）向每一所述芯片（104）中读写数据。

3.根据权利要求1或2所述的信息处理装置，其中，所述外部连接结构（105）位于所述压缩附加内存模块（103）朝向所述中央处理器（102）的一侧。

4.根据权利要求3所述的信息处理装置，其中，所述压缩附加内存模块（103）相较于主板（101）的高度大于所述中央处理器（102）相较于所述主板（101）的高度。

5.根据权利要求1~4任一项所述的信息处理装置，其中，还包括：中央处理器连接器（106），所述中央处理器连接器（106）位于所述第一表面，且所述中央处理器连接器（106）相较于所述主板（101）的高度大于所述中央处理器（102）相较于所述主板（101）的高度。

6.根据权利要求5所述的信息处理装置，其中，所述中央处理器连接器相较于所述主板（101）的高度与所述压缩附加内存模块（103）相较于所述主板（101）的高度相同。

7.根据权利要求5所述的信息处理装置，其中，所述中央处理器连接器（106）朝向所述第一表面的底面与所述中央处理器（102）电连接，所述中央处理器连接器（106）远离所述第一表面的顶面与所述外部连接结构（105）电连接。

8.根据权利要求6所述的信息处理装置，其中，所述主板（101）被配置为：电连接所述中央处理器连接器（105）与所述中央处理器（102），所述中央处理器（102）与所述主板（101）之间通过金手指或者球栅阵列电连接；所述中央处理器连接器（106）与所述外部连接结构（105）之间通过球栅阵列、按压式连接器或者硅中介层中的任一者电连接。

9.根据权利要求1~5任一项所述的信息处理装置，其中，还包括：第一转接件（107），位于

所述主板（101）与所述压缩附加内存模块（103）之间，用于电连接所述主板（101）和所述压缩附加内存模块（103），且所述第一转接件（107）还用于电连接所述外部连接结构（105）与所述压缩附加内存模块（103）。

10.根据权利要求9所述的信息处理装置，其中，所述外部连接结构（105）与所述第一转接件（107）朝向所述压缩附加内存模块（103）一侧表面电接触。

11.根据权利要求1~5任一项所述的信息处理装置，其中，还包括：

第一转接件（107），位于所述主板（101）与所述压缩附加内存模块（103）之间，用于电连接所述主板（101）和所述压缩附加内存模块（103）；

第二转接件（108），位于所述压缩附加内存模块（103）远离所述主板（101）的一侧，所述第二转接件（108）电连接所述外部连接结构（105）与所述压缩附加内存模块（103）。

12.根据权利要求11所述的信息处理装置，其中，所述压缩附加内存模块（103）的数量为两个，两个所述压缩附加内存模块（103）在垂直于所述第一表面的方向上堆叠，且两个所述压缩附加内存模块（103）通过同一个所述外部连接结构（105）与所述中央处理器（102）电连接。

13.根据权利要求9或11所述的信息处理装置，其中，所述第一转接件（107）为硅中介层或者是z轴压缩连接器中的任一者；所述外部连接结构（105）为柔性电路板。

14.根据权利要求1~5、9或11任一项所述的信息处理装置，其中，所述压缩附加内存模块（103）在沿垂直于所述第一表面方向上的其中一个表面具有所述多个芯片（104）；或者，所述压缩附加内存模块（103）在沿垂直于所述第一表面方向上的相对的两个表面均具有所述多个芯片（104）。

15.根据权利要求1~14任一项所述的信息处理装置，其中，还包括：

顶部垫板（11），位于所述压缩附加内存模块（103）远离所述主板（101）的表面，所述顶部垫板（11）具有至少一个安装孔（13）；

底部垫板（12），固定于所述第一表面，所述底部垫板（12）位于所述压缩附加内存模块（103）朝向所述主板（101）的表面，所述底部垫板（12）具有至少一个与所述安装孔（13）对应的插销（14）；

紧固件（15），与所述插销（14）匹配，所述紧固件（15）用于在所述插销（14）穿过所述安装孔（13）后，固定所述插销（14），以使所述顶部垫板（11）和底部垫板（12）对所述压缩附加内存模块（103）进行夹持固定。

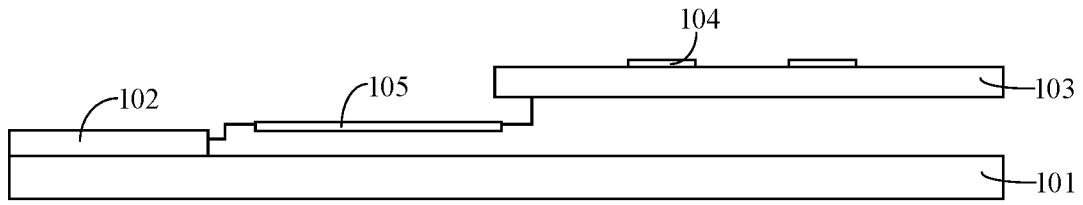


图 1

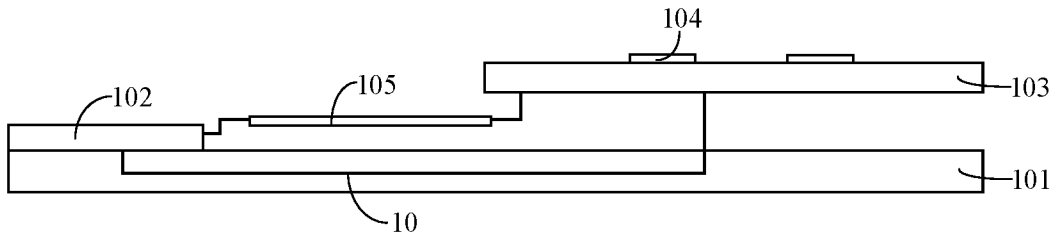


图 2

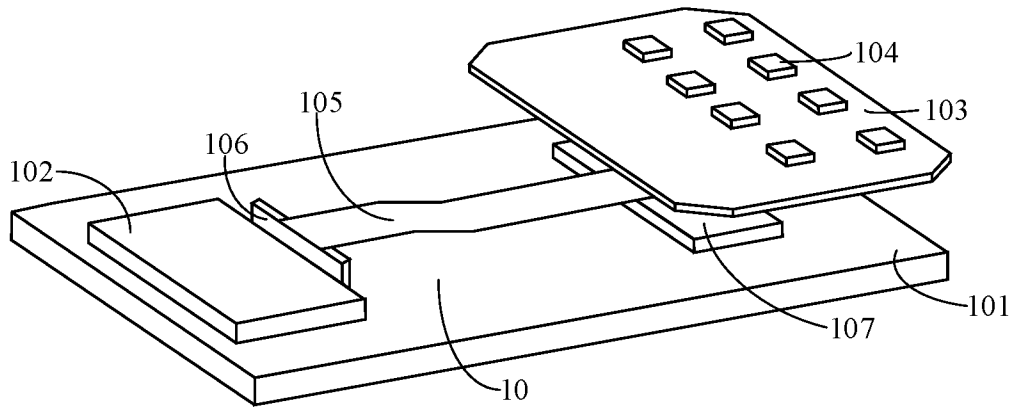


图 3

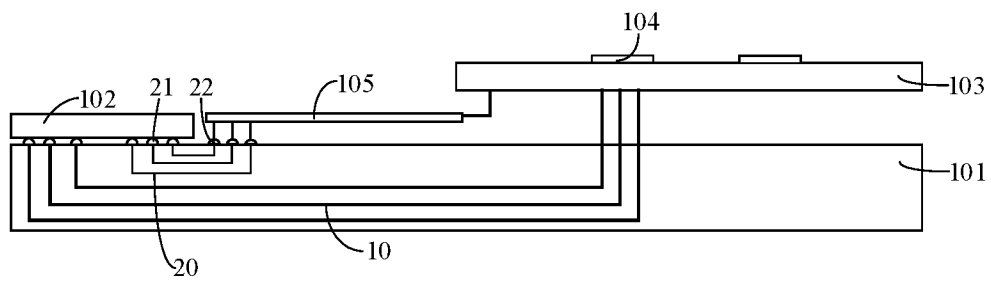


图 4

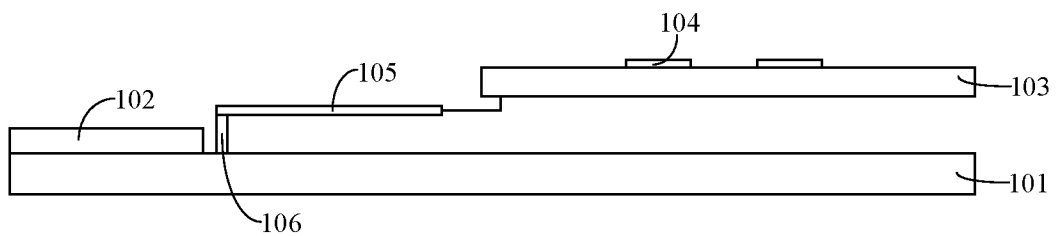


图 5

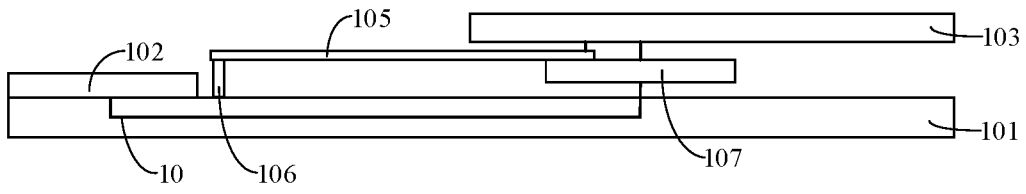


图 6

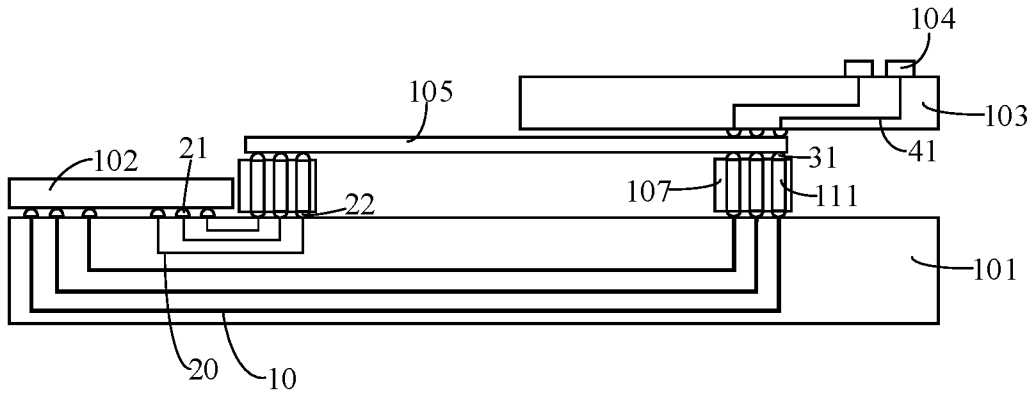


图 7

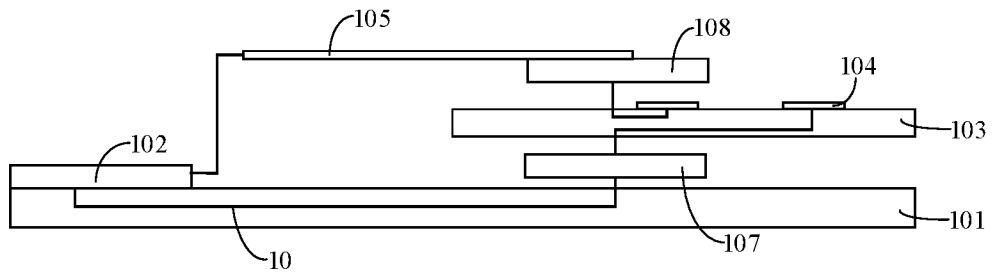


图 8

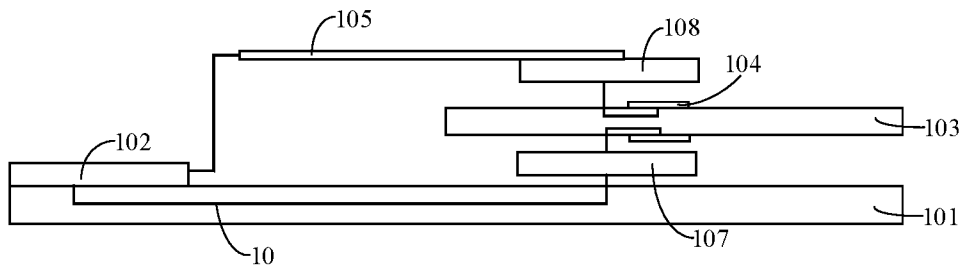


图 9

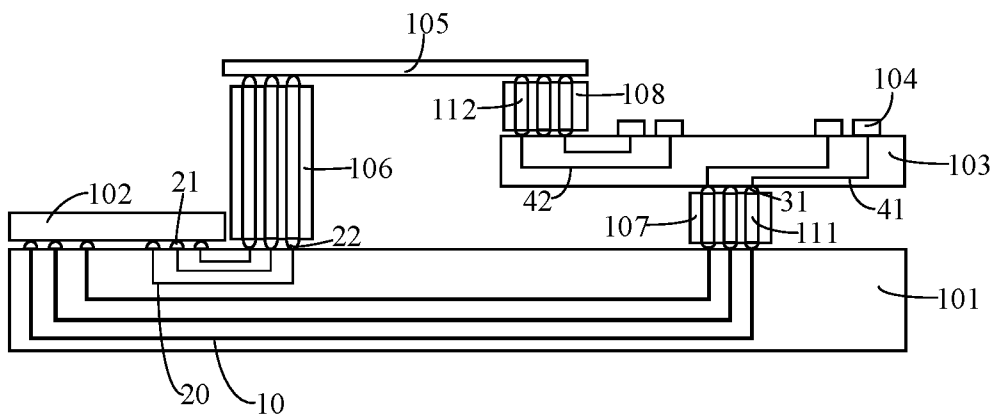


图 10

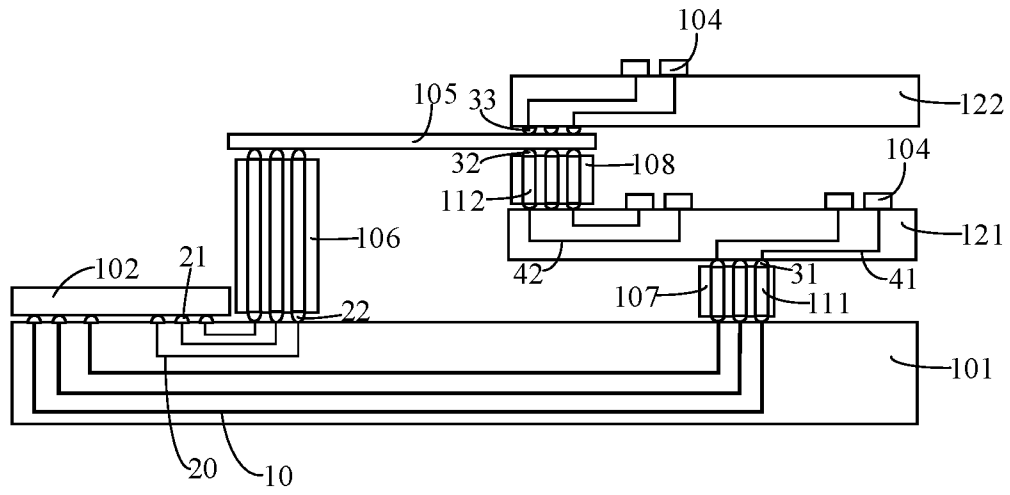


图 11

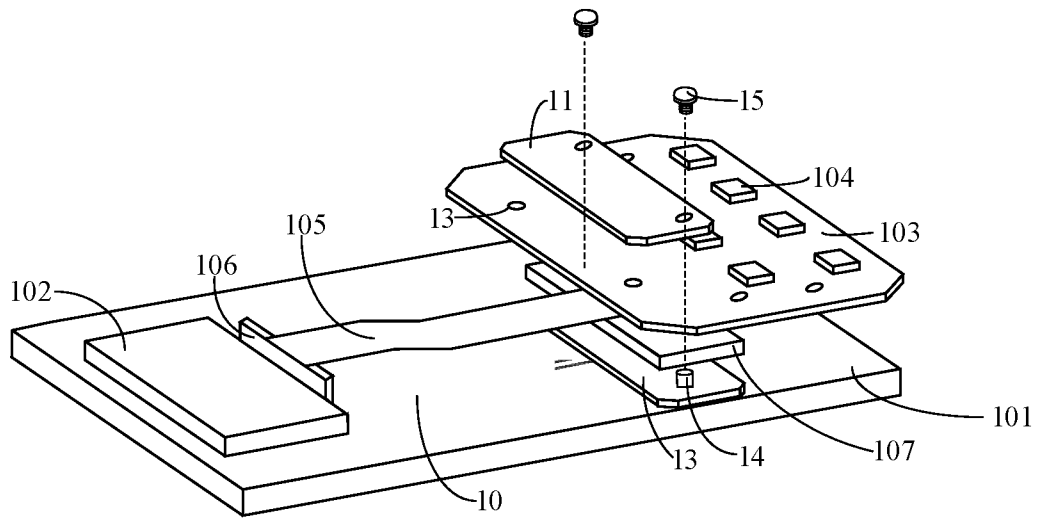


图 12

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/126685

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
G06F 1/20(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNKI, CNTXT, WPABSC, ENTXTC: 主板, 中央处理器, CPU, 内存, 芯片, 外部, 连接, 转接, 堆叠, mainboard, central, processing, memory, chip, external, connection, switch+, stacking		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 219660010 U (HEXIN TECHNOLOGY CO., LTD. et al.) 08 September 2023 (2023-09-08) description, paragraphs [0029]-[0056], and figures 1-3	1-15
X	CN 115390624 A (T-HEAD (SHANGHAI) SEMICONDUCTOR TECHNOLOGY CO., LTD.) 25 November 2022 (2022-11-25) description, paragraphs [0014]-[0049], and figures 1-3	1-15
X	CN 215576425 U (T-HEAD (SHANGHAI) SEMICONDUCTOR TECHNOLOGY CO., LTD.) 18 January 2022 (2022-01-18) description, paragraphs [0034]-[0077], and figures 1-7	1-15
A	CN 201590001 U (INSPUR ELECTRONIC INFORMATION INDUSTRY CO., LTD.) 22 September 2010 (2010-09-22) entire document	1-15
A	CN 205507612 U (GUANGXI LITAI ELECTRONIC TECHNOLOGY CO., LTD.) 24 August 2016 (2016-08-24) entire document	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
11 December 2023		20 December 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2023/126685**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 219660010 U	08 September 2023	None	
CN 115390624 A	25 November 2022	None	
CN 215576425 U	18 January 2022	None	
CN 201590001 U	22 September 2010	None	
CN 205507612 U	24 August 2016	None	
US 2023120513 A1	20 April 2023	None	

A. 主题的分类 G06F 1/20(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI,CNXTXT,WPABSC,ENTXTC: 主板, 中央处理器, CPU, 内存, 芯片, 外部, 连接, 转接, 堆叠, mainboard, central, processing, memory, chip, external, connection, switch+, stacking		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 219660010 U (合芯科技有限公司等) 2023年9月8日 (2023 - 09 - 08) 说明书第[0029]-[0056]段, 附图1-3	1-15
X	CN 115390624 A (平头哥(上海)半导体技术有限公司) 2022年11月25日 (2022 - 11 - 25) 说明书第[0014]-[0049]段, 附图1-3	1-15
X	CN 215576425 U (平头哥(上海)半导体技术有限公司) 2022年1月18日 (2022 - 01 - 18) 说明书第[0034]-[0077]段, 附图1-7	1-15
A	CN 201590001 U (浪潮电子信息产业股份有限公司) 2010年9月22日 (2010 - 09 - 22) 全文	1-15
A	CN 205507612 U (广西利泰电子技术有限公司) 2016年8月24日 (2016 - 08 - 24) 全文	1-15
A	US 2023120513 A1 (INTEL CORPORATION) 2023年4月20日 (2023 - 04 - 20) 全文	1-15
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年12月11日	国际检索报告邮寄日期 2023年12月20日	
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	授权官员 朱晓琳 电话号码 (+86) 010-53962507	

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2023/126685

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 219660010 U	2023年9月8日	无	
CN 115390624 A	2022年11月25日	无	
CN 215576425 U	2022年1月18日	无	
CN 201590001 U	2010年9月22日	无	
CN 205507612 U	2016年8月24日	无	
US 2023120513 A1	2023年4月20日	无	