



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0125151
(43) 공개일자 2012년11월14일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)</p> <p>(21) 출원번호 10-2011-7030606</p> <p>(22) 출원일자(국제) 2010년10월20일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2011년12월21일</p> <p>(86) 국제출원번호 PCT/JP2010/068437</p> <p>(87) 국제공개번호 WO 2011/121830
국제공개일자 2011년10월06일</p> <p>(30) 우선권주장
JP-P-2010-075375 2010년03월29일 일본(JP)</p> | <p>(71) 출원인
스미토모덴키고교가부시킴가이사
일본 오사카후 오사카시 주오쿠 기타하마 4쵸메 5반33고</p> <p>(72) 발명자
후지카와 가즈히로
일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3 스미토모덴키고교가부시킴가이사 오사카 세이사쿠쇼 나이</p> <p>(74) 대리인
신정건, 김태홍</p> |
|---|--|

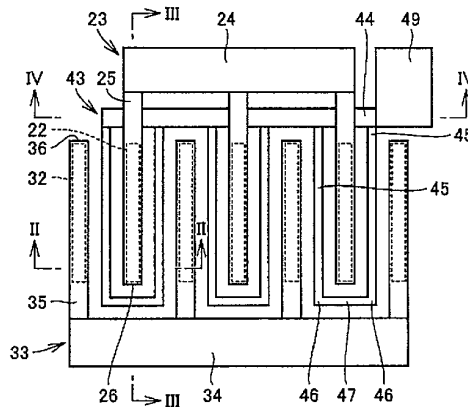
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계 효과 트랜지스터

(57) 요약

스위칭 속도를 향상시킬 수 있고, 동작 불량품을 저감시킬 수 있는, 횡형의 전계 효과 트랜지스터를 제공한다. 게이트 배선(43)은, 베이스부(44)와, 베이스부(44)로부터 돌출되는 복수의 손가락 형상부(45)와, 인접하는 손가락 형상부(45)의 선단부(46)를 접속하는 접속부(47)를 갖는다. 게이트 배선(43)의 손가락 형상부(45)는, 소스 배선(23)의 손가락 형상부(25)와 드레인 배선(33)의 손가락 형상부(35) 사이에 배치되어 있다. 게이트 배선(43)의 베이스부(44)는, 소스 배선(23)의 베이스부(24)와 드레인 배선(33)의 손가락 형상부(35) 사이에 배치되고, 소스 배선(23)의 손가락 형상부(25)와의 사이에 절연막을 개재시켜 손가락 형상부(25)와 교차하고 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기관(10)과,

상기 기관(10)상에 형성된 활성층(14)과,

상기 활성층(14)의 상측에 형성된 소스 배선(23), 드레인 배선(33) 및 게이트 배선(43)을 포함하고,

상기 소스 배선(23)은, 소스 배선 베이스부(24)와, 상기 소스 배선 베이스부(24)로부터 돌출되는 복수의 소스 배선 손가락 형상부(25)를 갖는 빗 형상으로 형성되어 있으며,

상기 드레인 배선(33)은, 드레인 배선 베이스부(34)와, 상기 드레인 배선 베이스부(34)로부터 돌출되는 복수의 드레인 배선 손가락 형상부(35)를 갖는 빗 형상으로 형성되어 있고,

상기 소스 배선(23)과 상기 드레인 배선(33)은, 상기 소스 배선 손가락 형상부(25)와 상기 드레인 배선 손가락 형상부(35)가 서로 조합되도록 대향하여 배치되어 있으며,

상기 게이트 배선(43)은, 게이트 배선 베이스부(44)와, 상기 게이트 배선 베이스부(44)로부터 돌출되는 복수의 게이트 배선 손가락 형상부(45)와, 인접하는 상기 게이트 배선 손가락 형상부(45)의 선단부(46)를 접속하는 접속부(47)를 가지며,

상기 게이트 배선 손가락 형상부(45)는, 상기 소스 배선 손가락 형상부(25)와 상기 드레인 배선 손가락 형상부(35) 사이에 배치되어 있고,

상기 게이트 배선 베이스부(44)는, 상기 소스 배선 베이스부(24)와 상기 드레인 배선 손가락 형상부(35) 사이에 배치되며, 상기 소스 배선 손가락 형상부(25)와의 사이에 절연막(51)을 개재시켜 상기 소스 배선 손가락 형상부(25)와 교차하고 있는 것인 전계 효과 트랜지스터(1, 71, 81, 91).

청구항 2

제1항에 있어서, 인접하는 상기 게이트 배선 손가락 형상부(45)와, 상기 게이트 배선 손가락 형상부(45)를 접속하는 상기 접속부(47)는, 제1 배선(101)을 구성하고,

상기 게이트 배선 베이스부(44)의, 상기 접속부(47)에 의해 접속된 인접하는 상기 게이트 배선 손가락 형상부(45)가 상기 게이트 배선 베이스부(44)에 접속되는 2점 사이에는, 상기 제1 배선(101)과 전기적으로 병렬인 제2 배선(102)을 구성하며,

상기 제1 배선(101)의 전기 저항은, 상기 제2 배선(102)의 전기 저항 이상 인 것인 전계 효과 트랜지스터(1, 71, 81, 91).

청구항 3

제1항 또는 제2항에 있어서, 상기 게이트 배선 손가락 형상부(45)의 종단면적은, 상기 게이트 배선 베이스부(44)의 종단면적 이하인 것인 전계 효과 트랜지스터(1, 71, 81, 91).

청구항 4

제1항에 있어서, 상기 활성층(14)은,

제1 도전형의 버퍼층(11)과,

상기 버퍼층(11)상에 형성되고, 표면(12a)을 갖는 제2 도전형의 채널층(12)과,

상기 소스 배선 손가락 형상부(25)의 적어도 일부에 대향하는 상기 채널층(12)의 상기 표면(12a)으로부터 상기 채널층(12)의 내부에 형성된 제2 도전형의 소스 영역(21)과,

상기 드레인 배선 손가락 형상부(35)의 적어도 일부에 대향하는 상기 채널층(12)의 상기 표면(12a)으로부터 상기 채널층(12)의 상기 내부에 형성된 제2 도전형의 드레인 영역(31)과,

상기 게이트 배선 손가락 형상부(45)의 적어도 일부에 대향하는 상기 채널층(12)의 상기 표면(12a)으로부터

상기 채널층(12)의 상기 내부에 형성된 제1 도전형의 게이트 영역(41)을 포함하고,
 상기 소스 배선 손가락 형상부(25)와 상기 소스 영역(21)을 접속하는 소스 전극(22)과,
 상기 드레인 배선 손가락 형상부(35)와 상기 드레인 영역(31)을 접속하는 드레인 전극(32)과,
 상기 게이트 배선 손가락 형상부(45)와 상기 게이트 영역(41)을 접속하는 게이트 전극(42)을 더 포함하는 전
 계 효과 트랜지스터(71).

청구항 5

제1항에 있어서, 상기 활성층(14)은,
 제1 도전형의 버퍼층(11)과,
 상기 버퍼층(11)상에 형성된 제2 도전형의 채널층(12)과,
 상기 채널층(12)상에 형성되고, 표면(13a)을 갖는 제1 도전형의 리서프층(RESURF Layer)(13)과,
 상기 소스 배선 손가락 형상부(25)의 적어도 일부에 대향하는 상기 리서프층(13)의 상기 표면(13a)으로부터
 상기 채널층(12)에 도달하도록 형성된 제2 도전형의 소스 영역(21)과,
 상기 드레인 배선 손가락 형상부(35)의 적어도 일부에 대향하는 상기 리서프층(13)의 상기 표면(13a)으로부터
 상기 채널층(12)에 도달하도록 형성된 제2 도전형의 드레인 영역(31)과,
 상기 게이트 배선 손가락 형상부(45)의 적어도 일부에 대향하는 상기 리서프층(13)의 상기 표면(13a)으로부터
 상기 채널층(12)에 도달하도록 형성된 제1 도전형의 게이트 영역(41)을 포함하고,
 상기 소스 배선 손가락 형상부(25)와 상기 소스 영역(21)을 접속하는 소스 전극(22)과,
 상기 드레인 배선 손가락 형상부(35)와 상기 드레인 영역(31)을 접속하는 드레인 전극(32)과,
 상기 게이트 배선 손가락 형상부(45)와 상기 게이트 영역(41)을 접속하는 게이트 전극(42)을 더 포함하는 전
 계 효과 트랜지스터(1).

청구항 6

제1항에 있어서, 상기 활성층(14)은,
 제1 도전형의 버퍼층(11)과,
 상기 버퍼층(11)상에 형성되고, 표면(82a)을 갖는 제1 도전형의 보디층(82)과,
 상기 소스 배선 손가락 형상부(25)의 적어도 일부에 대향하는 상기 보디층(82)의 상기 표면(82a)으로부터 상
 기 보디층(82)의 내부에 형성된 제2 도전형의 소스 영역(21)과,
 상기 드레인 배선 손가락 형상부(35)의 적어도 일부에 대향하는 상기 보디층(82)의 상기 표면(82a)으로부터
 상기 보디층(82)의 상기 내부에 형성된 제2 도전형의 드레인 영역(31)을 포함하고,
 상기 게이트 배선 손가락 형상부(45)의 적어도 일부의 하측에 형성되며, 절연층(20)을 개재시켜 상기 보디층
 (82)상에 형성된 게이트 전극(42)과,
 상기 소스 배선 손가락 형상부(25)와 상기 소스 영역(21)을 접속하는 소스 전극(22)과,
 상기 드레인 배선 손가락 형상부(35)와 상기 드레인 영역(31)을 접속하는 드레인 전극(32)을 더 포함하는 전
 계 효과 트랜지스터(81).

청구항 7

제1항에 있어서, 상기 활성층(14)은,
 제1 도전형의 버퍼층(11)과,
 상기 버퍼층(11)상에 형성되고, 표면(12a)을 갖는 제2 도전형의 채널층(12)과,
 상기 소스 배선 손가락 형상부(25)의 적어도 일부에 대향하는 상기 채널층(12)의 상기 표면(12a)으로부터 상

기 채널층(12)의 내부에 형성된 제2 도전형의 소스 영역(21)과,
 상기 드레인 배선 손가락 형상부(35)의 적어도 일부에 대향하는 상기 채널층(12)의 상기 표면(12a)으로부터 상기 채널층(12)의 상기 내부에 형성된 제2 도전형의 드레인 영역(31)을 포함하고,
 상기 게이트 배선 손가락 형상부(45)의 적어도 일부의 하측에 형성되며, 상기 채널층(12)에 접촉하여 쇼트키 특성을 나타내는 게이트 전극(42)과,
 상기 소스 배선 손가락 형상부(25)와 상기 소스 영역(21)을 접속하는 소스 전극(22)과,
 상기 드레인 배선 손가락 형상부(35)와 상기 드레인 영역(31)을 접속하는 드레인 전극(32)을 더 포함하는 전계 효과 트랜지스터(91).

청구항 8

제4항 내지 제7항 중 어느 한 항에 있어서,
 상기 소스 배선 손가락 형상부(25)의 적어도 일부의 하측에 형성되고, 상기 표면(12a, 13a, 82a)으로부터 상기 버퍼층(11)에 도달하는 제1 도전형의 베이스 영역(61)과,
 상기 소스 배선 손가락 형상부(25)와 상기 베이스 영역(61)을 접속하는 베이스 전극(62)을 더 포함하는 전계 효과 트랜지스터(1, 71, 81, 91).

청구항 9

제8항에 있어서, 상기 베이스 영역(61)은, 상기 전계 효과 트랜지스터(1, 71, 81, 91)를 평면에서 봤을 때, 상기 소스 영역(21)으로 둘러싸여 있는 것인 전계 효과 트랜지스터(1, 71, 81, 91).

청구항 10

제8항에 있어서, 상기 베이스 전극(62)은, 상기 소스 전극(22)보다 하측에 설치되어 있는 것인 전계 효과 트랜지스터(1, 71, 81, 91).

명세서

기술분야

[0001] 본 발명은, 전계 효과 트랜지스터에 관한 것이며, 특히 횡형의 전계 효과 트랜지스터에 관한 것이다.

배경기술

[0002] 횡형의 전계 효과 트랜지스터에서는, 전류 용량을 크게 하기 위해 게이트폭을 확대하는 경우에, 복수의 트랜지스터셀을 나열하여 병렬로 접속할 수 있도록 소스 배선과 드레인 배선은 빗형의 구조를 채용하는 경우가 많다. 이 때, 게이트 배선에는, 미앤더(meander) 형상이나 빗 형상이 채용되어 있다.

[0003] 종래, 빗 형상의 소스 전극 및 드레인 전극의 손가락 형상부가 서로 조합되도록 대향하여 위치하고, 미앤더 형상의 게이트 전극이 소스 전극과 드레인 전극 사이에 위치하는 형상의 상면 패턴이 형성되어 있는, 전계 효과 트랜지스터가 제안되어 있다. 또한 빗 형상의 소스 전극 및 드레인 전극의 손가락 형상부가 서로 조합되도록 대향하여 형성되고, 그 소스 전극과 드레인 전극 사이에 빗 형상의 게이트 전극의 손가락 형상부가 형성되며, 게이트 전극의 손가락 형상부의 베이스부가 되는 공통부가 트랜지스터의 외부에 형성되어 있는, 전계 효과 트랜지스터가 제안되어 있다[예컨대 일본 특허 공개 제2006-66887호 공보(특허문헌 1) 참조].

[0004] 또한, 복수의 유닛셀의 소스 접점과 드레인 접점을 서로 감합하여, 이들 사이에 게이트 접점이 배치되고, 피복층이, 접점 비아홀 내에 배치된 p^+ 접점을 통해, 소스 접점을 p^+ 영역에 전기적으로 결합하고 있는, 트랜지스터가 제안되어 있다[예컨대 국제공개 제2006/065324호(특허문헌 2) 참조].

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 특허문헌 1 : 일본 특허 공개 제2006-66887호 공보

(특허문헌 0002) 특허문헌 2 : 국제 공개 제2006/065324호

발명의 내용

해결하려는 과제

- [0006] 상기 문헌에 개시되어 있는 미앤더 형상의 게이트 전극상에는, 게이트 전극과 동일한 미앤더 형상의 게이트 배선이 있고, 그 일단이 게이트 패드에 접속되어 있는 것으로 일반적으로는 생각된다. 게이트 배선이 미앤더 형상인 경우, 게이트 배선의 저항이 높고, 게이트 회로의 충방전에 시간이 걸린다. 또한, 게이트 배선이 길어지기 때문에, 게이트 배선의 게이트 패드에 가까운 부분과 게이트 패드로부터 먼 부분에서 게이트 전압 변화에 시간 지연이 생긴다. 이 때문에 트랜지스터의 스위칭을 빠르게 할 수 없다.
- [0007] 또한, 게이트 배선은 일반적으로 1 μm 정도 이하의 폭을 갖기 때문에, 제조 공정중에, 포토리소그래피의 불량에 의해 배선이 부분적으로 형성되지 않는, 패턴 누락이 생기는 경우가 있다. 게이트 배선이 미앤더 형상인 경우, 게이트 배선의 일지점이라도 끊겨 버리면, 그 지점보다 게이트 패드로부터 먼 부분의 게이트 배선에서는 게이트 전압이 변화하지 않고, 그 부분의 트랜지스터가 동작하지 않게 된다. 이 때문에 트랜지스터의 동작 불량품이 발생하기 쉽다.
- [0008] 한편, 전술한 일본 특허 공개 제2006-66887호 공보(특허문헌 1)에 개시되어 있는 빗 형상의 게이트 배선에서는, 게이트 배선의 손가락 형상부가 소스 배선의 베이스부의 하측을 통과하고 있다. 통상, 소스 배선의 베이스부는 폭을 넓게 취하기 때문에, 그 하측을 통과하는 게이트 배선이 길어지고, 저항이 높아진다. 또한, 게이트 배선과 소스 배선의 베이스부와 교차 면적이 커지기 때문에, 게이트-소스간의 용량이 커진다. 이 때문에, 게이트 회로의 충방전에 시간이 걸리고, 트랜지스터의 스위칭을 빠르게 할 수 없다. 추가로, 제조 공정중에서 생긴 패턴 누락에 의해 게이트 배선의 손가락 형상부가 끊겨, 절단 지점보다 앞 부분의 트랜지스터가 작동하지 않게 되고, 트랜지스터의 동작 불량품이 발생하기 쉬워진다.
- [0009] 본 발명은 상기한 과제를 감안하여 이루어진 것으로, 그 주된 목적은, 스위칭 속도를 향상시킬 수 있고, 동작 불량품을 저감시킬 수 있는, 횡형의 전계 효과 트랜지스터를 제공하는 것이다.

과제의 해결 수단

- [0010] 본 발명에 따른 전계 효과 트랜지스터는, 기판과, 기판상에 형성된 활성층과, 활성층의 상측에 형성된 소스 배선, 드레인 배선 및 게이트 배선을 포함한다. 소스 배선은, 소스 배선 베이스부와, 소스 배선 베이스부로부터 돌출되는 복수의 소스 배선 손가락 형상부를 갖는, 빗 형상으로 형성되어 있다. 드레인 배선은, 드레인 배선 베이스부와, 드레인 배선 베이스부로부터 돌출되는 복수의 드레인 배선 손가락 형상부를 갖는, 빗 형상으로 형성되어 있다. 소스 배선과 드레인 배선은, 소스 배선 손가락 형상부와 드레인 배선 손가락 형상부가 서로 조합되도록 대향하여 배치되어 있다. 게이트 배선은, 게이트 배선 베이스부와, 게이트 배선 베이스부로부터 돌출되는 복수의 게이트 배선 손가락 형상부와, 인접하는 게이트 배선 손가락 형상부의 선단부를 접속하는 접속부를 갖는다. 게이트 배선 손가락 형상부는, 소스 배선 손가락 형상부와 드레인 배선 손가락 형상부 사이에 배치되어 있다. 게이트 배선 베이스부는, 소스 배선 베이스부와 드레인 배선 손가락 형상부 사이에 배치되고, 소스 배선 손가락 형상부와 사이에 절연막을 개재시켜 소스 배선 손가락 형상부와 교차하고 있다.
- [0011] 바람직하게는, 인접하는 게이트 배선 손가락 형상부와, 게이트 배선 손가락 형상부를 접속하는 접속부는, 제1 배선을 구성한다. 게이트 배선 베이스부의, 접속부에 의해 접속된 인접하는 게이트 배선 손가락 형상부가 게이트 배선 베이스부에 접속되는 2점 사이에는, 제1 배선과 전기적으로 병렬인 제2 배선을 구성한다. 제1 배선의 전기 저항은, 제2 배선의 전기 저항 이상이다.
- [0012] 바람직하게는, 게이트 배선 손가락 형상부의 종단면적은, 게이트 배선 베이스부의 종단면적 이하이다.
- [0013] 바람직하게는, 활성층은, 제1 도전형의 버퍼층과, 버퍼층상에 형성되고, 표면을 갖는 제2 도전형의 채널층과, 소스 배선 손가락 형상부의 적어도 일부에 대향하는 채널층의 표면으로부터 채널층의 내부에 형성된 제2 도전형의 소스 영역과, 드레인 배선 손가락 형상부의 적어도 일부에 대향하는 채널층의 표면으로부터 채널층의 내부에 형성된 제2 도전형의 드레인 영역과, 게이트 배선 손가락 형상부의 적어도 일부에 대향하는 채널층의 표면으로부터 채널층의 내부에 형성된 제1 도전형의 게이트 영역을 포함한다. 전계 효과 트랜지스터는, 소스 배선 손가락 형상부와 소스 영역을 접속하는 소스 전극과, 드레인 배선 손가락 형상부와 드레인 영역을 접속하

는 드레인 전극과, 게이트 배선 손가락 형상부와 게이트 영역을 접촉하는 게이트 전극을 더 포함한다.

[0014] 바람직하게는, 활성층은, 제1 도전형의 버퍼층과, 버퍼층상에 형성된 제2 도전형의 채널층과, 채널층상에 형성되고, 표면을 갖는 제1 도전형의 리서프층과, 소스 배선 손가락 형상부의 적어도 일부에 대향하는 리서프층의 표면으로부터 채널층에 도달하도록 형성된 제2 도전형의 소스 영역과, 드레인 배선 손가락 형상부의 적어도 일부에 대향하는 리서프층의 표면으로부터 채널층에 도달하도록 형성된 제2 도전형의 드레인 영역과, 게이트 배선 손가락 형상부의 적어도 일부에 대향하는 리서프층의 표면으로부터 채널층에 도달하도록 형성된 제1 도전형의 게이트 영역을 포함한다. 전계 효과 트랜지스터는, 소스 배선 손가락 형상부와 소스 영역을 접촉하는 소스 전극과, 드레인 배선 손가락 형상부와 드레인 영역을 접촉하는 드레인 전극과, 게이트 배선 손가락 형상부와 게이트 영역을 접촉하는 게이트 전극을 더 포함한다.

[0015] 바람직하게는 활성층은, 제1 도전형의 버퍼층과, 버퍼층상에 형성되고, 표면을 갖는 제1 도전형의 보디층과, 소스 배선 손가락 형상부의 적어도 일부에 대향하는 보디층의 표면으로부터 보디층의 내부에 형성된 제2 도전형의 소스 영역과, 드레인 배선 손가락 형상부의 적어도 일부에 대향하는 보디층의 표면으로부터 보디층의 내부에 형성된 제2 도전형의 드레인 영역을 포함한다. 전계 효과 트랜지스터는, 게이트 배선 손가락 형상부의 적어도 일부의 하측에 형성되며, 절연층을 개재시켜 보디층상에 형성된, 게이트 전극과, 소스 배선 손가락 형상부와 소스 영역을 접촉하는 소스 전극과, 드레인 배선 손가락 형상부와 드레인 영역을 접촉하는 드레인 전극을 더 포함한다.

[0016] 바람직하게는, 활성층은, 제1 도전형의 버퍼층과, 버퍼층상에 형성되고, 표면을 갖는 제2 도전형의 채널층과, 소스 배선 손가락 형상부의 적어도 일부에 대향하는 채널층의 표면으로부터 채널층의 내부에 형성된 제2 도전형의 소스 영역과, 드레인 배선 손가락 형상부의 적어도 일부에 대향하는 채널층의 표면으로부터 채널층의 내부에 형성된 제2 도전형의 드레인 영역을 포함한다. 전계 효과 트랜지스터는, 게이트 배선 손가락 형상부의 적어도 일부의 하측에 형성되고, 채널층에 접촉하여 쇼트키 특성을 나타내는, 게이트 전극과, 소스 배선 손가락 형상부와 소스 영역을 접촉하는 소스 전극과, 드레인 배선 손가락 형상부와 드레인 영역을 접촉하는 드레인 전극을 더 포함한다.

[0017] 바람직하게는, 전계 효과 트랜지스터는, 소스 배선 손가락 형상부의 적어도 일부의 하측에 형성되고, 표면으로부터 버퍼층에 도달하는, 제1 도전형의 베이스 영역과, 소스 배선 손가락 형상부와 베이스 영역을 접촉하는 베이스 전극을 더 포함한다.

[0018] 바람직하게는, 베이스 영역은, 전계 효과 트랜지스터를 평면에서 봤을 때, 소스 영역으로 둘러싸여 있다.

[0019] 바람직하게는, 베이스 전극은, 소스 전극보다 하측에 설치되어 있다.

발명의 효과

[0020] 본 발명의 전계 효과 트랜지스터에 의하면, 스위칭 속도를 향상시킬 수 있고, 동작 불량품을 저감시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 제1 실시형태의 횡형 전계 효과 트랜지스터의 배선 형상을 도시하는 모식도이다.

도 2는 제1 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다.

도 3은 제1 실시형태의 횡형 전계 효과 트랜지스터의 다른 단면도이다.

도 4는 제1 실시형태의 횡형 전계 효과 트랜지스터의 또 다른 단면도이다.

도 5는 게이트 배선의 일부의 분해도이다.

도 6은 도 5중의 선 VI-VI를 따라 취한 게이트 배선의 베이스부의 단면도이다.

도 7은 도 5중의 선 VII-VII를 따라 취한 게이트 배선의 손가락 형상부의 단면도이다.

도 8은 제1 실시형태의 횡형 전계 효과 트랜지스터의 제조방법을 나타내는 흐름도이다.

도 9는 제2 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다.

도 10은 제3 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다.

도 11은 제4 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다.
 도 12는 제5 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다.
 도 13은 제6 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 도면에 기초하여 본 발명의 실시형태를 설명한다. 또한, 이하의 도면에서, 동일 또는 상당하는 부분에는 동일한 참조 번호를 붙이고, 그 설명은 반복하지 않는다.
- [0023] (제1 실시형태)
- [0024] 도 1은, 제1 실시형태의 횡형 전계 효과 트랜지스터의 배선 형상을 도시하는 모식도이다. 도 1에는, 횡형 전계 효과 트랜지스터의 소스 배선, 드레인 배선 및 게이트 배선의 배치가 도시되어 있다. 도 1에 도시하는 바와 같이, 본 실시형태의 횡형 전계 효과 트랜지스터는, 소스 배선(23)과, 드레인 배선(33)과, 게이트 배선(43)을 구비한다. 소스 배선(23)은, 베이스부(24)와, 베이스부(24)로부터 돌출되는 복수의 손가락 형상부(25)를 갖는, 빗 형상으로 형성되어 있다. 소스 배선(23)의 복수의 손가락 형상부(25)는, 각각 베이스부(24)에 접속되어 있다. 드레인 배선(33)은, 베이스부(34)와, 베이스부(34)로부터 돌출되는 복수의 손가락 형상부(35)를 갖는, 빗 형상으로 형성되어 있다. 드레인 배선(33)의 복수의 손가락 형상부(35)는, 각각 베이스부(34)에 접속되어 있다.
- [0025] 소스 배선(23)과 드레인 배선(33)은, 빗 형상의 소스 배선(23)의 손가락 형상부(25)와 드레인 배선(33)의 손가락 형상부(35)가 서로 조합되도록 대향하여 배치되어 있다. 즉, 소스 배선(23)의 손가락 형상부(25)와 드레인 배선(33)의 손가락 형상부(35)가 교대로 배치되도록 소스 배선(23)과 드레인 배선(33)이 배치되어 있다.
- [0026] 도 1에 도시하는 소스 배선(23)은, 3개의 손가락 형상부(25)를 가지며, 손가락 형상부(25)는, 베이스부(24)에 대하여 직교하도록 베이스부(24)의 한쪽으로부터 돌출되어 있다. 도 1에 도시하는 드레인 배선(33)은, 4개의 손가락 형상부(35)를 가지며, 손가락 형상부(35)는, 베이스부(34)에 대하여 직교하도록 베이스부(24)의 한쪽으로부터 돌출되어 있다. 소스 배선(23)의 3개의 손가락 형상부(25)가, 드레인 배선(33)의 4개의 손가락 형상부(35) 사이에 삽입 관통되도록 소스 배선(23)과 드레인 배선(33)이 배치되어 있다.
- [0027] 소스 배선(23)의 베이스부(24)와, 드레인 배선(33)의 베이스부(34)는, 서로 평행하게 배치되어 있다. 소스 배선(23)의 손가락 형상부(25)는, 드레인 배선(33)의 베이스부(34)를 향해, 베이스부(24)로부터 연장되어 있다. 드레인 배선(33)의 손가락 형상부(35)는, 소스 배선(23)의 베이스부(24)를 향해, 베이스부(34)로부터 연장되어 있다. 소스 배선(23)의 손가락 형상부(25)와, 드레인 배선(33)의 손가락 형상부(35)는, 서로 평행하게 나열되고, 1개씩 교대로 배치되어 있다.
- [0028] 소스 배선(23)의 손가락 형상부(25)의, 드레인 배선(33)의 손가락 형상부(35)와 조합되어 나열된 부분의 하측에는, 도 1중에 점선으로 도시하는 소스 전극(22)이 배치되어 있다. 드레인 배선(33)의 손가락 형상부(35)의, 소스 배선(23)의 손가락 형상부(25)와 조합되어 나열된 부분의 하측에는, 도 1중에 점선으로 도시하는 드레인 전극(32)이 배치되어 있다. 본 명세서중에서, 상측이란, 반도체의 적층 방향에서 기판으로부터 멀어지는 측을 나타내고, 하측이란, 반도체의 적층 방향에서 기판에 가까운 측을 나타낸다.
- [0029] 게이트 배선(43)은, 베이스부(44)와, 베이스부(44)로부터 돌출되는 복수의 손가락 형상부(45)를 갖는다. 트랜지스터를 평면에서 본 경우, 소스 배선(23)의 베이스부(24)에 근접하는 측에, 게이트 배선(43)의 베이스부(44)가 배치된다. 게이트 배선(43)의 베이스부(44)는, 소스 배선(23)의 베이스부(24)와 드레인 배선(33)의 손가락 형상부(35) 사이에 배치되어 있다. 게이트 배선(43)의 베이스부(44)는, 소스 배선(23)의 손가락 형상부(25)의 하측에 배치되어 있고, 절연막을 통해 소스 배선(23)의 손가락 형상부(25)와 교차하고 있다. 게이트 배선(43)의 베이스부(44)의 한쪽 단부는, 금속 등의 도전체로 형성되는 게이트 패드(49)에 접속되어 있다.
- [0030] 게이트 배선(43)의 손가락 형상부(45)는, 베이스부(44)에 대하여 직교하도록 베이스부(44)의 한쪽으로부터 돌출되어 있다. 게이트 배선(43)의 복수의 손가락 형상부(45)는, 서로 평행하게 배치되어 있다. 게이트 배선(43)의 손가락 형상부(45)는, 소스 배선(23)의 손가락 형상부(25)와, 드레인 배선(33)의 손가락 형상부(35) 사이에 배치되어 있다. 게이트 배선(43)의 손가락 형상부(45)는, 드레인 배선(33)의 베이스부(34)를 향해, 베이스부(44)로부터 연장되어 있다. 게이트 배선(43)의 손가락 형상부(45)와, 소스 배선(23)의 손가락 형상부(25)와, 드레인 배선(33)의 손가락 형상부(35)는, 서로 평행하게 나열되어 배치되어 있다.

- [0031] 게이트 배선(43)은, 인접하는 손가락 형상부(45)의 선단부(46)를 접속하는 접속부(47)를 더 갖는다. 인접하는 1조의 손가락 형상부(45)의, 드레인 배선(33)의 베이스부(34)측의 선단부(46)끼리는, 접속부(47)에 의해 접속되어 있다. 게이트 배선(43)의 손가락 형상부(45)는, 소스 배선(23)의 손가락 형상부(25)를 사이에 두고, 인접하는 것끼리의 말단이 접속부(47)에 의해 접속되어 있다. 게이트 배선(43)의 손가락 형상부(45)와 접속부(47)는, 소스 배선(23)의 손가락 형상부(25)를 둘러싸는, U자형으로 형성되어 있다.
- [0032] 도 2는 제1 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다. 도 2에서는, 횡형 전계 효과 트랜지스터의 일례로서의, 횡형의 RESURF-JFET(REDuced SURface Field Junction Field Effect Transistor)(1)의, 도 1중 선 II-II를 따라 취한 단면이 도시되어 있다.
- [0033] 도 2에 도시하는 RESURF-JFET(1)에서는, SiC 등의 반도체에 의해 형성된 기판(10)상에, 반도체를 포함하는 활성층(14)이 형성되어 있다. RESURF-JFET(1)는, 기판(10)과, 기판(10)상에 형성된 활성층(14)을 구비한다. 소스 배선(23)과, 드레인 배선(33)과, 게이트 배선(43)은 활성층(14)의 상층에 형성되어 있다.
- [0034] 활성층(14)은, 기판(10)상에 형성된 p⁻형의 버퍼층(11)과, 버퍼층(11)상에 형성된 n형의 채널층(12)과, 채널층(12)상에 형성된 p형의 리서프층(13)을 포함한다. 리서프층(13)은, 표면(13a)을 갖는다. 리서프층(13)의 표면(13a)으로부터 채널층(12)에 도달하도록 n⁺형의 소스 영역(21)과, n⁺형의 드레인 영역(31)과, p⁺형의 게이트 영역(41)이 서로 거리를 두고 형성되어 있다.
- [0035] 버퍼층(11)과 리서프층(13)과 게이트 영역(41)은, 도전형이 제1 도전형으로서의 p형이다. 게이트 영역(41)의 p형 불순물 농도는, 리서프층(13)에서의 p형 불순물 농도보다 높다. 버퍼층(11)의 p형 불순물 농도는, 리서프층(13)에서의 p형 불순물 농도보다 낮다. 채널층(12)과 소스 영역(21)과 드레인 영역(31)은, 도전형이 제2 도전형으로서의 n형이다. 소스 영역(21) 및 드레인 영역(31)의 n형 불순물 농도는, 채널층(12)에서의 n형 불순물 농도보다 높다.
- [0036] 리서프층(13)의 상부 표면인 표면(13a)상에는, 절연 재료를 포함하는 필드 산화막(20)이 형성되어 있다. 필드 산화막(20)에는, 복수의 개구부가 형성되어 있다. 소스 영역(21)상에 위치하는 개구부의 내부에는, 소스 전극(22)이 형성되어 있다. 드레인 영역(31)상에 위치하는 개구부의 내부에는, 드레인 전극(32)이 형성되어 있다. 게이트 영역(41)상에 위치하는 개구부의 내부에는, 게이트 전극(42)이 형성되어 있다.
- [0037] 필드 산화막(20)은, 리서프층(13)의 표면(13a)에서, 소스 전극(22), 드레인 전극(32) 및 게이트 전극(42)이 형성되어 있는 영역 이외의 영역 전체를 덮도록 형성되어 있다. 이것에 의해 필드 산화막(20)은 소스 전극(22), 드레인 전극(32) 및 게이트 전극(42)의 각각을, 전기적으로 분리한다.
- [0038] 전자가 공급되는 소스 영역(21)은, 소스 배선(23)의 손가락 형상부(25)에 대향하도록 형성되어 있다. 소스 영역(21) 상층의, 소스 전극(22)상에는, 금속 등의 도전체를 포함하는 소스 배선(23)이 형성되어 있다. 소스 전극(22)은, 소스 배선(23)의 손가락 형상부(25)와 소스 영역(21)을 전기적으로 접속한다.
- [0039] 전자가 추출되는 드레인 영역(31)은, 드레인 배선(33)의 손가락 형상부(35)에 대향하도록 형성되어 있다. 드레인 영역(31) 상층의, 드레인 전극(32)상에는, 도전체를 포함하는 드레인 배선(33)이 형성되어 있다. 드레인 전극(32)은, 드레인 배선(33)의 손가락 형상부(35)와 드레인 영역(31)을 전기적으로 접속한다.
- [0040] 소스 영역(21)과 드레인 영역(31) 사이에 배치되고, 소스 영역(21)과 드레인 영역(31) 사이를 전기적으로 접속 및 차단하는 게이트 영역(41)은, 게이트 배선(43)의 손가락 형상부(45)에 대향하도록 형성되어 있다. 게이트 영역(41) 상층의, 게이트 전극(42)상에는, 도전체를 포함하는 게이트 배선(43)이 형성되어 있다. 게이트 전극(42)은, 게이트 배선(43)의 손가락 형상부(45)와 게이트 영역(41)을 전기적으로 접속한다.
- [0041] 필드 산화막(20)상에는, 층간 절연막(51)이 형성되어 있다. 층간 절연막(51)은, 게이트 배선(43)을 덮고, 소스 배선(23)과 드레인 배선(33) 사이에 충전되도록 형성되어 있다. 층간 절연막(51)은, 소스 배선(23)과 게이트 배선(43)을 전기적으로 절연하고, 드레인 배선(33)과 게이트 배선(43)을 전기적으로 절연한다.
- [0042] 층간 절연막(51)상에는, 패시베이션막(52)이 형성되어 있다. 패시베이션막(52)은, 소스 배선(23) 및 드레인 배선(33)의 전체를 포함하는, RESURF-JFET(1)의 전체를 덮도록 형성되어 있다. 패시베이션막(52)은, RESURF-JFET(1)를 외측으로부터 보호하는 표면 보호막으로서 기능한다.
- [0043] 도 3은 제1 실시형태의 횡형 전계 효과 트랜지스터의 다른 단면도이다. 도 3에서는, RESURF-JFET(1)의, 도 1중의 선 III-III를 따라 취한 단면이 도시되어 있다. 도 3에는, 게이트 배선(43)의 베이스부(44)와 접속부

(47)가 도시되어 있다. 베이스부(44)와 접속부(47)의 하측에는 게이트 영역(41)이 형성되어 있고, 게이트 배선(43)의 베이스부(44)와 접속부(47)는, 게이트 전극(42)을 통해 게이트 영역(41)에 접속되어 있다.

[0044] 게이트 배선(43)의 베이스부(44)와 접속부(47) 사이에는, 소스 배선(23)의 손가락 형상부(25)가 설치되어 있다. 소스 배선(23)의 손가락 형상부(25)의 하측에는, 소스 영역(21)이 형성되어 있다. 도 3에 도시하는 소스 배선(23)의 좌측 단부에, 소스 배선(23)의 베이스부(24)가 배치되어 있다. 도 3에서, 소스 배선(23)의 손가락 형상부(25)는, 게이트 영역(41)의 상측으로부터, 게이트 배선(43)의 베이스부(44)를 덮는 위치에까지, 도면중 좌우 방향으로 연장된다. 게이트 배선(43)의 베이스부(44)는, 소스 배선(23)의 손가락 형상부(25) 사이에 층간 절연막(51)을 개재시켜, 소스 배선(23)의 손가락 형상부(25) 중 베이스부(24)에 가까운 일부분에 대하여 교차하고 있다.

[0045] 도 3에는, 드레인 배선(33)의 베이스부(34)가 도시되어 있다. 드레인 전극(32)은, 도 1을 참조하여 설명한 바와 같이, 드레인 배선(33)의 손가락 형상부(35)의 하측에 배치되지만, 드레인 배선(33)의 베이스부(34)의 하측에는 배치되지 않는다. 이 때문에 도 3에서는, 드레인 배선(33)의 하측에는, 드레인 전극(32)과 드레인 영역(31)은 배치되어 있지 않다.

[0046] 도 4는 제1 실시형태의 횡형 전계 효과 트랜지스터의 또 다른 단면도이다. 도 4에서는, RESURF-JFET(1)의, 도 1중 선 IV-IV를 따라 취한 단면이 도시되어 있다. 도 4에는, 게이트 배선(43)의 베이스부(44)가 도면중 좌우 방향으로 연장되어 도시되어 있다. 베이스부(44)의 하측에는 게이트 영역(41)이 형성되고, 게이트 배선(43)의 베이스부(44)는 게이트 전극(42)을 통해 게이트 영역(41)에 접속되어 있다.

[0047] 게이트 배선(43)의 베이스부(44)는, 층간 절연막(51)에 의해 덮여 있다. 층간 절연막(51)상에, 패시베이션막(52)에 의해 피복되도록 소스 배선(23)의 손가락 형상부(25)가 배치되어 있다. 즉, 도 3 및 도 4로부터 명백한 바와 같이, 소스 배선(23)의 손가락 형상부(25)와 게이트 배선(43)의 베이스부(44) 사이에는, 층간 절연막(51)이 개재되고, 이것에 의해 소스 배선(23)의 손가락 형상부(25)와 게이트 배선(43)의 베이스부(44)는 전기적으로 절연되어 있다.

[0048] 게이트 배선(43)의 베이스부(44)의 한쪽 단부는 게이트 패드(49)에 접속되어 있고, 게이트 패드(49)는, 필드산화막(20)상에서 층간 절연막(51) 및 패시베이션막(52)을 두께 방향으로 관통하여, RESURF-JFET(1)의 외표면에 노출되어 있다. 이와 같이 배치된 게이트 패드(49)를 통해, 게이트 배선(43)의 외부의 전기 회로와의 전기적 접속이 가능하게 되어 있다.

[0049] 도 5는 게이트 배선(43)의 일부의 분해도이다. 도 5에 도시하는 한 쌍의 인접하는 게이트 배선(43)의 손가락 형상부(45)와, 손가락 형상부(45)를 접속하는 접속부(47)는, 제1 배선(101)을 구성한다. 제1 배선(101)은, 게이트 배선(43)의 베이스부(44)와 접속부(47)에 의해 형성된, U자형 구조를 갖는다. 게이트 배선(43)의 베이스부(44)의, 접속부(47)에 의해 접속된 인접하는 손가락 형상부(45)가 베이스부(44)에 접속되는 2점 사이에는, 제1 배선(101)과 전기적으로 병렬인 제2 배선(102)을 구성한다. 제2 배선(102)은, 제1 배선(101)의 U자형 구조의 선단의 2지점이 접속되는 위치에 대응하는 베이스부(44)의 2점을 연결하는, 베이스부(44)의 일부분이다. U자 형상의 제1 배선(101)과, 직선형의 제2 배선(102)은, 전기적으로 병렬로 되어 있다.

[0050] 게이트 배선(43)은, 제1 배선(101)의 전기 저항이 제2 배선(102)의 전기 저항 이상이도록 형성되어 있다. U자형상으로 배치된 게이트 배선(43)의 손가락 형상부(45) 및 접속부(47)에 의해 형성되는 도전로의 전기 저항에 대하여, 상기 도전로와 병렬로 되어 있는 게이트 배선(43)의 베이스부(44)의 부분의 전기 저항은, 같거나 또는 그 보다 작다. 이 때문에 제1 배선(101)보다 제2 배선(102) 쪽이, 전류가 흐르기 쉽게 되어 있다. 즉, 제2 배선(102)을 형성하는 베이스부(44)에 전압이 인가된 경우, 도 5중에 화살표로 도시하는 도면중 우측 손가락 형상부(45)로부터 접속부(47)를 경유하여 좌측 손가락 형상부(45)에 흐르는 전류보다, 베이스부(44)의 내부를 흐르는 전류가 보다 커진다.

[0051] 도 6은 도 5중 선 VI-VI를 따라 취한 게이트 배선(43)의 베이스부(44)의 단면도이다. 도 7은, 도 5중 선 VII-VII를 따라 취한 게이트 배선(43)의 손가락 형상부(45)의 단면도이다. 도 6과 도 7을 비교하면, 게이트 배선(43)의 손가락 형상부(45)의 종단면적은, 게이트 배선(43)의 베이스부(44)의 종단면적 이하이다. 여기서, 종단면적은, 배선의 연장 방향에 대하여 직각 방향으로 절단한 경우의, 배선의 단면적을 말한다.

[0052] 예컨대 게이트 배선(43)의 베이스부(44)의 폭 w_1 은 $5 \mu\text{m}$, 두께 h_1 은 $0.1 \mu\text{m}$ 여도 좋다. 베이스부(44)의, U자형의 제1 배선(101)과 병렬이 되는 제2 배선(102)을 형성하는 길이는, $10 \mu\text{m}$ 여도 좋다. 또한 게이트 배선(43)의 손가락 형상부(45)의 폭 w_2 는 $2 \mu\text{m}$, 두께 h_2 는 $0.1 \mu\text{m}$ 로서, 손가락 형상부(45)의 길이는 $150 \mu\text{m}$ 여도 좋다.

- [0053] 이상의 구성을 갖는 RESURF-JFET(1)에서는, 게이트 배선(43)의 베이스부(44)로부터 복수의 손가락 형상부(45)가 돌출되도록 형성되고, 복수의 손가락 형상부(45)는 베이스부(44)에 병렬 접속되어 있다. 이 때문에 종래의 미앤더 형상의 게이트 배선에 비해, 게이트 패드(49)로부터 게이트 패드(49)에 가까운 손가락 형상부(45)에 이르는 경로와, 게이트 패드(49)로부터 먼 손가락 형상부(45)에 이르는 경로의, 전기 저항값의 차를 작게 할 수 있다. 따라서, 게이트 패드(49)에 가까운 손가락 형상부(45)와, 게이트 패드(49)로부터 멀어지는 손가락 형상부(45)에서의, 게이트 전압 변화의 시간 지연을 작게 할 수 있다.
- [0054] 게이트 배선(43)의 손가락 형상부(45) 및 접속부(47)가 형성하는 제1 배선(101)의 전기 저항이, 베이스부(44)가 형성하는 제1 배선(101)과 병렬인 제2 배선(102)의 전기 저항 이상이도록 게이트 배선(43)은 형성되어 있다. 게이트 배선(43)의 베이스부(44)에서의 전기 저항이 작기 때문에, 베이스부(44)를 흐르는 전류에 대한 저항을 작게 할 수 있다. 또한, 손가락 형상부(45)와 비교하여 베이스부(44)에 전류가 흐르기 쉬워지기 때문에, 게이트 패드(49)에 가까운 손가락 형상부(45)와 먼 손가락 형상부(45)에서의, 게이트 전압 변화의 시간 지연을 작게 할 수 있다. 게이트 배선(43)의 손가락 형상부(45)의 종단면적을 베이스부(44)의 종단면적 이하로 함으로써, 손가락 형상부(45)와 비교하여 베이스부(44)의 저항을 작게 할 수 있는 효과를, 보다 현저히 얻을 수 있다.
- [0055] 또한, 소스 배선(23)의 베이스부(24)와 드레인 배선(33) 사이에 게이트 배선(43)의 베이스부(44)가 배치되어 있기 때문에, 소스 배선(23)과 게이트 배선(43)의 교차 면적이 작아져 있다. 일반적으로, 소스 배선(23)의 베이스부(24)의 폭[베이스부(24)의 연장 방향에 직교하는 방향(도 1중 상하 방향)의 치수]은, 게이트 배선(43)의 베이스부(44)의 폭에 비해 크다. 이 때문에 빗 형상의 게이트 배선의 손가락 형상부가 소스 배선의 베이스부의 하측을 통과하는 종래 기술에서의 소스 배선의 베이스부와 게이트 배선의 손가락 형상부의 교차 면적과 비교하여, 본 실시형태의 구성에서의 소스 배선(23)의 손가락 형상부(25)와 게이트 배선(43)의 베이스부(44)의 교차 면적을, 보다 작게 할 수 있다. 따라서, 게이트-소스간의 용량을 작게 할 수 있기 때문에, 게이트 회로의 충방전에 요하는 시간을 단축시킬 수 있다.
- [0056] 이와 같이, 본 실시형태의 RESURF-JFET(1)에서는, 게이트 전압 변화의 시간 지연이 작아지고, 게이트 회로의 충방전에 요하는 시간이 단축되어 있기 때문에, RESURF-JFET(1)의 스위칭 속도를 향상시킬 수 있다.
- [0057] 한편, 본 실시형태의 RESURF-JFET(1)에서는, 게이트 배선(43)의 베이스부(44)에 복수의 손가락 형상부(45)가 병렬 접속되어 있기 때문에, 하나의 손가락 형상부(45)에서 패턴 누락이 발생여도, 다른 손가락 형상부(45)에 게이트 전압 변화의 전달에는 영향을 미치지 않는다. 또한, 2개의 인접하는 손가락 형상부(45)와 접속부(47)에 의해, 베이스부(44)와의 2지점의 접속을 갖는 U자형의 배선이 형성되기 때문에, 비록 손가락 형상부(45)의 1지점에서 패턴 누락이 발생하여 배선이 끊겨도, 배선의 그 앞 부분에, 베이스부(44)와의 다른쪽 접속부로부터 게이트 전압 변화를 전하여, 트랜지스터를 동작시킬 수 있다. 하나의 U자형의 배선 내의 2지점 이상이 끊긴 경우에는, 트랜지스터가 동작하지 않는 부분이 발생하지만, 이 경우도 마찬가지로, 다른 손가락 형상부(45)에 게이트 전압 변화의 전달에는 영향을 미치지 않는다. 따라서, 트랜지스터의 동작 불량품의 발생을 억제할 수 있다.
- [0058] 게이트 배선(43)의 베이스부(44)에서도 패턴 누락은 발생할 수 있다. 그러나, 게이트 배선(43)의 손가락 형상부(45)의 종단면적을 베이스부(44)의 종단면적 이하로 함으로써, 베이스부(44)에서 패턴 누락에 의해 게이트 배선(43)이 끊길 가능성을, 손가락 형상부(45)와 비교하여 저감시킬 수 있다. 이 때문에, 트랜지스터의 동작 불량품의 발생을, 더 억제할 수 있다.
- [0059] 다음에, 도 2?도 4에 도시한 RESURF-JFET(1)의 제조 방법에 대해서 설명한다. 도 8은 제1 실시형태의 횡형 전계 효과 트랜지스터의 제조 방법을 나타내는 흐름도이다. 본 실시형태에 따른 횡형 전계 효과 트랜지스터인 RESURF-JFET(1)의 제조 방법에서는, 이하의 공정을 실시한다.
- [0060] 우선, 반도체 기판으로서의 기판(10)을 준비한다(S10). 예컨대 4H-SiC로 지칭되는 단결정 타입의 SiC 등의, n형 기판을 준비한다. 다음에, 기판(10)의 주표면상에 위치하고, 제1 도전형 불순물로서의 p형 불순물을 포함하는 SiC층을 구비하는, 버퍼층(11)을 형성한다(S20). 버퍼층(11)의 두께는 예컨대 10 μm 로 하고, 성막 방법 으로서는 에피택셜 성장법을 이용할 수 있다. p형 불순물로서는 알루미늄(Al)이 이용되어도 좋다. 버퍼층(11)에서의 p형 불순물의 농도는 예컨대 $1.0 \times 10^{16} \text{ cm}^{-3}$ 으로 한다.
- [0061] 다음에, 버퍼층(11)상에 위치하고, 버퍼층(11)에서의 p형 불순물의 농도보다 높은 농도의 제2 도전형(n형) 불순물을 포함하는, 채널층(12)을 형성한다(S30). n형 불순물로서 질소(N)가 이용되어도 좋다. 채널층(12)의 두

께는 예컨대 0.4 μm 로 할 수 있다. 채널층(12)에서의 n형의 도전성 불순물의 농도는 $2.0 \times 10^{17} \text{ cm}^{-3}$ 로 할 수 있다. 그 후, 채널층(12)상에 리서프층(13)을 형성한다(S40). 리서프층(13)은, 버퍼층(11)에서의 p형 불순물의 농도보다 높은 농도의 제1 도전형(p형) 불순물을 포함한다. 리서프층(13)의 두께는 예컨대 0.25 μm 로 할 수 있고, 또한 리서프층(13)에서의 p형의 도전성 불순물의 농도는 $2.0 \times 10^{17} \text{ cm}^{-3}$ 로 할 수 있다.

[0062] 다음에, 리서프층(13)의 표면(13a)으로부터 리서프층(13)을 관통하여 채널층(12)에까지 도달하도록 제1 도전형(p형) 불순물을 포함하는 게이트 영역(41)을 형성한다(S50). 구체적으로는, 포토리소그래피법을 이용하여 패턴을 갖는 레지스트막을 형성한다. 상기 레지스트막을 마스크로서 이용함으로써, 리서프층(13) 및 채널층(12)에 이온 주입법을 이용하여 알루미늄(Al)을 주입한다. 이와 같이 하여, 도전형이 p형인 게이트 영역(41)을 형성한다. 게이트 영역(41)의 깊이는 예컨대 0.4 μm 로 할 수 있다. 또한, 게이트 영역(41)에서의 p형 불순물의 농도는 예컨대 $1.0 \times 10^{19} \text{ cm}^{-3}$ 로 할 수 있다.

[0063] 다음에, 리서프층(13)의 표면(13a)으로부터 리서프층(13)을 관통하여 채널층(12)에까지 도달하도록 게이트 영역(41)을 사이에 두고 대향하는, 제2 도전형(n형) 불순물을 포함하는 소스 영역(21) 및 드레인 영역(31)을 형성한다(S60). 구체적으로는, 전술한 게이트 영역(41)을 형성하는 공정과 마찬가지로, 리서프층(13) 및 채널층(12)에 이온 주입법을 이용하여 인(P)을 주입함으로써, 도전형이 n형의 소스 영역(21) 및 드레인 영역(31)을 형성한다. 소스 영역(21) 및 드레인 영역(31)의 깊이는 예컨대 0.4 μm 로 할 수 있다. 소스 영역(21) 및 드레인 영역(31)에서의 n형 불순물의 농도는 예컨대 $5.0 \times 10^{19} \text{ cm}^{-3}$ 로 할 수 있다.

[0064] 다음에, 전술한 게이트 영역(41), 소스 영역(21) 및 드레인 영역(31)에 주입한 이온을 활성화하기 위한, 활성화 어닐링을 행한다(S70). 활성화 어닐링 공정의 조건으로서, 예컨대 분위기로서 아르곤 가스를 이용하여, 가열 온도를 1700 $^{\circ}\text{C}$, 가열 시간을 30분으로 할 수 있다. 또한 어닐링시의 분위기 압력은 예컨대 100 kPa로 할 수 있다. 다음에, 필드 산화막(20)을 형성한다(S80). 구체적으로는, 전술한 처리를 행한 기판(10)을 산소 분위기 내에서 가열함으로써, 리서프층(13)의 표면(13a)을 열산화하여 필드 산화막(20)을 형성한다. 가열 조건으로서, 예컨대 가열 온도를 1300 $^{\circ}\text{C}$, 가열 시간을 60분으로 할 수 있다. 또한 가열시의 분위기 압력은 예컨대 대기압으로 할 수 있다. 이 결과, 두께가 0.1 μm 의 필드 산화막(20)이 형성된다.

[0065] 다음에, 필드 산화막(20)의 정해진 영역에 개구부를 형성한다(S90). 개구부는, 후속 공정에서 전극이 형성되는 위치에 형성된다. 구체적으로는, 필드 산화막(20)상에, 포토리소그래피법을 이용하여 정해진 패턴을 갖는 레지스트막을 형성한다. 이 레지스트막에는, 개구부가 형성되어야 하는 영역에 개구 패턴이 형성되어 있다. 이 레지스트막을 마스크로서 이용하여, 에칭을 행함으로써 필드 산화막(20)을 부분적으로 제거한다. 이와 같이 하여 개구부를 형성한다.

[0066] 다음에, 개구부의 내부에 오믹 전극을 형성한다(S100). 구체적으로는, 개구부의 내부 및 레지스트막의 상부 표면상에 오믹 전극을 구성하는 도전체막[예컨대 니켈(Ni)막]을 증착법을 이용하여 형성한다. 그 후, 레지스트막을 제거함으로써, 상기 레지스트막상에 형성된 Ni막의 부분도 제거한다(리프트 오프). 그리고, Ni막이 형성된 SiC 기판을 아르곤 분위기 내에서 열처리함으로써, Ni막을 오믹 전극으로 한다. 이 열처리의 조건으로서, 예컨대 가열 온도를 950 $^{\circ}\text{C}$ 로 하고, 가열 시간을 2분으로 할 수 있다. 또한, 아르곤 분위기의 압력은 대기압으로 할 수 있다. 이와 같이 하여, 소스 영역(21)에 접촉하는 소스 전극(22), 드레인 영역(31)에 접촉하는 드레인 전극(32), 및 게이트 영역(41)에 접촉하는 게이트 전극(42)이 형성된다.

[0067] 다음에, 게이트 전극(42)상에 게이트 배선(43)을 형성한다(S110). 구체적으로는, 게이트 전극(42)상에, 포토리소그래피법을 이용하여 패턴을 갖는 레지스트막을 형성한다. 상기 레지스트막에서는, 게이트 전극(42)을 노출시키는 개구 패턴이 형성되어 있다. 레지스트막의 개구 패턴 내부에, 게이트 배선(43)이 되어야 하는 도전체막(예컨대 알루미늄막)을 증착한다. 알루미늄막의 두께는, 예컨대 0.1 μm 로 할 수 있다. 그 후, 레지스트막을 제거함으로써, 레지스트막상에 위치하는 도전체막의 일부를 제거한다(리프트 오프). 이 결과, 게이트 전극(42)상에 위치하는 게이트 배선(43)을 얻는다.

[0068] 다음에, 게이트 배선(43)을 덮는 층간 절연막(51)을 형성한다(S120). 구체적으로는, 플라즈마 CVD법(Chemical Vapor Deposition; 화학 증착법)을 이용하여, 두께가 0.2 μm 인 SiO_2 막을 포함하는 층간 절연막(51)이 형성된다. 이와 같이 하여, 층간 절연막(51)이, 게이트 배선(43), 소스 전극(22), 드레인 전극(32) 및 필드 산화막(20)의 표면상에 접촉하도록 형성된다.

[0069] 다음에, 층간 절연막(51)의 일부를 제거하여, 층간 절연막(51)의 정해진 영역에 개구부를 형성한다(S130). 개

구부는, 후속 공정에서 게이트 패드(49), 소스 배선(23), 및 드레인 배선(33)이 형성되는 위치에 형성된다. 구체적으로는, 층간 절연막(51) 위에 레지스트가 도포된 후, 노광 및 현상이 행해져, 층간 절연막(51)의 원하는 영역에 개구부를 갖는 레지스트막이 형성된다. 상기 레지스트막을 마스크로서 이용하여, 예컨대 RIE(Reactive Ion Etching)에 의해 층간 절연막(51)이 부분적으로 제거된다. 이와 같이 하여, 소스 전극(22) 및 드레인 전극(32)에 접촉하는 층간 절연막(51)이 제거되고, 또한 게이트 패드(49)의 배치에 따른 영역의 층간 절연막(51)이 제거된다.

[0070] 다음에, 패드를 포함하는 소스 배선(23), 패드를 포함하는 드레인 배선(33), 및 게이트 패드(49)가 형성된다(S140). 구체적으로는, RIE에 의해 부분적으로 제거된 층간 절연막(51)상에, 예컨대 스퍼터링에 의해 알루미늄을 포함하는 두께 3 μm 의 알루미늄막이 형성되고, 원하는 형상이 되도록 에칭함으로써, 소스 배선(23), 드레인 배선(33), 및 게이트 패드(49)가 형성된다.

[0071] 다음에, 패시베이션막(52)을 형성한다(S150). 구체적으로는, 층간 절연막(51)의 표면, 공정(S140)에서 형성된 소스 배선(23) 및 드레인 배선(33)의 상측 등, 외부와 접촉되는 게이트 패드(49) 등의 패드부를 제외하는 RESURF-JFET(1)의 최상면의 전체면에, 예컨대 플라즈마 CVD에 의해, 두께가 5 μm 인 SiO_2 막을 포함하는 패시베이션막(52)을 형성한다. 보호막인 패시베이션막(52)을 형성함으로써, RESURF-JFET(1)은 외측으로부터 보호된다.

[0072] 이러한 제조방법에 의해서, 도 2?도 4에 도시하는 바와 같은, 스위칭 속도를 향상시킬 수 있고, 동작 불량품을 저감시킬 수 있는 RESURF-JFET(1)을 용이하게 얻을 수 있다.

[0073] (제2 실시형태)

[0074] 도 9는 제2 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다. 횡형 전계 효과 트랜지스터의 일례로서의, 도 9에 도시하는 횡형의 RESURF-JFET(1)은, 제1 실시형태의 RESURF-JFET(1)와 같은 기본적인 구성을 갖는다. 그러나, 제2 실시형태의 RESURF-JFET(1)은, 버퍼층(11)에 전기적으로 접촉하는 베이스 영역(61)이 형성되어 있는 점에서, 제1 실시형태의 RESURF-JFET(1)와 상이하다.

[0075] 구체적으로는, 제2 실시형태의 RESURF-JFET(1)은, 소스 배선(23)의 손가락 형상부(25)의 일부 하측에 형성된, p^+ 형의 베이스 영역(61)을 구비한다. 베이스 영역(61)은, 리서프층(13)의 표면(13a)으로부터 버퍼층(11)에 도달하도록 형성되어 있다. 베이스 영역(61)상에는, 베이스 영역(61)에 접촉하는 베이스 전극(62)이 형성되어 있다. 베이스 전극(62)은, 소스 배선(23)의 손가락 형상부(25)와 베이스 영역(61)을 접촉한다. 베이스 전극(62)은, 버퍼층(11)에 전기적으로 접촉한다. 베이스 전극(62)은, 소스 전극(22)과 접촉하도록 배치되어 있고, 소스 전극(22)과 같은 전위로 되어 있다.

[0076] 베이스 전극(62)은, 소스 배선(23)에 접촉할 수 있으면 임의의 장소에 설치할 수 있지만, 소스 배선(23)의 손가락 형상부(25)의 하측에, 소스 전극(22)과 맞춰 설치되는 것이 바람직하다. 도 9에는 RESURF-JFET(1)의 단면이 도시되어 있지만, 베이스 전극(62)은 평면적으로 봤을 때 소스 전극(22)으로 둘러싸여 있는 것이 더 바람직하다. 즉, RESURF-JFET(1)을 평면에서 봤을 때, 베이스 영역(61)은 소스 영역(21)으로 둘러싸여 있는 것이 더 바람직하다.

[0077] 이러한 구성을 갖는 제2 실시형태의 RESURF-JFET(1)에서는, 소스 배선(23)의 손가락 형상부(25)의 하측에 소스 전극(22)과 맞춰 베이스 전극(62)이 설치되어 있기 때문에, 트랜지스터셀의 동작 안정화가 촉진된다. 또한, 버퍼층(11) 내에서의 트랜지스터의 오프 동작시의 공핍층 신장, 온 동작시의 공핍층 축소가 촉진된다. 따라서, RESURF-JFET(1)의 스위칭 속도를 향상시킬 수 있다. 베이스 영역(61)이 소스 영역(21)으로 평면적으로 둘러싸여 있으므로, 트랜지스터셀의 더 안정적인 동작을 얻을 수 있다.

[0078] 도 9에 도시하는 RESURF-JFET(1)의 제조 방법은, 기본적으로는 도 8에 도시한 제1 실시형태의 RESURF-JFET(1)의 제조 방법과 기본적으로 같지만, 베이스 영역(61)을 형성하는 공정이 추가되는 점이 상이하다. 구체적으로는, 도 8에 도시하는 공정(S10)?(S60)을 실시한다. 그 후, 알루미늄을 버퍼층(11)에 닿는 깊이로 이온 주입하여, p^+ 형의 베이스 영역(61)을 형성한다. 베이스 영역(61)의 깊이는, 예컨대 0.9 μm 로 할 수 있다. 베이스 영역(61)에서의 p 형 불순물의 농도는, 예컨대 $1.0 \times 10^{19} \text{ cm}^{-3}$ 로 할 수 있다.

[0079] 다음에, 공정(S70)에서, 게이트 영역(41), 소스 영역(21) 및 드레인 영역(31)과 동시에, 베이스 영역(61)에 주입한 이온을 활성화하기 위한 활성화 어닐링을 행한다. 그 후, 공정(S80)?(S90)을 행하고, 공정(S100)에서, 소스 전극(22)과 일체로, 베이스 영역(61)상에 오믹 전극을 형성하여 베이스 전극(62)을 형성한다. 그 후 공

정(S110)?(S150)을 행한다. 이와 같이 하여, 도 9에 도시하는 베이스 영역(61)을 구비하는 RESURF-JFET(1)를 얻을 수 있다.

[0080] (제3 실시형태)

[0081] 도 10은 제3 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다. 횡형 전계 효과 트랜지스터의 일례로서의, 도 10에 도시하는 횡형의 RESURF-JFET(1)는, 도 9에 도시하는 제2 실시형태의 RESURF-JFET(1)와 같은 기본적인 구성을 갖는다. 그러나, 제3 실시형태의 RESURF-JFET(1)는, 베이스 전극(62)이 소스 전극(22)보다 하측에 설치되어 있는 점에서, 제1 실시형태의 RESURF-JFET(1)와 상이하다.

[0082] 제3 실시형태의 RESURF-JFET(1)에서는, 리서프층(13)의 표면(13a)으로부터 버퍼층(11)의 방향으로 파여진 트랜치가 형성되어 있다. 베이스 영역(61)은, 상기 트랜치의 하측에 형성되어 있다. 베이스 전극(62)은, 베이스 영역(61)에 접촉하도록 트랜치의 바닥에 설치되어 있다. 그 결과, 평면적으로 봤을 때 베이스 전극(62)을 둘러싸는 소스 전극(22)보다, 베이스 전극(62)은 하측, 즉 버퍼층(11)에 근접하는 측에 형성되어 있다.

[0083] 이러한 구성을 갖는 제3 실시형태의 RESURF-JFET(1)에서는, 리서프층(13)의 표면(13a)으로부터 파여진 트랜치를 형성하고, 그 트랜치의 바닥부에 이온 주입함으로써, p형 불순물을 포함하는 베이스 영역(61)을 형성할 수 있다. 즉, 베이스 영역(61)을 형성하기 위해, 리서프층(13)의 표면(13a)으로부터 버퍼층(11)을 향해 깊은 이온 주입을 할 필요가 없다. 이 때문에 RESURF-JFET(1)의 제조 프로세스를 간편하게 할 수 있다.

[0084] 도 10에 도시하는 RESURF-JFET(1)의 제조 방법은, 기본적으로는 도 8에 도시한 제1 실시형태의 RESURF-JFET(1)의 제조 방법과 기본적으로 같지만, 리서프층(13)에 트랜치를 형성한 후에 베이스 영역(61)을 형성하는 공정이 추가되는 점이 상이하다. 구체적으로는, 도 8에 도시하는 공정(S10)?(S40)을 실시한다. 그 후, 베이스 영역(61)을 형성하는 장소에 대응하는 영역에, RIE에 의해 트랜치를 형성한다. 트랜치의 깊이는, 트랜치의 바닥에 게이트 영역(41)과 동일한 주입 깊이의 p형 불순물의 이온 주입을 행했을 때에, 이온 주입되는 영역이 버퍼층(11)에 닿는 정도가 되도록 결정된다. 예컨대 트랜치의 깊이를 0.5 μm 로 할 수 있다.

[0085] 다음에, 공정(S50)에서, 게이트 영역(41)을 형성하기 위한 이온 주입과 동시에, 이전 공정에서 형성된 트랜치의 바닥부로부터 알루미늄을 이온 주입한다. 이것에 의해, 트랜치의 하측에 p형 불순물을 포함하는 베이스 영역(61)을 형성한다. 베이스 영역(61)의 깊이는 예컨대 0.4 μm 로 할 수 있다. 또한, 베이스 영역(61)에서의 p형 불순물의 농도는 예컨대 $1.0 \times 10^{19} \text{ cm}^{-3}$ 로 할 수 있다.

[0086] 계속해서 공정(S60)을 행한 후, 공정(S70)에서, 게이트 영역(41), 소스 영역(21) 및 드레인 영역(31)과 동시에, 베이스 영역(61)에 주입한 이온을 활성화하기 위한 활성화 어닐링을 행한다. 그 후, 공정(S80)?(S90)을 행하고, 공정(S100)에서, 소스 전극(22), 드레인 전극(32) 및 게이트 전극(42)의 형성과 동시에, 베이스 영역(61)상에 오믹 전극을 형성하여 베이스 전극(62)을 형성한다. 그 후 공정(S110)?(S150)을 행한다. 이와 같이 하여, 베이스 전극(62)이 소스 전극(22)보다 하측에 설치되어 있는, 도 10에 도시하는 RESURF-JFET(1)를 얻을 수 있다.

[0087] (제4 실시형태)

[0088] 도 11은, 제4 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다. 횡형 전계 효과 트랜지스터의 일례로서의, 도 11에 도시하는 횡형의 JFET(71)는, 제1 실시형태의 RESURF-JFET(1)와 같은 기본적인 구성을 갖는다. 그러나, JFET(71)는, 채널층(12)상에 리서프층이 형성되어 있지 않고, 도 2에 도시하는 RESURF-JFET(1)에서 리서프층(13)이 형성되어 있던 영역에도 채널층(12)이 형성되어 있는 점에서, 제1 실시형태의 RESURF-JFET(1)와 상이하다.

[0089] 구체적으로는, 도 11에 도시하는 JFET(71)에서, 활성층(14)은, 기판(10) 위에 형성된 p⁻형의 버퍼층(11)과, 버퍼층(11)상에 형성된 n형의 채널층(12)을 포함한다. 채널층(12)은, 표면(12a)을 갖는다. 채널층(12)의 표면(12a)으로부터 채널층(12)의 내부에, n⁺형의 소스 영역(21)과, n⁺형의 드레인 영역(31)과, p⁺형의 게이트 영역(41)이 형성되어 있다. 채널층(12)의 상부 표면인 표면(12a)상에 형성된 필드 산화막(20)에는, 복수의 개구부가 형성되어 있다.

[0090] 소스 영역(21)상에 위치하는 개구부의 내부에는, 소스 전극(22)이 형성되어 있다. 소스 영역(21)은, 소스 배선(23)의 손가락 형상부(25)에 대향하도록 형성되어 있다. 소스 전극(22)은, 소스 배선(23)의 손가락 형상부(25)와 소스 영역(21)을 전기적으로 접촉한다.

- [0091] 드레인 영역(31)상에 위치하는 개구부의 내부에는, 드레인 전극(32)이 형성되어 있다. 드레인 영역(31)은, 드레인 배선(33)의 손가락 형상부(35)에 대향하도록 형성되어 있다. 드레인 전극(32)은, 드레인 배선(33)의 손가락 형상부(35)와 드레인 영역(31)을 전기적으로 접속한다.
- [0092] 게이트 영역(41)상에 위치하는 개구부의 내부에는, 게이트 전극(42)이 형성되어 있다. 게이트 영역(41)은, 게이트 배선(43)의 손가락 형상부(45)에 대향하도록 형성되어 있다. 게이트 전극(42)은, 게이트 배선(43)의 손가락 형상부(45)와 게이트 영역(41)을 전기적으로 접속한다.
- [0093] 이상의 구성을 갖는 JFET(71)에서도, 게이트 배선(43)의 베이스부(44)가 소스 배선(23)의 베이스부(24)와 드레인 배선(33) 사이에 배치되고, 게이트 배선(43)의 베이스부(44)와 소스 배선(23)의 손가락 형상부(25)가 교차하고 있다. 이 때문에 제1 실시형태의 RESURF-JFET(1)와 마찬가지로, 게이트 전압 변화의 시간 지연이 작아지고, 게이트 회로의 충방전에 요하는 시간이 단축되어 있기 때문에, JFET(71)의 스위칭 속도를 향상시킬 수 있다. 또한, 트랜지스터의 동작 불량품의 발생을 억제할 수 있다.
- [0094] 도 11에 도시하는 JFET(1)의 제조 방법은, 기본적으로는 도 8에 도시한 제1 실시형태의 RESURF-JFET(1)의 제조 방법과 기본적으로 같지만, 리서프층(13)을 형성하는 공정(S40)이 생략되는 점이 상이하다. 구체적으로는, 도 8에 도시하는 공정(S10)?(S20)을 실시한다. 그 후, 버퍼층(11)상에 채널층(12)을 형성한다(S30). 채널층(12)의 두께는 예컨대 0.65 μm 로 할 수 있다. 채널층(12)의 표면(12a)에서, 제1 도전형(p형) 불순물을 포함하는 게이트 영역(41)을 형성한다(S50).
- [0095] 다음에, 채널층(12)의 표면(12a)에서, 게이트 영역(41)을 사이에 두고 대향하도록 제2 도전형(n형) 불순물을 포함하는 소스 영역(21) 및 드레인 영역(31)을 형성한다(S60). 계속해서, 게이트 영역(41), 소스 영역(21) 및 드레인 영역(31)에 주입한 이온을 활성화하기 위한 활성화 어닐링을 행한다(S70). 다음에, 채널층(12)의 표면(12a)을 열산화하여 필드 산화막(20)을 형성한다(S80). 그 후 공정(S90)?(S150)을 행한다. 이와 같이 하여, 도 11에 도시하는 JFET(71)를 얻을 수 있다.
- [0096] (제5 실시형태)
- [0097] 도 12는 제5 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다. 횡형 전계 효과 트랜지스터의 일례로서의, 도 12에 도시하는 횡형의 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)(81)는, 제1 실시형태의 RESURF-JFET(1)와 같은 기본적인 구성을 갖는다. 그러나, MOSFET(71)에서는, 버퍼층(11)상에 p형의 보디층(82)이 형성되고, 보디층(82) 안에는, 소스 영역(21), 드레인 영역(31) 및 n형의 드리프트층(83)이 형성된다. 한편, 도 2에 도시하는 게이트 영역(41)은 형성되지 않는다. 게이트 전극(42)은, 필드 산화막(20)상에 형성되어 있다.
- [0098] 보다 구체적으로는, 도 12에 도시하는 MOSFET(81)에서, 활성층(14)은, 기판(10) 위에 형성된 p⁻형의 버퍼층(11)과, 버퍼층(11)상에 형성된 p형의 보디층(82)을 포함한다. 보디층(82)은, 표면(82a)을 갖는다. 보디층(82)의 표면(82a)으로부터 보디층(82)의 내부에, n⁺형의 소스 영역(21)과, n⁺형의 드레인 영역(31)이 형성되어 있다. 보디층(82)의 상부 표면인 표면(82a)상에 형성된 필드 산화막(20)에는, 복수의 개구부가 형성되어 있다.
- [0099] 소스 영역(21)상에 위치하는 개구부의 내부에는, 소스 전극(22)이 형성되어 있다. 소스 영역(21)은, 소스 배선(23)의 손가락 형상부(25)에 대향하도록 형성되어 있다. 소스 전극(22)은, 소스 영역(21)에 접촉하고, 소스 배선(23)의 손가락 형상부(25)와 소스 영역(21)을 전기적으로 접속한다.
- [0100] 드레인 영역(31)상에 위치하는 개구부의 내부에는, 드레인 전극(32)이 형성되어 있다. 드레인 영역(31)은, 드레인 배선(33)의 손가락 형상부(35)에 대향하도록 형성되어 있다. 드레인 전극(32)은, 드레인 영역(31)에 접촉하고, 드레인 배선(33)의 손가락 형상부(35)와 드레인 영역(31)을 전기적으로 접속한다.
- [0101] n형의 드리프트층(83)은, 보디층(82)의 표면(82a)으로부터 보디층(82)의 내부에 형성되어 있다. 드리프트층(83)은, 드레인 영역(31)에 대하여 소스 영역(21)을 향하는 측에서 드레인 영역(31)에 접촉하고, 소스 영역(21) 사이에 간격을 두고 배치되어 있다.
- [0102] 게이트 전극(42)은, 보디층(82)상에 형성된 절연성의 필드 산화막(20)상에 형성되어 있다. 게이트 전극(42)은, 절연층으로서의 필드 산화막(20)을 개재시키며, 보디층(82)상에 형성되어 있다. 게이트 전극(42)은 필드 산화막(20)에 접촉한다. 게이트 전극(42)이 접촉하는 필드 산화막(20)은, 보디층(82)에 접촉하고, 보디층(82) 안에 형성된 소스 영역(21) 및 드리프트층(83)에 접촉한다. 게이트 전극(42)은, 게이트 배선(43)

의 손가락 형상부(45)의 일부의 하측에 형성되어 있다. 소스 영역(21) 및 드리프트층(83)은, 게이트 전극(42)의 손가락 형상부(45)의 직하부 근방에까지 연장되도록 형성되어 있다.

- [0103] 이상의 구성을 갖는 MOSFET(81)에서도, 게이트 배선(43)의 베이스부(44)가 소스 배선(23)의 베이스부(24)와 드레인 배선(33) 사이에 배치되고, 게이트 배선(43)의 베이스부(44)와 소스 배선(23)의 손가락 형상부(25)가 교차하고 있다. 이 때문에 제1 실시형태의 RESURF-JFET(1)와 마찬가지로, 게이트 전압 변화의 시간 지연이 작아지고, 게이트 회로의 충방전에 요하는 시간이 단축되어 있기 때문에, MOSFET(81)의 스위칭 속도를 향상시킬 수 있다. 또한, 트랜지스터의 동작 불량품의 발생을 억제할 수 있다.
- [0104] 도 12에 도시하는 MOSFET(81)의 제조 방법은, 기본적으로는 도 8에 도시한 제1 실시형태의 RESURF-JFET(1)의 제조 방법과 기본적으로 같지만, 드리프트층(83)을 형성하는 공정 및 게이트 전극(42)을 형성하는 공정에서 상이하다. 구체적으로는, 도 8에 도시하는 공정(S10)~(S20)을 실시한다. 그 후, 버퍼층(11)상에 보디층(82)을 형성한다(S30). 보디층(82)의 두께는 예컨대 0.6 μm 로 할 수 있다.
- [0105] 다음에, 보디층(82)의 표면(82a)에서, 제2 도전형(n형) 불순물을 포함하는 소스 영역(21) 및 드레인 영역(31)을 형성한다(S60). 계속해서, 보디층(82)의 표면(82a)에서, 제2 도전형(n형) 불순물을 포함하는 드리프트층(83)을 형성한다. 그 후, 드리프트층(83), 소스 영역(21) 및 드레인 영역(31)에 주입한 이온을 활성화하기 위한 활성화 어닐링을 행한다(S70). 다음에, 보디층(82)의 표면(82a)을 열산화하여 필드 산화막(20)을 형성한다(S80).
- [0106] 다음에, 후속 공정에서 소스 전극(22) 및 드레인 전극(32)이 형성되는 위치에 상당하는 필드 산화막(20)의 정해진 영역에, 개구부를 형성한다(S90). 계속해서, 개구부의 내부에 오믹 전극을 형성하고, 동시에, 필드 산화막(20)에도 게이트 전극(42)에 상당하는 오믹 전극을 형성한다(S100). 이와 같이 하여, 소스 영역(21)에 접촉하는 소스 전극(22), 드레인 영역(31)에 접촉하는 드레인 전극(32), 및 필드 산화막(20)상의 게이트 전극(42)이 형성된다. 그 후 공정(S110)~(S150)을 행한다. 이와 같이 하여, 도 12에 도시하는 MOSFET(81)을 얻을 수 있다.
- [0107] (제6 실시형태)
- [0108] 도 13은, 제6 실시형태의 횡형 전계 효과 트랜지스터의 단면도이다. 횡형 전계 효과 트랜지스터의 일례로서의, 도 13에 도시하는 횡형의 MESFET(METal-Semiconductor Field Effect Transistor)(91)는, 제1 실시형태의 RESURF-JFET(1)와 같은 기본적인 구성을 갖는다. 그러나, MESFET(91)에서는, 쇼트키 접합성의 게이트 전극(42)을 반도체의 채널층(12)상에 형성한 구조를 갖는 점에서, RESURF-JFET(1)와 상이하다.
- [0109] 구체적으로는, 도 13에 도시하는 MESFET(91)에서, 활성층(14)은, 기판(10) 위에 형성된 p⁻형의 버퍼층(11)과, 버퍼층(11)상에 형성된 n형의 채널층(12)을 포함한다. 채널층(12)은, 표면(12a)을 갖는다. 채널층(12)의 표면(12a)으로부터 채널층(12)의 내부에, n⁺형의 소스 영역(21)과, n⁺형의 드레인 영역(31)이 형성되어 있다. 채널층(12)의 상부 표면인 표면(12a)상에 형성된 필드 산화막(20)에는, 복수의 개구부가 형성되어 있다.
- [0110] 소스 영역(21)상에 위치하는 개구부의 내부에는, 소스 전극(22)이 형성되어 있다. 소스 영역(21)은, 소스 배선(23)의 손가락 형상부(25)에 대향하도록 형성되어 있다. 소스 전극(22)은, 소스 배선(23)의 손가락 형상부(25)와 소스 영역(21)을 전기적으로 접속한다.
- [0111] 드레인 영역(31)상에 위치하는 개구부의 내부에는, 드레인 전극(32)이 형성되어 있다. 드레인 영역(31)은, 드레인 배선(33)의 손가락 형상부(35)에 대향하도록 형성되어 있다. 드레인 전극(32)은, 드레인 배선(33)의 손가락 형상부(35)와 드레인 영역(31)을 전기적으로 접속한다.
- [0112] 소스 전극(22)과 드레인 전극(32) 사이의 필드 산화막(20)에도 개구부가 형성되어 있고, 이 개구부의 내부에 게이트 전극(42)이 형성되어 있다. 게이트 전극(42)은, 게이트 배선(43)의 손가락 형상부(45) 일부의 하측에 형성되어 있다. 게이트 전극(42)의 하측에는, 제1 실시형태에서 설명한 게이트 영역은 존재하지 않는다. 게이트 전극(42)은, 채널층(12)의 표면(12a)상에 직접 배치되고, 채널층(12)에 접촉하여 쇼트키 특성을 도시하는 바와 같이, 형성되어 있다.
- [0113] 이상의 구성을 갖는 MESFET(91)에서도, 게이트 배선(43)의 베이스부(44)가 소스 배선(23)의 베이스부(24)와 드레인 배선(33) 사이에 배치되고, 게이트 배선(43)의 베이스부(44)와 소스 배선(23)의 손가락 형상부(25)가 교차하고 있다. 이 때문에 제1 실시형태의 RESURF-JFET(1)와 마찬가지로, 게이트 전압 변화의 시간 지연이 작아지고, 게이트 회로의 충방전에 요하는 시간이 단축되어 있기 때문에, MESFET(91)의 스위칭 속도를 향상시킬

수 있다. 또한, 트랜지스터의 동작 불량품의 발생을 억제할 수 있다.

[0114] 도 13에 도시하는 MESFET(91)의 제조 방법은, 기본적으로는 도 8에 도시한 제1 실시형태의 RESURF-JFET(1)의 제조 방법과 기본적으로 같지만, 리서프층(13)을 형성하는 공정(S40) 및 게이트 영역(41)을 형성하는 공정(S50)이 생략되는 점이 상이하다. 구체적으로는, 도 8에 도시하는 공정(S10)~(S30)을 실시한다. 계속해서, 채널층(12)의 표면(12a)에서, 제2 도전형(n형) 불순물을 포함하는 소스 영역(21) 및 드레인 영역(31)을 형성한다(S60).

[0115] 다음에, 소스 영역(21) 및 드레인 영역(31)에 주입한 이온을 활성화하기 위한 활성화 어닐링을 행한다(S70). 다음에, 채널층(12)의 표면(12a)을 열산화하여 필드 산화막(20)을 형성한다(S80). 그 후 공정(S90)~(S150)을 행한다. 이와 같이 하여, 도 13에 도시하는 MESFET(91)를 얻을 수 있다.

[0116] 또한, 실시형태 1?6의 설명에서는, p형이 제1 도전형이고, n형이 제2 도전형인 횡형 전계 효과 트랜지스터의 예에 대해서 설명했지만, 횡형 전계 효과 트랜지스터의 각 구성 요소의 도전형에 관해서, p형 및 n형을 모두 반대로 한 구성으로 하여도 좋다.

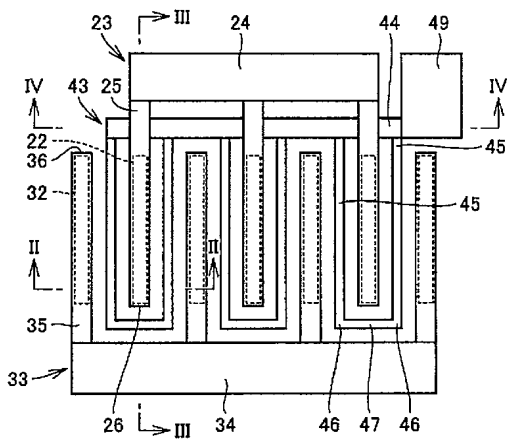
[0117] 이상과 같이 본 발명의 실시형태에 대해서 설명했지만, 이번에 개시된 실시형태는 모든 점에서 예시로서, 제한적인 것이 아닌 것으로 생각되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 청구범위에 의해 표시되고, 청구범위와 균등한 의미, 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

부호의 설명

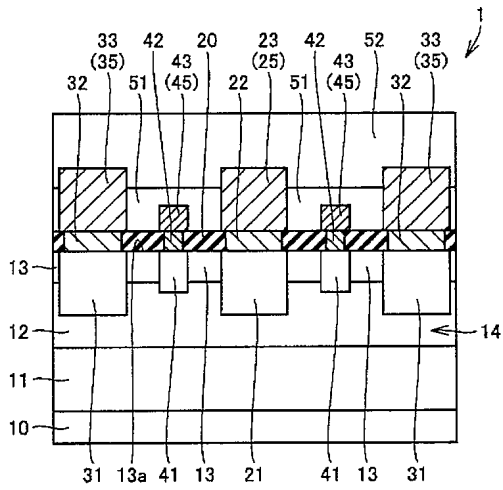
[0118] 1: RESURF-JFET, 10: 기판, 11: 버퍼층, 12: 채널층, 12a, 13a, 82a: 표면, 13: 리서프층, 14: 활성화층, 20: 필드 산화막, 21: 소스 영역, 22: 소스 전극, 23: 소스 배선, 24, 34, 44: 베이스부, 25, 35, 45: 손가락형 상부, 31: 드레인 영역, 32: 드레인 전극, 33: 드레인 배선, 41: 게이트 영역, 42: 게이트 전극, 43: 게이트 배선, 46: 선단부, 47: 접속부, 49: 게이트 패드, 51: 층간 절연막, 52: 패시베이션막, 61: 베이스 영역, 62: 베이스 전극, 82: 보디층, 83: 드리프트층, 101: 제1 배선, 102: 제2 배선.

도면

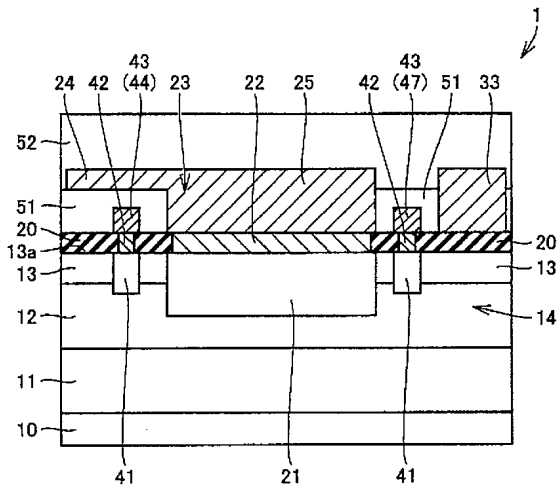
도면1



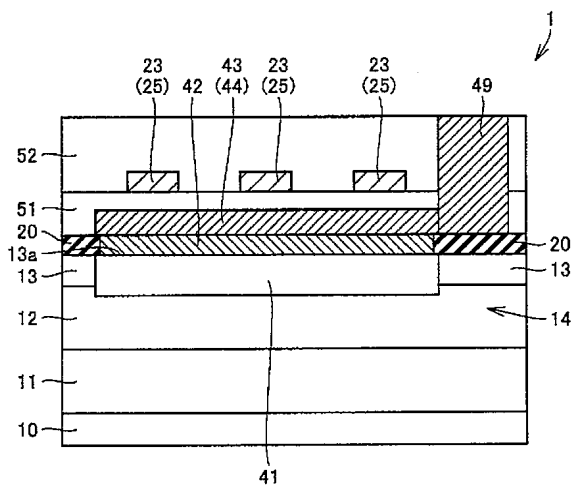
도면2



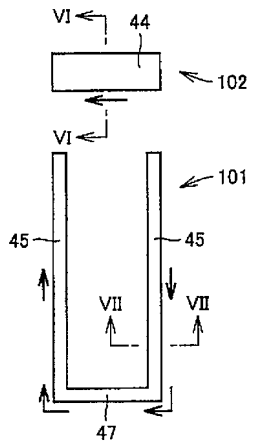
도면3



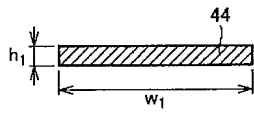
도면4



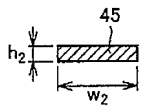
도면5



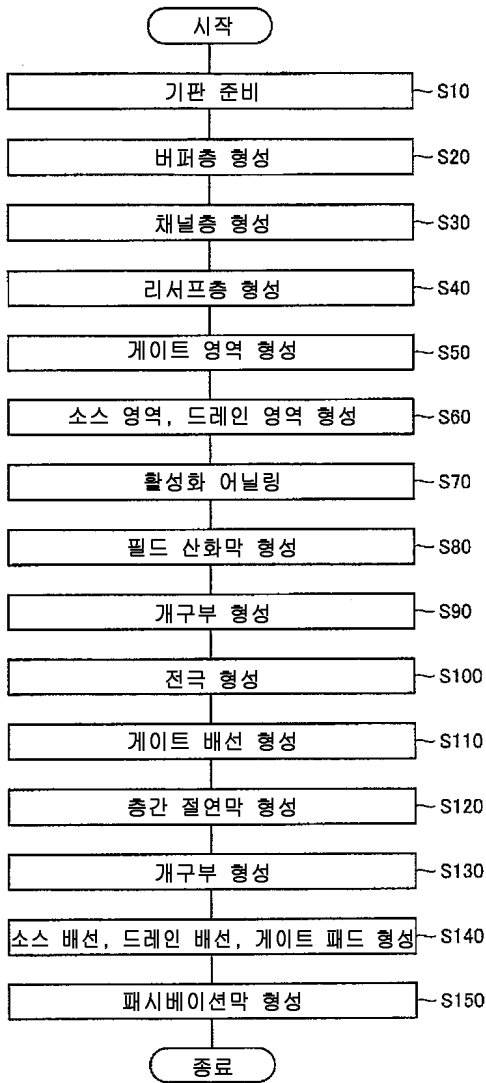
도면6



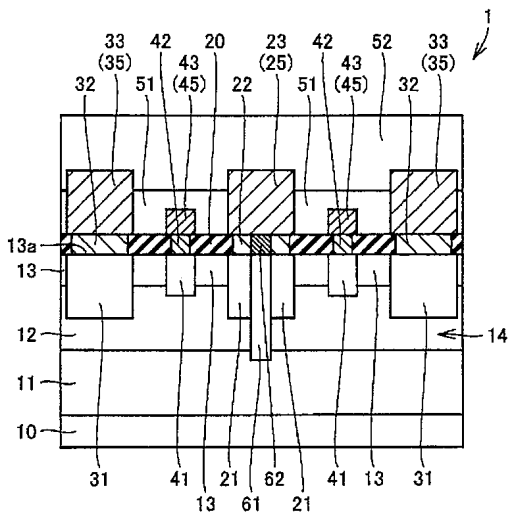
도면7



도면8



도면9



도면13

