

(12) 发明专利

(10) 授权公告号 CN 1698032 B

(45) 授权公告日 2010.05.12

(21) 申请号 03824679.1

(22) 申请日 2003.09.30

(30) 优先权数据

10/263,576 2002.10.02 US

(85) PCT申请进入国家阶段日

2005.04.27

(86) PCT申请的申请数据

PCT/US2003/031010 2003.09.30

(87) PCT申请的公布数据

W02004/031942 EN 2004.04.15

(73) 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

(72) 发明人 亨利·R·赫顿

法施德·萨伯特-沙吉

罗伯特·C·张 郭永

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G06F 9/445 (2006.01)

(56) 对比文件

WO 0152062 A2, 2001.07.19, 说明书第 2 页第 22-34 行, 第 3 页第 19-37 行, 第 4 页第 12-19, 29-37 行, 第 5 页第 35 行至第 6 页第 7 行, 第 6 页第 20-36 行, 第 8 页第 5-11 行, 第 9 页第 15 行, 第 13 页第 24-25 行, 图 1-7B.

US 6195749 B1, 2001.02.27, 全文.

审查员 黄毅斐

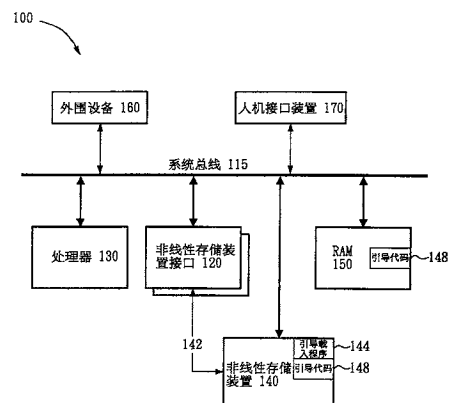
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

从非线性存储器引导

(57) 摘要

本发明揭示一种用于引导一微处理器控制的装置的方法和系统。一设计成从一线性存储装置读取数据的微处理器通过一接口或仿真器执行一非线性存储装置中的代码, 该接口或仿真器向所述非线性存储装置写入或从其中读取专门格式化的引导指令。



1. 一种用于引导一包括一非线性存储装置的微处理器控制的装置的方法,该方法包括:

接收一系统复位信号;

初始化所述非线性存储装置,使得所述非线性存储装置指向所述非线性存储装置内的系统引导代码;及

借助所述微处理器执行所述非线性存储装置中的所述系统引导代码的第一部分,

其中执行驻留在所述非线性存储装置中的所述系统引导码的一第一部分包括监测所述微处理器地址线是否发生一地址变化,并读取所述非线性存储器作为在监测期间检测到的一变化的一结果。

2. 根据权利要求 1 所述的方法,其中无须先将所述系统引导代码的所述第一部分拷贝到 RAM 中,所述微处理器即执行所述系统引导代码的所述第一部分。

3. 根据权利要求 1 所述的方法,其中驻留在所述非线性存储装置中由所述微处理器执行的所述系统引导代码部分为 512 字节或更小字节。

4. 根据权利要求 1 所述的方法,其中所述非线性存储装置包括 NAND 闪速存储器。

5. 根据权利要求 1 所述的方法,其进一步包括:

将系统引导代码的第二部分从所述非线性存储装置拷贝到 RAM 中;

借助所述微处理器执行所述 RAM 中的所述系统引导代码的所述第二部分。

6. 一种用于引导一包括一非线性存储装置的微处理器控制的装置的方法,该方法包括:

接收一系统复位信号;

初始化所述非线性存储装置,使得所述非线性存储装置指向所述非线性存储装置内的系统引导代码;及

借助所述微处理器执行所述非线性存储装置中的所述系统引导代码的一第一部分,所述系统引导码的所述第一部分包括连续定位的指令,使得要执行的一第一指令在要读取的一第一区域内有一地址且要执行的一后续指令在要读取的一后续区域内有一地址,所述后续区域在物理上与所述第一区域连续,其中借助所述微处理器执行驻留在所述非线性存储装置中的所述系统引导码的一第一部分包括:

监测所述微处理器地址线是否发生一地址变化;及

在检测到所述地址变化时,用脉冲向所述非线性存储器输送一读取线。

7. 根据权利要求 6 所述的方法,其中借助所述微处理器执行驻留在所述非线性存储装置中的所述系统引导代码的第一部分进一步包括:

在所述脉冲输送后从所述非线性存储器接收数据;及

将所述数据提供至所述微处理器。

8. 一种基于微处理器的系统,其包括:

一可用于读取线性存储器装置的微处理器;

非线性闪速存储器;

存储在所述非线性闪速存储器中的码;及

一接口,其使所述微处理器能够执行直接来自所述非线性闪速存储器的所述码,所述接口可用于在检测到所述微处理器地址线的地址变化时用脉冲向所述非线性存储器输送

一读取线,并在所述脉冲输送后从所述非线性存储器接收数据,所述码包括可用于在所述微处理器从一线性存储器执行之前初始化所述系统的一指令组。

9. 根据权利要求 8 所述的系统,其中所述非线性闪速存储器包括 NAND 型闪速存储器,且其中所述码占用所述 NAND 型闪速存储器的第一页面。

10. 根据权利要求 8 所述的系统,其中所述码包含指示所述微处理器执行下列操作的指令:

初始化所述微处理器;

初始化一或多个随机存取存储器;及

将引导代码拷贝到所述一或多个随机存取存储器中。

11. 根据权利要求 10 所述的系统,其中所述码进一步包含指示所述微处理器执行所述一或多个随机存取存储器中的所述引导代码的指令。

12. 一种基于微处理器的系统,其包括:

一可用于读取线性存储装置的微处理器;

一非线性存储装置;

借助可用于读取线性存储装置的所述微处理器执行所述非线性存储装置上的一第一代码组的装置,所述用于执行的装置包括监测所述微处理器地址线是否发生一地址变化并在检测到所述地址变化时用脉冲向所述非线性存储器输送一读取线的装置,所述第一代码组包括引导码。

13. 根据权利要求 12 所述的系统,其进一步包括用于将一第二代码组传输给一或多个随机存取存储器的装置,所述传输代码将由所述微处理器执行。

从非线性存储器引导

技术领域

[0001] 本发明是关于微处理器控制的装置的引导。

背景技术

[0002] 现今各种微处理器控制的“智能”装置含有非易失性存储器。特别是非易失性闪速存储器,因其能够无电保持数据而且可以迅速擦除和重新编程,而在当今得到广泛应用。闪速存储器令人感兴趣的一种用途是存储一装置在启动时使用的引导代码或引导信息。所述引导代码是存储于所述装置上的固件代码的一部分。使用闪速存储器存储引导代码具有很多好处,因为包括引导代码在内的固件易于修改和更新。

[0003] 在引导或启动时,一微处理器在一存储装置的一个规定位置读取所述代码。典型的微处理器一般配置为访问和执行线性存储装置中的代码。对线性存储装置中的数据的访问是通过读取一个,一般而言,由所述数据的行和列构成的一线性地址规定的存储单元来实现的。对数据的每个存储单元、字节或位的访问是通过规定其行和列来实现的。所述处理器将顺序规定读取的线性地址。

[0004] 在一典型的存储系统中,用以将数据从所述存储器转移到主机的协议如下:1) 通过确定芯片选择线来选定所述存储器装置;2) 通过确定地址总线的地址来选定读取的地址;3) 确定读取信号。所述存储装置将响应在数据总线上确定的数据。

[0005] 一典型程序包括指令数据,该等指令数据存储于存储器中各个互不相连或相邻的存储区域中。因此,在执行一个程序时,所述处理器可能会首先执行来自一个存储区域的一个地址中的一个指令,然后再执行远处或不相邻的第二个存储区域的第二个地址中的指令(依此类推,第三个.....)。此外,没有一种标准来规定一个逻辑顺序,据以确定从何处开始读取或执行。每一程序会根据其自己的特定程式从不同的存储区域开始执行。

[0006] 但是,某些类型的存储装置,例如闪速存储器,尤其是 NAND(与非)和 AND(与)型闪速存储器不可线性寻址。这意味着在引导时所述处理器不能从其读取或执行代码。NAND 存储器中的存储空间分解为多个称为页面的离散数据组。为了检索所述数据,必须首先规定页面,然后还必须规定所述数据在所述页面中的位置,即规定距所述页面开头的区距。但是,与线性存储装置不同的是,如果一页面的长度例如为 528 字节,如果不先读完前面的 254 个字节,就不能读取第 255 个字节。另外,只读一个字节是相对更为复杂的过程,其不符合线性存储器的典型计时要求。到目前为止,这使得从非线性存储器引导仍是一项无法完成的任务。

发明内容

[0007] 从一非线性存储装置引导的系统和方法在采用非线性存储装置的电子装置的启动中具有许多应用。其可用于引导任何微处理器控制的装置,例如(但不限于)蜂窝电话、便携式组织器、计算机、全球定位系统以及智能设备。等待装置启动非常令人烦恼,不管该装置是蜂窝电话、计算机、便携式组织器还是任何其它智能装置。采用本发明开始执行引导

代码所需要的时间明显短于现有装置,现有装置依赖于在执行之前对引导代码进行遮蔽处理。与采用专门存储引导代码的代码存储装置相比,根据本发明制造的设备的成本亦有所降低。

[0008] 本发明的第一方面是一种引导一包括一非线性存储装置的微处理器控制的装置的方法。所述方法包括:接收一系统复位信号;及初始化所述非线性存储装置,使得所述非线性存储装置指向所述非线性存储装置内的系统引导代码。所述方法进一步包括借助所述微处理器执行所述非线性存储装置中的系统引导代码的第一部分。

[0009] 本发明的第二方面是一由微处理器控制的装置,其包括一微处理器、易失性 RAM(随机存取存储器)、一非线性存储器以及一线性存储器仿真器,所述仿真器可用于将非线性存储器中的代码转换为一可由所述微处理器执行的线性格式。

[0010] 本发明的另一方面是一基于微处理器的系统,其包括一可用于读取线性存储装置的微处理器、一非线性存储装置以及用于借助可有效读取线性存储装置的所述微处理器执行非线性存储装置中代码的构件。

附图说明

[0011] 图 1A 是系统 100 的一示意图。

[0012] 图 1B 是系统 100 运行的一概念性图示。

[0013] 图 2 是一系统 100 的非线性存储装置 140 的存储空间的图示。

[0014] 图 3 是一系统 100 中使用的并在本专利说明中述及的信号的表格。

[0015] 图 4 是总引导顺序的一流程图。

具体实施方式

[0016] 下文详细说明本发明的说明性实施例。由于下文将结合前述图纸对本发明的这些实施例予以说明,所属领域的技术人员可以明显地看出可对所说明的方法及/或结构做各种修改或改动。依赖于本发明的教导且该些教导据以推进此项技术的所有此等修改、改动或变更均应视为包括在本发明的范围之内。因此,此等说明及图纸不应视为具有限制性,因为应当了解,本发明在任何意义上均非仅限于所举例说明的实施例。

[0017] 所述从一非线性存储器引导的系统及方法在采用非线性存储装置的电子装置的启动方面具有许多用途。虽然本发明的系统和方法涵盖含有任何类型的非线性存储装置的任何装置的启动,但为举例说明本发明之目的,将对 NAND 闪速存储器进行说明。

[0018] 相对于从一专门的代码存储装置(例如 ROM(只读存储器))引导来说,从非线性存储器引导具有很多优点。相对于在 CPU 能够执行代码之前不得不将代码拷贝或遮蔽进 RAM 存储器来说,从非线性存储器引导亦具有优点。在使用一专门的代码存储装置(DCSD)的情况下,本发明降低了采用本发明之所述系统或方法的电子装置的成本。在 DCSD 已被取消但所述装置仍须首先将引导指令拷贝到 RAM 中以供所述微处理器或 CPU 执行所述指令并启动所述装置的情况下,采用本发明可使启动时间大幅度缩短。本发明实际上可与任何处理器配合工作,与采用一 DCSD 的系统相比,本发明可与更多类型的处理器具有更高的兼容性。等待一装置启动令人非常烦恼,不管该装置是一蜂窝电话、一计算机、一便携式组织器,还是任何其它智能装置。采用本发明开始执行引导代码所需的时间大约就是访问所述非线

性存储装置的时间。在 NAND 实例中,所述时间大约为 15 微秒 (micro-second),而在过去的系统中,开始执行代码之前的遮蔽甚至就可能需要数百毫秒 (milli-second) 的时间。

[0019] 光盘上的源代码亦构成本说明的组成部分,并以引用方式全部并入本文中,其包括如下文件:

- [0020] 02085_0938\CPU_NAND_If\cmd_decode.vhf,1/31/02,2KB;
- [0021] 02085_0938\CPU_NAND_If\int_out_bus_mux.vhf,1/31/02,2KB;
- [0022] 02085_0938\CPU_NAND_If\io_buff_control.vhf,1/31/02,2KB;
- [0023] 02085_0938\CPU_NAND_If\nand_8_bit_if.ucf,1/18/01,2KB;
- [0024] 02085_0938\CPU_NAND_If\nand_ce.vhf,1/31/02,2KB;
- [0025] 02085_0938\CPU_NAND_If\nand_control-signals.vhf,1/31/02,7KB;
- [0026] 02085_0938\CPU_NAND_If\nand_cpu_bus.vhf,1/31/02,6KB;
- [0027] 02085_0938\CPU_NAND_If\nand_rd_control.vhf,1/31/02,3KB;
- [0028] 02085_0938\CPU_NAND_If\nand_reset_control.vhf,1/31/02,5KB;
- [0029] 02085_0938\CPU_NAND_If\nand_wp.vhf,1/31/02,2KB;
- [0030] 02085_0938\CPU_NAND_If\nand_wr_control.vhf,1/31/02,8KB;
- [0031] 02085_0938\CPU_NAND_If\nce_extend.vhf,1/31/02,2KB;
- [0032] 02085_0938\CPU_NAND_If\OCM_start_v1.asm,2/1/02,5KB;
- [0033] 02085_0938\CPU_NAND_If\Page_0.img,1/31/02,1KB;
- [0034] 02085_0938\CPU_NAND_If\Page_0_readme.txt,7/29/02,1KB;
- [0035] 02085_0938\CPU_NAND_If\Page_1.img,1/31/02,1KB;
- [0036] 02085_0938\CPU_NAND_If\PowerPC_start_code.asm,4/26/02,9KB;
- [0037] 02085_0938\CPU_NAND_If\ppc_start.asm,2/1/02,5KB;
- [0038] 02085_0938\CPU_NAND_If\read_only_cntrl.vhf,1/31/02,6KB;
- [0039] 02085_0938\CPU_NAND_If\sky_stream.vhf,1/31/02,11KB;
- [0040] 02085_0938\CPU_NAND_If\status_register.vhf,1/31/02,2KB;
- [0041] 02085_0938\Hardware Design.doc,7/29/02,30KB.

[0042] 图 1A 举例说明系统 100。处理器 130 通过系统总线 115 与若干其它装置相连。系统总线 115 连接至非线性存储装置 (NLS) 140、非线性存储装置接口 (NLI) 120、处理器 130、易失性随机存取存储器 (RAM) 150、外围设备 160 和人机接口装置 170。控制线 142 将 NLS 140 和 NLI 120 连接在一起。NLI 120 包括一可编程逻辑装置或特定用途集成电路或集成至一芯片中的逻辑门,所述芯片有时被称为一系统芯片 (system in a chip)。NLI 120 亦包括在前述装置中执行的逻辑。外围设备 160 可以是打印机或其它输出设备或另外的驱动器和所属技术领域内熟知的任何其它外围设备。人机接口装置是诸如一键盘、显示器、鼠标、麦克风或扬声器之类的物件,且同样亦在所属技术领域内众所周知。由于本发明在诸如蜂窝电话之类的便携式装置具有特别的优势,因此其外围设备和人机接口装置全部集成为一体,但是其仍可为传统的单独部件。

[0043] 如上文所述,在本优选实施例中,NLS 140 包括 NAND 型闪速存储器。NLS 140 中存储有引导代码 146。引导载入程序 144 可以视为引导代码 146 的组成部分,或者亦可视其为独立存在。与系统总线 115 相连的每一连接线路均可进行双向通信且可包括多条线路,

虽然为清晰起见,图中仅描述一单一线路。尽管往来于 NLSD 140 的数据传输均通过系统总线 115 实施,但图 1B 中提供了一关于所述数据流动的概念性说明,以强调引导载入程序 144 是通过接口 120 直接从 NLSD 140 执行。

[0044] NLSD 140 的存储空间在图 2 中作了进一步的描述。NLSD 140 是一个多用途存储装置,用于存储所有类型的用户文件以及启动时用于启动系统 100 的引导代码。文件存储区 210 可具有一小至几个 KB 大至许多 GB 的容量。诸如数码图像、歌曲、程序以及其它数据文件之类的用户文件均可存储于文件存储区 210 内。引导代码 146 和引导载入程序 144 存储于 NLSD 140 的专用区域内,以防止被意外盖写。关于这一方面的更多信息,请参阅于 2001 年 8 月 6 日提交的共同待决的第 09/923874 号美国临时专利申请,其以引用方式全文并入本文件。在本优选实施例中,所述引导代码 146 和引导载入程序 144 可在需要时很容易地进行更新。引导载入程序 144 在 NAND 存储器中较佳占用一个数据页面。页面长度在不同的存储器结构中通常稍有变化。在本实例中,所述页面长度为 512 字节。所述闪速存储器可以封装成任何形式,例如但不限于一可编程只读存储器、集成至芯片存储器上、CF 卡(微型闪存卡)、以及诸如 MMC 卡(多媒体卡)和 SD 卡(安全数字卡)之类的串行非线性闪速存储器。

[0045] 尽管 NAND 闪速存储器因具有许多优点而导致其具有广泛用途,但这种存储器中所存储的数据的非线性性质迄今仍阻止设计成用于执行可线性寻址的数据的微处理器直接执行所述数据。以往,必须先将数据拷贝到 RAM 中,然后才能由微处理器执行。采用本发明,处理器直接执行引导载入程序 144,也就是说,在执行之前其未被遮蔽至 RAM 内。从 NAND 存储器直接读取非常快,一般仅需大约 15 微秒。这种直接执行节省了系统 100 的启动过程中的宝贵时间。这是由非线性接口 120 实现,下文将参照图 4 的流程图对此作进一步描述。图 3 是将在图 4 的流程图的描述中涉及的接口 120 所用的信号或命令表。

[0046] 图 4 是一装置(诸如图 1 所例示的系统 100)的总体启动顺序的流程图。在处理器 130 或接口 120 收到系统复位信号后,在步骤 202 中初始化微处理器。这种类型的触发性复位可以是硬复位,也可以是软复位。在步骤 202 中,所述微处理器经由接口 120 从 NLSD 140 直接执行图 1 和图 2 所示的引导载入程序 144。

[0047] 如上文所述,在构建 NAND 存储器的系统 100 的实例中,引导载入程序 144 包括位于 NAND 存储器的第一页面中的指令。所述指令按顺序依次排列。也就是说,要执行的第一指令在要读取的第一区域内有一地址,要执行的第二指令在与第一区域相连的第二区域内有一地址,依此类推。这很重要,因为在 NAND 闪速存储器以及其它非线性存储器中,某一区域(例如 255 字节)在不先读完其前面的所有其它区域(前 254 个字节)之前是无法读取的。

[0048] 在步骤 210A 中设置微处理器 130 的关键寄存器。这包括禁止中断微处理器、确定目的存储器的位置并初始化目的存储器。在系统 100 的实例中,所述目的地为 RAM 150。所述目的存储器可以是一或多个单独的 RAM 芯片,也可以位于处理器 130 内,或者可以是位于正被引导的智能装置内的其他位置的任何类型的存储器。对于一包括 NAND 闪速存储器作为非线性存储器的 8 位系统,微处理器的寄存器设置如下:

[0049]

寄存器	说明	地址 区距
数据端口 -16 位	对本端口的所有读与写均回复一个 16 位数值。	0×00
NAND 写保护	对本端口的一写操作将禁止所有 NAND 擦除和编程。	0×02
NAND 写保护禁止	对本端口的一写操作将启动 NAND 擦除和编程功能。	0×03
命令端口	所有 NAND 命令均写至本端口。	0×04
地址端口	所有地址 (ADDR2:ADDR0) 均写至本端口。	0×05
NAND 数据端口	NAND 装置与主机之间所有数据的读写数据端口。	0×06
NAND 设备状态	0×FF 表示设备被读 ;0×00 表示 NAND 设备忙。	0×07

[0050] 用于举例说明 NLSD 140 之运行的 NAND 存储器中的数据字节传输 (读或写) 是一个复杂的过程, 包括必须精确计时的多项操作。一般而言, 从 NLSD 140 读取数据包括借助 NLI 120 监测微处理器地址线是否发生一地址变化, 然后在 NLI 120 检测到一地址变化时, 用脉冲向 NLSD 140 输送一读取线。然后数据被放置在数据总线 115 上, 并去往 NLI 120, 随后数据从 NLI 120 再经数据总线 115 被转移至微处理器 130。更具体而言, 作为一实例, 在 528 字节 / 页面的非线性存储器中, 一特定字节的转移一般经过下列四个主要步骤:

[0051] 1. 接口 120 计算所述字节在所述页面中的位置 (地址)。所述地址被划分为至少 3 个字节。对于一 512 兆位的装置, 必须读 4 个字节。

[0052] 2. 接口 120 从 3 个命令字 (前 256 字节, 后 256 字节或备用区域) 之一中选择;

[0053] 3. 接口 120 在步骤 2 中按下列步骤将命令写入 NLSD 140:

[0054] a. 确定 NLSD 140 片选 (CE);

[0055] b. 确定 NLSD 140 命令锁存允许 (CLE) 信号;

[0056] c. 确定 NLSD 140 I/O 线上的命令数据;

[0057] d. 确定 NLSD 140 写入线;

[0058] e. 撤销 NLSD 140 片选;

[0059] f. 撤销 NLSD 140 命令锁存允许信号。

[0060] 4. 接口 120 然后按如下步骤发送地址:

[0061] a. 确定 NLSD 140 片选 (CE);

[0062] b. 确定 NLSD 140 命令锁存允许 (CLE) 信号;

[0063] c. 确定 NLSD 140 I/O 线上的第一个地址字节;

[0064] d. 确定 NLSD 140 写允许 (WE) 线持续最短的规定时间 (一般为 50ns 或以上);

[0065] e. 撤销 NLSD 140 写允许 (WE);

[0066] f. 确定 NLSD 140 I/O 线上的第二个地址字节;

[0067] g. 确定 NLSD 140 写允许 (WE) 线用于最短的规定时间 (一般为 50ns 或以上);

- [0068] h. 撤销 NLSD 140 写允许 (WE) ;
- [0069] i. 确定 NLSD 140 I/O 线上的第三个地址字节 ;
- [0070] j. 确定 NLSD 140 写允许 (WE) 线用于最短的规定时间 (一般为 50ns 或以上) ;
- [0071] k. 撤销 NLSD 140 写允许 (WE) ;
- [0072] l. 确定 NLSD 140 I/O 线上的第四个地址字节 ;
- [0073] m. 确定 NLSD 140 写允许 (WE) 线用于最短的规定时间 (一般为 50ns 或以上) ;
- [0074] n. 撤销 NLSD 140 写允许 (WE) ;及
- [0075] o. 撤销 ALE (地址锁存允许)

[0076] 很重要的一点是应当注意到, NLSD 140 将断言其忙, 具有一高达 200ns 之延迟, 而且每当 NLSD 140 发出一 CE 信号时, 所述 CE 信号必须在 NLSD 140 忙期间保持被确定状态。微处理器 120 仅可在 NLSD 140 准备就绪时按一顺序方式读取数据。

[0077] 再次参见图 4, 引导载入程序 144 的指令中的指令一旦被读取和执行, 即将引导代码 146 的剩余部分拷贝到 RAM 150 中。在所述指令被所述微处理器直接从 NLSD 140 读取和执行后, 其将在步骤 210B 中将所述引导代码 146 拷贝到 RAM 150 中。在步骤 214 中, 所述微处理器从 RAM 140 执行引导代码 146 的拷贝部分。

[0078] 本发明具有数个优点。接口 120 可以采用一成本非常低廉的可编程逻辑装置、ASIC (特定用途集成电路) 或者亦可以被纳入一系统芯片设计型处理器中。所述系统被设计成具有尽可能高的访问速度, 因而可以将采用本发明之系统或方法的任何装置的启动时间减至最短。其提供一简单的基于寄存器的访问模型, 使所述系统易于为编程器使用和纳入。其亦支持不同的系统配置和平台。例如, 其可以支持 8 位、16 位、32 位或其它位数的系统。

[0079] 虽然文中展示并介绍了本发明的实施例, 但可在脱离本发明更宽泛方面的前提下对该等举例说明性实施例做变更和修改。因此, 应了解, 本发明还有其他的实施例, 尽管上文没有明确描述, 但那些其他实施例均属于本发明的范围。因此, 本发明的范围并非仅限于所展示的说明性实施例。故而, 应当了解, 随附的权利要求界定本发明的范围。但是, 由于语言并不是描述本发明范围的最佳方式, 因此亦应了解, 等效的结构和方法尽管未涵盖于权利要求明确文字中, 但亦应包括在本发明的真实范围中。

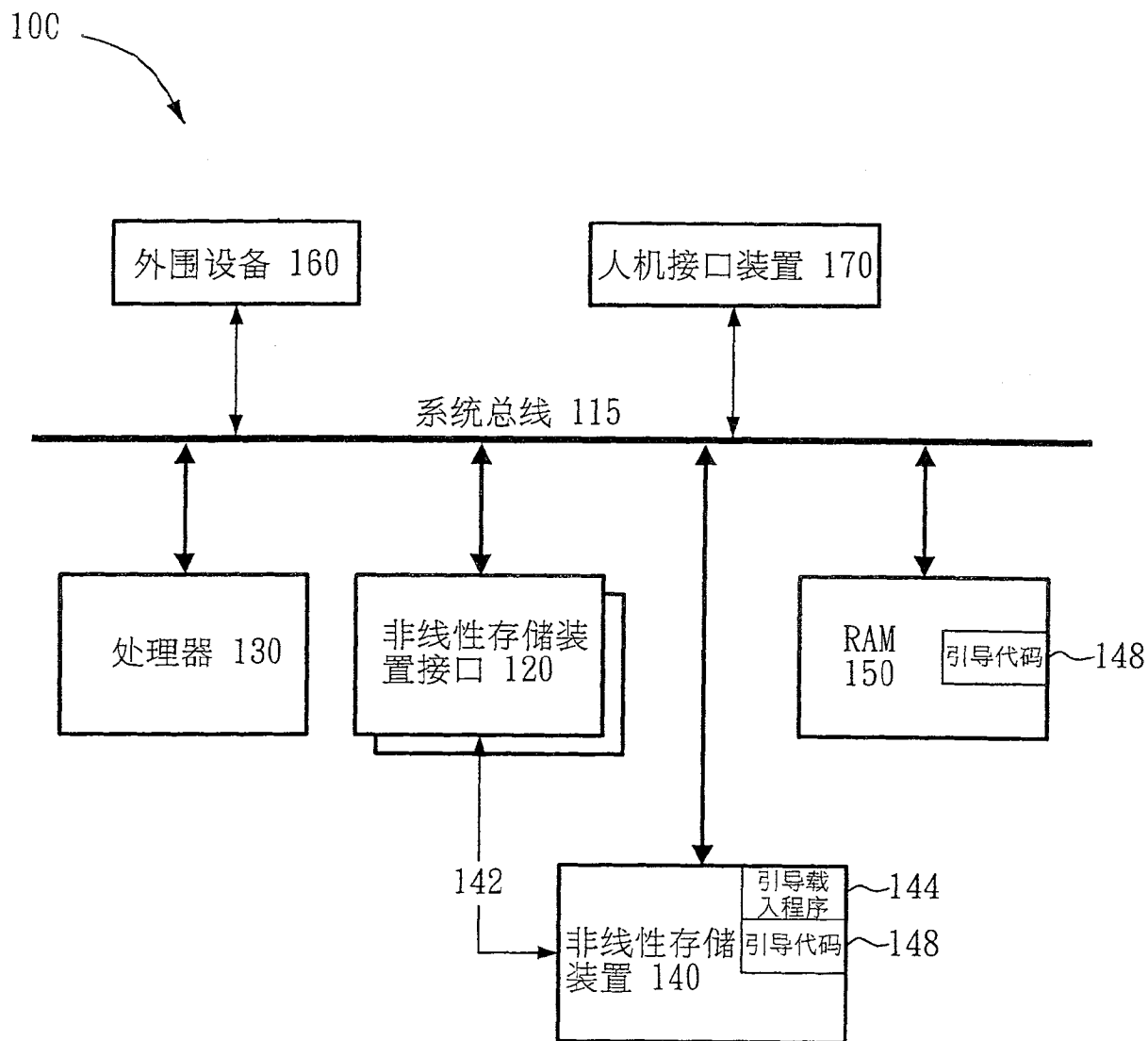


图 1A

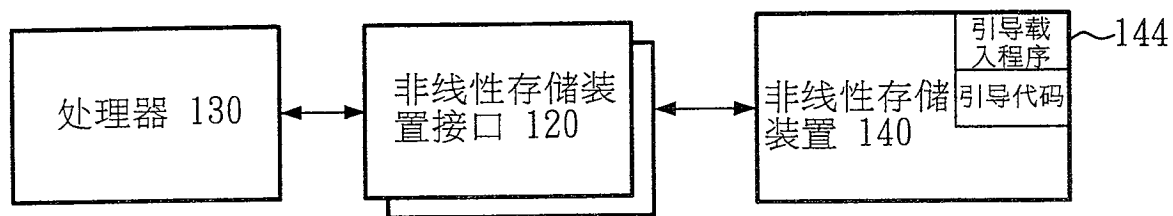


图 1B

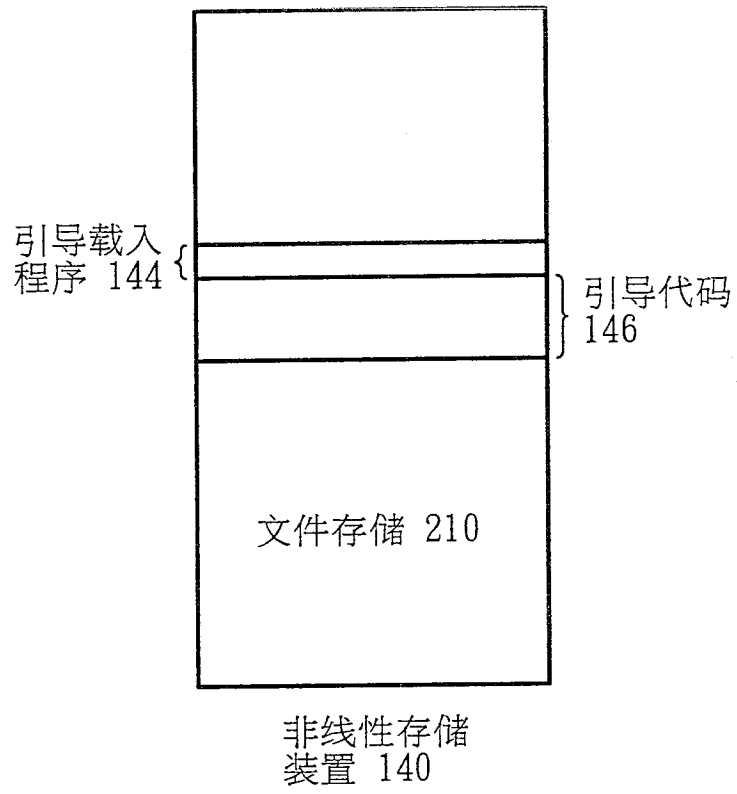


图 2

信号名称	信号定义	输入/输出/双向
A2 A1A0	CPU 地址线	输入
WR	CPU 写选通脉冲	输入
RD	CPU 读写通脉冲	输入
Rd only	只允许自NAND读取数据	输入
PCSO	NAND芯片选择及接口芯片	输入
enable_zone_protect	保护前16个数据块免于擦除和编程	输入
CLE	NAND命令锁存允许	输出
ALE	NAND地址锁存允许	输出
WE	NAND写允许信号	输出
RE	NAND读允许选通脉冲	输出
CE	NAND芯片允许	输出
WP	NAND写保护. 当声明时, 禁止输出所有擦除和编程.	输出
boot_block_wp_error	指示试图擦除或编程受保护数据块的信号.	输出
NAND_RDY	NAND ready/nbusy信号的锁存信号. 当具有I/F状态寄存器时, 此被清除.	输出
CPU DATA Bus(7:0)	在CPU与Nand IF装置之间的数据线	双向
NAND_bus(7:0)	在Nand I/F装置与NAND存储器之间的8位数据总线.	双向

图 3

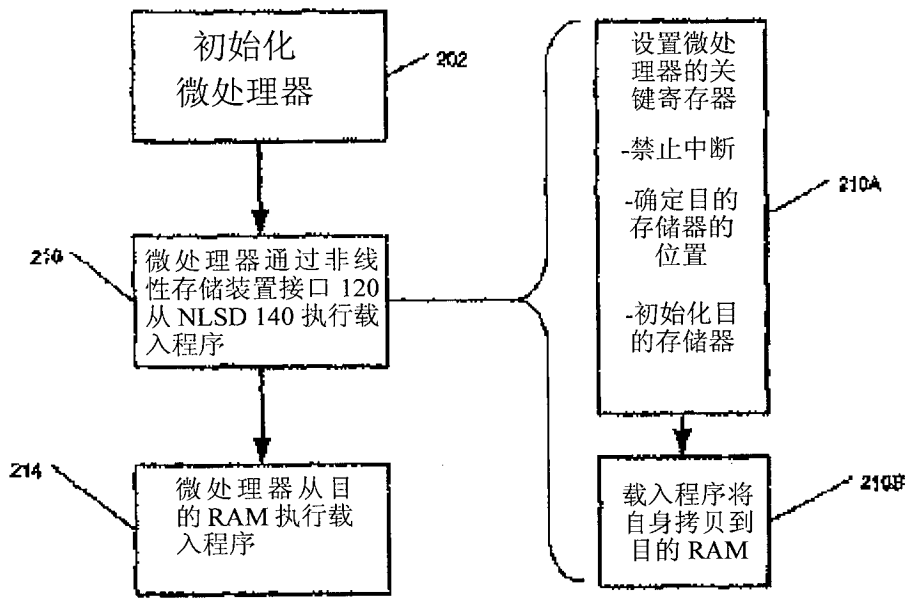


图 4