



(12) 发明专利

(10) 授权公告号 CN 110660430 B

(45) 授权公告日 2021.12.24

(21) 申请号 201910573125.6

(22) 申请日 2019.06.28

(65) 同一申请的已公布的文献号  
申请公布号 CN 110660430 A

(43) 申请公布日 2020.01.07

(30) 优先权数据  
62/692,190 2018.06.29 US  
16/273,527 2019.02.12 US

(73) 专利权人 台湾积体电路制造股份有限公司  
地址 中国台湾新竹科学工业园区新竹市力行六路八号

(72) 发明人 阿图尔·卡多奇 阿里·塔克维埃

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270

代理人 薛恒 王琳

(51) Int.Cl.

G11C 11/4091 (2006.01)

G11C 11/4093 (2006.01)

G11C 11/4094 (2006.01)

G11C 11/4097 (2006.01)

(56) 对比文件

US 2013155798 A1, 2013.06.20

CN 1624802 A, 2005.06.08

CN 105765661 A, 2016.07.13

CN 1499525 A, 2004.05.26

CN 102385899 A, 2012.03.21

CN 103226968 A, 2013.07.31

TW 201743333 A, 2017.12.16

US 2017133387 A1, 2017.05.11

US 9159401 B2, 2015.10.13

US 2014085997 A1, 2014.03.27

审查员 许金明

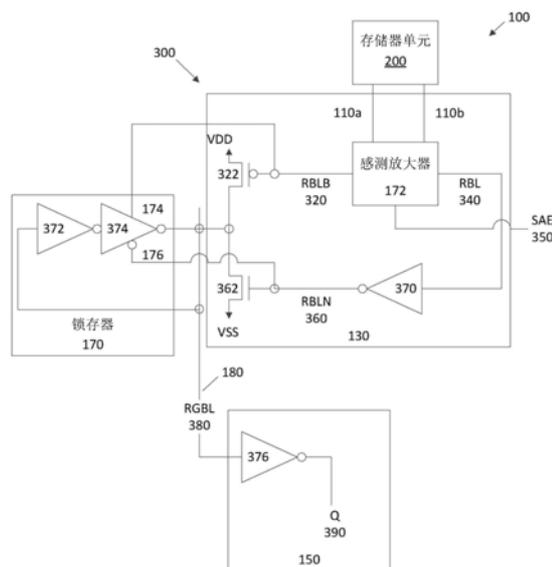
权利要求书3页 说明书8页 附图7页

(54) 发明名称

存储器装置、存储器输入/输出电路及其方法

(57) 摘要

一种存储器装置包括具有局部位线的存储器单元。第一输入/输出电路耦合到所述局部位线且被配置成将局部输入/输出信号输出到全局位线。第二输入/输出电路耦合到所述全局位线且被配置成输出全局输入/输出信号。锁存电路被配置成响应于所述局部位线上的数据信号而锁存所述局部输入/输出信号。



1. 一种存储器装置,其特征在于,包括:

存储器阵列,包括存储器单元及局部位线;

第一输入/输出电路,耦合到所述局部位线且被配置成基于从所述局部位线上所接收的数据信号产生局部输入/输出信号,且基于所述局部输入/输出信号而将全局位线信号输出到全局位线;

第二输入/输出电路,耦合到所述全局位线且被配置成接收所述全局位线信号且输出全局输入/输出信号;以及

锁存电路,具有连接到所述全局位线的输入端子以接收所述全局位线信号以及锁存致能端子,所述锁存致能端子经耦合以接收所述局部输入/输出信号,其中所述锁存电路被配置成响应于所述局部输入/输出信号而锁存所述全局位线信号。

2. 根据权利要求1所述的存储器装置,其特征在于,所述第一输入/输出电路包括感测放大器,所述感测放大器被配置成从所述局部位线接收所述数据信号且响应于感测放大器致能信号而将所述局部输入/输出信号输出到所述锁存电路的所述锁存致能端子。

3. 根据权利要求2所述的存储器装置,其特征在于,所述感测放大器被配置成输出第一互补局部输入/输出信号及第二互补局部输入/输出信号,所述第一互补局部输入/输出信号及所述第二互补局部输入/输出信号包括所述局部输入/输出信号。

4. 根据权利要求3所述的存储器装置,其特征在于,所述锁存电路包括第一致能端子及第二致能端子,所述第一致能端子及所述第二致能端子包括所述锁存致能端子,所述第一致能端子被耦合以接收所述第一互补局部输入/输出信号,所述第二致能端子被耦合以接收所述第二互补局部输入/输出信号。

5. 根据权利要求2所述的存储器装置,其特征在于,所述第一输入/输出电路包括第一晶体管,所述第一晶体管被配置成将所述全局位线信号拉动至第一预定电压电平。

6. 根据权利要求5所述的存储器装置,其特征在于,所述第一晶体管被配置成响应于由所述感测放大器输出的所述局部输入/输出信号而将所述全局位线信号拉动至所述第一预定电压电平。

7. 根据权利要求3所述的存储器装置,其特征在于,所述第一输入/输出电路包括:第一晶体管,被配置成响应于所述第一互补局部输入/输出信号而将所述全局位线信号拉动至第一预定电压电平;以及第二晶体管,被配置成响应于所述第二互补局部输入/输出信号而将所述全局位线信号拉动至第二预定电压电平。

8. 根据权利要求7所述的存储器装置,其特征在于,所述第一晶体管是p型金属氧化物半导体晶体管,所述p型金属氧化物半导体晶体管耦合在第一电压端子与所述全局位线之间且具有被耦合以接收所述第一互补局部输入/输出信号的栅极端子,并且所述第二晶体管是n型金属氧化物半导体晶体管,所述n型金属氧化物半导体晶体管耦合在第二电压端子与所述全局位线之间且具有被耦合以接收所述第二互补局部输入/输出信号的栅极端子。

9. 根据权利要求1所述的存储器装置,其特征在于,所述锁存电路不接收时钟信号。

10. 根据权利要求1所述的存储器装置,其特征在于,所述锁存电路包括串联连接的第一反相器及第二反相器。

11. 一种存储器输入/输出电路,其特征在于,包括:

感测放大器,耦合到局部位线以接收数据信号,且具有感测放大器致能端子及局部输

入/输出输出端子,所述局部输入/输出输出端子被配置成基于所述数据信号输出局部输入/输出信号;

第一输入/输出电路,具有耦合到所述感测放大器的所述局部输入/输出输出端子的输入端子以接收所述局部输入/输出信号,以及耦合到全局位线的输出端子以基于所述局部输入/输出信号而将全局位线信号输出到全局位线;

第二输入/输出电路,具有耦合到所述全局位线的输入端子且具有全局数据输出端子;以及

锁存电路,耦合到所述全局位线以接收所述全局位线信号且具有锁存致能端子,所述锁存致能端子耦合到所述感测放大器的所述局部输入/输出输出端子,其中所述锁存电路被配置成响应于所述局部输入/输出信号而锁存所述全局位线信号。

12. 根据权利要求11所述的存储器输入/输出电路,其特征在于,所述感测放大器包括第一互补局部输入/输出输出端子及第二互补局部输入/输出输出端子,所述第一互补局部输入/输出输出端子及所述第二互补局部输入/输出输出端子包括所述局部输入/输出输出端子。

13. 根据权利要求12所述的存储器输入/输出电路,其特征在于,所述锁存电路包括第一致能端子及第二致能端子,所述第一致能端子及所述第二致能端子包括所述锁存致能端子,且其中所述第一致能端子耦合所述第一互补局部输入/输出端子,所述第二致能端子耦合到所述第二互补局部输入/输出输出端子。

14. 根据权利要求13所述的存储器输入/输出电路,其特征在于,所述第一输入/输出电路包括:第一晶体管,被配置成响应于来自所述第一互补局部输入/输出输出端子的第一互补数据信号而将所述全局位线拉动至第一预定电压电平;以及第二晶体管,被配置成响应于来自所述第二互补局部输入/输出输出端子的第二互补数据信号而将所述全局位线拉动至第二预定电压电平。

15. 根据权利要求11所述的存储器输入/输出电路,其特征在于,所述锁存电路不接收时钟信号。

16. 一种存储器输入/输出的方法,其特征在于,包括:

提供具有局部位线的存储器单元;

从所述局部位线向第一输入/输出电路输出数据信号;

由所述第一输入/输出电路基于所述数据信号产生局部输入/输出信号;

基于所述局部输入/输出信号以从所述第一输入/输出电路向全局位线输出全局位线信号;

在锁存电路的锁存致能端子上接收来自所述第一输入/输出电路的所述局部输入/输出信号;

由所述锁存电路、响应于来自所述第一输入/输出电路的所述局部输入/输出信号而在所述全局位线上锁存所述全局位线信号;

由第二输入/输出电路基于从所述全局位线接收的所述全局位线信号而输出全局输入/输出信号。

17. 根据权利要求16所述的方法,其特征在于,进一步包括:

从所述存储器单元接收所述数据信号;

输出第一互补局部输入/输出信号及第二互补局部输入/输出信号,所述第一互补局部输入/输出信号及所述第二互补局部输入/输出信号包括所述局部输入/输出信号;

响应于所述第一互补局部输入/输出信号而将所述全局位线信号拉动至第一预定电压电平;

响应于所述第二互补局部输入/输出信号而将所述全局位线信号拉动至第二预定电压电平。

18. 根据权利要求17所述的方法,其特征在于,

将所述全局位线信号拉动至所述第一预定电压电平包括响应于所述第一互补局部输入/输出信号而将所述全局位线连接到VDD电压;且

将所述全局位线信号拉动至所述第二预定电压电平包括响应于所述第二互补局部输入/输出信号而将所述全局位线连接到VSS电压。

19. 根据权利要求16所述的方法,其特征在于,进一步包括将所述局部输入/输出信号预充电至预定电压电平。

20. 根据权利要求17所述的方法,其特征在于,从所述存储器单元接收所述数据信号包括致能输出所述第一互补局部输入/输出信号及所述第二互补局部输入/输出信号的感测放大器。

## 存储器装置、存储器输入/输出电路及其方法

### 技术领域

[0001] 本发明的实施例涉及一种存储器装置、存储器输入/输出电路及其方法。

### 背景技术

[0002] 一种常见类型的集成电路存储器是静态随机存取存储器 (static random access memory, SRAM) 装置。典型的SRAM存储器装置具有由存储器单元形成的阵列。每一存储器单元使用例如连接在上部参考电位与下部参考电位 (通常为接地) 之间的六个晶体管, 以使得两个存储节点中的一者可由将要被存储的信息占据, 而在另一存储节点处存储有互补信息。

### 发明内容

[0003] 本发明的一实施例公开一种存储器装置, 其特征在于, 包括: 存储器阵列, 包括存储器单元及局部位线; 第一输入/输出电路, 耦合到所述局部位线且被配置成将全局位线信号输出到全局位线; 第二输入/输出电路, 耦合到所述全局位线且被配置成输出全局输入/输出信号; 以及锁存电路, 被配置成响应于所述局部位线上的数据信号而锁存所述全局位线信号。

[0004] 本发明的一实施例公开一种存储器输入/输出电路, 其特征在于, 包括: 感测放大器, 耦合到局部位线且具有感测放大器致能端子及局部输入/输出输出端子; 第一输入/输出电路, 具有耦合到所述局部输入/输出输出端子的输入端子及耦合到全局位线的输出端子; 第二输入/输出电路, 具有耦合到所述全局位线的输入端子且具有全局数据输出端子; 以及锁存电路, 耦合到所述全局位线且具有锁存致能端子, 所述锁存致能端子耦合到所述感测放大器的所述局部输入/输出输出端子。

[0005] 本发明的一实施例公开一种存储器输入/输出的方法, 其特征在于, 包括: 提供具有局部位线的存储器单元; 从所述局部位线向第一输入/输出电路输出数据信号; 从所述第一输入/输出电路向全局位线输出全局位线信号; 响应于来自所述第一输入/输出电路的局部输入/输出信号而在所述全局位线上锁存所述全局位线信号; 由第二输入/输出电路基于从所述全局位线接收的所述全局位线信号而输出全局输入/输出信号。

### 附图说明

[0006] 结合附图阅读以下详细说明, 会最佳地理解本发明的各方面。应注意, 根据业内标准惯例, 各种特征并非按比例绘制。事实上, 为使论述清晰起见, 可任意增大或减小各种特征的关键尺寸。

[0007] 图1A及图1B示出根据一些实施例的示例性存储器结构的各方面的框图。

[0008] 图2A是根据一些实施例的静态随机存取存储器 (SRAM) 单元的实例的电路图。

[0009] 图2B是根据一些实施例的SRAM存储器阵列的实例的电路图。

[0010] 图3是绘示根据一些实施例的示例性存储器输入/输出 (Input/Output, I/O) 电路

的各方面的电路图。

[0011] 图4是示出根据一些实施例由图3所示I/O电路产生的示例性信号的时序图。

[0012] 图5是示出根据一些实施例的存储器I/O方法的流程图。

### 具体实施方式

[0013] 以下公开内容提供用于实作所提供主题的不同特征的许多不同的实施例或实例。以下阐述组件及构造的具体实例以简化本发明。当然,这些仅为实例且不在进行限制。例如,以下说明中将第一特征形成在第二特征之上或第二特征上可包括其中第一特征与第二特征被形成直接接触的实施例,且也可包括其中第一特征与第二特征之间可形成有额外特征、从而使得所述第一特征与所述第二特征可能不直接接触的实施例。另外,本发明可能在各种实例中重复使用参考编号及/或字母。这种重复使用是出于简洁及清晰的目的,而不是自身表示所论述的各种实施例及/或配置之间的关系。

[0014] 此外,为易于说明,本文中可能使用例如“在...下方(beneath)”、“在...下面(below)”、“下部的(lower)”、“上方(above)”、“上部的(upper)”等空间相对性用语来阐述图中所说明的一个元件或特征与另一(些)元件或特征的关系。所述空间相对性用语旨在除图中所绘示的取向外还囊括装置在使用或操作中的不同取向。设备可具有其他取向(旋转90度或其他取向),且本文中所用的空间相对性描述语可同样相应地进行解释。

[0015] 一些存储器装置是由经由字线连接到行解码器的存储器单元阵列构造而成。另外,所述存储器单元阵列包含局部位线,所述局部位线将由多个存储器单元形成的列连接到局部输入/输出(local I/O)块。因此,每一列的位线分别耦合到设置在所述列中的多个存储器单元,且所述列中的每一存储器单元排列在不同的行上并耦合到相应的字线。通常,位线沿一个方向(平行于第一轴线)延伸,且字线沿着与第一方向垂直的第二方向(平行于第二轴线)延伸。

[0016] 全局位线(global bit line)将局部I/O块连接到全局I/O块。局部I/O块及全局I/O块连接到局部控制件(local control)及全局控制件(global control),所述局部控制件及所述全局控制件实作存储器装置的控制逻辑。

[0017] 感测放大器接收位线信号并放大所述位线信号以供在逻辑组件中使用。来自感测放大器的信号沿着全局位线将数据从局部I/O传递到全局I/O。在一些实例中,全局位线上的数据被锁存,且锁存器在感测放大器停止驱动全局位线之前被设定以在充足的时间周期内维持全局位线输出。

[0018] 并非以时钟信号来驱动对全局位线数据信号进行锁存的锁存电路,一些所公开实例为存储器电路提供通过数据进行驱动锁存的锁存电路。换句话说,所述锁存电路被配置成响应于在局部位线上从存储器阵列接收的数据信号而锁存全局位线信号。由于不使用外部时钟来驱动数据锁存器,因此不需要在用于驱动锁存器的外部时钟信号与来自局部I/O的数据之间执行同步。而是,感测放大器的输出节点上的信号决定了锁存器何时被致能及去能。

[0019] 图1A示出示例性存储器装置100的框图。存储器装置100包括存储器单元阵列102、局部I/O电路(局部I/O 130)、感测放大器172、锁存电路(锁存器170)、及全局I/O电路(全局I/O 150)。存储器单元阵列102(在一些实例中,其为SRAM存储器阵列)耦合到感测放大器172,在感测放大器172中,来自所述阵列的数据信号被放大并通过局部I/O被输出到全局I/O

0。

[0020] 在图1A所示的实例中,示出锁存电路(锁存器170)被定位在局部I/O 130与全局I/O 150之间。在其他实例中,锁存电路(锁存器170)被实作为局部I/O 130的或全局I/O 150的一部分。另外,在其他实例中,局部I/O 130与全局I/O 150可被组合成包括锁存电路(锁存器170)的单个I/O电路。

[0021] 图1B示出根据所公开实施例的示例性存储器装置100的其他方面。图1B所示实例绘示“蝶”型SRAM存储器构造,但可存在其他实施例。存储器100包括与I/O块及其他外围组件相邻的多个存储器单元阵列102。在所示实例中,存储器100在垂直取向上由行解码器120沿着中间分离,以形成存储器单元阵列102的子组(sub-bank)。使行解码器120居中定位会形成“蝶”型构造。

[0022] 被配置成从局部位线110输出局部I/O信号的局部I/O 130将存储器100在水平取向上分离,因此形成存储器单元阵列102的其他子组。局部位线110耦合到局部I/O 130。通过使用局部I/O 130,位线110的长度可缩短,因此增加了存储器存取时间并提高了存储器装置100的性能。局部I/O 130由居中定位的局部控制件140控制。来自位线110的信号在局部I/O 130上汇聚并在局部I/O 130中被组合。局部I/O 130将局部I/O信号输出到全局位线180,且锁存电路(锁存器170)被配置成响应于从局部I/O 130输出的局部I/O信号而在全局位线180上锁存全局位线信号。全局I/O 150从全局位线180接收全局位线信号以输出全局I/O信号。在所说明实例中,全局I/O 150由居中定位的全局控制件160控制。

[0023] 在本实例中,锁存电路(锁存器170)位于局部I/O 130中。在其他实例中,锁存电路(锁存器170)被定位在全局I/O 150中,如在图1B中由虚线方框所示。另外,在一些实施例中,局部I/O 130与全局I/O 150一体地位于同一I/O块中,且锁存器170与所述I/O块成整合。

[0024] 如上所述,所公开实例包括由从存储器单元阵列102输出的数据信号驱动的锁存电路(锁存器170)。因此,不需要外部时钟信号来驱动锁存器。此除去了对使来自局部I/O 130的信号与外部时钟的信号同步的需要。

[0025] 图2A示出图1A及图1B所示存储器单元阵列102的存储器单元200的实例。存储器单元200连接到字线WL 202以及互补局部位线BL 110b及BLB110a。存储器单元200包括p型金属氧化物半导体(p-type metal oxide semiconductor,PMOS)晶体管208a至208b及n型金属氧化物半导体(n-type metal oxide semiconductor,NMOS)晶体管206a至206d。晶体管208a及206c彼此耦合且被定位在电源电压 $V_{DD}$  204与地之间,以形成第一反相器。类似地,晶体管208b及206d耦合在 $V_{DD}$  204与地之间,以形成第二反相器。

[0026] 所述两个反相器彼此交叉耦合。存取晶体管(access transistor)206a将第一反相器的输出连接到位线BLB 110a。类似地,存取晶体管206b将第二反相器的输出连接到位线BL 110b。字线WL 202附接到存取晶体管206a及206b的栅极控制件,以在读取/写入操作期间将反相器的输出选择性地耦合到位线(110a、110b)。在读取操作期间,反相器将位线(110a、110b)处的电压电平驱动为高态及低态。

[0027] 存储器单元200的交叉耦合式反相器提供表示逻辑值0及1的两个稳定电压状态。通常使用金属氧化物半导体场效应晶体管(Metal-Oxide Semiconductor Field Effect Transistor,MOSFET)作为图2A所示晶体管。在一些实施例中,可使用多于或少于6个晶体管

来实作存储器单元200。

[0028] 现在参照图2B,说明存储器装置100的其他方面。如前面所述,在一些实施例中,存储器单元阵列102可为采用多个SRAM存储器单元(例如,图2A中所示的存储器单元200)的SRAM阵列。然而,在保持处于本发明的范围内的同时,存储器单元阵列102可被实作为多种存储器单元阵列(例如,DRAM、MRAM、RRAM等)中的任一种。举例来说,存储器单元阵列102可被实作为只读存储器(read-only-memory,ROM)阵列、逻辑n型金属氧化物半导体(NMOS)阵列、逻辑p型金属氧化物半导体(PMOS)阵列、或其组合。

[0029] 仍参照图2B,如上所述,SRAM存储器单元阵列102包括被排列成列-行配置的多个SRAM存储器单元(例如,221、229、231、239、241、249、251、259、261、269、271、279、281、289、291、299)。为清晰起见,在下文中,SRAM存储器单元被称为“单元”。虽然图2B所说明的实施例仅示出16个单元,然而在保持处于本发明的范围内的同时,在存储器装置100的实施例中可包括任何所期望数目的单元。更具体来说,在图2B所示存储器单元阵列102中,单元221及229以及设置在单元221与229之间的任何其他单元被排列成列“A”。类似地,单元231及239以及设置在单元231与239之间的任何其他单元被排列成列“B”;单元241及249以及设置在单元241与249之间的任何其他单元被排列成列“C”;单元251及259以及设置在单元251与259之间的任何其他单元被排列成列“D”;单元261及269以及设置在单元261与269之间的任何其他单元被排列成列“E”;单元271及279以及设置在单元271与279之间的任何其他单元被排列成列“F”;单元281及289以及设置在单元281与289之间的任何其他单元被排列成列“G”;单元291及299以及设置在单元291与299之间的任何其他单元被排列成列“H”。虽然仅说明了8个列,然而在列D与E之间可排列有任何所期望数目的列。在每一列中,在所说明的单元之间可设置有任何所期望数目的单元。举例来说,在列A中,在单元221与229之间可设置有一个或多个单元。仍更具体来说,在图2B中,每一列中的单元各自设置在相应的行中,且每一行可包括各自属于相应且不同的列的多个单元。在图2B所说明的实施例中,分别属于列A、B、C、D、E、F、G及H的单元221、231、241、251、261、271、281及291设置在同一行(在下文中称为行“a”)中。类似地,分别属于列A、B、C、D、E、F、G及H的单元229、239、249、259、269、279、289及299设置在同一行(在下文中称为行“b”)中。虽然仅说明了2个行,然而在行a与行b之间可排列有任何所期望数目的行。

[0030] 如上所述,每一列具有相应的一对互补位线(BL、BLB),所述一对互补位线(BL、BLB)耦合到所述列中的单元,且每一行具有相应的字线,所述字线耦合到分别属于多个列的多个单元。举例来说,如在图2B所示SRAM单元阵列102中所说明,列A具有BL<sub>222</sub>及BLB<sub>224</sub>;列B具有BL<sub>232</sub>及BLB<sub>234</sub>;列C具有BL<sub>242</sub>及BLB<sub>244</sub>;列D具有BL<sub>252</sub>及BLB<sub>254</sub>;列E具有BL<sub>262</sub>及BLB<sub>264</sub>;列F具有BL<sub>272</sub>及BLB<sub>274</sub>;列G具有BL<sub>282</sub>及BLB<sub>284</sub>;列H具有BL<sub>292</sub>及BLB<sub>294</sub>。每一列的单元耦合到所述列的BL及BLB。举例来说,在图2B中,单元221及229以及耦合在单元221与229之间的任何单元各自耦合到BL<sub>222</sub>及BLB<sub>224</sub>;单元231及239以及耦合在单元231与239之间的任何单元各自耦合到BL<sub>232</sub>及BLB<sub>234</sub>;单元241及249以及耦合在单元241与249之间的任何单元各自耦合到BL<sub>242</sub>及BLB<sub>244</sub>;单元251及259以及耦合在单元251与259之间的任何单元各自耦合到BL<sub>252</sub>及BLB<sub>254</sub>;单元261及269以及耦合在单元261与269之间的任何单元各自耦合到BL<sub>262</sub>及BLB<sub>264</sub>;单元281及289以及耦合在单元281与289之间的任何单元各自耦合到BL<sub>282</sub>及BLB<sub>284</sub>;单元291及299以及耦合在单元291

与299之间的任何单元各自耦合到BL 292及BLB 294。此外,在图2B中,被排列成行a的单元221、231、241、251、261、271、281直至291各自耦合到行a的字线220;且被排列成行b的单元229、239、249、259、269、279、289直至299各自耦合到行b的字线240。

[0031] 行解码器120耦合到SRAM单元阵列102的所有字线。在一些实施例中,行解码器120被配置成接收行地址(如上所述),且基于所述行地址而对所述行地址处的字线进行置位(assert),以启用耦合到所述字线的一个或多个存取晶体管。局部I/O电路(局部I/O 130)包括多个感测放大器172-1、172-2、172-3、172-4、172-5、172-6直至172-8。局部I/O电路(局部I/O 130)的感测放大器中的每一者耦合到一单个列的BL及BLB。举例来说,感测放大器172-1耦合到列A的BL 222及BLB 224;感测放大器172-2耦合到列B的BL 232及BLB 234;感测放大器172-3耦合到列C的BL 242及BLB 244;感测放大器172-4耦合到列D的BL 252及BLB 254;感测放大器172-5耦合到列E的BL 262及BLB 264;感测放大器172-6耦合到列F的BL 272及BLB 274;感测放大器172-7耦合到列G的BL 282及BLB 284;且感测放大器172-8耦合到列H的BL 292及BLB 294。在操作上,局部I/O电路(局部I/O 130)的此些感测放大器各自被配置成比较出与单元耦合的经耦合的BL与BLB之间的电压差,以读取所述单元中所存储的位数据。作为代表性实例,如果单元221中所存储的位数据是逻辑1,则感测放大器172-1可基于比较出经耦合的BL 222与BLB 224之间的电压差而读取到逻辑1。

[0032] 图3针对SRAM存储器100示出根据一些实施例包括I/O电路300的示例性存储器装置100的部分。图3所示电路包括局部I/O电路(局部I/O 130)。局部I/O电路(局部I/O 130)包括感测放大器172,感测放大器172具有被配置成接收感测放大器致能信号350的感测放大器致能端子及被配置成输出局部I/O信号的局部数据输出端子。此外,感测放大器172经由局部位线110a、110b从存储器单元200接收数据信号。感测放大器172从局部位线110接收数据信号,并响应于感测放大器致能信号350而放大所述信号。

[0033] 如上所述,感测放大器172输出局部I/O信号。更具体来说,感测放大器172具有反相读取位线(read bit line bar,RBLB)输出端子,所述反相读取位线(RBLB)输出端子连接到PMOS晶体管322的栅极端子且还连接到锁存器170的第一锁存致能端子174。读取位线(read bit line,RBL)输出端子通过反相器370连接到NMOS晶体管362的栅极端子并且连接到锁存器170的第二锁存致能端子176。PMOS晶体管322及NMOS晶体管362彼此耦合且被定位在电源电压VDD端子与接地VSS端子之间。所述晶体管的输出连接到锁存电路(锁存器170),锁存电路(锁存器170)包括串联连接的反相器372、374。锁存电路(锁存器170)连接到全局位线180。

[0034] I/O电路300进一步包括全局I/O电路(全局I/O 150),全局I/O电路(全局I/O 150)耦合到全局位线180以接收全局位线信号380且被配置成输出全局数据信号390。

[0035] 在接收到感测放大器致能(sense amplifier enable,SAE)信号350后,感测放大器172输出互补的读取位线(RBL)信号340及反相读取位线(RBLB)信号320,互补的读取位线(RBL)信号340及反相读取位线(RBLB)信号320是基于从位线110a及其补位线110b接收的数据信号。局部I/O RBL信号340由反相器370接收,反相器370输出RBL信号340的反相信号(inverse),所述反相信号在图3中被称为“非”读取位线(read bit line NOT,RBLN)信号360。RBLN信号360由NMOS晶体管362的栅极端子并且由第二锁存致能端子176接收。NMOS晶体管362是下拉晶体管,其响应于在其栅极端子处接收的RBLN信号360而将局部I/O信号选

择性地拉动至VSS电压电平。

[0036] 由感测放大器172输出的RBLB信号320连接到PMOS晶体管322的栅极端子,且另外连接到锁存电路(锁存器170)的第一锁存致能端子174。局部I/O电路(局部I/O 130)在晶体管322与362的结处的输出在全局位线180上被接收,作为全局位线RGLB信号380。

[0037] 锁存电路(锁存器170)接收由局部I/O电路(局部I/O 130)输出的局部I/O信号且响应于局部数据RBLB信号320及RBLN信号360而进行锁存。在所说明的实例中,锁存电路(锁存器170)由串联连接的反相器372及374构成。全局位线RGLB信号380由全局I/O 150接收,全局I/O 150包括反相器376,反相器376在全局输出端子390处输出全局I/O信号Q。

[0038] 图4说明实例性时序图,其说明图3所示存储器装置100的信号波形。首先,局部I/O RBLB信号320及RBL信号340被预充电至逻辑高态。由锁存致能端子174、176接收的高态RBLB信号320及低态RBLN信号360(RBL信号340的反相信号)对锁存器170进行致能,如在时间周期410期间所示。在所说明的实例中,RBLB信号320在读取操作期间开始从其预充电状态变为低态。下拉晶体管362的栅极处的低态RBLN信号360(经反相RBL信号340)对下拉晶体管362进行去能,且低态RBLB信号320对上拉晶体管322进行致能以将全局位线180连接到VDD端子,从而将全局位线RGLB信号380拉动至逻辑高态,如在时间周期420期间所示。全局位线180上的高态全局位线RGLB信号380由全局I/O 150的反相器376接收,反相器376在输出端子390处输出低态全局I/O信号Q。

[0039] 在下一读取循环期间,RBL信号340开始从其预充电状态变为低态。RBLN信号360(经反相RBL信号340)现在变为高态,这使下拉晶体管362接通。高态RBLB对上拉晶体管322进行去能,如在时间周期430期间所示。因此,全局位线180现在通过下拉晶体管362连接到VSS端子或接地端子。因此,全局位线信号RGLB 380被拉动为低态。低态RGLB信号380由全局I/O 150的反相器376接收,反相器376在输出端子390处输出高态全局I/O信号Q。

[0040] 图5说明用于存储器(例如SRAM存储器装置)的I/O方法500。结合图4加以说明的方法500在操作520处开始,在操作520处,提供具有局部位线110的存储器单元(例如存储器单元200)。此存储器单元200将包含二进制数据及位线,所述位线使得能够对存储器单元200中所存储的数据进行存取。所述方法接着继续进行到框530,在框530中,将来自局部位线110的数据信号输出到第一I/O 130或局部I/O 130。在框540中,从第一I/O 130向全局位线180输出全局位线RGLB信号380。

[0041] 如前面所述,在一些实例中,互补局部位线110a、110b连接到感测放大器172,感测放大器172输出互补的局部输入/输出RBLB信号320及RBL信号340。在框550处,由锁存器170响应于由局部I/O 130输出的局部数据RBLB信号320或RBLN信号360(RBL信号340的反相信号)而锁存位于全局位线180上的全局位线信号RGLB 380。方法接着继续进行到框560,在框560中,在输出端子390处输出从全局位线180接收的全局位线RGLB信号380。

[0042] 因此,所公开实例提供一种锁存电路及方法,其中基于所接收的数据信号而在全局位线上锁存全局位线信号。根据一些所公开实施例,一种存储器装置包括存储器阵列,所述存储器阵列具有局部位线的存储器单元。第一I/O电路或局部I/O电路耦合到所述局部位线且被配置成将全局位线信号输出到全局位线。第二I/O电路或全局I/O电路耦合到所述全局位线且被配置成输出全局I/O信号。锁存电路被配置成响应于所述局部位线上的数据信号而锁存所述全局位线信号。根据一些实施例,所述第一I/O电路包括感测放大器,所述

感测放大器被配置成从所述局部位线接收所述数据信号且响应于感测放大器致能信号而将局部I/O信号输出到所述锁存电路。根据一些实施例,所述感测放大器被配置成输出第一互补局部I/O信号及第二互补局部I/O信号,所述第一互补局部I/O信号及所述第二互补局部I/O信号包括所述局部I/O信号。根据一些实施例,所述锁存电路包括第一致能端子及第二致能端子,所述第一致能端子及所述第二致能端子被耦合以分别接收所述第一互补局部I/O信号及所述第二互补局部I/O信号。根据一些实施例,所述第一I/O电路包括第一晶体管,所述第一晶体管被配置成将所述全局位线信号拉动至第一预定电压电平。根据一些实施例,所述第一晶体管被配置成响应于由所述感测放大器输出的所述局部I/O信号而将所述全局位线信号拉动至所述第一预定电压电平。根据一些实施例,所述第一I/O电路包括:第一晶体管,被配置成响应于所述第一互补局部I/O信号而将所述全局位线信号拉动至第一预定电压电平;以及第二晶体管,被配置成响应于所述第二互补局部I/O信号而将所述全局位线信号拉动至第二预定电压电平。根据一些实施例,所述第一晶体管是p型金属氧化物半导体晶体管,所述p型金属氧化物半导体晶体管耦合在第一电压端子与所述全局位线之间且具有被耦合以接收所述第一互补局部I/O信号的栅极端子,并且所述第二晶体管是n型金属氧化物半导体晶体管,所述n型金属氧化物半导体晶体管耦合在第二电压端子与所述全局位线之间且具有被耦合以接收所述第二互补局部I/O信号的栅极端子。根据一些实施例,所述锁存电路不接收时钟信号。根据一些实施例,所述锁存电路包括串联连接的第一反相器及第二反相器。

[0043] 根据其他所公开实施例,一种SRAM I/O电路包括感测放大器,所述感测放大器具有感测放大器致能端子及局部I/O输出端子,所述局部I/O输出端子耦合到全局位线。第一I/O电路或局部I/O电路具有耦合到所述局部I/O输出端子的输入端子以及耦合到全局位线的输出端子。第二I/O电路或全局I/O电路具有耦合到全局位线的输入端子且具有全局数据输出端子,并且锁存电路耦合到所述全局位线。所述锁存电路具有锁存致能端子,所述锁存致能端子耦合到所述感测放大器的局部I/O输出端子。根据一些实施例,所述感测放大器包括第一互补局部I/O输出端子及第二互补局部I/O输出端子,所述第一互补局部I/O输出端子及所述第二互补局部I/O输出端子包括所述局部I/O输出端子。根据一些实施例,所述锁存电路包括第一致能端子及第二致能端子,所述第一致能端子及所述第二致能端子包括所述锁存致能端子,且其中所述第一致能端子及所述第二致能端子分别耦合到所述第一互补局部I/O输出端子及所述第二互补局部I/O输出端子。根据一些实施例,所述第一I/O电路包括:第一晶体管,被配置成响应于来自所述第一互补局部I/O输出端子的第一互补数据信号而将所述全局位线拉动至第一预定电压电平;以及第二晶体管,被配置成响应于来自所述第二互补局部I/O输出端子的第二互补数据信号而将所述全局位线拉动至第二预定电压电平。根据一些实施例,所述锁存电路不接收时钟信号。

[0044] 根据另一些所公开实施例,一种存储器I/O方法包括提供具有局部位线的存储器单元并从所述局部位线向第一I/O电路输出数据信号。所述第一I/O电路将全局位线信号输出到全局位线。响应于来自所述第一I/O电路的局部I/O信号而在所述全局位线上锁存全局位线信号,且由第二I/O电路基于从所述全局位线接收的全局位线信号而输出全局I/O信号。根据一些实施例,从所述存储器单元接收所述数据信号;输出第一互补局部I/O信号及第二互补局部I/O信号,所述第一互补局部I/O信号及所述第二互补局部I/O信号包括所述

局部I/O信号;响应于所述第一互补局部I/O信号而将所述全局位线信号拉动至第一预定电压电平;响应于所述第二互补局部I/O信号而将所述全局位线信号拉动至第二预定电压电平。根据一些实施例,将所述全局位线信号拉动至所述第一预定电压电平包括响应于所述第一互补局部I/O信号而将所述全局位线连接到VDD电压;且将所述全局位线信号拉动至所述第二预定电压电平包括响应于所述第二互补局部I/O信号而将所述全局位线连接到VSS电压。根据一些实施例,进一步包括将所述局部I/O信号预充电至预定电压电平。根据一些实施例,从所述存储器单元接收所述数据信号包括致能输出所述第一互补局部I/O信号及所述第二互补局部I/O信号的感测放大器。

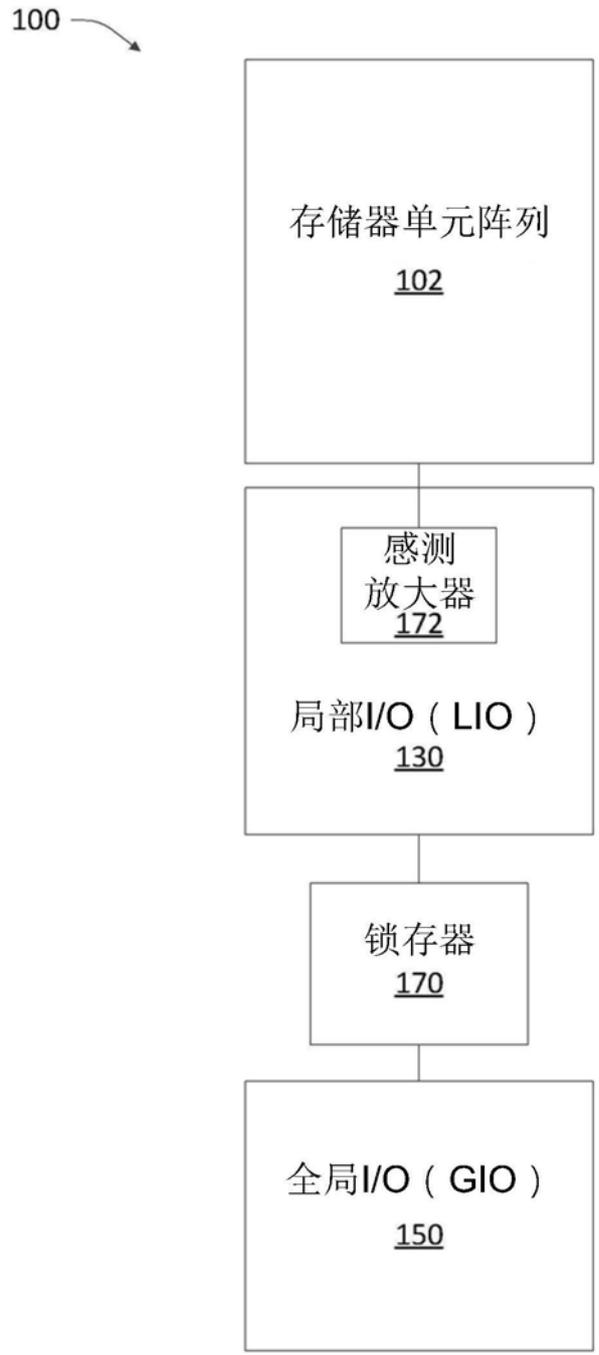


图1A

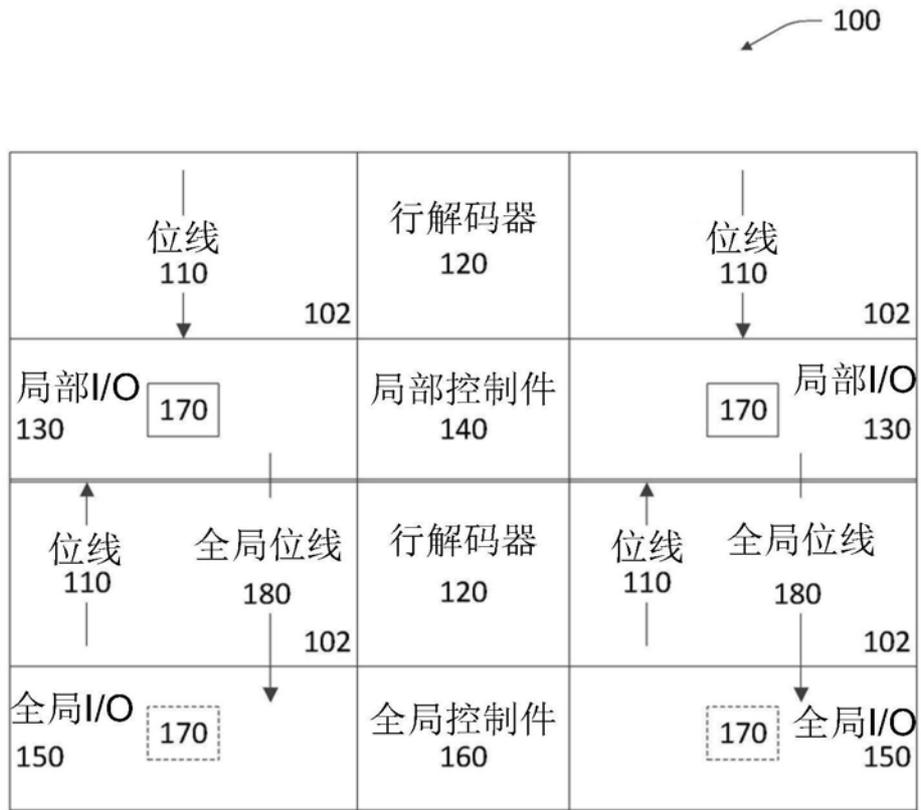


图1B

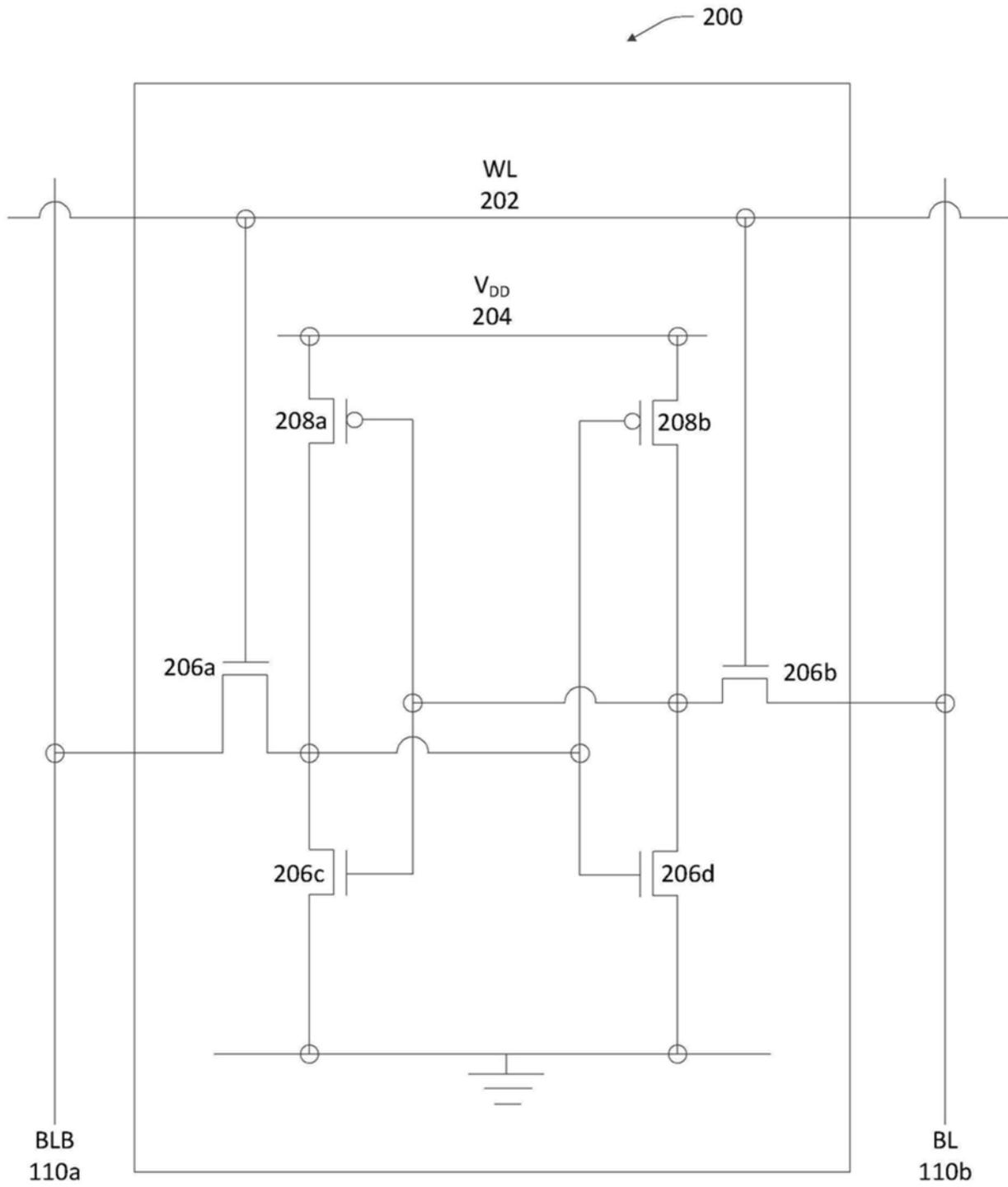


图2A



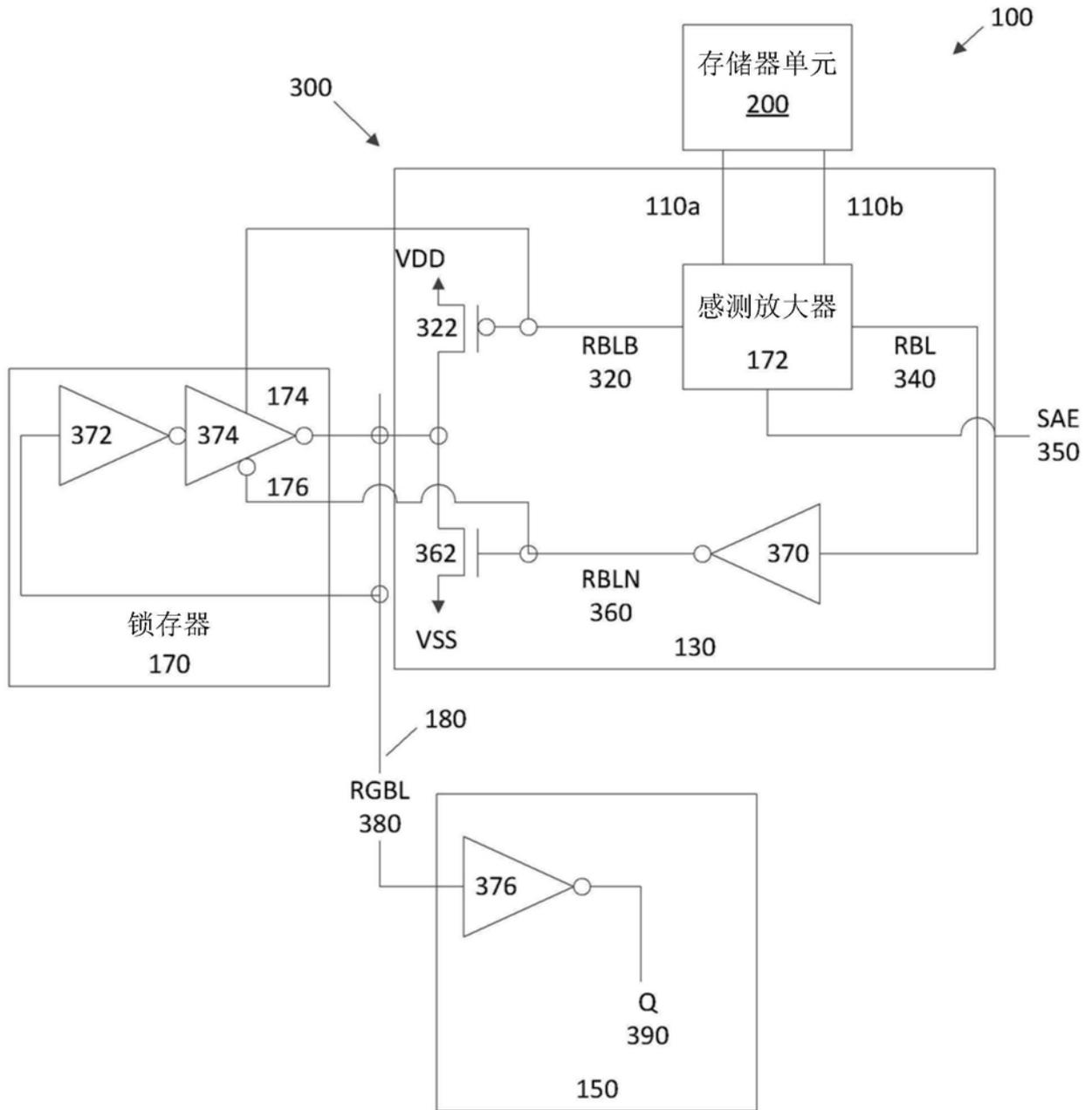


图3

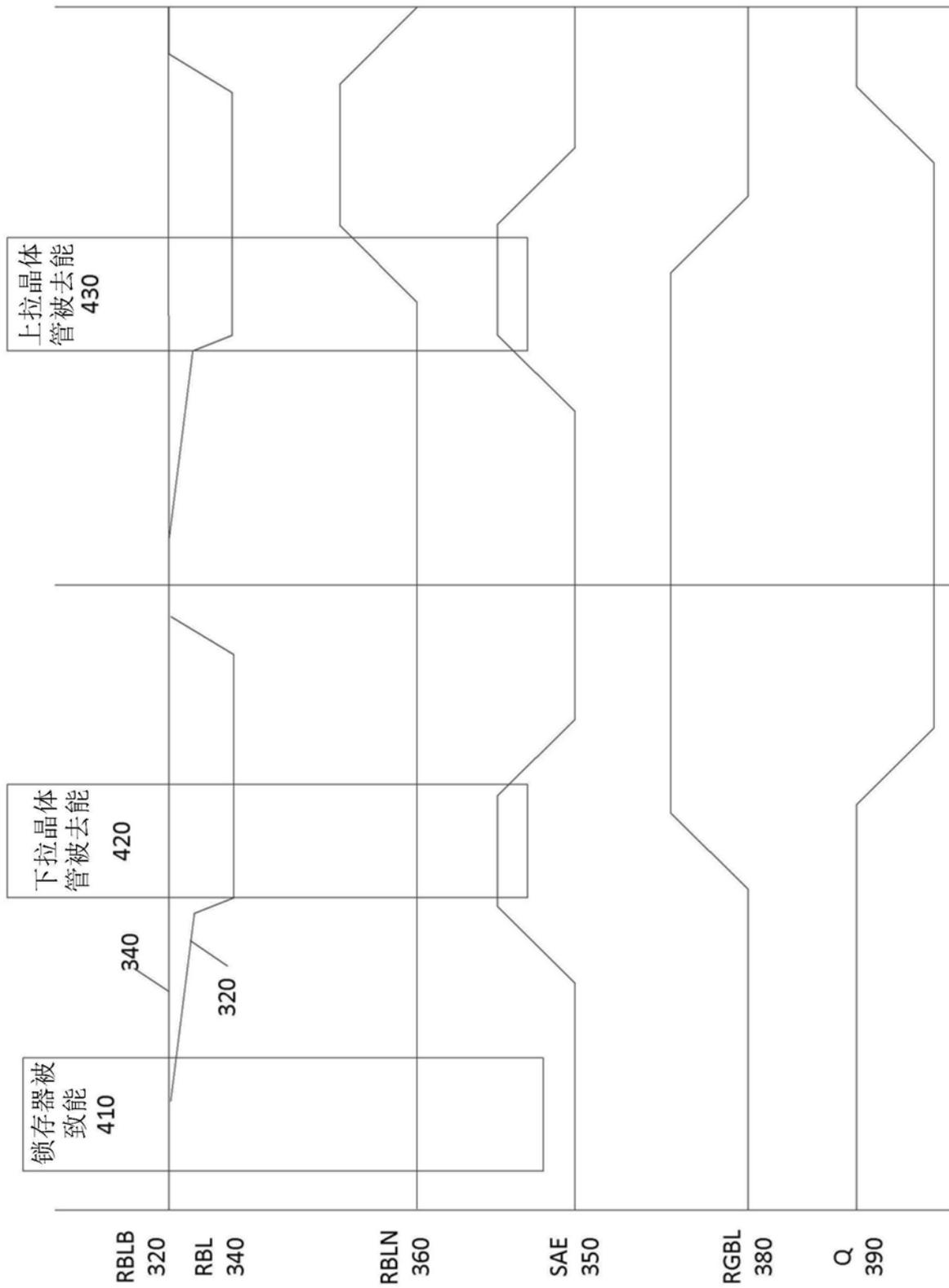


图4

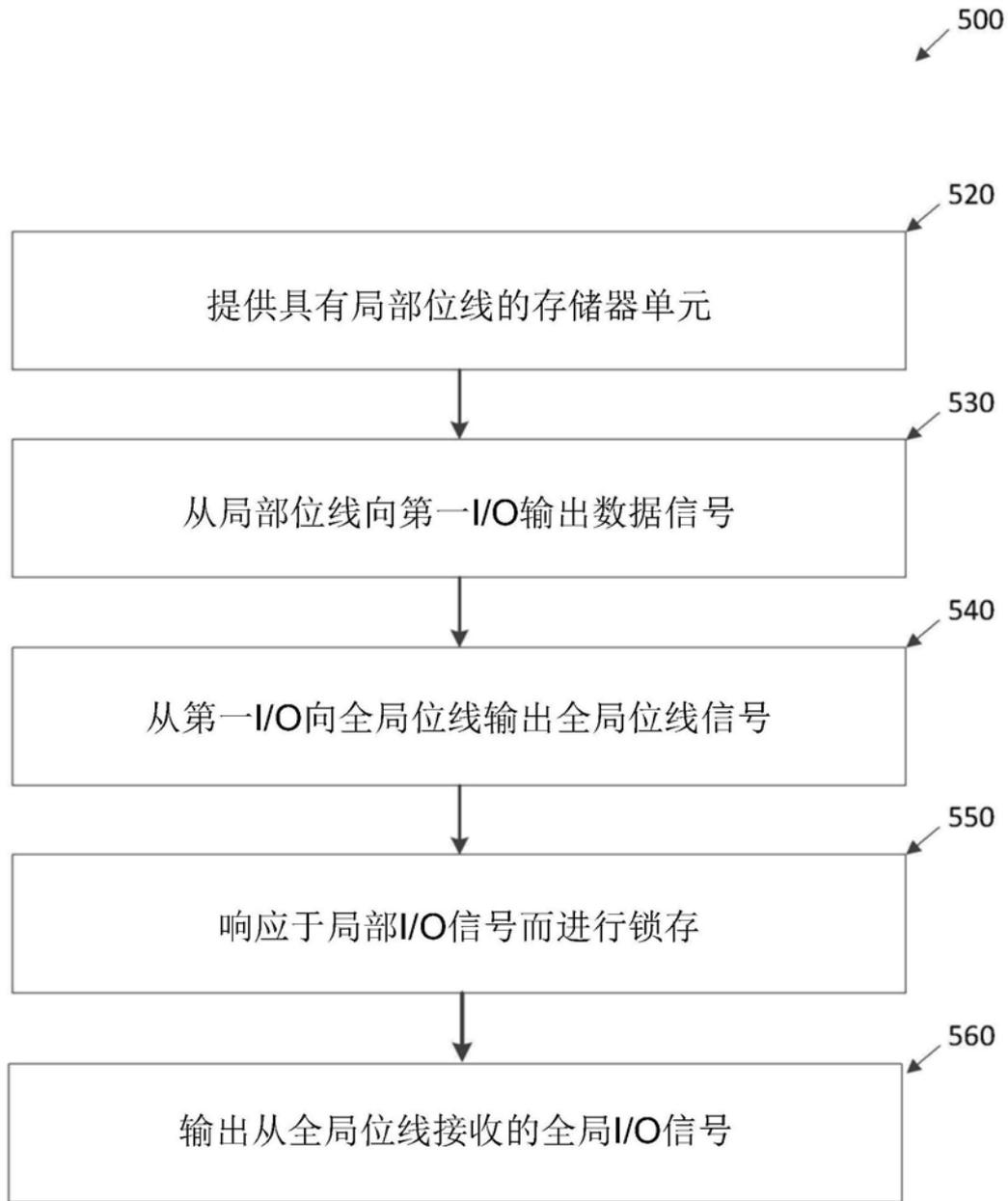


图5