



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/027 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월15일 10-0669552 2007년01월09일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0049615 2004년06월29일 2005년03월28일	(65) 공개번호 (43) 공개일자	10-2006-0000678 2006년01월06일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자                      주식회사 하이닉스반도체  
   경기 이천시 부발읍 아미리 산136-1

(72) 발명자                        복철규  
   서울특별시 서대문구 홍은3동 7/1 204-8  
  
   임창문  
   경기도 이천시 부발읍 아미3리 현대아파트 301동 1005호

(74) 대리인                        특허법인태평양

심사관 : 최정식

전체 청구항 수 : 총 4 항

## (54) 반도체 소자의 패터닝 방법

### (57) 요약

본 발명은 반도체 소자의 패터닝 방법에 관한 것으로서, 본 발명은 반도체 소자의 미세패턴을 형성하기 위해 리소그래피 노광 장비의 해상도를 향상시키는 것이 아니라, 소정 선폭의 폴리실리콘층 패턴을 먼저 형성하고 폴리실리콘층 패턴의 표면을 산화시켜 그 산화막을 식각 마스크로 사용하는 반도체 소자의 패터닝 방법이다.

### 대표도

도 2e

### 특허청구의 범위

#### 청구항 1.

피식각층 상부에 폴리실리콘층을 형성하는 단계;

상기 폴리실리콘층 상에 소정 선폭의 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 리플로우하여 상기 선폭을 증가시키는 단계;

상기 감광막 패턴을 마스크로 폴리실리콘층을 식각하여 폴리실리콘층 패턴을 형성하고, 상기 감광막 패턴을 제거하는 단계;

상기 폴리실리콘층 패턴의 표면을 산화시켜 상부면 및 측벽에 산화막을 형성하는 단계;

상기 폴리실리콘층 패턴 상부면의 산화막을 제거하는 단계;

상기 폴리실리콘층 패턴을 제거하는 단계;

상기 잔존하는 산화막을 식각 마스크로 상기 피식각층을 식각하는 단계; 및

상기 잔존하는 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 패터닝 방법.

## 청구항 2.

제 1항에 있어서,

상기 감광막 패턴을 리플로우하는 공정은 100 내지 150℃의 온도 범위에서 90초간 핫 플레이트 오븐(Hot Plate Oven)에서 수행하는 베이킹 공정인 것을 특징으로 하는 반도체 소자의 패터닝 방법.

## 청구항 3.

제 1항에 있어서,

상기 폴리실리콘층 패턴을 제거하는 단계는 HBr 및  $\text{Cl}_2$ 의 플라즈마 가스를 이용한 식각공정인 것을 특징으로 하는 반도체 소자의 패터닝 방법.

## 청구항 4.

제 1항에 있어서,

상기 폴리실리콘층 패턴 상부면의 산화막을 제거하는 단계는  $\text{C}_4\text{F}_8$ ,  $\text{C}_4\text{F}_6$  또는  $\text{C}_5\text{F}_8$  플라즈마 가스를 이용한 식각공정인 것을 특징으로 하는 반도체 소자의 패터닝 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 패터닝 방법에 대한 것으로서, 특히 리소그래피(Lithography)를 이용한 반도체 소자의 미세패턴을 형성하는 기술에 관한 것이다.

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 패터닝 방법을 도시한 단면도들이다.

도 1a를 참조하면, 반도체 기판(10)의 피식각층(20) 상부에 폴리실리콘층(30)을 형성한다. 다음에는 폴리실리콘층(30) 상에 소정의 선폭을 갖는 감광막(40) 패턴을 형성한다. 이때, 감광막(40) 패턴은 미세패턴 마스크(미도시)를 이용한 노광 및 현상 공정으로 형성하는 것이 바람직하다.

도 1b를 참조하면, 감광막(40) 패턴을 마스크로 폴리실리콘층(30)을 식각하여 폴리실리콘층(30) 패턴을 형성하고, 감광막(40) 패턴을 제거한다.

도 1c를 참조하면, 폴리실리콘층(30) 패턴을 마스크로 피식각층(20)을 식각하고, 폴리실리콘층(30)을 제거하여 반도체 기판(10) 상에 미세패턴을 완성한다.

종래 기술에 따른 반도체 소자의 패턴닝 방법에서는 리소그래피 기술이 중요한 역할을 한다. 미세패턴을 형성하기 위해서는 리소그래피 노광 장비의 해상도가 낮은 장비가 필요하다.

일반적으로 리소그래피 노광 장비의 해상도(Resolution)는 레일리(Rayleigh)식에 의해서 정의된다.

$$R = \frac{k1 \times \lambda}{NA}$$

여기서, R = 해상도(Resolution)

NA = 렌즈 개구수(Numerical Aperture)

k1 = 공정상수(Process Factor)

$\lambda$  = 파장(Wavelength)

상기 레일리(Rayleigh) 식에서 보이는 바와 같이, 해상도를 작게 하기 위한 가장 간단한 방법은 리소그래피 노광 장비의 렌즈 개구수(NA)를 증가시키거나,  $\lambda$ 를 작게 하는 것이다. 이를 위해서는 노광 장비를 교체해야하는데, 신규 투자비용이 매우 비싸다는 문제점이 있다.

또한, 다른 방법으로 공정상수(Process Factor) k1을 작게 만드는 방법이 있다. 변형조명법(Off-axis illumination), 위상반전 마스크(Phase Shift Mask), 광학회절 보정법(Optical Proximity Correction)과 같은 기술을 이용하는 것이다. 그러나 이러한 방법 또한 신규 투자비용이 필요하고, 공정의 제어가 어렵기 때문에 반도체 생산 수율이 저하된다는 문제를 갖고 있다.

상술한 렌즈 개구수(NA), 노광 파장( $\lambda$ ) 및 공정상수(k1)를 바꾸는 방법들에 대한 비용 증가 및 수율 저하 문제를 해결한다 하더라도, 렌즈 개구수(NA)를 증가시키거나 노광 파장( $\lambda$ )을 줄이는데 기술적인 한계가 있다. 따라서, 리소그래피 노광 공정은 근본적으로 해상도를 향상시키는데 한계를 가지고 있는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 본 발명은 반도체 소자의 미세패턴을 형성하기 위해 리소그래피 노광 장비의 해상도를 향상시키는 것이 아니라, 소정 선폭의 폴리실리콘층 패턴을 먼저 형성하고 폴리실리콘층 패턴의 표면을 산화시켜 그 산화막을 식각 마스크로 사용하는 반도체 소자의 패턴닝 방법을 제공하는 것을 그 목적으로 한다.

### 발명의 구성

본 발명은 상기와 같은 목적을 달성하기 위한 것으로,

피식각층 상부에 폴리실리콘층을 형성하는 단계;

상기 폴리실리콘층 상에 소정의 선폭을 갖는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 리플로우하여 상기 선폭을 증가시키는 단계;

상기 감광막 패턴을 마스크로 폴리실리콘층을 식각하여 폴리실리콘층 패턴을 형성하고, 상기 감광막 패턴을 제거하는 단계;  
 상기 폴리실리콘층 패턴의 표면을 산화시켜 상부면 및 측벽에 산화막을 형성하는 단계;  
 상기 폴리실리콘층 패턴 상부면의 산화막을 제거하는 단계;  
 상기 폴리실리콘층 패턴을 제거하는 단계;  
 상기 잔존하는 산화막을 식각 마스크로 상기 피식각층을 식각하는 단계; 및  
 상기 잔존하는 산화막을 제거하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 패터닝 방법에 관하여 상세히 설명하면 다음과 같다.

도 2a 내지 도 2h는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 단면도들이다.

도 2a를 참조하면, 반도체 기판(100)의 피식각층(120) 상부에 폴리실리콘층(130)을 형성하고, 폴리실리콘층(130) 상에 소정의 선폭을 갖는 감광막(140) 패턴을 형성한다.

도 2b를 참조하면, 감광막(140) 패턴을 리플로우하여 상기 선폭(CD)을 증가시킨다. 이때, 리플로우하는 공정은 100 내지 150℃의 온도 범위에서 90초간 핫 플레이트 오븐(Hot Plate Oven)에서 수행하는 베이킹 공정인 것이 바람직하다.

도 2c를 참조하면, 리플로우된 감광막(140) 패턴을 마스크로 폴리실리콘층(130)을 식각하여 폴리실리콘층(130) 패턴을 형성하고, 감광막(140) 패턴을 제거한다.

도 2d를 참조하면, 폴리실리콘층(130) 패턴의 표면을 산화시켜 상부면 및 측벽에 산화막(135)을 형성한다.

도 2e를 참조하면, 폴리실리콘층(130) 패턴 상부 면의 산화막(135)을 제거한다. 이때, 산화막은  $C_4F_8$ ,  $C_4F_6$  또는  $C_5F_8$  플라즈마 가스를 이용한 식각하는 것이 바람직하다. 또한, 산화막의 두께에 의해서 미세패턴의 크기가 결정된다.

도 2f를 참조하면, 폴리실리콘층(130) 패턴의 산화되지 않은 부분을 제거한다. 이때, 폴리실리콘층(130) 패턴의 산화되지 않은 부분은 HBr 및  $Cl_2$ 의 플라즈마 가스를 이용한 식각공정으로 제거하는 것이 바람직하다.

도 2g를 참조하면, 잔존하는 산화막(135)을 식각 마스크로 상기 피식각층(120)을 식각한다. 이때, 산화막은 플라즈마 가스에 대한 마스크로 작용한다. 산화된 하드 마스크는 종래의 폴리실리콘층(130)보다 식각선택비가 높기 때문에 피식각층(120)의 미세패턴을 수직한 모양으로 식각할 수 있다.

도 2h를 참조하면, 잔존하는 산화막을 제거한다.

## 발명의 효과

이상에서 설명한 바와 같이, 본 발명은 반도체 소자 피식각 패턴의 크기가 리소그래피 노광 장비의 렌즈 개구수(NA), 노광 파장( $\lambda$ ) 및 공정상수( $k_1$ )에 의해 결정되는 것이 아니라, 산화막의 두께에 의해 결정된다. 따라서, 리소그래피 노광 장비의 근본적인 한계를 극복할 수 있다. 또한 신규 장비 투자에 대한 비용을 감소시킬 수 있고, 향상된 공정마진을 확보하여 반도체 생산 수율을 높일 수 있는 효과가 있다.

## 도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 패터닝 방법을 도시한 단면도들.

도 2a 내지 도 2h는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 단면도들.

< 도면의 주요부분에 대한 부호의 설명 >

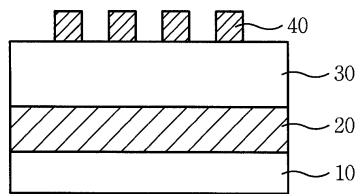
10, 100 : 반도체 기판 20, 120 : 피식각층

30, 130 : 폴리실리콘층 40, 140 : 감광막

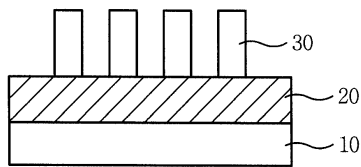
135 : 산화막

도면

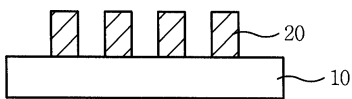
도면1a



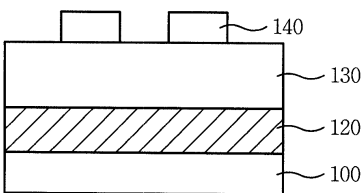
도면1b



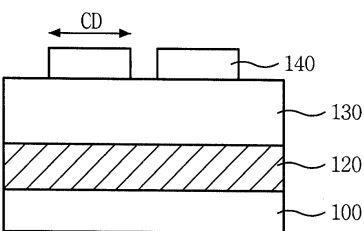
도면1c



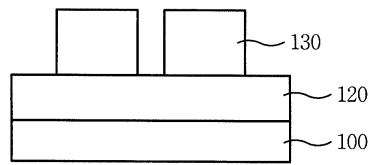
도면2a



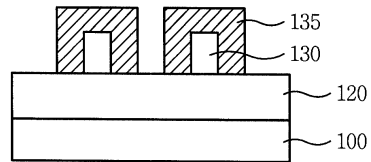
도면2b



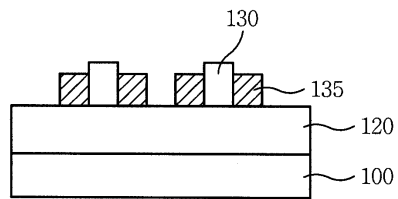
도면2c



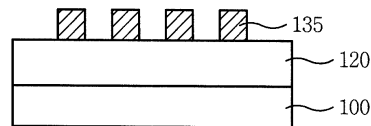
도면2d



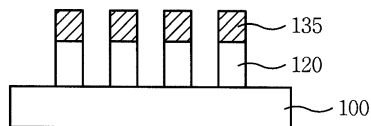
도면2e



도면2f



도면2g



도면2h

