



(12) 发明专利

(10) 授权公告号 CN 112201580 B

(45) 授权公告日 2021.03.09

(21) 申请号 202011413530.0

(22) 申请日 2020.12.07

(65) 同一申请的已公布的文献号

申请公布号 CN 112201580 A

(43) 申请公布日 2021.01.08

(73) 专利权人 中芯集成电路制造(绍兴)有限公司

地址 312000 浙江省绍兴市皋埠镇临江路
518号

(72) 发明人 周旭 钟志鸿 王珏

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 曹廷廷

(51) Int.Cl.

H01L 21/311 (2006.01)

H01L 21/768 (2006.01)

(56) 对比文件

CN 104051324 A, 2014.09.17

CN 104103593 A, 2014.10.15

CN 104425357 A, 2015.03.18

CN 106920750 A, 2017.07.04

CN 107706147 A, 2018.02.16

CN 109994421 A, 2019.07.09

CN 110571150 A, 2019.12.13

CN 111106060 A, 2020.05.05

JP H08186095 A, 1996.07.16

KR 20050097398 A, 2005.10.07

KR 20060016981 A, 2006.02.23

US 6001541 A, 1999.12.14

US 6319822 B1, 2001.11.20

US 2008026573 A1, 2008.01.31

审查员 代智华

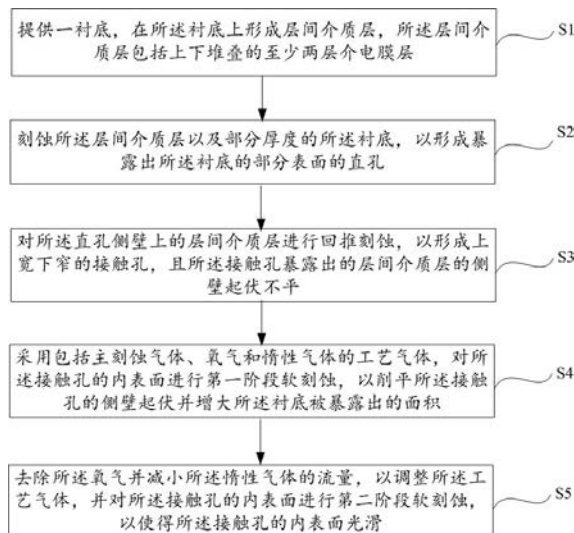
权利要求书1页 说明书6页 附图4页

(54) 发明名称

接触孔刻蚀方法及半导体器件的制造方法

(57) 摘要

本发明提供了一种接触孔刻蚀方法及半导体器件的制造方法,在通过常规的回推刻蚀工艺将直孔回推成上宽下窄的接触孔后,先采用含主刻蚀气体、氧气且惰性气体流量较高的工艺气体对接触孔内表面进行第一阶段软刻蚀,在几乎不损伤接触孔底部的衬底表面的基础上,削平接触孔侧壁的起伏不平,并有效增大衬底被暴露出的面积,然后,去除氧气并减小惰性气体流量来调整工艺气体的配方,并继续进行第二阶段软刻蚀,以将接触孔内表面修整光滑。由此,可以改善后续粘附层的淀积效果,提高粘附层的膜厚均匀性且避免粘附层的剥离问题,从而优化形成的导电插塞的接触电阻,大幅提升器件性能,同时不引入新的缺陷。



1. 一种接触孔刻蚀方法,其特征在于,包括:

提供一衬底,在所述衬底上形成层间介质层,所述层间介质层包括上下堆叠的至少两层介电膜层;

刻蚀所述层间介质层以及部分厚度的所述衬底,以形成暴露出所述衬底的部分表面的直孔;

采用湿法刻蚀工艺对所述直孔侧壁上的层间介质层进行回推刻蚀,以形成上宽下窄的接触孔,且所述接触孔暴露出的层间介质层的侧壁起伏不平;

采用包括主刻蚀气体、氧气和惰性气体的工艺气体,对所述接触孔的内表面进行第一阶段软刻蚀,以削平所述接触孔的侧壁起伏并增大所述衬底被暴露出的面积,所述主刻蚀气体包括碳氟气体和/或碳氢气体;

去除所述氧气并减小所述惰性气体的流量,以调整所述工艺气体,并对所述接触孔的内表面进行第二阶段软刻蚀,以使得所述接触孔的内表面光滑。

2. 如权利要求1所述的接触孔刻蚀方法,其特征在于,所述惰性气体包括氩气。

3. 如权利要求2所述的接触孔刻蚀方法,其特征在于,所述工艺气体还包括一氧化碳。

4. 如权利要求3所述的接触孔刻蚀方法,其特征在于,在调整所述工艺气体时,还降低刻蚀机台的射频功率。

5. 如权利要求1所述的接触孔刻蚀方法,其特征在于,在所述第一阶段软刻蚀的过程中,所述层间介质层相对所述衬底的刻蚀选择比为8~10;在所述第二阶段软刻蚀的过程中,所述层间介质层相对所述衬底的刻蚀选择比大于30。

6. 如权利要求1所述的接触孔刻蚀方法,其特征在于,采用干法刻蚀工艺,刻蚀所述层间介质层以及部分厚度的所述衬底,以形成所述直孔。

7. 如权利要求1所述的接触孔刻蚀方法,其特征在于,所述衬底具有至少一种电学结构,所述电学结构包括形成在所述衬底的表层中的离子掺杂区、栅极和多晶硅电阻中的至少一种,所述离子掺杂区包括源区、漏区、体区、基区、集电极区、发射区中的至少一种,所述接触孔暴露出所述电学结构的部分表面。

8. 一种半导体器件的制造方法,其特征在于,包括:

采用权利要求1~7中任一项所述的接触孔刻蚀方法,在一衬底上形成相应的层间介质层,并在所述层间介质层中形成暴露出所述衬底的部分表面的接触孔;

在所述层间介质层和所述接触孔的表面上形成粘附层;

在所述接触孔中填充导电材料,以形成导电插塞。

9. 如权利要求8所述的制造方法,其特征在于,所述层间介质层包括依次堆叠在所述衬底表面上的热氧化层、磷硅玻璃层和硼磷硅玻璃层。

10. 如权利要求8所述的制造方法,其特征在于,所述粘附层的材料包括钛、氮化钛、钽、氮化钽、金属硅化物中的至少一种;所述导电材料包括铜、钨、镍、铝、掺杂多晶硅中的至少一种。

接触孔刻蚀方法及半导体器件的制造方法

技术领域

[0001] 本发明涉及集成电路制作技术领域,特别涉及一种接触孔刻蚀方法及半导体器件的制造方法。

背景技术

[0002] 在半导体集成电路各个技术节点,栅极、源区和漏区等电极结构都需要通过填充在接触孔(Contact,CT)中的导电插塞来向外引出,接触孔及填充于其中的导电插塞是连接前段制程器件和后段金属连线的关键结构,其既需要有较低的接触电阻,又需要保证和前段制程器件有良好的电学连接性能。现有的接触孔刻蚀工艺一般有直孔工艺和接触孔回推(CT pullback)工艺这两种方式。

[0003] 其中,通过直孔工艺形成接触孔的具体过程,请参考图1,包括:首先,提供一完成前段制程的器件衬底100,且其表面上通常形成有刻蚀停止层101和多层膜层102、103堆叠而成的层间介质层,采用多层膜层堆叠而成层间介质层的原因是,单一层间介质层中掺杂的离子(例如硼B、磷P等)的扩散效果,会污染器件衬底100;然后,依次纵向刻蚀层间介质层、刻蚀停止层101以及部分厚度的所述器件衬底100,以形成直孔形式的接触孔104;之后会在接触孔104中覆盖一层粘附层105(Glue layer,例如Ti膜和/或TiN膜),并在接触孔104中进一步填充导电材料以形成导电插塞106。

[0004] 这是直孔工艺,由于形成的接触孔104为直孔,其侧壁角度很直,且孔的深宽比非常高,一方面,受限于设备能力,在接触孔104中沉积的粘附层105在接触孔104的侧壁上覆盖率较低,另一方面,粘附层105在接触孔104底部仅与接触孔104的底面和器件衬底100被露出的侧壁相接触,接触面积小,由此,均导致导电插塞106的接触电阻高,器件性能受限。

[0005] 而通过接触孔回推(CT pullback)工艺形成接触孔的具体过程,请参考图2,包括:首先,提供一完成前段制程的器件衬底200,且其表面上通常形成有刻蚀停止层201和多层膜层202、203堆叠而成的层间介质层;然后,依次纵向刻蚀层间介质层、刻蚀停止层201以及部分厚度的所述器件衬底200,以形成直孔形式的接触孔204;接着,采用湿法腐蚀工艺,对接触孔204的侧壁的层间介质层、刻蚀停止层201进行回推刻蚀(CT pullback),以加宽接触孔204,并暴露出刻蚀停止层201底部的部分器件衬底200的表面,由此降低接触孔204的深宽比;然后,在接触孔204中覆盖一层粘附层205(Glue layer,例如Ti膜和/或TiN膜),并在接触孔204中进一步填充导电材料以形成导电插塞206。

[0006] 上述这种接触孔回推刻蚀工艺中,因为接触孔204的深宽比被降低,因此粘附层205的侧壁覆盖率得以提高,且因为器件衬底200的被暴露表面增大,因此粘附层205与器件衬底200的接触面积增大,由此,降低了导电插塞206的接触电阻,并提高了器件性能。但是,由于采用湿法刻蚀工艺对接触孔204的侧壁的层间介质层、刻蚀停止层201进行回推刻蚀,而湿法刻蚀工艺侧向对于刻蚀停止层201以及层间介质层的各层膜层202、203的腐蚀速率差异较大,因此会在层间介质层的各层膜层交界处以及刻蚀停止层201与层间介质层的交界处均会形成凸脚(tip、foot,又可以称为尖角、尖端或者凸起),且层间介质层的各层膜层

202、203的侧壁会呈一定弧状,这会影响粘附层205在接触孔204的侧壁上的沉积效果,导致粘附层205容易从接触孔204的侧壁上剥离(peeling)的问题,影响器件性能。

发明内容

[0007] 本发明的目的在于提供一种接触孔刻蚀方法及半导体器件的制造方法,能够改善形成的接触孔形貌,进而提高器件性能。

[0008] 为实现上述目的,本发明提供一种接触孔刻蚀方法,包括:

[0009] 提供一衬底,在所述衬底上形成层间介质层,所述层间介质层包括上下堆叠的至少两层介电膜层;

[0010] 刻蚀所述层间介质层以及部分厚度的所述衬底,以形成暴露出所述衬底的部分表面的直孔;

[0011] 对所述直孔侧壁上的层间介质层进行回推刻蚀,以形成上宽下窄的接触孔,且所述接触孔暴露出的层间介质层的侧壁起伏不平;

[0012] 采用包括主刻蚀气体、氧气和惰性气体的工艺气体,对所述接触孔的内表面进行第一阶段软刻蚀,以削平所述接触孔的侧壁起伏并增大所述衬底被暴露出的面积;

[0013] 去除所述氧气并减小所述惰性气体的流量,以调整所述工艺气体,并对所述接触孔的内表面进行第二阶段软刻蚀,以使得所述接触孔的内表面光滑。

[0014] 可选地,所述主刻蚀气体包括碳氟气体,所述惰性气体包括氩气。

[0015] 可选地,所述工艺气体还包括一氧化碳。

[0016] 可选地,在调整所述工艺气体时,还降低刻蚀机台的射频功率。

[0017] 可选地,在所述第一阶段软刻蚀的过程中,所述层间介质层相对所述衬底的刻蚀选择比为8~10;在所述第二阶段软刻蚀的过程中,所述层间介质层相对所述衬底的刻蚀选择比大于30。

[0018] 可选地,采用干法刻蚀工艺,刻蚀所述层间介质层以及部分厚度的所述衬底,以形成所述直孔;和/或,采用湿法刻蚀工艺对所述直孔侧壁上的层间介质层进行回推刻蚀。可选地,所述衬底具有至少一种电学结构,所述电学结构包括形成在所述衬底的表层中的离子掺杂区、栅极和多晶硅电阻中的至少一种,所述离子掺杂区包括源区、漏区、体区、基区、集电极区、发射区中的至少一种,所述接触孔暴露出所述电学结构的部分表面。

[0019] 基于同一发明构思,本发明还提供一种半导体器件的制造方法,包括:

[0020] 采用本发明所述的接触孔刻蚀方法,在一衬底上形成相应的层间介质层,并在所述层间介质层中形成暴露出所述衬底的部分表面的接触孔;

[0021] 在所述层间介质层和所述接触孔的表面上形成粘附层;

[0022] 在所述接触孔中填充导电材料,以形成导电插塞。

[0023] 可选地,所述层间介质层包括依次覆盖在所述衬底表面上的热氧化层、磷硅玻璃层和硼磷硅玻璃层。

[0024] 可选地,所述粘附层的材料包括钛、氮化钛、钽、氮化钽、金属硅化物中的至少一种;所述导电材料包括铜、钨、镍、铝、掺杂多晶硅中的至少一种。

[0025] 与现有技术相比,本发明的技术方案,至少具有以下有益效果:

[0026] 在通过常规的回推刻蚀工艺将直孔回推成上宽下窄的接触孔后,先采用含主刻蚀

气体、氧气且惰性气体流量较高的工艺气体对接触孔内表面进行第一阶段软刻蚀,在几乎不损伤接触孔底部的衬底表面的基础上,削平接触孔侧壁的起伏不平,并有效增大衬底被暴露出的面积,然后,去除氧气并减小惰性气体流量来调整工艺气体的配方,并继续进行第二阶段软刻蚀,以将接触孔内表面修整光滑。由此,可以改善后续粘附层的淀积效果,提高粘附层的膜厚均一性且避免粘附层的剥离问题,从而优化形成的导电插塞的接触电阻,大幅提升器件性能,同时不引入新的缺陷。

附图说明

- [0027] 图1是现有的一种通过直孔工艺制作导电插塞流程中的器件剖面结构示意图。
- [0028] 图2是现有的一种通过接触孔回推刻蚀工艺制造接触孔流程中的器件剖面结构示意图。
- [0029] 图3是本发明具体实施例的接触孔刻蚀方法的流程图。
- [0030] 图4至图7是本发明具体实施例的接触孔刻蚀方法中的器件结构剖面示意图。
- [0031] 图8是本发明具体实施例的半导体器件的制造方法中的器件结构剖面示意图。

具体实施方式

[0032] 以下结合附图3至附图8和具体实施例对本发明提出的技术方案作进一步详细说明。根据下面说明,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0033] 请参考图3,本发明一实施例提供一种接触孔刻蚀方法,包括以下步骤:

[0034] S1,提供一衬底,在所述衬底上形成层间介质层,所述层间介质层包括上下堆叠的至少两层介电膜层;

[0035] S2,刻蚀所述层间介质层以及部分厚度的所述衬底,以形成暴露出所述衬底的部分表面的直孔;

[0036] S3,对所述直孔侧壁上的层间介质层进行回推刻蚀,以形成上宽下窄的接触孔,且所述接触孔暴露出的层间介质层的侧壁起伏不平;

[0037] S4,采用包括主刻蚀气体、氧气和惰性气体的工艺气体,对所述接触孔的内表面进行第一阶段软刻蚀,以削平所述接触孔的侧壁起伏并增大所述衬底被暴露出的面积;

[0038] S5,去除所述氧气并减小所述惰性气体的流量,以调整所述工艺气体,并对所述接触孔的内表面进行第二阶段软刻蚀,以使得所述接触孔的内表面光滑。

[0039] 请参考图3和图4,在步骤S1中,首先,提供衬底300,衬底300可以是本领域技术人员所熟知的任意合适的衬底材料,例如可以为单晶硅(Si)、单晶锗(Ge)、硅锗(GeSi)、碳化硅(SiC)、绝缘体上硅(SOI)、绝缘体上锗(GOI)、硅化镓等III-V族化合物等。衬底300可以是已完成前段制程的器件衬底,其中已经制作形成CMOS器件的栅极、源区和漏区等电学结构,也可以是已完成部分后段制程的器件衬底,例如其中已经制作了CMOS器件的栅极、源区和漏区等电学结构以及相应的金属互连线和导电插塞等结构。然后,在衬底300上形成层间介质层,所述层间介质层为叠层结构,包括上下堆叠的至少两层介电膜层,其材料包括氧化硅和介电常数K低于氧化硅的低K介质。本实施例中,该层间介质层可以包括覆盖衬底300上的刻蚀停止层301、位于该刻蚀停止层301上的第一介电膜层302,位于第一介电膜层302上的

第二介电膜层303,其中,刻蚀停止层301也是一种介电膜层,其材料可以是氧化硅(SiO_2),具体可以通过热氧化工艺形成、氮化硅(SiN)或者碳氮化硅(SiCN),第一介电膜层302的材料可以是磷硅玻璃(PSG)或氟硅玻璃(FSG)等,第二介电膜层303的材料可以是硼磷硅玻璃(BPSG)或聚酰亚胺等,刻蚀停止层301、第一介电膜层302和第二介电膜层303的厚度之比例如是200:6000:5000。在本发明的其他实施例中,该层间介质层不局限于三层结构,还可以是双层、四层或更多层的堆叠结构。

[0040] 请参考图5,在步骤S2中,首先,在层间介质层上形成图形化的光刻胶(未图示),通过该图形化的光刻胶定义接触孔图形;以该图形化的光刻胶为掩膜,采用等离子干法刻蚀工艺刻蚀该层间介质层和部分厚度的衬底300,以形成直孔304。本实施例中,直孔304从上至下依次贯穿第二介电膜层303、第一介电膜层302和刻蚀停止层301,并停止在衬底300的部分深度中。该等离子干法刻蚀工艺的主刻蚀气体可以包括四氟化碳等碳氟气体或者甲烷等碳氢气体,并采用氧气控制聚合副产物形成,并使用过氩气作为辅助气体进行物理轰击。可选地,所述衬底300具有至少一种电学结构(未图示),所述电学结构包括形成在所述衬底300的表层中的离子掺杂区(未图示)、栅极(未图示)和多晶硅电阻(未图示)中的至少一种,所述离子掺杂区包括源区(未图示)、漏区(未图示)、体区(未图示)、基区(未图示)、集电极区(未图示)、发射区(未图示)中的至少一种,所述直孔304暴露出所述电学结构的部分表面。本步骤中,由于图形化的光刻胶的存在,聚合副产物的成分主要是有机物。该步骤中所形成的图形化的光刻胶可以在执行步骤S3之前去除,也可以在执行步骤S3之后且在执行步骤S4之前去除,也可以在执行步骤S5之后才去除。

[0041] 请参考图6,在步骤S3中,采用湿法刻蚀工艺,对所述直孔304侧壁上的层间介质层进行回推刻蚀,以形成上宽下窄的接触孔304a。该湿法刻蚀工艺不仅可以使接触孔中的层间介质层的侧壁相对衬底300的侧壁回推至一定程度,还可以将步骤S2在直孔304内残留的聚合副产物清除。本步骤中,由于层间介质层中的各介电膜层(即刻蚀停止层301、第一介电膜层302、第二介电膜层303)的材料性质不同,因此该湿法刻蚀工艺在侧向上对层间介质层中的各介电膜层(即刻蚀停止层301、第一介电膜层302、第二介电膜层303)的刻蚀速率差异较大,在湿法刻蚀结束后,接触孔304a的侧壁上,在相邻介电膜层的交界处以及刻蚀停止层301和衬底300的交界处均会形成凸脚303a,且由于一些介电膜层(例如第一介电膜层302、第二介电膜层303)的膜厚较大,因此会在其侧壁上形成弧面303b,进而使得所述接触孔304a暴露出的层间介质层的侧壁起伏不平。

[0042] 请参考图6和图7,在步骤S4中,采用包括主刻蚀气体、氧气和惰性气体的工艺气体,对所述接触孔304a的内表面进行第一阶段软刻蚀(soft etch),以削平所述接触孔304a的侧壁起伏(即去除凸脚303a,并减小弧面303b的弧度),同时由于刻蚀停止层301在与衬底300交界处的凸脚被去除,因此可以增大所述衬底300被暴露出的顶面面积。在步骤S5中,去除所述氧气并减小所述惰性气体的流量,以调整所述工艺气体的配方,进而对所述接触孔304a的内表面进行第二阶段软刻蚀(soft etch),以使得所述接触孔304b的内表面光滑。其中,所述主刻蚀气体可以包括四氟化碳 CF_4 等碳氟气体和/或甲烷 CH_4 等碳氢气体,所述惰性气体包括氩气,惰性气体能提供一定的离子轰击,调节刻蚀速率。本实施例中,所述第一阶段软刻蚀和第二阶段软刻蚀所采用的工艺气体还包括一氧化碳 CO , CO 能够提高第一阶段软刻蚀和第二阶段软刻蚀这两个阶段的软刻蚀过程中,层间介质层相对衬底300的刻蚀选择

比且在调整所述工艺气体的配方时,还降低刻蚀机台的射频功率。可选地,在所述第一阶段软刻蚀的过程中,所述层间介质层相对所述衬底300的刻蚀选择比为8~10;在所述第二阶段软刻蚀的过程中,所述层间介质层相对所述衬底300的刻蚀选择比大于30。

[0043] 需要说明的是,请参考图6至图7,本实施例中,步骤S4和步骤S5采用实质上是同一个刻蚀制程、同一个工艺配方的两个不同阶段,即步骤S4的第一阶段软刻蚀和步骤S5的第二阶段软刻蚀在同一刻蚀机台的同一刻蚀腔中进行,且采用的主刻蚀气体、惰性气体均相同。本实施例中,由于步骤S4和步骤S5由于采用了碳氟气体或者碳氢气体作为主刻蚀气体,因此两个阶段的软刻蚀过程中,均会有聚合副产物形成,该聚合副产物的成分取决于刻蚀气体、层间介质层的材料以及层间介质层上有无光刻胶,可以是有机物(polymer)、无机物或者有机物和无机物的组合。步骤S4中,为避免产生过多聚合副产物,导致刻蚀停止或者后续步骤无法将聚合副产物去除干净,导致接触孔中的接触电阻偏高的情况,采用常规的软刻蚀方法作为第一阶段软刻蚀,一方面削平接触孔侧壁的起伏,另一方面将接触孔底部的回刻蚀区域中的多余层间介质层大体去除。在步骤S5中,将第一阶段使用的工艺气体进行调整,去除氧气,减少氩气,以大幅增加聚合副产物形成,有效保护接触孔的回刻蚀区域的关键尺寸的稳定,并大幅提高层间介质层对衬底300的选择比,降低离子损伤且几乎没有衬底损耗,由此使得接触孔304b的底部形貌平滑,电阻稳定,且侧壁光滑平坦。且步骤S5的第二阶段软刻蚀的时间需要设置合理,过长会导致刻蚀停止,聚合副产物(polymer)沉积严重,后续难以去除,引起接触孔中的电阻偏高,而时间过短,则会导致衬底损耗增加,衬底表面损伤较大,衬底300形成的台阶的底部交接处容易形成凹坑,引起接触孔中的接触电阻波动,影响器件性能。本实施例中,步骤S5的第二阶段软刻蚀的时间短于步骤S4中的第一阶段软刻蚀的时间,例如,当步骤S4的第一阶段软刻蚀的时间为5s以上,例如10s左右,步骤S5的第二阶段软刻蚀的时间小于10s。

[0044] 通过步骤S4和步骤S5的组合,在维持所述层间介质层相对所述衬底300具有较高的刻蚀选择比且保证衬底300低损伤的基础上,强化软刻蚀过程中的各向异性刻蚀的特性,消除或大幅改善接触孔侧壁上因膜层差异、湿法速率差异而引起的侧壁凸脚和弧面形貌,解决后续粘附层淀积中可能出现的剥离(peeling)缺陷,从而可有效提升衬底和粘附层的接触面积,优化接触电阻,大幅提升器件性能,同时规避常规接触孔回推刻蚀工艺的缺点。

[0045] 此外,需要说明的是,本实施例中步骤S4和步骤S5的软刻蚀与现有的常规的软刻蚀不同,常规的软刻蚀一般是,通过获取接触孔底部的介电膜层对刻蚀停止层(例如第一介电膜层302对刻蚀停止层301)的高刻蚀选择比,来降低对衬底300的损伤,其通常使用低功率以及接触孔底部的介电膜层对刻蚀停止层的高刻蚀选择的工艺配方,但在无刻蚀停止层的情况下,会在刻蚀层间介质层时对衬底300产生较强的损伤,而本实施例的步骤S4和步骤S5的软刻蚀,相当于是对常规的软刻蚀的优化,其通过改变常规的软刻蚀的工艺配方,增加层间介质层(即刻蚀停止层)和衬底之间的刻蚀选择比,在尽量不损伤衬底的基础上,改善接触孔的内部形貌,且在刻蚀停止层与衬底的交界处也不会凸脚,在多层介电膜层(包括刻蚀停止层)堆叠而成的层间介质层中,形成侧壁光滑无凸脚、粘附层不易剥离且接触孔底部无尖端的接触孔。

[0046] 请参考图3至图8,基于同一发明构思,本发明还提供一种半导体器件的制造方法,包括:

[0047] 首先,采用本发明所述的接触孔刻蚀方法,在一衬底300上形成相应的层间介质层,并在所述层间介质层中形成暴露出所述衬底300的部分表面的接触孔304b,作为一种示例,所述层间介质层包括依次覆盖在所述衬底300表面上的热氧化层(即刻蚀停止层301)、第一介电膜层(例如为磷硅玻璃层)302和第二介电膜层(例如为硼磷硅玻璃层)303;

[0048] 然后,通过沉积工艺等,在所述层间介质层(即第二介电膜层303)的上表面和所述接触孔304b的内表面上形成粘附层305,所述粘附层305的材料包括钛、氮化钛、钽、氮化钽、金属硅化物中的至少一种;

[0049] 接着,通过电镀等工艺,在所述接触孔304b中填充导电材料,并通过化学机械抛光工艺将沉积的导电材料的顶面,抛光至暴露出层间介质层(即第二介电膜层303)的顶面,以形成导电插塞306。可选地,所述导电材料包括铜、钨、镍、铝、掺杂多晶硅中的至少一种。

[0050] 综上所述,本发明的接触孔刻蚀方法及半导体器件的制造方法,在通过常规的回推刻蚀工艺将直孔回推成上宽下窄的接触孔后,先采用含主刻蚀气体、氧气且惰性气体流量较高的工艺气体对接触孔内表面进行第一阶段软刻蚀,在几乎不损伤接触孔底部的衬底表面的基础上,削平接触孔侧壁的起伏不平,并有效增大衬底被暴露出的面积,然后,去除氧气并减小惰性气体流量来调整工艺气体的配方,并继续进行第二阶段软刻蚀,以将接触孔内表面修整光滑。由此,可以改善后续粘附层的淀积效果,提高粘附层的膜厚均一性且避免粘附层的剥离问题,从而优化形成的导电插塞的接触电阻,大幅提升器件性能,同时不引入新的缺陷。

[0051] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于本发明技术方案的范围。

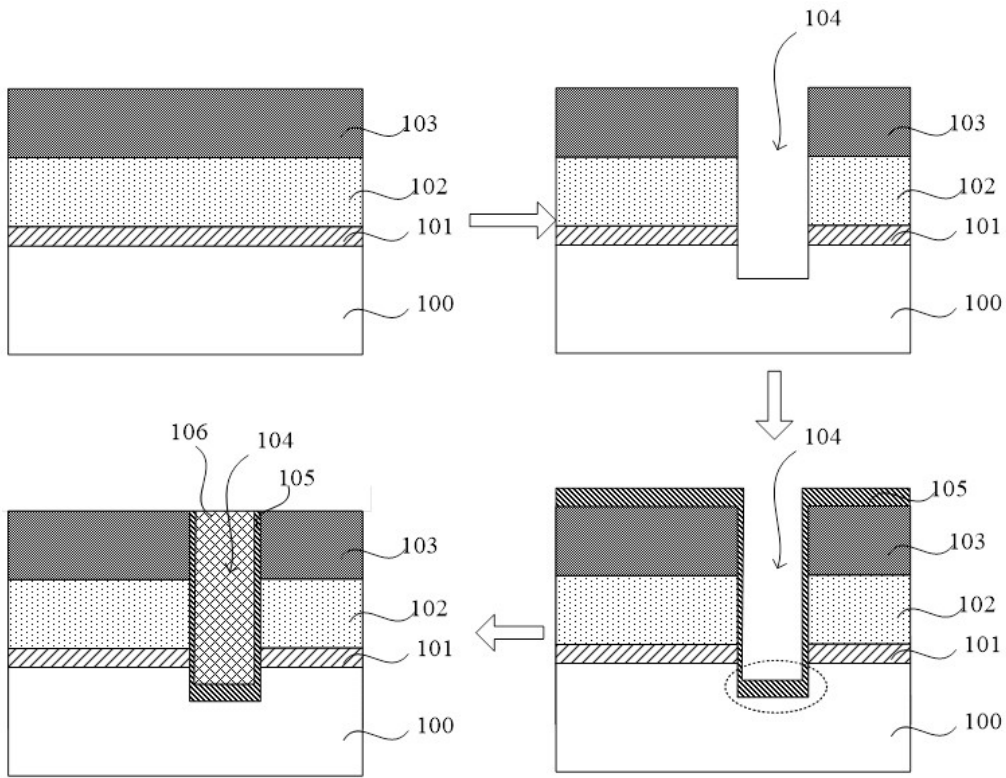


图1

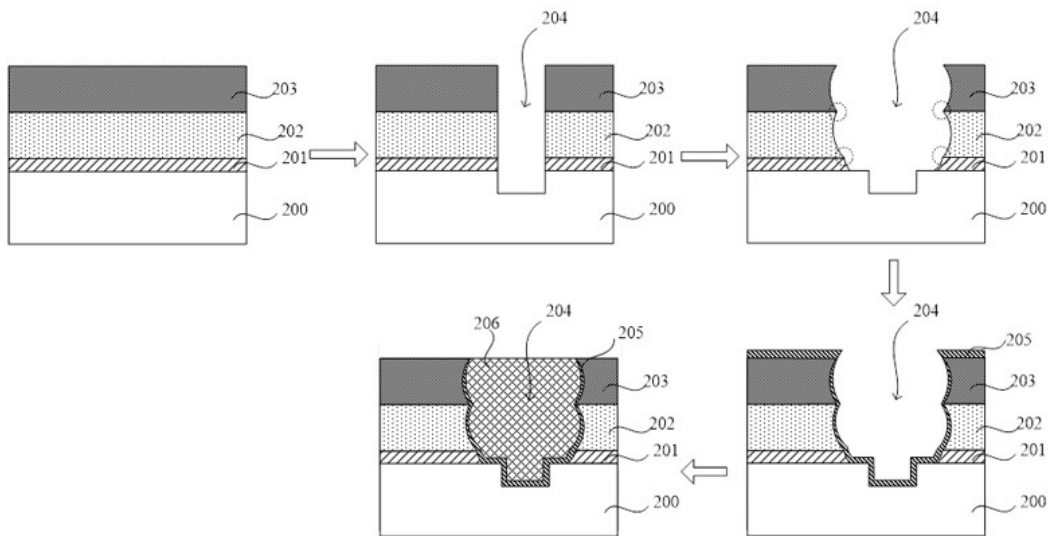


图2

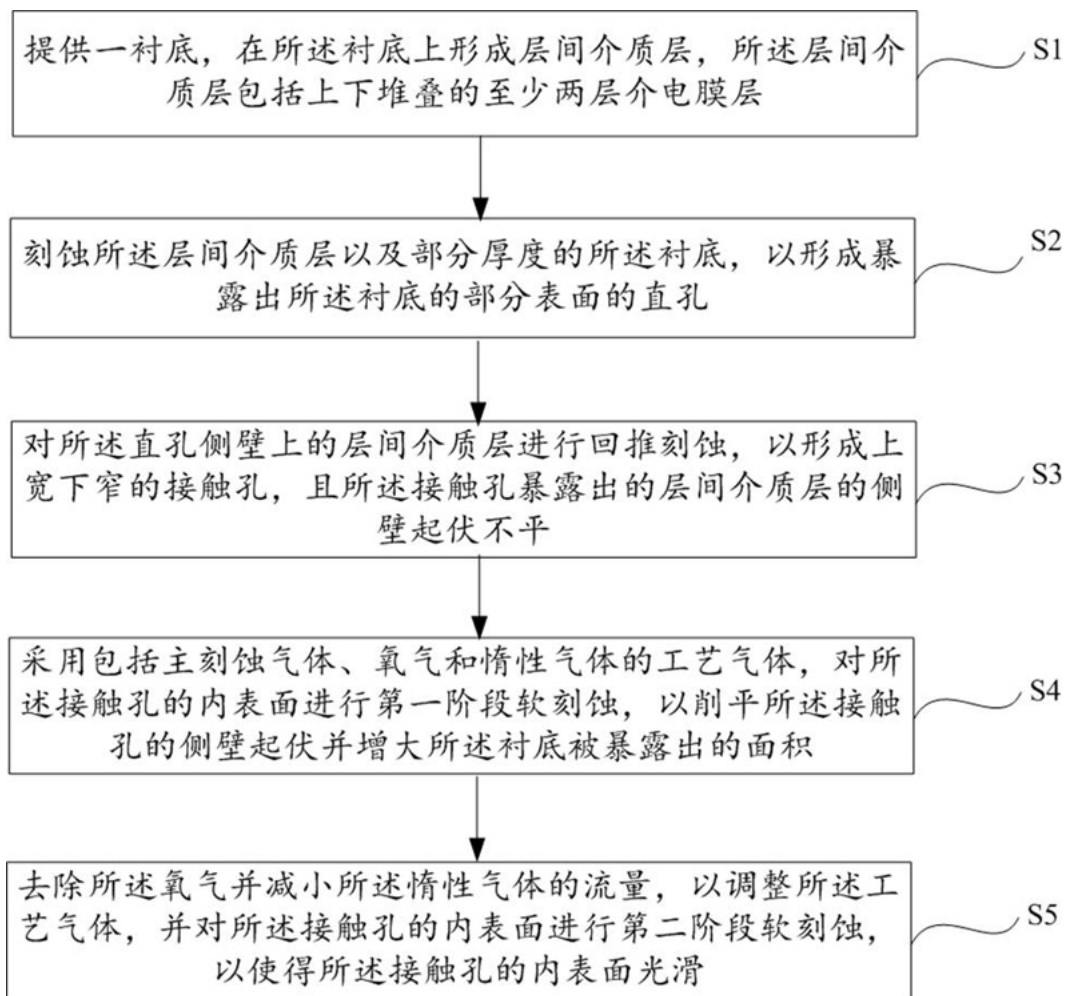


图3

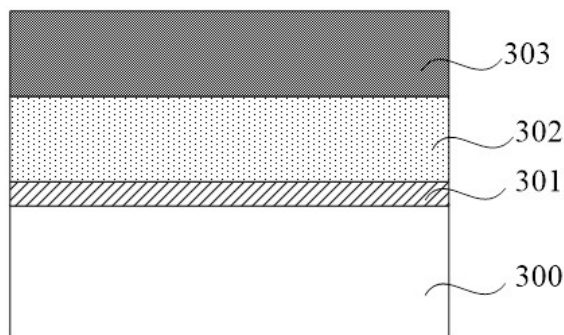


图4

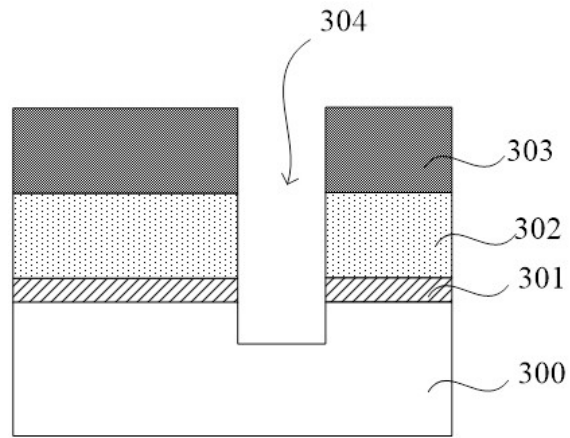


图5

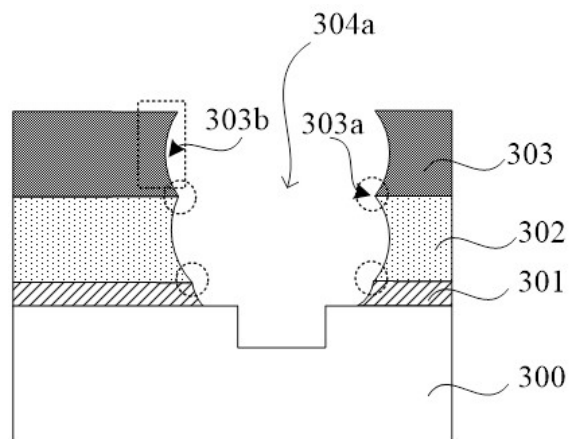


图6

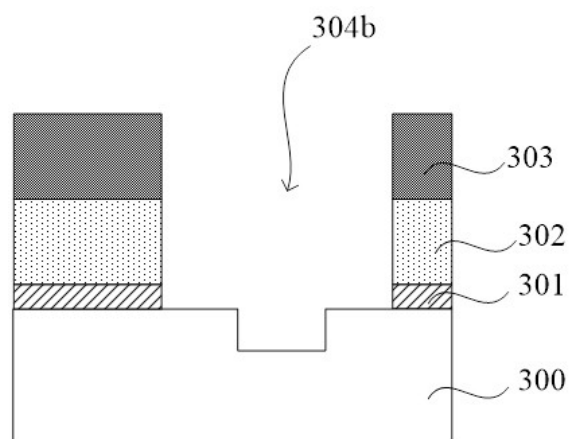


图7

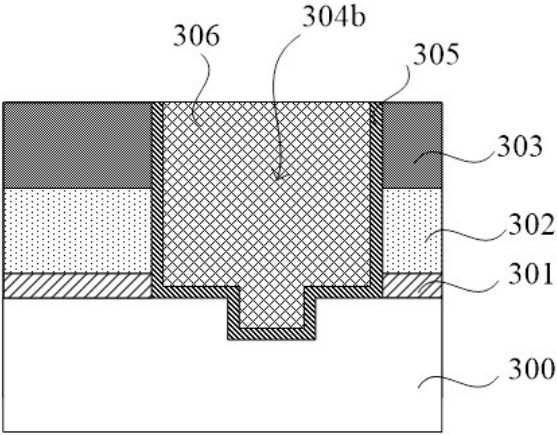


图8