

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 5 月 26 日 (2005.5.26)

【公開番号】特開 2003-60081 (P2003-60081A)

【公開日】平成 15 年 2 月 28 日 (2003.2.28)

【出願番号】特願 2001-241792 (P2001-241792)

【国際特許分類第 7 版】

H 0 1 L 21/8242

C 2 3 C 16/18

H 0 1 L 21/285

H 0 1 L 21/3205

H 0 1 L 21/768

H 0 1 L 21/8238

H 0 1 L 27/092

H 0 1 L 27/108

【F I】

H 0 1 L 27/10 6 2 1 C

C 2 3 C 16/18

H 0 1 L 21/285 C

H 0 1 L 27/10 6 8 1 F

H 0 1 L 27/10 6 5 1

H 0 1 L 27/08 3 2 1 E

H 0 1 L 21/88 B

H 0 1 L 21/90 A

【手続補正書】

【提出日】平成 16 年 7 月 21 日 (2004.7.21)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

(a) 半導体基板の主表面にメモリセル選択用 M I S F E T を形成する工程と、

(b) 前記メモリセル選択用 M I S F E T のソース、ドレイン領域と電氣的に接続する
プラグを形成する工程と、

(c) 前記プラグに接続するキャパシタの下部電極を構成する R u (ルテニウム) 膜を
、 R u の化合物、 H₂O および H₂ もしくはアルコールを原料として使用し、化学気相成長
法で前記 R u 膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】

前記 R u の化合物は、 R u のアセチルアセトン誘導体化合物であることを特徴とする請
求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】

前記半導体集積回路装置の製造方法は、さらに、

(d) 前記 R u 膜上に容量絶縁膜を形成する工程と、

(e) 前記容量絶縁膜上に上部電極を形成する工程と、

を有することを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 4】

(a) 半導体基板の主表面にメモリセル選択用 M I S F E T を形成する工程と、
(b) 前記メモリセル選択用 M I S F E T のソース、ドレイン領域と電氣的に接続するプラグを形成する工程と、
(c) 前記プラグに接続するキャパシタの下部電極を構成する R u (ルテニウム) 膜を、R u の化合物、 H_2O および H_2 を原料として使用し、化学気相成長法により、所定の温度で R u 膜を形成する工程とを有し、

前記温度における前記 H_2 に対する前記 H_2O の分圧比 ($[H_2O] / [H_2]$) が、前記温度において系 1 ($RuO_2 + H_2$) と系 2 ($Ru + H_2O$) が平衡状態となる際の H_2 に対する H_2O の分圧比 ($[H_2O]_{eq} / [H_2]_{eq}$) より小さくなる条件下で前記 R u 膜が形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 5】

前記所定の温度は、100 ~ 500 であることを特徴とする請求項 4 記載の半導体集積回路装置の製造方法。

【請求項 6】

(a) 半導体基板の主表面にメモリセル選択用 M I S F E T を形成する工程と、
(b) 前記メモリセル選択用 M I S F E T のソース、ドレイン領域と電氣的に接続されたプラグを形成する工程と、
(c) 前記プラグ上に酸化シリコン膜を形成する工程と、
(d) 前記酸化シリコン膜中に前記プラグ表面を露出する孔を形成する工程と、
(e) 前記孔の側壁および底部に、導電性を有する金属層もしくは金属窒化物層を形成する工程と、
(f) 前記金属層もしくは金属窒化物層上に、R u の化合物、 H_2O および H_2 もしくはアルコールを原料として使用し、化学気相成長法で、キャパシタの下部電極を構成する R u 膜を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】

前記半導体集積回路装置の製造方法は、さらに、
(g) 前記 R u 膜上に容量絶縁膜を形成する工程と、
(h) 前記容量絶縁膜上に上部電極を形成する工程と、
を有することを特徴とする請求項 6 記載の半導体集積回路装置の製造方法。

【請求項 8】

前記金属層もしくは金属窒化物層は、タングステン層もしくは窒化タングステン層であることを特徴とする請求項 6 記載の半導体集積回路装置の製造方法。

【請求項 9】

前記金属窒化物層は、窒化タンタル層であることを特徴とする請求項 6 記載の半導体集積回路装置の製造方法。

【請求項 10】

前記 R u の化合物は、R u のアセチルアセトン誘導体化合物であることを特徴とする請求項 6 記載の半導体集積回路装置の製造方法。

【請求項 11】

(a) 半導体基板の主表面にメモリセル選択用 M I S F E T を形成する工程と、
(b) 前記メモリセル選択用 M I S F E T のソース、ドレイン領域と電氣的に接続されたプラグを形成する工程と、
(c) 前記プラグ上に酸化シリコン膜を形成する工程と、
(d) 前記酸化シリコン膜中に前記プラグ表面を露出する孔を形成する工程と、
(e) 前記孔の側壁および底部に、導電性を有する金属層もしくは金属窒化物層を形成する工程と、
(f) 前記金属層もしくは金属窒化物層上に、所定の温度で、R u の化合物、 H_2O および H_2 を原料として使用し、化学気相成長法で、キャパシタの下部電極を構成する R u

膜を形成する工程とを有し、

前記 H_2 に対する前記 H_2O の分圧比 ($[H_2O] / [H_2]$) が、前記温度において系 1 (前記金属層もしくは金属窒化物層を構成する金属の酸化物 + H_2) と系 2 (前記金属層もしくは金属窒化物層を構成する金属 + H_2O) が平衡状態となる際の H_2 に対する H_2O の分圧比 ($[H_2O]_{eq} / [H_2]_{eq}$) より小さくなる条件下で前記 Ru 膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 12】

(a) 半導体基板の主表面にメモリセル選択用 MISFET を形成する工程と、

(b) 前記メモリセル選択用 MISFET のソース、ドレイン領域と電氣的に接続するプラグを形成する工程と、

(c) 前記プラグに接続されたキャパシタの下部電極を構成する Ir (イリジウム) 膜、Pd (パラジウム) 膜もしくは Pt (白金) 膜を、これらのいずれかの金属化合物、 H_2O および H_2 を使用した化学気相成長法により、所定の温度で、Ir 膜、Pd 膜もしくは Pt 膜を形成する工程とを有し、

前記温度における前記 H_2 に対する前記 H_2O の分圧比 ($[H_2O] / [H_2]$) が、前記温度において系 1 (Ir 膜、Pd 膜もしくは Pt 膜の酸化物 + H_2) と系 2 (Ir 膜、Pd 膜もしくは Pt 膜 + H_2O) が平衡状態となる際の H_2 に対する H_2O の分圧比 ($[H_2O]_{eq} / [H_2]_{eq}$) より小さくなる条件下で形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 13】

(a) 半導体基板の主表面にメモリセル選択用 MISFET を形成する工程と、

(b) 前記メモリセル選択用 MISFET のソース、ドレイン領域と電氣的に接続されたキャパシタの下部電極を構成する金属膜を形成する工程と、

(c) 前記金属膜上に所定の温度で、キャパシタの容量絶縁膜を構成する金属酸化物を形成する工程であって、

前記金属酸化物を組成する金属の化合物、 H_2O および H_2 を使用した化学気相成長法で、

前記 H_2 に対する前記 H_2O の分圧比 ($[H_2O] / [H_2]$) が、

前記温度において系 1 (前記金属酸化物 + H_2) と系 2 (前記金属酸化物を組成する金属 + H_2O) が平衡状態となる際の H_2 に対する H_2O の分圧比 ($[H_2O]_{eq1} / [H_2]_{eq1}$) より大きく、

また、前記温度において系 3 (前記金属膜を構成する金属の酸化物 + H_2) と系 4 (前記金属膜を構成する金属 + H_2O) が平衡状態となる際の H_2 に対する H_2O の分圧比 ($[H_2O]_{eq2} / [H_2]_{eq2}$) より小さくなる条件下で金属酸化物を形成する工程と、

(d) 前記容量絶縁膜上にキャパシタの上部電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 14】

前記所定の温度は、100 ~ 500 であることを特徴とする請求項 13 記載の半導体集積回路装置の製造方法。

【請求項 15】

(a) 半導体基板上に層間絶縁膜を形成する工程と、

(b) 前記層間絶縁膜上に、所定の温度で、Cu の化合物、 H_2O および H_2 を使用した化学気相成長法で、配線を構成する Cu 膜を形成する工程であって、前記 H_2 に対する前記 H_2O の分圧比 ($[H_2O] / [H_2]$) が、前記温度において系 1 ($CuO_2 + H_2$) と系 2 ($Cu + H_2O$) が平衡状態となる際の H_2 に対する H_2O の分圧比 ($[H_2O]_{eq} / [H_2]_{eq}$) より小さくなる条件下で Cu 膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 16】

前記所定の温度は、100 ~ 500 であることを特徴とする請求項 15 記載の半導体集積回路装置の製造方法。

【請求項 17】

(a) 半導体基板上に層間絶縁膜を形成する工程と、

(b) 前記層間絶縁膜上に、導電性を有する金属層もしくは金属窒化物層を形成する工程と、

(c) 前記金属層もしくは金属窒化物層上に、所定の温度で、Cuの化合物、 H_2O および H_2 を使用した化学気相成長法で、配線を構成するCu膜を形成する工程であって、前記 H_2 に対する前記 H_2O の分圧比 ($[H_2O] / [H_2]$) が、前記温度において系1 (前記金属層もしくは金属窒化物層を構成する金属の酸化物 + H_2) と系2 (前記金属層もしくは金属窒化物層を構成する金属 + H_2O) が平衡状態となる際の H_2 に対する H_2O の分圧比 ($[H_2O]_{eq} / [H_2]_{eq}$) より小さくなる条件下でCu膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 18】

前記所定の温度は、100 ~ 500 であることを特徴とする請求項 17 記載の半導体集積回路装置の製造方法。