

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年9月27日(2023.9.27)

【国際公開番号】WO2022/186192

【出願番号】特願2023-503858(P2023-503858)

【国際特許分類】

H 0 1 L 2 1 / 2 8 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 9 / 4 1 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 9 / 7 8 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 1 / 3 3 6 ( 2 0 0 6 . 0 1 )

10

【 F I 】

H 0 1 L 2 1 / 2 8 3 0 1 R

H 0 1 L 2 9 / 4 4 S

H 0 1 L 2 1 / 2 8 B

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 8 F

【手続補正書】

【提出日】令和5年7月4日(2023.7.4)

20

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体チップと、

前記半導体チップの少なくとも一方の主面に設けられた電極と、

前記電極上に設けられた第1接合用電極と、

前記第1接合用電極上に設けられた第2接合用電極と、

前記半導体チップと前記電極との間に設けられたゲート酸化膜と、

前記ゲート酸化膜内に設けられたゲート電極と、を備え、

前記電極は、前記第1接合用電極側の表面に凸部を有し、

前記凸部の高さは、 $1.0\mu\text{m}$ 以上であり、

前記凸部は、前記ゲート酸化膜の上方に位置し、

前記ゲート酸化膜は、絶縁性材料から構成され、

前記第1接合用電極において、前記第2接合用電極側の表面は平滑であり、

前記第2接合用電極において、前記第1接合用電極と反対側の表面は平滑である、半導体素子。

30

40

【請求項2】

前記電極は、アルミニウムまたはアルミニウム合金を含み、

前記第1接合用電極は、ニッケル、ニッケルリンまたはニッケルボロンを含み、

前記第2接合用電極は、金を含む、請求項1に記載の半導体素子。

【請求項3】

前記第2接合用電極は、多層からなる、請求項1または2に記載の半導体素子。

【請求項4】

前記第2接合用電極における多層の最下層は、パラジウム、パラジウムリンまたはパラジウム合金を含み、

前記第2接合用電極における多層の最上層は、金を含む、請求項3に記載の半導体素子

50

。

## 【請求項 5】

前記半導体素子は、表電極と裏電極とを備える表裏導通型の半導体素子であり、  
前記電極は、前記表電極を含む、請求項 1 ~ 4 のいずれか 1 項に記載の半導体素子。

## 【請求項 6】

前記第 1 接合用電極および前記第 2 接合用電極が、前記裏電極上にも設けられている、  
請求項 5 に記載の半導体素子。

## 【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の前記半導体素子を有し、入力される電力を変換して出力する主変換回路と、

前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路とを備える、  
電力変換装置。

## 【請求項 8】

半導体素子の製造方法であって、

半導体チップの少なくとも一方の主面に電極を形成する第 1 工程と、

前記電極上に第 1 接合用電極を形成する第 2 工程と、

前記第 1 接合用電極上に第 2 接合用電極を形成する第 3 工程と、を備え、

前記第 1 工程において、前記電極の前記第 1 接合用電極側の表面に凸部が形成され、

前記第 2 工程において、前記第 1 接合用電極の前記第 2 接合用電極側の表面が平滑に形成され、

前記第 3 工程において、前記第 2 接合用電極の前記第 1 接合用電極と反対側の表面が平滑に形成され、

前記第 1 工程の前に、前記半導体チップと前記電極との間にゲート酸化膜と、前記ゲート酸化膜内にゲート電極と、を形成する工程をさらに備え、

前記第 1 工程において、前記凸部が前記ゲート酸化膜の上方に形成され、

前記凸部の高さは、 $1.0 \mu\text{m}$  以上であり、

前記ゲート酸化膜は、絶縁性材料から構成される、製造方法。

## 【請求項 9】

前記電極はアルミニウムまたはアルミニウム合金を含み、

前記第 1 接合用電極は、ニッケル、ニッケルリンまたはニッケルボロンを含み、

前記第 2 接合用電極は、金を含む、請求項 8 に記載の製造方法。

## 【請求項 10】

前記第 2 接合用電極は、多層からなる、請求項 8 または 9 に記載の製造方法。

## 【請求項 11】

前記第 2 接合用電極における多層の最下層は、パラジウム、パラジウムリンまたはパラジウム合金を含み、

前記第 2 接合用電極における多層の最上層は、金を含む、請求項 10 に記載の製造方法

。

## 【請求項 12】

前記半導体素子は、表電極と裏電極とを備える表裏導通型の半導体素子であり、

前記電極は、前記表電極を含む、請求項 8 ~ 11 のいずれか 1 項に記載の製造方法。

## 【請求項 13】

前記第 1 接合用電極および前記第 2 接合用電極が、前記裏電極上にも形成される、請求項 12 に記載の製造方法。

## 【請求項 14】

前記第 1 接合用電極は、無電解ニッケルめっき法によって形成され、 $4.0 \mu\text{m/hr}$  以上  $10 \mu\text{m/hr}$  以下のニッケルの析出速度で、前記第 2 接合用電極側の表面が平滑になるまで行う、請求項 8 ~ 13 のいずれか 1 項に記載の製造方法。

## 【請求項 15】

前記第 1 接合用電極は、無電解ニッケルめっき法および CMP 法をこの順に行うことに

10

20

30

40

50

よって形成される、請求項 8 ~ 1 3 のいずれか 1 項に記載の製造方法。

【請求項 1 6】

請求項 8 ~ 1 5 のいずれか 1 項に記載の製造方法で製造された、半導体素子。

10

20

30

40

50