



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0052875
(43) 공개일자 2012년05월24일

(51) 국제특허분류(Int. Cl.)

H01L 27/146 (2006.01) H04N 5/335 (2011.01)

(21) 출원번호 10-2011-0118686

(22) 출원일자 2011년11월15일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-256318 2010년11월16일 일본(JP)

JP-P-2011-219565 2011년10월03일 일본(JP)

(71) 출원인

캐논 가부시끼가이샤

일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2
고

(72) 발명자

이누이 후미히로

일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2
고 캐논 가부시끼가이샤 내

(74) 대리인

박충범, 장수길

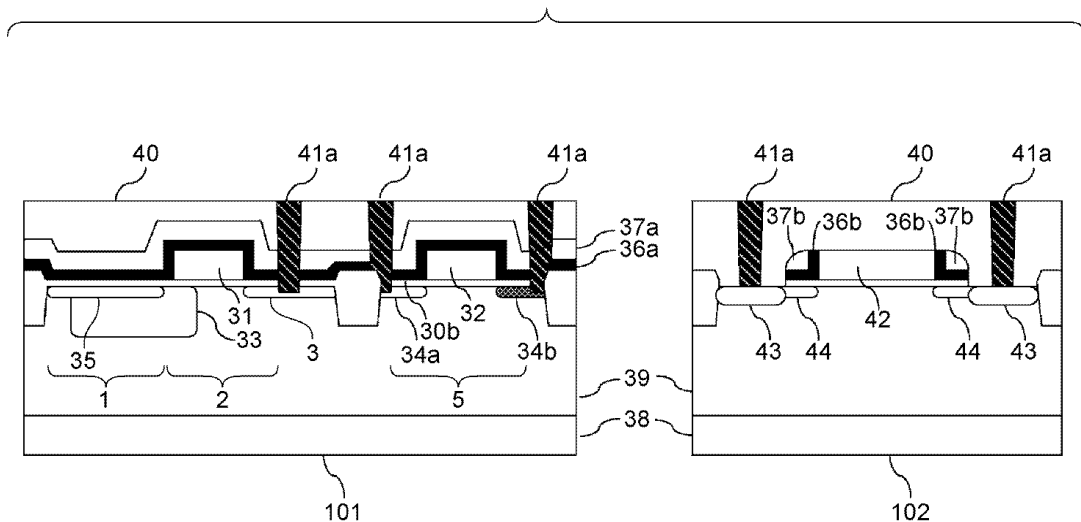
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 고체 이미지 센서, 고체 이미지 센서의 제조 방법 및 촬상 시스템

(57) 요약

광전 변환 소자와 상기 광전 변환 소자의 전하에 따른 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소가 배치된 화소 영역과, 상기 화소의 구동 또는 상기 열 신호선에 출력된 신호를 처리하는 회로를 포함하는 주변 회로 영역이, 반도체 기판에 배치된 고체 이미지 센서이며, 상기 증폭 MOS 트랜지스터의 소스 영역의 저항은, 상기 증폭 MOS 트랜지스터의 드레인 영역의 저항보다도 낮은 것을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

고체 이미지 센서이며,

반도체 기판 상에 배치되는 화소 영역과, 주변 회로 영역을 포함하고,

상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선(column signal line)에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고,

상기 주변 회로 영역은, 화소를 구동시키거나 또는 상기 열 신호선에 출력되는 신호를 처리하는 회로를 포함하고,

상기 증폭 MOS 트랜지스터의 소스 영역의 저항이, 상기 증폭 MOS 트랜지스터의 드레인 영역의 저항보다 낮은 고체 이미지 센서.

청구항 2

제1항에 있어서, 상기 증폭 MOS 트랜지스터의 소스 영역의 불순물 농도가, 상기 증폭 MOS 트랜지스터의 드레인 영역의 불순물 농도보다 높은 고체 이미지 센서.

청구항 3

제1항에 있어서, 상기 증폭 MOS 트랜지스터의 소스 영역과 채널 영역 사이의 계면이, 상기 증폭 MOS 트랜지스터의 드레인 영역과 채널 영역 사이의 계면보다 넓은 고체 이미지 센서.

청구항 4

제1항에 있어서,

상기 주변 회로 영역에 상기 회로의 일부를 구성하는 주변 MOS 트랜지스터가 배치되고,

상기 주변 MOS 트랜지스터의 소스 영역과 드레인 영역의 각각은, 콘택트 플러그와 접촉하는 접촉 영역과, 상기 접촉 영역보다 채널에 가까운 중간 영역과, 상기 중간 영역보다 채널에 가까운 영역을 포함하고,

상기 중간 영역의 불순물 농도가, 상기 중간 영역보다 채널에 가까운 영역의 불순물 농도보다 높으며,

상기 증폭 MOS 트랜지스터의 소스 영역과 드레인 영역의 불순물 농도가 상기 중간 영역의 불순물 농도보다 낮은 고체 이미지 센서.

청구항 5

제1항에 있어서,

상기 주변 회로 영역에 배치되고 상기 회로의 일부를 구성하는 주변 MOS 트랜지스터를 더 포함하고,

상기 주변 MOS 트랜지스터의 소스 영역과 드레인 영역의 각각은, 콘택트 플러그와 접촉하는 접촉 영역과, 상기 접촉 영역보다 채널에 가까운 중간 영역과, 상기 중간 영역보다 채널에 가까운 영역을 포함하고,

상기 중간 영역의 불순물 농도가, 상기 중간 영역보다 채널에 가까운 영역의 불순물 농도보다 높으며,

상기 증폭 MOS 트랜지스터의 드레인 영역의 불순물 농도가 상기 중간 영역의 불순물 농도보다 낮은 고체 이미지 센서.

청구항 6

고체 이미지 센서이며,

반도체 기판 상에 배치되는 화소 영역과, 주변 회로 영역을 포함하고,

상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고,

상기 주변 회로 영역은, 화소를 구동시키거나 또는 상기 열 신호선에 출력되는 신호를 처리하는 회로를 포함하고,

상기 증폭 MOS 트랜지스터의 소스 영역의 불순물 농도가 상기 증폭 MOS 트랜지스터의 드레인 영역의 불순물 농도보다 높은 고체 이미지 센서.

청구항 7

고체 이미지 센서이며,

반도체 기판 상에 배치되는 화소 영역과, 주변 회로 영역을 포함하고,

상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고,

상기 주변 회로 영역은, 화소를 구동시키거나 또는 상기 열 신호선에 출력되는 신호를 처리하는 회로를 포함하고,

상기 증폭 MOS 트랜지스터의 소스 영역과 채널 영역 사이의 계면이, 상기 증폭 MOS 트랜지스터의 드레인 영역과 채널 영역 사이의 계면보다 넓은 고체 이미지 센서.

청구항 8

고체 이미지 센서의 제조 방법이며,

상기 고체 이미지 센서는 반도체 기판 상에 배치되는 화소 영역과, 주변 회로 영역을 포함하고, 상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고, 상기 주변 회로 영역은, 화소를 구동시키거나 또는 상기 열 신호선에 출력되는 신호를 처리하는 회로를 포함하고,

상기 제조 방법은,

상기 증폭 MOS 트랜지스터의 게이트 전극을 형성하는 게이트 전극 형성 단계와,

상기 게이트 전극을 마스크로 사용하여, 상기 증폭 MOS 트랜지스터의 소스가 형성될 상기 반도체 기판의 소스 형성 영역과, 상기 증폭 MOS 트랜지스터의 드레인이 형성될 상기 반도체 기판의 드레인 형성 영역으로 불순물을 주입하는 제1 주입 단계와,

상기 소스 형성 영역 및 상기 드레인 형성 영역 중 상기 소스 형성 영역으로 선택적으로 불순물을 주입하는 제2 주입 단계를 포함하는 고체 이미지 센서의 제조 방법.

청구항 9

제8항에 있어서,

상기 주변 회로 영역에 포함되는 주변 MOS 트랜지스터의 게이트 전극이 상기 게이트 전극 형성 단계에서 형성되고,

상기 제1 주입 단계에서는, 상기 주변 MOS 트랜지스터의 게이트 전극을 마스크로서 사용하여, 상기 주변 MOS 트랜지스터의 소스가 형성될 상기 반도체 기판의 소스 형성 영역과, 상기 주변 MOS 트랜지스터의 드레인이 형성될 상기 반도체 기판의 드레인 형성 영역으로 불순물을 주입하고,

상기 제조 방법은,

상기 제2 주입 단계 후에 상기 화소 영역과 상기 주변 회로 영역에 절연막을 형성하는 단계와,

상기 주변 MOS 트랜지스터의 게이트 전극의 측벽에 상기 절연막의 일부를 남겨두도록, 상기 주변 회로 영역에 형성된 절연막에서 상기 주변 MOS 트랜지스터의 소스와 드레인에 대응하는 부분을 제거하는 제거 단계와,

상기 제거 단계 후에, 상기 절연막을 마스크로 사용하여 상기 반도체 기판에 불순물을 주입하는 제3 주입 단계를 더 포함하는 고체 이미지 센서의 제조 방법.

청구항 10

제8항에 있어서,

상기 화소 영역과 상기 주변 회로 영역에 절연막을 형성하는 단계와,

상기 소스 영역에 대응하는 상기 절연막의 영역과, 상기 드레인 영역에 대응하는 상기 절연막의 영역 중 적어도 하나의 영역에 콘택트 홀을 형성하는 단계와,

상기 콘택트 홀을 통해 상기 반도체 기판에 불순물을 주입하는 단계와,

상기 콘택트 홀에 도전체를 형성하여 상기 콘택트 플러그를 형성하는 단계를 더 포함하는 고체 이미지 센서의 제조 방법.

청구항 11

촬상 시스템이며,

제1항 내지 제7항 중 어느 한 항에 기재된 고체 이미지 센서와,

상기 고체 이미지 센서에 광을 결상하도록 구성되는 광학계와,

상기 고체 이미지 센서로부터의 출력 신호를 처리하도록 구성되는 신호 처리 회로를 포함하는 촬상 시스템.

명세서

기술 분야

[0001] 본 발명은 고체 이미지 센서, 고체 이미지 센서의 제조 방법 및 촬상 시스템에 관한 것이다.

배경 기술

[0002] 고체 이미지 센서로서 화소 영역과 주변 회로 영역을 포함하는 MOS형 고체 이미지 센서가 있다. 화소 영역은 광전 변환 소자와, 상기 광전 변환 소자의 전하에 따른 신호를 열 신호선(column signal line)에 출력하는 증폭 MOS 트랜지스터를 포함한다. 주변 회로 영역은 화소 영역과, 상기 화소를 구동하거나 상기 열 신호선에 출력된 신호를 처리하는 회로를 포함한다. MOS형 고체 이미지 센서에 발생하는 노이즈의 원인 중 하나로서, MOS 트랜지스터에서 발생하는 핫 캐리어(hot carrier)가 있다. 핫 캐리어라는 것은, MOS 트랜지스터의 게이트에 전압을 인가한 때에, 드레인 영역과 채널 단부로 구성되는 p-n 접합에 강한 전계가 인가되어 발생한다. MOS형 고체 이미지 센서와 같이 미소한 신호를 취급하는 디바이스에서는 이러한 핫 캐리어에 의해 발생하는 노이즈가 특히 문제가 될 수 있다.

[0003] 이 노이즈의 저감 방법의 일례로서, 일본 특허 공개 제2008-41726호 공보에는, 화소 영역의 MOS 트랜지스터의 소스 영역 및 드레인 영역의 불순물 농도를 주변 회로 영역의 불순물 농도보다도 내린다. 또한, 주변 회로 영역의 주변 MOS 트랜지스터를 LDD(Lightly Doped Drain) 구조로 하는 것이 기재되어 있다. 이 방법에 의해, 화소 영역과, 주변 회로 영역의 각각에 적합한 조건에서 소스 영역과 드레인 영역을 형성할 수 있다. 구체적으로는, 주변 MOS 트랜지스터의 게이트 아래에 형성되는 채널과 드레인 영역과의 전계 강도가 완화되기 때문에, 핫 캐리어의 영향을 저감하는 것이 가능하게 된다. 또한, 화소 영역의 MOS 트랜지스터를 LDD 구조로 하지 않음으로써, 화소 영역의 게이트 전극의 측벽에 측벽 스페이서를 형성하기 위한 에칭 공정이 불필요하게 된다. 이는 에칭 손상에 의한 암 전류 등의 노이즈의 영향을 저감하는 것을 가능하게 한다. 화소 영역의 MOS 트랜지스터의 드레인 영역은 LDD 구조를 갖고 있지 않지만, 불순물 농도가 낮다. 이러한 이유로, 화소 영역의 MOS 트랜지스터에서도 핫 캐리어의 영향을 저감하는 것이 가능하게 된다.

[0004] 고체 이미지 센서는 최근, 감도나 음량 범위(dynamic range) 등의 광전 변환 특성을 유지 또는 향상하면서, 화소의 미세화 및 고 화소수화가 요구되어 있다. 이 요구를 실현하기 위해서는, 광전 변환 소자 면적의 축소를 억제하면서 화소 영역의 광전 변환 소자 이외의 영역을 미세화하는 것이 유효하다.

발명의 내용

해결하려는 과제

[0005] 그러나, 화소 영역에 배치된 광전 변환 소자의 신호 전하에 기초하는 신호를 판독하기 위한 MOS 트랜지스터를

미세화함으로써, MOS 트랜지스터의 구동 능력이 저하될 수 있다. 특히, 일본 특허 공개 제2008-41726호 공보에 기재된 것 같이, 핫 캐리어의 영향을 저감하기 위해서 화소 영역의 MOS 트랜지스터의 소스 및 드레인 영역의 불순물 농도를 낮게 하면, MOS 트랜지스터의 소스 저항이 증대한다. 이로 인해, MOS 트랜지스터의 구동 능력이 낮아져 고속 판독 동작에는 불리해진다.

과제의 해결 수단

- [0006] 본 발명은, 노이즈의 저감과 화소 영역의 증폭 MOS 트랜지스터의 구동 능력의 향상에 유리한 기술을 제공한다.
- [0007] 본 발명의 제1 태양은, 화소 영역과, 반도체 기판 상에 배치되는 주변 회로 영역을 포함하고, 상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고, 상기 주변 회로 영역은, 화소를 구동시키거나 또는 상기 열 신호선에 출력되는 신호를 처리하는 회로를 포함하고, 상기 증폭 MOS 트랜지스터의 소스 영역의 저항이, 상기 증폭 MOS 트랜지스터의 드레인 영역의 저항보다 낮은 고체 이미지 센서를 제공한다.
- [0008] 본 발명의 제2 태양은, 화소 영역과, 반도체 기판 상에 배치되는 주변 회로 영역을 포함하고, 상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고, 상기 주변 회로 영역은, 화소를 구동시키거나 또는 상기 열 신호선에 출력되는 신호를 처리하는 회로를 포함하고, 상기 증폭 MOS 트랜지스터의 소스 영역의 불순물 농도가 상기 증폭 MOS 트랜지스터의 드레인 영역의 불순물 농도보다 높은 고체 이미지 센서를 제공한다.
- [0009] 본 발명의 제3 태양은, 화소 영역과, 반도체 기판 상에 배치되는 주변 회로 영역을 포함하고, 상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고, 상기 주변 회로는, 화소를 구동시키거나 또는 상기 열 신호선에 출력되는 신호를 처리하는 회로를 포함하고, 상기 증폭 MOS 트랜지스터의 소스 영역과 채널 영역 사이의 계면이, 상기 증폭 MOS 트랜지스터의 드레인 영역과 채널 영역 사이의 계면보다 넓은 고체 이미지 센서를 포함한다.
- [0010] 본 발명의 제4 태양은, 고체 이미지 센서의 제조 방법으로서, 상기 고체 이미지 센서는 화소 영역과, 반도체 기판 상에 배치되는 주변 회로 영역을 포함하고, 상기 화소 영역은, 각각 광전 변환 소자와, 상기 광전 변환 소자의 전하에 대응하는 신호를 열 신호선에 출력하는 증폭 MOS 트랜지스터를 포함하는 화소를 포함하고, 상기 제조 방법은, 상기 증폭 MOS 트랜지스터의 게이트 전극을 형성하는 게이트 전극 형성 단계와, 상기 게이트 전극을 마스크로 사용하여, 상기 증폭 MOS 트랜지스터의 소스가 형성될 상기 반도체 기판의 소스 형성 영역과, 상기 증폭 MOS 트랜지스터의 드레인이 형성될 상기 반도체 기판의 드레인 형성 영역으로 불순물을 주입하는 제1 주입 단계와, 상기 소스 형성 영역 및 상기 드레인 형성 영역 중 상기 소스 형성 영역으로 불순물을 선택적으로 주입하는 제2 주입 단계를 포함하는 고체 이미지 센서의 제조 방법을 제공한다.
- [0011] 본 발명의 제5 태양은, 진술한 고체 이미지 센서와, 상기 고체 이미지 센서에 광을 결상하도록 구성되는 광학계와, 상기 고체 이미지 센서로부터의 출력 신호를 처리하도록 구성되는 신호 처리 회로를 포함하는 촬상 시스템을 제공한다.
- [0012] 본 발명의 추가적인 특징은 첨부 도면을 참조하여 이하의 예시적인 실시 형태에 대한 설명으로부터 명백하게 될 것이다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 실시 형태에 따른 고체 이미지 센서의 모식적 평면도.
- 도 2a 및 도 2b는 각각, 본 발명의 실시 형태에 따른 고체 이미지 센서의 증폭 MOS 트랜지스터의 평면도 및 단면도.
- 도 3a 및 도 3b는 각각, 본 발명의 실시 형태에 따른 고체 이미지 센서의 증폭 MOS 트랜지스터의 평면도 및 단면도.
- 도 4는 본 발명의 실시 형태에 따른 고체 이미지 센서의 화소의 회로도.
- 도 5는 제1 실시 형태에 따른 고체 이미지 센서의 모식적 단면도.

도 6a 내지 도 6f는 제1 실시 형태에 따른 고체 이미지 센서의 제조 프로세스 흐름도.

도 7은 제3 실시 형태에 따른 고체 이미지 센서의 모식적 단면도.

도 8은 본 발명의 실시 형태를 설명하기 위한 고체 이미지 센서의 모식적 단면도.

도 9a 내지 도 9c는 각각, 제4 실시 형태에 따른 고체 이미지 센서의 증폭 MOS 트랜지스터의 평면도 및 단면도.

도 10은 고체 이미지 센서를 사용한 촬상 시스템을 설명하기 위한 블록도.

발명을 실시하기 위한 구체적인 내용

[0014] 이어서, 첨부 도면을 참조하여 본 발명을 실시하기 위한 형태를 예시적으로 설명한다. 본 발명은 각 실시 형태에 한정되는 것이 아니라, 본 발명의 사상 및 범주를 벗어나지 않는 범위에서 조합 또는 변경 및 변형이 가능하다. 각 실시 형태에 있어서는 특정한 MOS 트랜지스터를 예로 들어 설명한다. 그러나, 각 영역에 배치되는 모든 MOS 트랜지스터에 각 실시 형태의 구조를 적용하는 것도 가능하다.

[0015] (제1 실시 형태)

[0016] 도 1은 고체 이미지 센서의 평면 배치도를 나타낸다. 참조번호 111이 화소 영역이다. 고체 이미지 센서가 리니어 센서로서 구성되는 경우는, 복수의 화소가 일차원 형상으로 화소 영역에 배열된다. 고체 이미지 센서가 이미지 센서로서 구성되는 경우는, 복수의 화소가 이차원 형상으로, 즉 복수행, 복수열을 구성하도록 배열된다. 화소라는 것은, 1개의 광전 변환 소자 및 이 광전 변환 소자로부터 열 신호선에 신호를 출력하기 위한 소자를 포함하는 소자의 집합체의 최소 단위이다. 소자의 집합체에 포함될 수 있는 구성으로서, 예를 들어 전송 유닛, 증폭 유닛, 리셋 유닛이 있다. 전송 유닛은 광전 변환 소자로부터 플로팅 디퓨전 유닛(floating diffusion unit)에 전하를 전송하는 전송 MOS 트랜지스터를 포함한다. 증폭 유닛은 플로팅 디퓨전 유닛에 의해 전압으로 변환된 신호를 출력하는 증폭 MOS 트랜지스터를 포함한다. 리셋 유닛은 플로팅 디퓨전 유닛의 전압을 리셋 전압으로 리셋하는 리셋 MOS 트랜지스터를 포함한다. 인접하는 화소는, 증폭 유닛, 리셋 유닛을 공유할 수 있다. 이 경우에도 화소는 1개의 광전 변환 소자의 신호를 판독하기 위한 소자의 집합체의 최소 단위로서 정의된다.

[0017] 신호 처리 회로(112)는 화소 영역(111)으로부터 판독된 신호를 증폭하는 회로를 포함한다. 신호 처리 회로(112)는, 증폭 회로에 더해, 예를 들어 화소에서 발생한 노이즈를 CDS(Correlated Double Sampling) 처리에 의해 감소시키는 회로를 포함할 수 있다. 신호 처리 회로(112)에는, 복수열로부터 병행하여 판독되는 신호를 시리얼 신호로 간단히 변환하기 위한 회로를 포함할 수 있다.

[0018] 수직 시프트 레지스터(113)는 화소 영역(111)에 배치된 화소를 구동하도록 구성된다. 수평 시프트 레지스터(114)는 신호 처리 회로(112)를 구동하도록 구성된다. 고체 이미지 센서에 있어서 A/D 변환을 행하는 경우에는, A/D 변환 회로가 고체 이미지 센서에 포함될 수 있다. 신호 처리 회로(112), 수직 시프트 레지스터(113) 및 수평 시프트 레지스터(114)는 주변 회로 영역에 배치된다.

[0019] 도 4는, 화소 영역(111)에 배열되는 1개의 화소의 일례를 나타내고 있다. 화소는, 예를 들어 광전 변환 소자(1)와, 전송 MOS 트랜지스터(전송 유닛)(2)와, 리셋 MOS 트랜지스터(리셋 유닛)(4)와, 증폭 MOS 트랜지스터(증폭 유닛)(5)를 포함하고 있다. 화소는 리셋 MOS 트랜지스터(4)의 드레인에 공급되는 전압에 의해 선택될 수 있다. 이 선택은 수직 시프트 레지스터에 의해 이루어진다. 광전 변환 소자(1)는, 예를 들어 포토다이오드로부터 형성되며, 입사광을 광전 변환에 의해 전하로 변환해 축적한다. 전송 MOS 트랜지스터(2)는 광전 변환 소자(1)에 축적된 전하를 증폭 MOS 트랜지스터의 입력부인 플로팅 디퓨전(부유 확산 영역: FD)(3)에 전송한다. 증폭 MOS 트랜지스터(5), 정전류원(6), 전원(7) 및 열 신호선(8)에 의해 소스 팔로워 회로(source follower circuit)가 구성될 수 있다. 증폭 MOS 트랜지스터(5)는 소스 팔로워 동작에 의해 플로팅 디퓨전(3)의 전위를 열 신호선(8)에 출력할 수 있다. 이러한 소스 팔로워 동작에 의해 전하는 증폭되고 출력된다. 이 예에서는, 리셋 MOS 트랜지스터(4)의 드레인 전압에 의해 판독하는 대상 화소의 선택 동작을 행하고 있다. 그러나, 선택 MOS 트랜지스터를 설치하고, 이에 의해 선택을 행할 수 있다. 선택 MOS 트랜지스터는 증폭 MOS 트랜지스터(5)의 소스와 열 신호선(8) 사이의 전기적 경로에 배치된다. 또는, 선택 MOS 트랜지스터는 증폭 MOS 트랜지스터(5)의 드레인과 전원(7) 사이의 전기적 경로에 배치된다.

[0020] 본 발명의 이해를 위해서, 화소 영역의 MOS 트랜지스터의 소스 및 드레인 영역의 불순물 농도를 주변 회로 영역의 불순물 농도보다도 낮게 하고, 또한 주변 MOS 트랜지스터를 LDD 구조로 한 고체 이미지 센서에 대해서

설명한다.

- [0021] 도 8은 고체 이미지 센서의 모식적 단면도이다. 고체 이미지 센서는 화소 영역(101)과 주변 회로 영역(102)을 포함한다. 화소 영역(101)은 광전 변환 소자로부터의 신호를 관측하기 위한 증폭 MOS 트랜지스터(909)를 포함한다. 주변 회로 영역(102)은 예를 들어, 신호 처리 회로(112), 수직 시프트 레지스터(113) 및 수평 시프트 레지스터(114) 중 하나의 회로를 구성하는 MOS 트랜지스터(910)를 포함한다.
- [0022] MOS 트랜지스터(910)의 소스 및 드레인 영역에는 LDD 구조가 채용되어 있다. LDD 구조는, 반도체 영역(916)보다도 채널에 가까운 중간 영역에, MOS 트랜지스터의 구동 능력이 손상되지 않는 정도로 불순물 농도가 높은 반도체 영역(911)이 형성된다. 또한, LDD 구조는 반도체 영역(911)보다 불순물 농도가 낮고 중간 영역보다 채널에 가까운 반도체 영역(914)을 포함한다. 반도체 영역(914)은 각각의 측벽 스페이서(913) 아래에 형성되어 핫 캐리어에 대한 전계 완화층이 된다. 또한, 콘택트 플러그(915)용의 각각의 콘택트 홀 아래에는 저저항과 옴릭 특성(ohmic characteristic)을 나타내는 반도체 영역(916)이 형성되어 있다. 반도체 영역(916)의 불순물 농도는 반도체 영역(911)보다 높다. 화소 영역에 배치된 MOS 트랜지스터(909)의 소스 영역 및 드레인 영역은 싱글 드레인 구조를 갖는다. 화소 영역(101)에 배치된 MOS 트랜지스터(909)의 소스 및 드레인 영역의 각각은 주변 MOS 트랜지스터(910)의 반도체 영역(911)의 불순물 농도보다도 낮은 불순물 농도를 갖고, 핫 캐리어를 일으키지 않도록 전계 완화층으로서 작용한다.
- [0023] 예를 들어, 미세화 등의 목적으로 전계를 완화할 필요가 있는 화소 영역에서는 전계 완화층을 넓게 형성할 필요가 있다. 게이트 측벽에 측벽 스페이서를 형성할 때의 에칭 손상을 고려하면, 화소 영역에서는 LDD 구조를 채용하지 않는 것이 유리하다. 한편, 전계 완화층이 넓을 경우 또는 불순물 농도가 지나치게 낮은 경우에는, 트랜지스터의 기생 저항(직렬 저항)이 증가하고, 트랜지스터의 구동 능력을 크게 손상시키는 결과가 된다. 따라서, 특히 구동 능력이 중요한 증폭 MOS 트랜지스터의 소스 영역의 저항은 낮게 억제될 수 있다.
- [0024] 본 발명의 실시 형태에서는, 고체 이미지 센서의 미세화와 증폭 MOS 트랜지스터의 구동 능력의 향상을 양립시키기 위해서, 증폭 MOS 트랜지스터의 소스 영역과 드레인 영역의 구조가 상이하다. 구체적으로는 화소 영역에 배치된 증폭 MOS 트랜지스터의 소스 영역의 저항을, 드레인 영역의 저항보다도 낮게 하고 있다. 이것은, 증폭 MOS 트랜지스터의 소스의 불순물 농도를 증폭 MOS 트랜지스터의 드레인의 불순물 농도보다도 높게 함으로써 이루어질 수 있다.
- [0025] 도 2a 및 도 2b를 참조하여 증폭 MOS 트랜지스터의 소스 영역과 드레인 영역 사이의 불순물 농도의 관계를 설명한다. 도 2a는 화소 영역에 배치되는 증폭 MOS 트랜지스터의 평면도이다. 도 2b는 도 2a의 라인 A-A'에 따른 단면도이다. 증폭 MOS 트랜지스터는 게이트 전극(2001), 소스 영역(2002), 드레인 영역(2003) 및 콘택트 플러그 접속 영역(제1 영역)(2004)을 포함한다. 콘택트 플러그 접속 영역(2004)은, 소스 영역(2002) 및 드레인 영역(2003) 각각에 대응해서 배치된다. 콘택트 플러그 접속 영역(2004)이, 소스 영역(2002)과 드레인 영역(2003) 중 어느 한쪽에만 배치될 경우도 있다. 소스 영역 및 드레인 영역에 대응하는 각각의 콘택트 플러그 접속 영역(2004)이, 서로 동일한 정도의 불순물 농도를 가질 수 있다. 소스 영역(2002)은 채널 영역(2007)과 접속 영역(2004) 사이에 배치된 반도체 영역(제2 영역)(2005)을 포함한다. 드레인 영역(2003)은 채널 영역(2007)과 접속 영역(2004)의 사이에 배치된 반도체 영역(제3 영역)(2006)을 포함한다. 이 반도체 영역(2005)은 반도체 영역(2006)보다도 불순물 농도가 높다. 이렇게 소스 영역의 불순물 농도를 드레인 영역의 불순물 농도보다 높게 하는 것에 의해, 화소 영역에 배치된 증폭 MOS 트랜지스터의 구동 능력을 향상시키는 것이 가능하게 된다. 또한, 화소 영역에 배치된 MOS 트랜지스터의 핫 캐리어를 저감하는 것이 가능하게 된다. 화소 영역에서는, LDD 구조를 채용하지 않기 때문에, 측벽 스페이서 형성 공정이 불필요하다. 결과적으로, LDD 구조를 형성하는 에칭 공정에 의한 손상을 방지할 수 있다.
- [0026] 도 5는 본 실시예의 고체 이미지 센서의 화소 영역(101) 및 주변 회로 영역(102)의 모식적 단면도이다. 도 5의 화소 영역(101)에는 광전 변환 소자(1), 전송 MOS 트랜지스터(2) 및 증폭 MOS 트랜지스터(5)의 단면 구조가 도시된다. 주변 회로 영역(102)에는, 신호 처리 회로(112), 수직 시프트 레지스터(113) 및 수평 시프트 레지스터(114) 중 하나의 회로를 구성하는 MOS 트랜지스터가 나타나 있다. 도 5에 도시하는 고체 이미지 센서는 반도체 기판(38)에 형성된다. 반도체 기판(38)에는 n형 또는 p형의 웰(39)이 형성된다. 웰(39) 중에 광전 변환 소자(1) 및 MOS 트랜지스터가 될 반도체 영역이 형성된다.
- [0027] 도 5의 화소 영역(101)에 있어서, 광전 변환 소자(1)를 구성하는 제1 도전형의 반도체 영역(33)은, 광전 변환 소자(1)에 축적되는 전하가 전자일 경우에는 n형이다. 전송 MOS 트랜지스터(2)는 게이트 전극(31), 소스로서 기능하는 반도체 영역(33), 드레인으로서 기능하는 반도체 영역(3)을 포함한다. 반도체 영역(33)은, 전송

MOS 트랜지스터(2)의 소스 영역과 광전 변환 소자(1)를 형성하는 반도체 영역과 공통이다. 반도체 영역(3)은 리셋 MOS 트랜지스터(도시되지 않음)의 소스와 플로팅 디퓨전(FD)(3)을 구성하는 반도체 영역(3)과 공통이다. 증폭 MOS 트랜지스터(5)는 게이트 전극(32), 드레인으로서 기능하는 반도체 영역(34a) 및 소스로서 기능하는 반도체 영역(34b)을 포함한다. 반도체 영역(34a)에 화소 선택용 기준 전압을 부여할 수 있다. 반도체 기판의 표면 상에는 실리콘 질화막(36a) 및 실리콘 산화막(37a)이 순서대로 적층되어 있다. 실리콘 질화막(36a)과 실리콘 산화막(37a)은 절연막을 형성한다. 실리콘 질화막(36a) 및 실리콘 산화막(37a)에 의해 구성되는 절연막은, 화소 영역(101)의 콘택트 저부를 제외한 모든 영역을 덮고 있다. 실리콘 질화막(36a)과 실리콘 산화막(37a)에 의해 광전 변환 소자의 표면에서의 반사를 저감하는 반사 방지막을 형성할 수 있다. 이 절연막은 항상 실리콘 질화막 및 실리콘 산화막을 조합하여 형성되는 것은 아니다. 콘택트 플러그(41a) 등의 도전체가 반도체 영역에 접촉하고 있다. FD(3)는 증폭 MOS 트랜지스터의 게이트 전극에 전극(도시되지 않음)을 통해서 접속되어 있다. 반도체 영역(34a)도 증폭용 기준 전압 배선(도시되지 않음)에 전극을 통해서 접속되어 있다.

[0028] 도 5의 주변 회로 영역(102)에 있어서, LDD 구조의 MOS 트랜지스터의 소스 영역 또는 드레인 영역이 되는 반도체 영역(43)의 불순물 농도는, 전계 완화층이 되는 반도체 영역(44)의 불순물 농도보다 높다. 게이트 전극(42)의 각 측면에 측벽 스페이서를 구성하는 실리콘 질화막(36b) 및 실리콘 산화막(37b)이 형성되어 있다.

[0029] 화소 영역(101)의 실리콘 질화막(36a) 및 실리콘 산화막(37a)과, 주변 회로 영역(102)의 측벽 스페이서가 되는 실리콘 질화막(36b) 및 실리콘 산화막(37b)을 동일한 공정에서 형성함으로써 제조 비용을 낮게 억제할 수 있다.

[0030] 화소 영역의 실리콘 질화막(36a) 및 실리콘 산화막(37a)은, 주변 회로 영역(102)의 고 불순물 농도의 반도체 영역(43)을 이온 주입에 의해 형성할 때 마스크로서 사용할 수 있다. 독립적으로, 마스크를 마련할 필요가 없기 때문에, 제조 비용을 낮게 억제할 수 있다.

[0031] 화소 영역(101)에 있어서, 증폭 MOS 트랜지스터(5)는 싱글 드레인 구조를 갖는다. 드레인 영역(34a)은 소스 영역(34b)보다 낮은 불순물 농도의 반도체 영역으로 구성된다. 이로 인해, 드레인 영역에 고 불순물 농도의 반도체 영역을 포함하는 LDD 구조와 비교하여, 핫 캐리어에 의한 트랜지스터 특성의 열화를 낮게 억제할 수 있다.

[0032] 상술된 바와 같이, 화소 영역(101)에 있어서, 증폭 MOS 트랜지스터의 소스 영역(34b)을 증폭 MOS 트랜지스터의 드레인 영역(34a)보다도 고 불순물 농도의 반도체 영역으로부터 구성함으로써, 드레인 영역(34a)보다도 소스 영역(34b)의 저항을 낮게 할 수 있다. 드레인 영역측에 비해, 높은 전계가 걸리지 않는 소스 영역은 핫 캐리어의 영향을 고려할 필요가 없다. 싱글 드레인 구조는 게이트 측벽에 측벽 스페이서를 포함하는 LDD 구조와 비교하여, 미세화에 적합하며, 측벽 스페이서 형성 시의 에칭 손상에 의한 암전류 등의 노이즈를 저감할 수도 있다.

[0033] 화소 영역(101)에 배치된 MOS 트랜지스터의 반도체 영역(3, 34a 및 34b)에 있어서, 각 콘택트 플러그(41a)의 저부에 접촉하는 접촉 영역은 금속 배선에 의한 전기적인 접속이 가능한 불순물 농도를 확보할 필요가 있다. 콘택트 홀 개구부를 통해서 불순물을 주입함으로써 불순물 농도가 확보된다.

[0034] 화소 영역(101)의 실리콘 질화막(36a)은, BPSG(Boron Phosphorus Silicon Glass) 등으로 이루어진 층간 절연막에 콘택트 홀을 형성하는 이방성 건식 에칭 시의 에칭 스톱퍼로서 사용할 수 있다. 이방성 건식 에칭을 한 후에, 실리콘 질화막(36a)과 실리콘 산화막(37a)에 대하여 선택성을 갖는 에칭 조건으로 이방성 에칭을 해서 콘택트 홀을 완성시킨다. 이 방법에 의하면, 층간 절연막의 에칭 시에, 콘택트 홀이 위치 정렬 어긋남에 의해 소자 분리 영역 상에 형성되는 경우에도, 콘택트 플러그(41a)가 소자 분리 영역이나 측면의 웰(39)에 접촉할 일이 없다. 이로 인해, 반도체 영역(3, 34a, 34b)과 웰(39) 사이의 누설 전류를 억제할 수 있다. 따라서, 콘택트 플러그와 소자 분리 영역의 거리를 짧게 할 수 있고, 따라서 소자의 미세화가 가능하게 된다.

[0035] 실리콘 질화막(36a, 36b)으로서, 수소 분자를 다량으로 함유하는 막을 사용할 수 있다. 이 경우에는, 실리콘 질화막을 형성한 후에 350℃ 이상의 열처리를 실시함으로써 반도체 기판에 수소가 확산해 불포화 결합(dangling bond)의 종단화 효과가 얻어진다. 이러한 실리콘 질화막은 플라즈마 CVD법에 의해 형성될 수 있다.

[0036] 계속해서, 도 6a 내지 도 6f를 참조하면서 고체 이미지 센서의 제조 방법을 설명한다. 우선, 도 6a에 도시하

는 바와 같이, 실리콘 등의 반도체 기판(38)에 제1 도전형(n형)의 웰(도시되지 않음)과 제2 도전형(p형)의 웰(39)을 형성한다. 다음에 STI(Shallow Trench Isolation)법 또는 선택 산화법에 의해 소자 분리 영역(41)을 형성한다. 설명을 위해, 도 6a 내지 도 6f에서는 화소 영역(101)과 주변 회로 영역(102)을 인접시켜 도시하고 있다.

[0037] 도 6b에 도시한 바와 같이, 반도체 기판(38)의 웰(39)에 화소 영역의 MOS 트랜지스터의 게이트 전극(31 및 32) 및 주변 회로 영역의 MOS 트랜지스터의 게이트 전극(42)을 폴리 실리콘에 의해 형성한다. 이 게이트 전극 형성 공정 후, n형 불순물을 도입해서 광전 변환 소자를 형성하는 포토다이오드의 n형 반도체 영역(축적 영역)(33)을 형성한다. 이어서, p형 불순물을 도입해서 포토다이오드를 매립 구조로 하기 위해서 p형 반도체 영역(35)을 n형 반도체 영역(33)의 표면에 형성한다. 그리고, 게이트 전극(31, 32 및 42)을 마스크로 한 이온 주입(제1 주입 공정)에 의해 n형 불순물을 도입한다. 게이트 전극 측면의 소스 형성 영역(소스 영역이 될 부분) 및 드레인 형성 영역(드레인 영역이 될 부분)에, 게이트 전극에 자기 정합한 소스 영역 및 드레인 영역이 되는 반도체 영역(3, 34a, 34b 및 44)을 형성한다.

[0038] 도 6c와 같이 증폭 MOS 트랜지스터의 소스 영역을 노출시키는 개구를 갖는 레지스트(50)를 화소 영역과 주변 회로 영역의 상에 형성한다. 이어서, 증폭 MOS 트랜지스터의 소스 영역(34b)에, 게이트 전극(32)을 마스크로 해서 선택적으로 이온 주입(제2 주입 공정)함으로써 n형 불순물을 도입한다. 이는, 증폭 MOS 트랜지스터(5)의 드레인 영역(34a)의 불순물 농도에 비하여, 소스 영역(34b)의 불순물 농도를 높게 할 수 있다.

[0039] 그리고, 소자 분리 영역 및 게이트 전극을 제외한 반도체 기판 표층에, 얇은 실리콘 산화막(30b)을 형성한다. 얇은 폴리 실리콘 산화막은, 폴리 실리콘 게이트 전극을 형성하기 위해서 이방성 건식 에칭을 실시한 때에 형성되는 반도체 기판 표층의 게이트 산화막을 잔존시킴으로써 형성될 수도 있다. 또는, 실리콘 질화막(36)을 성막하기 전에 열 산화해서 얇은 폴리 실리콘막을 형성될 수도 있다. 또한, 실리콘 산화막을 성막시켜서 얇은 폴리 실리콘막을 형성될 수도 있다. 그리고, 도 6d에 도시한 바와 같이, 반도체 기판의 표면에 실리콘 질화막(36)을 형성하고, 실리콘 질화막 위에 실리콘 산화막(37)을 형성한다. 이 실리콘 질화막(36) 및 실리콘 산화막(37)은 화소 영역(101) 및 주변 회로 영역(102)을 덮는 절연막이 된다.

[0040] 화소 영역 상에 레지스트(51)를 형성해 두고, 주변 회로 영역(102)의 게이트 전극(42)의 측면에서 실리콘 질화막(36) 및 실리콘 산화막(37)의 일부를 남기고 에칭한다. 이렇게 해서, 도 6e에 도시한 바와 같이, 주변 회로 영역(102)의 게이트 전극(42)의 측벽에 실리콘 질화막(36b) 및 실리콘 산화막(37b)을 포함하는 측벽 스페이서를 형성한다. 주변 회로 영역(102)의 게이트 전극(42)과 측벽 스페이서를 마스크로 하여 n형 불순물을 도입(제3 주입 공정)한다. 이에 의해, 측벽 스페이서 측면에 자기 정합한 소스 영역 및 드레인 영역을 반도체 영역(44)보다 고 불순물 농도의 반도체 영역(43)으로 변경할 수 있다. 이때, 화소 영역(101)은, 전체면에 잔존하는 실리콘 질화막(36) 및 실리콘 산화막(37)을 마스크로 해서 이용할 수 있다. 이 경우에는 독립적으로 마스크를 형성할 필요가 없기 때문에 제조 비용이 억제된다. 이렇게 해서, 도 6e에 도시된 바와 같은 구조가 얻어진다.

[0041] 이어서, 도 6f에 도시한 바와 같이, BPSG 등의 층간 절연막(40)을 화소 영역(101) 및 주변 회로 영역(102) 전체를 덮도록 형성한다. 콘택트 플러그(41a 및 41b)용 콘택트 홀을 이방성 건식 에칭에 의해 층간 절연막(40)에 형성한다. 그때에 화소 영역의 실리콘 질화막(36a)을 에칭 스톱퍼로서 사용함으로써 화소 영역(101)의 콘택트 저부가 접촉하는 접촉 영역이 반도체 기판 상에 자기 정합한 콘택트 홀이 형성된다. 콘택트 플러그(41a 및 41b)용 콘택트 홀 중에 도전체를 충전해서 콘택트 플러그를 형성한다. 이렇게 해서, 도 6f에 나타내는 구조가 얻어진다. 실리콘 산화막을 형성한 후의 어느 하나의 공정에 있어서, 350℃ 이상의 열처리가 실시될 수 있다.

[0042] 이상의 설명은 p형 반도체 기판 상에 형성되는 n 채널형 MOS 트랜지스터를 사용한 예에 대해서 설명하였다. CMOS 프로세스에 의해 고체 이미지 센서를 제작하는 경우에는, 도전형을 변경하여 전술한 바와 동일하도록 p 채널형 MOS 트랜지스터를 만들 수 있다. p 채널형 MOS 트랜지스터는 n 채널형 MOS 트랜지스터에 비하여 캐리어의 이동도가 낮다. 따라서, 본 실시예와 같이 증폭 MOS 트랜지스터의 구동 능력을 개선하는 것은 중요하다.

[0043] 상술된 본 실시 형태에 있어서, 화소 영역에 배치된 증폭 MOS 트랜지스터는, 소스 영역이 드레인 영역에 비하여 높은 불순물 농도를 갖는 반도체로 이루어지는 싱글 드레인 구조를 갖는다. 주변 회로 영역에 배치된 MOS 트랜지스터는 LDD 구조를 갖는다. 화소 영역에 배치된 증폭 MOS 트랜지스터의 드레인 영역의 저 불순물 농도 영역은, 주변 회로 영역에 배치된 MOS 트랜지스터의 LDD 구조의 저 불순물 농도 영역과 동일한 공정으로 형성

될 수 있다. 이러한 프로세스에서 형성한 고체 이미지 센서는, 화소 영역의 증폭 MOS 트랜지스터의 특성 열화의 억제와, 증폭 MOS 트랜지스터의 고 구동 능력 실현을 양립할 수 있다.

[0044] 또한, 화소부의 콘택트 홀은, 반사 방지막을 에칭 스톱퍼로 사용한 경우에는, 자기 정합적으로 반도체 기판 표면에만 접촉한다. 이는 MOS 트랜지스터의 소스 및 드레인과 웰 간의 누설 전류를 억제할 수 있다.

[0045] 화소 영역에서는 절연막을 반사 방지막 및 콘택트의 에칭 스톱퍼로서 사용하고, 주변 회로부에 있어서는 MOS 트랜지스터의 측벽 스페이서로서 사용한다. 이로써 제조 비용을 낮게 억제할 수 있다.

[0046] 절연막을 수소 분자를 다량으로 함유하는 실리콘 질화막으로 형성한 경우에는, 트랜지스터의 게면 또는 포토 다이오드상의 실리콘과 실리콘 산화막 사이의 계면의 트랩을 더 효과적으로 저감할 수 있다.

[0047] (제2 실시 형태)

[0048] 본 실시 형태에 있어서는, 증폭 MOS 트랜지스터(5)의 소스의 저항이 드레인의 저항보다 낮은 실시 형태에 대해서 설명한다. 도 3a는 화소 영역에 배치되는 증폭 MOS 트랜지스터(5)의 평면도이다. 도 3b는 도 3a의 라인 A-A'에 있어서의 단면도이다.

[0049] 증폭 MOS 트랜지스터(5)는 게이트 전극(2001), 소스 영역(2002), 드레인 영역(2003), 콘택트 플러그 접속 영역(2004)(제1 영역) 및 채널 영역(2007)을 포함한다. 콘택트 플러그 접속 영역(2004)은, 소스 영역(2002) 및 드레인 영역(2003) 각각에 대응해서 배치된다. 콘택트 플러그 접속 영역(2004)이, 소스 영역(2002) 또는 드레인 영역(2003) 중 어느 한쪽에만 배치되는 경우도 있다. 또한, 증폭 MOS 트랜지스터(5)의 소스 영역은, 채널 영역(2007)과 제1 영역 사이에 배치된 반도체 영역(2005)(제2 영역)을 포함한다. 증폭 MOS 트랜지스터(5)의 드레인 영역은, 채널 영역(2007)과 제1 영역 사이에 배치되는 반도체 영역(2006)(제3 영역)을 포함한다. 반도체 영역(2005)(제2 영역)과 채널 영역(2007) 사이의 접촉 길이는, 반도체 영역(2006)(제3 영역)과 채널 영역(2007) 사이의 접촉 길이보다도 길다. 바꿔 말하면, 증폭 MOS 트랜지스터의 채널 폭은, 드레인 단부에서보다 소스 단부에서 크다. 채널 영역의 경계는 소자 분리부에 의해 규정된다. 소자 분리부로서는, 필드 산화막 분리, STI, p-n 접합 분리 및 EDI 분리 등을 들 수 있다. 도시되어 있지 않으나, 채널 영역이 게이트 전극에 의해 규정될 수 있다. 이 경우는, 게이트 전극의 소스 단부에 있어서는 게이트 폭을, 드레인 단부에 있어서는 게이트 폭보다 넓게 해서 채널을 형성한다.

[0050] 소스측의 콘택트 플러그와 반도체 영역 사이의 접촉 면적이, 드레인측의 콘택트 플러그와 반도체 영역 사이의 접촉 면적보다 넓을 수 있다. 그 때문에, 소스 영역에 대응한 제1 영역의 면적이, 드레인 영역에 대응한 제2 영역의 면적보다 넓을 수 있다.

[0051] 이러한 구조에 의해, 화소 영역에 배치된 증폭 MOS 트랜지스터의 소스 영역의 저항을 작게 하는 것이 가능하다. 따라서, 상기 증폭 MOS 트랜지스터의 구동 능력을 향상하는 것이 가능하게 된다.

[0052] 도 3a 및 도 3b와 같이 증폭 MOS 트랜지스터의 소스측의 채널 폭보다 드레인 측의 채널 폭이 작은 구조에 의하면, 게이트 전극과 드레인 영역 사이의 용량을 저감할 수 있다. 이것에 의해, 게이트 전극과 전기적으로 접속된 플로팅 디퓨전부의 용량을 저감할 수 있다. 그로 인해, 판독된 전하를 전압으로 변환하는 게인을 높게 하는 것이 가능하게 된다. 플로팅 디퓨전부에서의 전하-대-전압 변환 게인이 높으면, 후단의 노이즈를 상대적으로 작게 할 수 있다. 소스측의 채널 폭을 크게 유지함으로써 G_m 을 높게 하는 것이 가능하다. 그로 인해, 동일한 게이트 면적에 있어서는 RTS 노이즈 등 저주파 노이즈를 상대적으로 작게 하는 것이 가능하다.

[0053] (제3 실시 형태)

[0054] 본 실시 형태에 있어서는, 도전체와 직접 접촉하는 드레인 영역의 접촉 면적에 관해서 설명한다. 일반적으로 MOS 트랜지스터의 소스 및 드레인과 배선층의 배선 패턴에 전기적으로 접속하는 콘택트 플러그 등의 도전체와의 접촉은 저저항 및 옴릭 특성을 나타내는 것이 요구된다. 금속 불순물에 기인하는 결점에 민감한 고체 이미지 센서에 있어서는, 실리사이드를 형성하는 프로세스의 적용이 의도적으로 억제되는 경우가 있다. 따라서, 고체 이미지 센서에 있어서, 드레인 영역과 도전체 사이의 옴릭 콘택트를 형성하는 방법이 중요해진다.

[0055] 상술한 각 실시 형태와 같은 화소 영역에 배치된 MOS 트랜지스터의 드레인 영역이 전계 완화 구조를 갖는 경우에는, 저저항 및 옴릭 특성을 나타내는 콘택트를 형성하는 방법이 요구된다. 이것을 만족하는 고체 이미지 센서의 구조 및 제조 방법에 대해서 이하에 설명한다. 도 7에 본 실시예의 고체 이미지 센서의 단면도를 도시한다. 실시예 1, 2와 마찬가지로의 기능을 갖는 것에는 같은 부호를 붙여 상세한 설명은 생략한다. 참조번호

호 101은 화소 영역에 배치된 플로팅 디퓨전(FD)(3), 즉, 전송 MOS 트랜지스터(본 실시 형태에서는 n형)의 드레인 영역과 도전체 사이의 접촉부를 나타내고, 104는 주변 회로부에 배치된 n형 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 도전체 사이의 접촉부를 나타내고, 105는 주변 회로 영역에 배치된 p형 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 도전체 사이의 접촉부를 나타내고 있다.

[0056] 참조번호 101로 나타낸 바와 같이, FD(3)는 도전체인 콘택트 플러그(41a)와 직접 접촉하고 있는 n형의 고 불순물 농도의 반도체 영역(45)을 포함한다. 접촉부(104 및 105)도 마찬가지로, 소스 영역 및 드레인 영역은 각각 n형 및 p형의 고 불순물 농도의 반도체 영역(45 및 46)을 포함한다. 본 실시 형태의 구조를 적용함으로써, 모든 콘택트 플러그(41a, 41b 및 41c)에 있어서, 저저항이면서 양호한 오믹 특성이 얻어진다.

[0057] 계속해서, 본 실시 형태에 있어서의 고체 이미지 센서의 제조 방법에 대해서 설명한다.

[0058] 제1 실시 형태에서 설명한 절차에서 도 6e까지는 같은 프로세스로 형성한다. 저 불순물 농도의 반도체 영역의 불순물 농도는 약 $1 \times 10^{17} / \text{cm}^3 \leq d1 \leq 5 \times 10^{18} / \text{cm}^3$ 로 설정할 수 있다. 그 후, 도전체와 접촉을 행하는 소스 영역 및 드레인 영역에 대응해서 콘택트 홀을 이방성 건식 에칭에 의해 형성한다. 이후에, 포토마스크를 사용해서 화소 영역에 배치된 FD(3)에 대응하는 콘택트 저부와, 주변 회로 영역(102)에 배치된 반도체 영역(43)에 대응하는 콘택트 저부에 대하여, 인(P)으로 대표되는 n형 불순물을 도입한다. 화소 영역의 반도체 영역(3)에 대한 콘택트에 대한 저저항 및 오믹 특성을 얻기 위해서, 콘택트 플러그가 직접 접하는 반도체 영역의 불순물 농도 d2가 $5 \times 10^{18} / \text{cm}^3 \leq d2 \leq 5 \times 10^{19} / \text{cm}^3$ 을 만족하도록 도우즈량을 설정할 수 있다. 비용 저감을 고려해서 포토마스크를 사용하지 않고 전체 영역에 n형 불순물을 도입할 수 있다.

[0059] 다음으로, 포토마스크를 사용해서 주변 회로 영역에 배치된 p형 MOS 트랜지스터의 소스 또는 드레인 영역과 도전체 사이의 접촉부(105)에, 붕소(B)로 대표되는 p형 불순물을 도입해서 n형의 고농도의 반도체 영역을 형성한다. 이때, 상술한 n형 불순물의 전체면에 이온을 주입함으로써, p형 반도체 영역에 n형 불순물이 도입되어 있어도 좋다. 이 경우에, 주변 회로 영역에 배치된 n형 MOS 트랜지스터의 소스 영역과 드레인 영역 및 도전체의 접촉부(104)의 전체를 덮도록 마스크 패턴을 형성한다. 불순물 농도가 전체면에 이온을 주입함으로써 도입된 n형 불순물의 농도를 상회하도록, p형 불순물 이온의 주입 조건을 설정할 필요가 있다. 예를 들어, 이때의 도우즈량은 콘택트 플러그가 직접 접하는 영역의 불순물 농도 d3가 $5 \times 10^{18} / \text{cm}^3 \leq d3 \leq 5 \times 10^{19} / \text{cm}^3$ 을 만족하도록, 약 $1.0 \times 10^{15} / \text{cm}^2$ 로 설정할 수 있다.

[0060] 본 실시 형태의 제조 방법에 관해서는, 상기 설명한 제1 실시 형태 및 제2 실시 형태에 적용 가능하다. 본 방법은 화소 영역에 배치되는 각종 MOS 트랜지스터에 적용하는 것이 가능하다.

[0061] (제4 실시 형태)

[0062] 본 실시 형태에 있어서는, 화소에 포함되는 증폭 MOS 트랜지스터의 소스 영역의 불순물 농도가 드레인 영역의 불순물 농도보다도 높은 것이 특징이다.

[0063] 도 1에 본 실시 형태의 고체 이미지 센서의 평면 배치도를 나타낸다. 참조 번호 111이 화소 영역이다. 복수의 화소가 화소 영역(111)에 배열된다. 화소 영역(111)의 구조 및 화소의 구조는, 제1 실시 형태의 고체 이미지 센서와 동일하며, 여기서는 상세한 설명은 생략한다. 단, 본 실시 형태에 있어서는, 증폭 MOS의 구조가 제1 실시 형태의 고체 이미지 센서와 상이할 수 있다.

[0064] 신호 처리 회로(112)는 화소 영역(111)으로부터 관독된 신호를 증폭하는 회로를 포함한다. 수직 시프트 레지스터(113)는 화소 영역(111)에 배치된 각 화소를 구동하도록 구성된다. 수평 시프트 레지스터(114)는 신호 처리 회로(112)를 구동하도록 구성된다. 신호 처리 회로(112), 수직 시프트 레지스터(113) 및 수평 시프트 레지스터(114)는 주변 회로 영역에 배치된다. 이들 회로는 제1 실시 형태의 고체 이미지 센서와 동일하기 때문에, 상세한 설명은 생략한다.

[0065] 도 4는, 화소 영역(111)에 배열되는 1개의 화소의 일례를 나타내고 있다. 본 실시 형태의 고체 이미지 센서의 화소 회로는 제1 실시 형태의 고체 이미지 센서의 화소 회로와 동일하며, 여기서는 상세한 설명은 생략한다.

[0066] 본 실시 형태에 있어서는, 화소 영역의 MOS 트랜지스터의 드레인 영역의 불순물 농도가 주변 영역의 불순물 농도보다도 낮고, 또한 주변 회로 영역의 MOS 트랜지스터가 LDD 구조를 갖는다.

[0067] 도 8은 본 실시 형태의 고체 이미지 센서의 모식적 단면도이다. 고체 이미지 센서는 화소 영역(101)과 주변

회로 영역(102)을 포함하고 있다. 화소 영역(101)은 광전 변환 소자로부터의 신호를 관독하도록 구성된 증폭 MOS 트랜지스터(909)를 포함한다. 주변 회로 영역(102)은 예를 들어, 신호 처리 회로(112), 수직 시프트 레지스터(113) 및 수평 시프트 레지스터(114) 중 어느 하나를 구성하는 MOS 트랜지스터(910)를 포함한다.

[0068] 주변 회로 영역의 MOS 트랜지스터(910)의 소스 및 드레인 영역에는 LDD 구조가 채용되어 있다. LDD 구조는, MOS 트랜지스터의 구동 능력이 손상되지 않는 정도로 불순물 농도가 높은 반도체 영역(911)과, 반도체 영역(911)보다 불순물 농도가 낮은 반도체 영역(914)을 포함한다. 반도체 영역(914)은 각 측벽 스페이서(913) 아래에 형성되어 핫 캐리어에 대한 전계 완화층으로 된다. 또한, 콘택트 플러그(915)용의 각 콘택트 홀 아래에는 저저항과 오믹 특성을 나타내는 반도체 영역(916)이 형성되어 있다. 반도체 영역(916)의 불순물 농도는 반도체 영역(911)보다 높다. 화소 영역에 배치된 증폭 MOS 트랜지스터(909)의 드레인 영역은 싱글 드레인 구조를 갖는다. 화소 영역(101)에 배치된 증폭 MOS 트랜지스터(909)의 드레인 영역의 불순물 농도는 주변 영역에 배치된 MOS 트랜지스터(910)의 반도체 영역(911)의 불순물 농도보다도 낮고, 핫 캐리어를 일으키지 않도록 전계 완화층으로서 작용한다. 본 실시예에 있어서, 화소 영역(101)에 배치된 증폭 MOS 트랜지스터(909)의 소스 영역은 임의의 구조를 가질 수 있음을 인식해야 한다. 예를 들어, 증폭 MOS 트랜지스터(909)의 소스 영역이 LDD 구조를 가질 수 있다. 증폭 MOS 트랜지스터(909)의 소스 영역의 불순물 농도는, 주변 회로 영역(102)에 배치된 MOS 트랜지스터(910)의 소스 영역 또는 드레인 영역의 불순물 농도보다 높을 수도 있고, 그들과 동일한 정도일 수도 있다.

[0069] 미세화 등의 목적으로 전계를 완화할 필요가 있는 화소 영역에서는 전계 완화층을 넓게 형성할 필요가 있다. 게이트 측벽에 측벽 스페이서를 형성할 때의 에칭 손상을 고려하면, 화소 영역에서는 LDD 구조를 채용하지 않는 것이 유리하다. 한편, 전계 완화층이 넓을 경우 또는 불순물 농도가 지나치게 낮은 경우에, 트랜지스터의 기생 저항(직렬 저항)이 증대하고, 트랜지스터의 구동 능력을 크게 손상시키는 결과가 된다. 따라서, 특히 구동 능력이 중요하게 되는 증폭 MOS 트랜지스터의 소스 영역의 저항은 낮게 억제되는 것이 바람직하다.

[0070] 도 8의 화소 영역(101)에는 광전 변환 소자(1), 전송 MOS 트랜지스터(2) 및 증폭 MOS 트랜지스터(909)의 단면 구조가 나타나고 있다. 주변 회로 영역(102)에는, 신호 처리 회로(112), 수직 시프트 레지스터(113) 및 수평 시프트 레지스터(114) 중 하나를 구성하는 MOS 트랜지스터(910)가 나타나 있다. 도 8에 도시되는 고체 이미지 센서는 반도체 기판에 구성된다. 반도체 기판에는 n형 또는 p형의 웰이 형성된다. 또한 웰 중에 광전 변환 영역(1) 및 MOS 트랜지스터가 될 반도체 영역이 형성된다.

[0071] 도 8의 화소 영역(101)에 있어서, 광전 변환 소자(1)를 구성하는 제1 도전형 반도체 영역(903)은, 광전 변환 소자(1)에 축적되는 전하가 전자일 경우에는 n형이다. 전송 MOS 트랜지스터(2)는 게이트 전극(901), 소스로서 기능하는 반도체 영역(903) 및 드레인으로서 기능하는 반도체 영역(914)을 포함한다. 반도체 영역(903)은, 전송 MOS 트랜지스터(2)의 소스 영역과 광전 변환 소자(1)를 형성하는 반도체 영역과 공통이다. 반도체 영역(914)은 리셋 MOS 트랜지스터(도시되지 않음)의 소스와 플로팅 디퓨전(FD)부(3)를 구성하는 반도체 영역과 공통이다. 증폭 MOS 트랜지스터(909)는 게이트 전극(902), 드레인으로서 기능하는 반도체 영역(914) 및 소스로서 기능하는 반도체 영역(914)을 갖는다. 증폭 MOS 트랜지스터(909)의 드레인으로서 기능하는 반도체 영역(914)에 전원 전압을 부여할 수 있다. 광전 변환 소자(1)의 표면의 위에는 실리콘 질화막 및 실리콘 산화막이 순서대로 적층되어 있다. 실리콘 질화막과 실리콘 산화막은 절연막을 형성한다. 실리콘 질화막 및 실리콘 산화막으로 구성되는 절연막은, 화소 영역(101)의 콘택트 저부를 제외한 모든 영역을 덮고 있을 수 있다. 또한, 실리콘 질화막과 실리콘 산화막에 의해 광전 변환 소자의 표면에서의 반사를 저감하는 반사 방지막을 구성할 수 있다. 이 절연막은 실리콘 질화막 및 실리콘 산화막의 조합으로 제한되지 않는다. 콘택트 플러그(915) 등의 도전체가 반도체 영역에 접촉하고 있다. 플로팅 디퓨전(FD)(3) 및 전송 MOS 트랜지스터(2)의 드레인으로서 기능하는 반도체 영역(914)은 증폭 MOS 트랜지스터의 게이트 전극에 전극(도시되지 않음)을 통해 접속된다. 증폭 MOS 트랜지스터(909)의 드레인으로서 기능하는 반도체 영역(914)은 또한 전원 전압선(도시되지 않음)에 전극을 통해 접속된다.

[0072] 도 8의 주변 회로 영역(102)에 있어서, LDD 구조의 MOS 트랜지스터(910)의 소스 영역 또는 드레인 영역이 되는 반도체 영역(911)의 불순물 농도는, 전계 완화층이 되는 반도체 영역(914)보다 높다. 게이트 전극(912)의 각 측면에 측벽 스페이서를 구성하는 실리콘 질화막 및 실리콘 산화막이 형성되어 있다.

[0073] 화소 영역(101)의 실리콘 질화막 및 실리콘 산화막과, 주변 회로 영역(102)의 측벽 스페이서가 되는 실리콘 질화막 및 실리콘 산화막을 동일한 공정으로 형성함으로써 제조 비용을 낮게 억제할 수 있다.

[0074] 화소 영역(101)에 배치된 MOS 트랜지스터의 반도체 영역(914) 및 주변 회로 영역(102)에 배치된 MOS 트랜지스

터의 반도체 영역(911)에 있어서, 콘택트 플러그(915)의 저부가 접촉한다. 각각의 접촉부는, 금속 배선에 의한 전기적인 접속이 가능한 불순물 농도를 확보할 필요가 있다. 이것은, 콘택트 홀 개구부를 통해서 불순물을 주입함으로써 불순물 농도를 확보한다.

[0075] 화소 영역(101)의 실리콘 질화막은 에칭 스톱퍼로서 사용할 수 있다. 예를 들어, BPSG(Boron Phosphorus Silicon Glass) 등으로 구성되는 층간 절연막에 콘택트 홀을 형성하는 이방성 건식 에칭 시의 에칭 스톱퍼로서 실리콘 질화막을 사용할 수 있다. 이방성 건식 에칭을 한 후에, 실리콘 질화막과 실리콘 산화막에 대하여 선택성을 갖는 에칭 조건으로 이방성 에칭을 하여 콘택트 홀을 완성시킨다. 이 방법에 의하면 층간 절연막의 에칭 시에, 콘택트 홀이 위치 정렬 어긋남에 의해 소자 분리 영역 상에 형성된 경우에도, 콘택트 플러그(915)이 소자 분리 영역이나 측면의 웰에 접촉하는 일이 없다. 이로 인해, 반도체 영역과 웰 사이의 누설 전류를 억제할 수 있다. 따라서, 콘택트 플러그와 소자 분리 영역 사이의 거리를 짧게 할 수 있어, 소자의 미세화가 가능하게 된다.

[0076] 실리콘 질화막으로서 수소 분자를 다량으로 함유하는 막을 사용할 수 있다. 이 경우에는, 실리콘 질화막을 형성한 후에 350℃ 이상의 열처리를 실시함으로써, 반도체 기판에 수소가 확산해 불포화 결합의 종단화 효과가 얻어진다. 이러한 실리콘 질화막은 플라즈마 CVD법으로 형성할 수 있다.

[0077] 본 발명의 실시 형태에서는, 고체 이미지 센서의 미세화와 증폭 MOS 트랜지스터의 구동 능력의 향상을 양립시키기 위해서, 증폭 MOS 트랜지스터의 소스 영역과 드레인 영역은 상이한 구조를 갖는다. 구체적으로는 증폭 MOS 트랜지스터의 소스 영역의 불순물 농도가, 증폭 MOS 트랜지스터의 드레인 영역의 불순물 농도보다도 높다. 이에 의해, 화소 영역에 배치된 증폭 MOS 트랜지스터의 소스 영역의 저항을, 드레인 영역의 저항보다도 낮게 할 수 있기 때문에, 증폭 MOS 트랜지스터의 구동력을 높게 할 수 있다.

[0078] 도 9a 내지 도 9c를 참조하여, 이러한 불순물 농도 분포에 대해서 상세하게 설명한다. 도 9a가 화소 영역에 배치되는 증폭 MOS 트랜지스터의 평면도이다. 도 9b가 도 9a의 라인 B-B'에 있어서의 단면도이다. 도 9c가 본 실시 형태의 변형예의 도 9a의 라인 B-B'에 있어서의 단면도이다.

[0079] 증폭 MOS 트랜지스터는 게이트 전극(3001), 소스 영역(3002), 드레인 영역(3003)을 포함한다. 또한, 증폭 MOS 트랜지스터는 소스측의 콘택트 플러그 접속 영역(3004) 및 드레인측의 콘택트 플러그 접속 영역(3005)을 포함한다. 접속 영역(3004 및 3005) 중 어느 하나만이 배치될 수 있고, 양쪽 모두 배치되어 있지 않을 수도 있다. 소스 영역(3002) 또는 드레인 영역(3003)이, 다른 트랜지스터의 소스 영역 또는 드레인 영역을 겹치고 있는 경우에는, 콘택트 플러그가 배치되지 않아도 좋다.

[0080] 소스 영역(3002)은, 콘택트 플러그 접속 영역(3004)과 게이트 전극(3001) 사이에 배치된 영역(3006)을 포함한다. 드레인 영역(3003)은, 콘택트 플러그 접속 영역(3005)과 게이트 전극(3001) 사이에 배치된 영역(3007)을 포함한다.

[0081] 본 실시 형태에 있어서는, 이 둘의 영역(3006)과 영역(3007) 사이의 불순물 농도의 관계가 특징 부분이다. 도 9b에 도시하는 단면에서는, 영역(3006)의 전체의 불순물 농도가, 영역(3007)의 가장 불순물 농도가 높은 부분의 불순물 농도보다 높다. 나머지 부분의 불순물 농도의 관계는 어떤 것이어도 좋다. 예를 들어, 드레인측의 플러그 접속 영역(3005)의 불순물 농도는 영역(3006)의 불순물 농도보다 높을 수 있다. 특히, 콘택트 플러그(3005a)와 드레인 영역(3003) 사이의 콘택트 저항을 감소시키기 위해서는, 플러그 접속 영역(3005)의 불순물 농도는 높은 쪽이 유리하다. 소스 영역(3002) 중, 영역(3006)을 제외한 부분의 불순물 농도는, 영역(3006)과 동일한 정도이여도 좋고 상이할 수도 있다. 또한, 드레인 영역(3003) 중, 영역(3007)을 제외한 부분의 불순물 농도는, 영역(3007)과 동일한 정도이여도 좋고, 상이할 수도 있다.

[0082] 이렇게 영역(3006)의 전체의 불순물 농도가, 영역(3007)의 가장 불순물 농도가 높은 부분의 불순물 농도보다도 높은 것에 의해, 증폭 MOS 트랜지스터의 구동 능력을 향상시키고, 또한 핫 캐리어를 저감시키는 것이 가능하게 된다.

[0083] 도 9c는, 본 실시 형태의 변형예의 단면도를 도시한다. 도 9c에 있어서는, 소스 영역(3002)의 콘택트 플러그 접속 영역(3004)과 게이트 전극(3001) 사이에 배치된 영역(3006)이, 불순물 농도가 상이한 영역(3006a) 및 영역(3006b)을 포함한다. 또한, 드레인 영역(3003)의 콘택트 플러그 접속 영역(3005)과 게이트 전극(3001) 사이에 배치된 영역(3007)이, 불순물 농도가 상이한 영역(3007a) 및 영역(3007b)을 포함한다. 도 9c에 있어서는 도 9b와 동일한 구조의 부분에는, 동일한 참조부호를 부여한다.

[0084] 영역(3006a)의 불순물 농도는 영역(3006b)의 불순물 농도보다 높다. 영역(3006b)은 영역(3006a)과 게이트 전

극(3001) 사이에 배치된다. 영역(3007a)의 불순물 농도는 영역(3007b)의 불순물 농도보다 높다. 영역(3007b)은 영역(3007a)과 게이트 전극(3001) 사이에 배치된다. 영역(3006a)의 불순물 농도는, 영역(3007a)의 불순물 농도보다 높다. 한편으로, 영역(3006b)과 영역(3007b)은, 동일한 정도의 불순물 농도이다. 즉, 소스 측의 콘택트 플러그 접속 영역(3004)과 게이트 전극(3001) 사이에 배치된 영역(3006)의 일부만이, 영역(3007)보다 높은 불순물 농도일 수 있다.

[0085] 이렇게, 영역(3006) 중 적어도 일부의 영역의 불순물 농도가, 영역(3007)의 가장 불순물 농도가 높은 부분의 불순물 농도보다도 높은 것에 의해, 증폭 MOS 트랜지스터의 구동 능력을 향상시키고, 또한 핫 캐리어를 저감시키는 것이 가능하게 된다.

[0086] 이상 설명한 대로, 증폭 MOS 트랜지스터의 소스 영역의 불순물 농도가, 증폭 MOS 트랜지스터의 드레인 영역의 불순물 농도보다도 높다. 이에 의해, 화소 영역에 배치된 증폭 MOS 트랜지스터의 소스 영역의 저항을, 드레인 영역의 저항보다도 낮게 할 수 있기 때문에, 증폭 MOS 트랜지스터의 구동력을 높게 할 수 있다.

[0087] (제5 실시 형태)

[0088] 도 10은, 본 발명에 따른 고체 이미지 센서를 촬상 시스템에 응용하는 경우의 회로 블록의 예를 도시한 것이다.

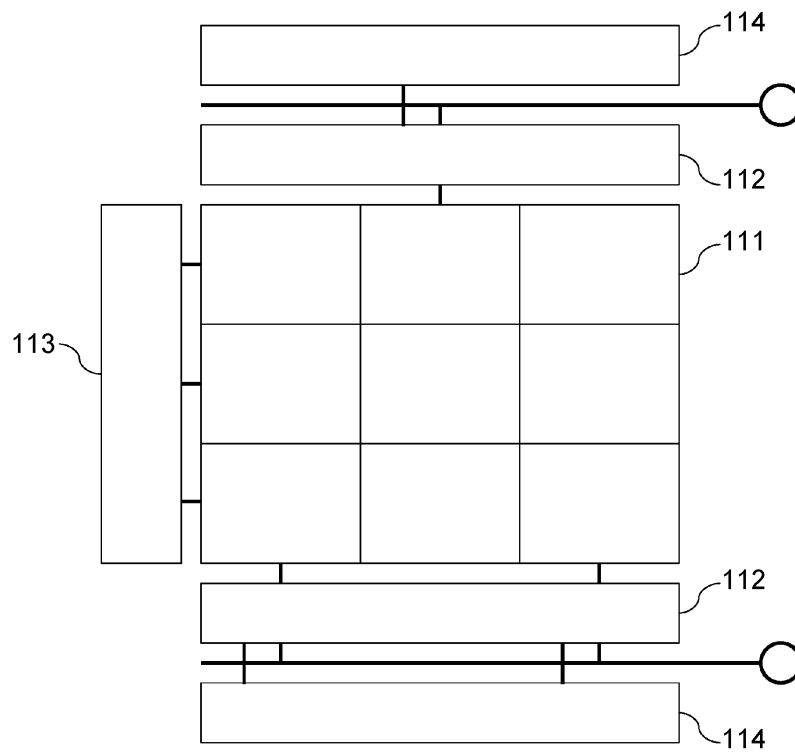
[0089] 광학계는, 촬영 렌즈(1002), 셔터(1001) 및 조리개(1003)를 포함하고, 피사체의 상을 고체 이미지 센서(1004)에 결상시킨다.

[0090] 고체 이미지 센서(1004)로부터의 출력 신호는 검지 신호 처리 회로(1005)에 의해 처리된다. A/D 변환기(1006)에 의해 아날로그 신호로부터 디지털 신호로 변환된다. 출력된 디지털 신호는 또한 신호 처리 유닛(1007)으로 연산 처리된다. 처리된 디지털 신호는 메모리 유닛(1010)에 저장되거나, 외부 I/F 유닛(1013)을 통해서 외부의 기기에 보내진다. 고체 이미지 센서(1004), 검지 신호 처리 회로(1005), A/D 변환기(1006) 및 신호 처리 유닛(1007)은 타이밍 발생부(1008)에 의해 제어된다. 시스템 전체는 전체 제어/연산 유닛(1009)에 의해 제어된다. 기록 매체(1012)에 화상을 기록하기 위해서, 출력 디지털 신호는 전체 제어/연산 유닛에 의해 제어되는 기록 매체 제어 I/F 유닛(1011)을 통해 기록된다.

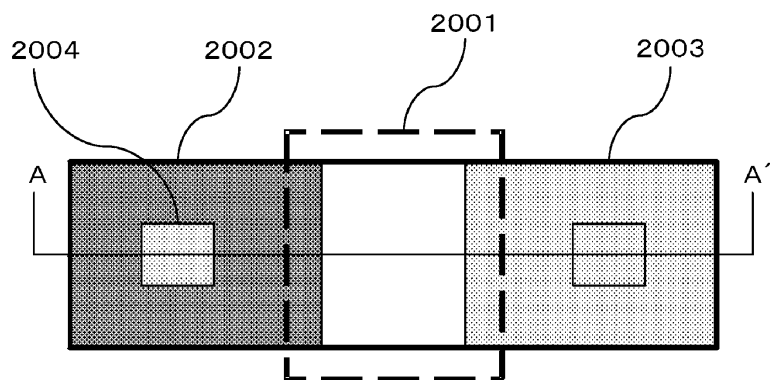
[0091] 본 발명이 예시적인 실시 형태를 참조하여 설명되었지만, 본 발명이 개시된 예시적인 실시 형태에 한정되지 않는다는 점을 이해해야 한다. 이하의 청구범위의 범주는 이러한 모든 변형과 등가 구조 및 기능을 포함하도록 최광의로 해석되어야 한다.

도면

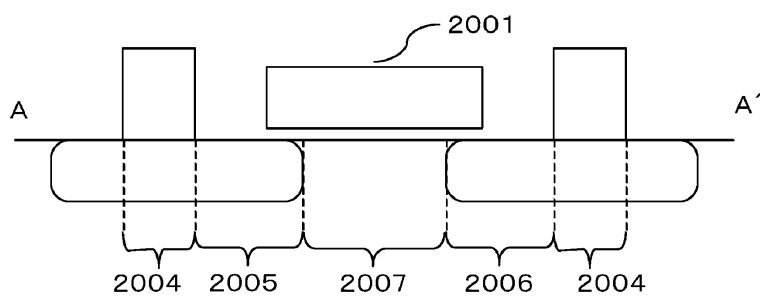
도면1



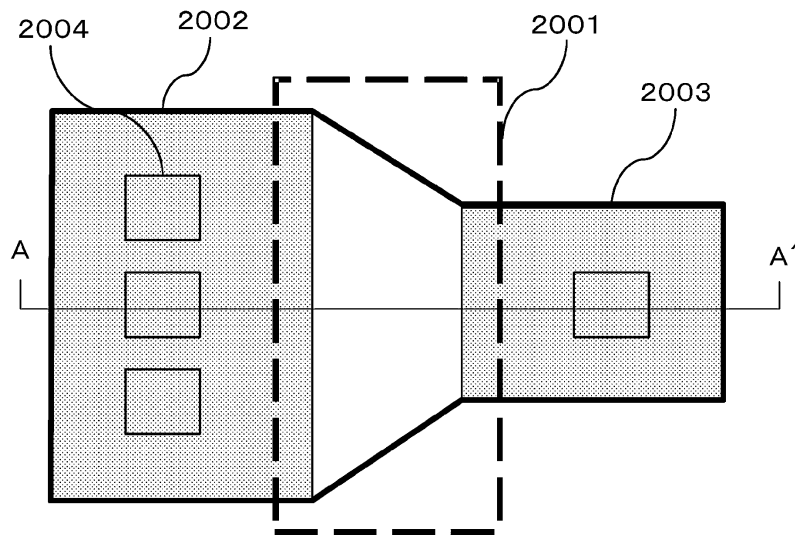
도면2a



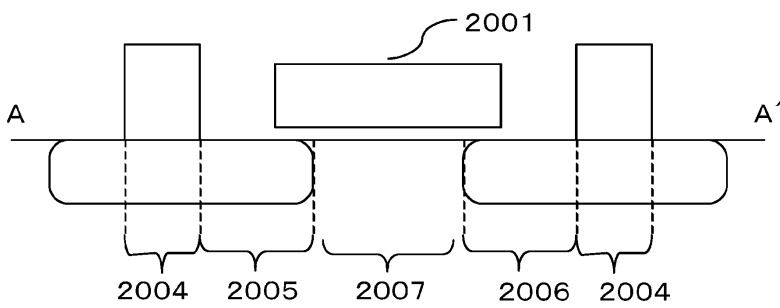
도면2b



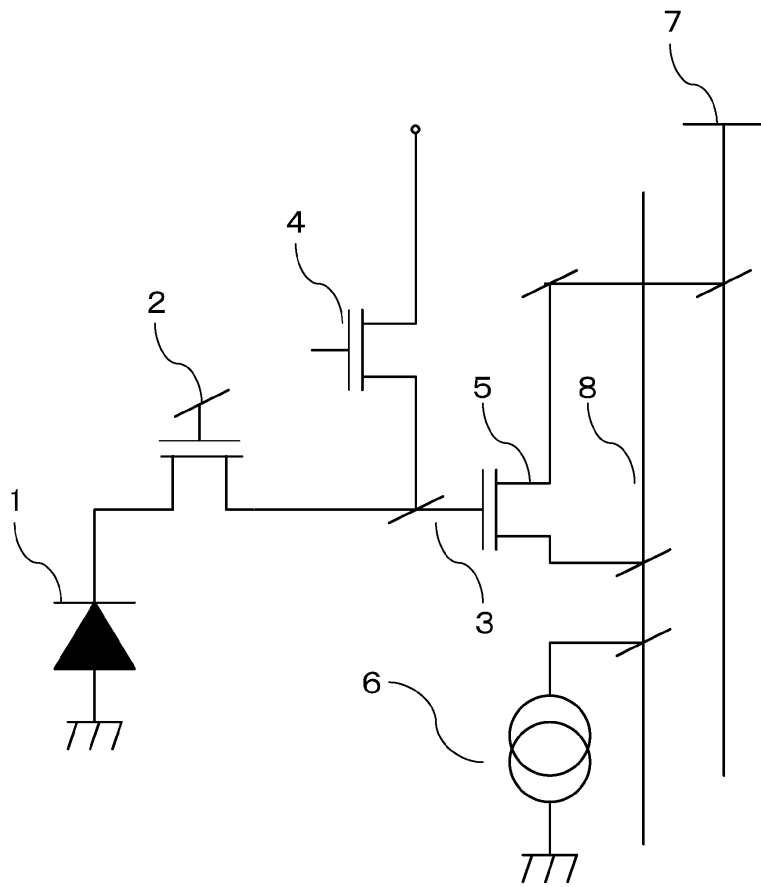
도면3a



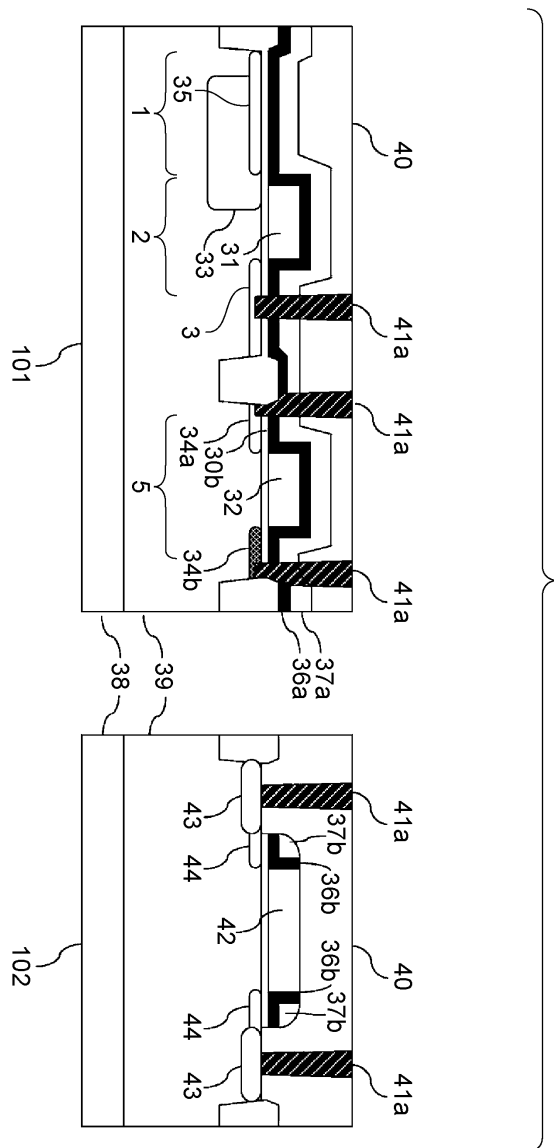
도면3b



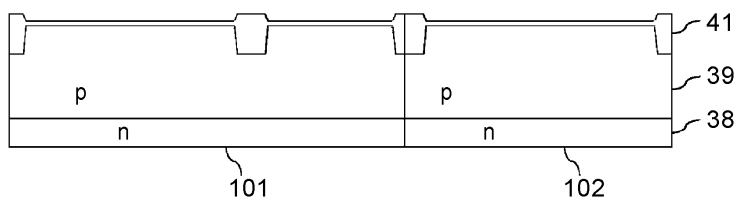
도면4



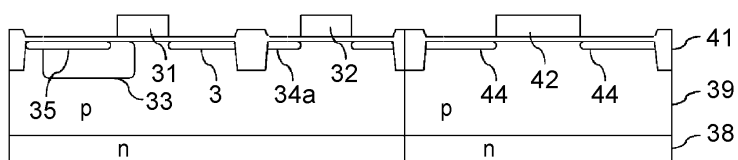
도면5



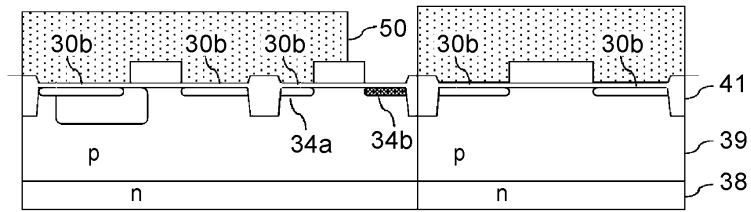
도면6a



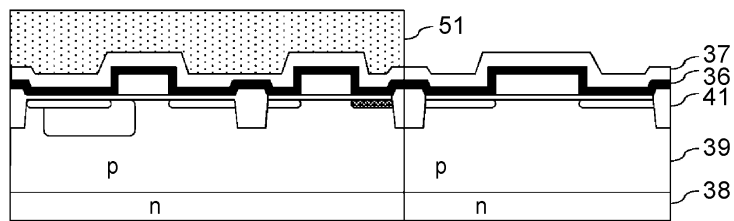
도면6b



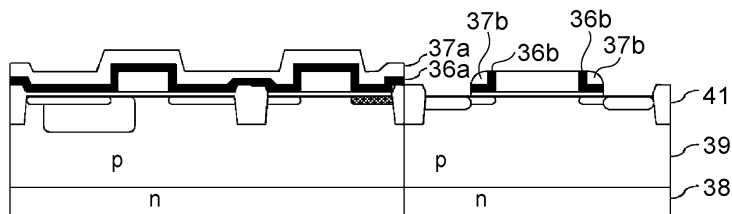
도면6c



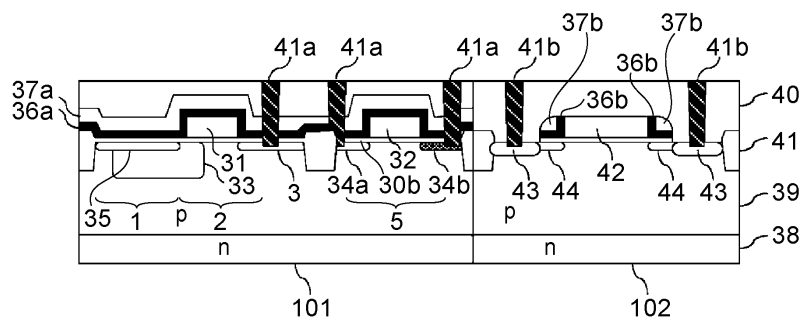
도면6d



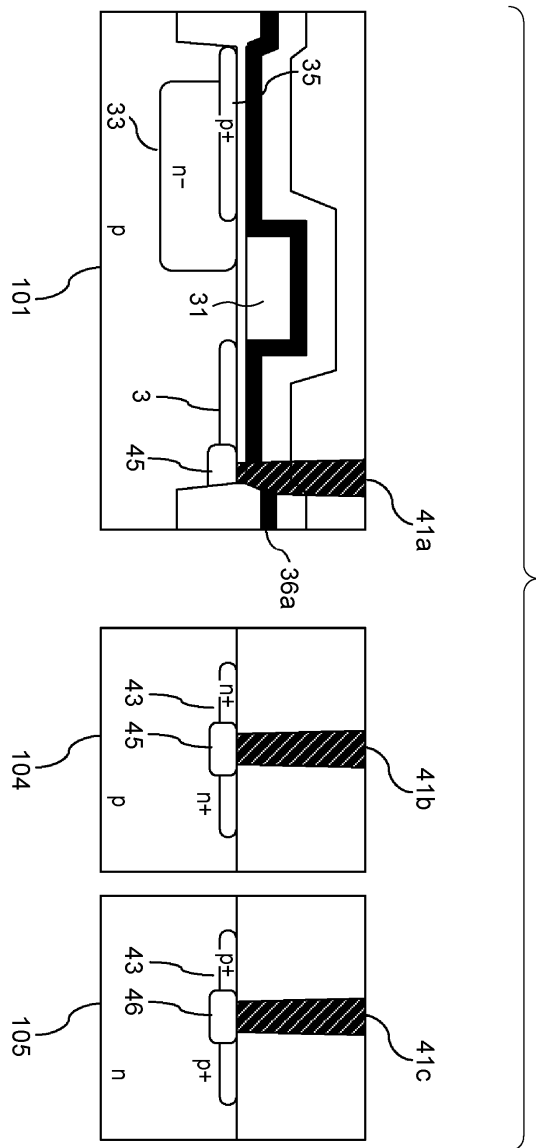
도면6e



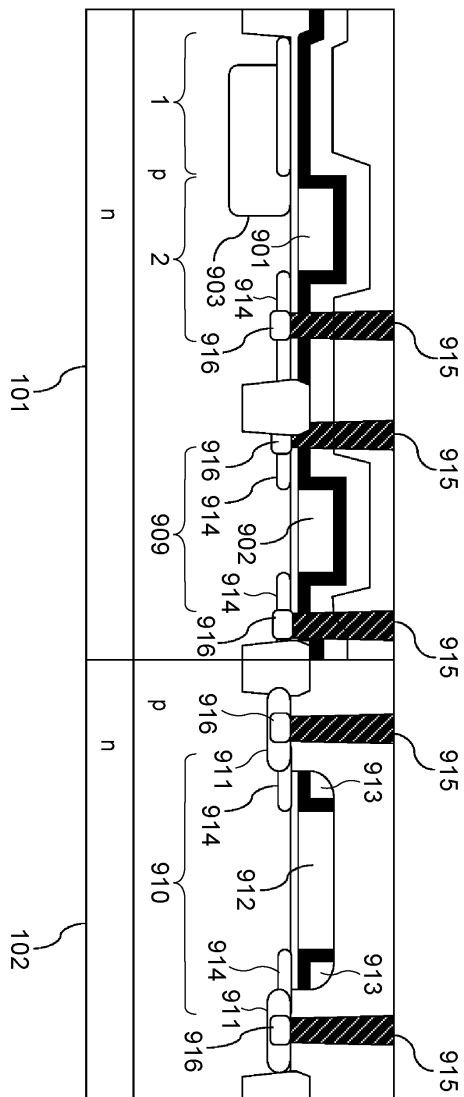
도면6f



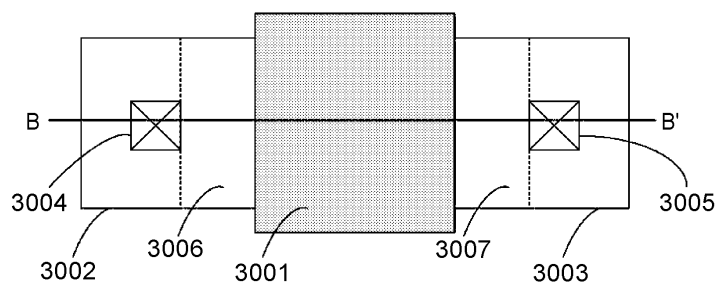
도면7



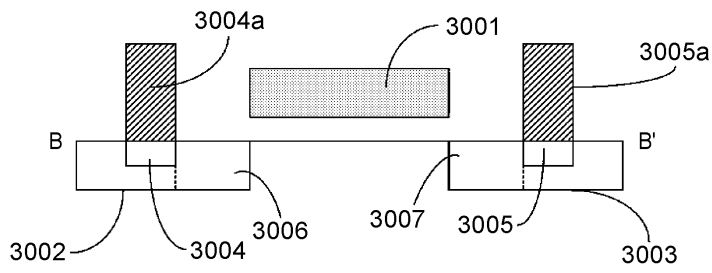
도면8



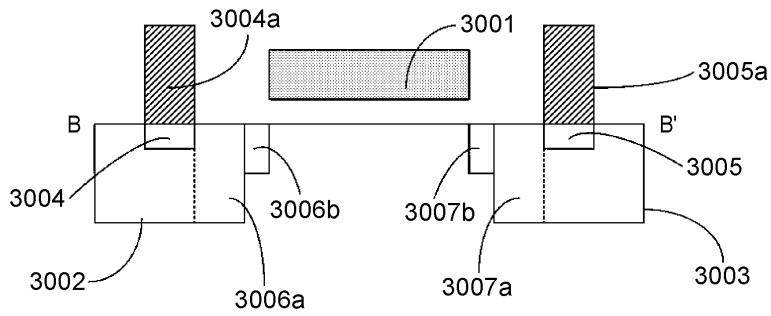
도면9a



도면9b



도면9c



도면10

