(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/184149 A1

(51) 国際特許分類:
H01L 21/3205 (2006.01) *H04N 5/33* (2006.01)
H01L 21/768 (2006.01) *H04N 5/357* (2011.01)
H01L 23/522 (2006.01) *H04N 5/3745* (2011.01)
H01L 27/146 (2006.01)

(21) 国際出願番号： PCT/JP2020/007045

(22) 国際出願日： 2020年2月21日(21.02.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-043786 2019年3月11日(11.03.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

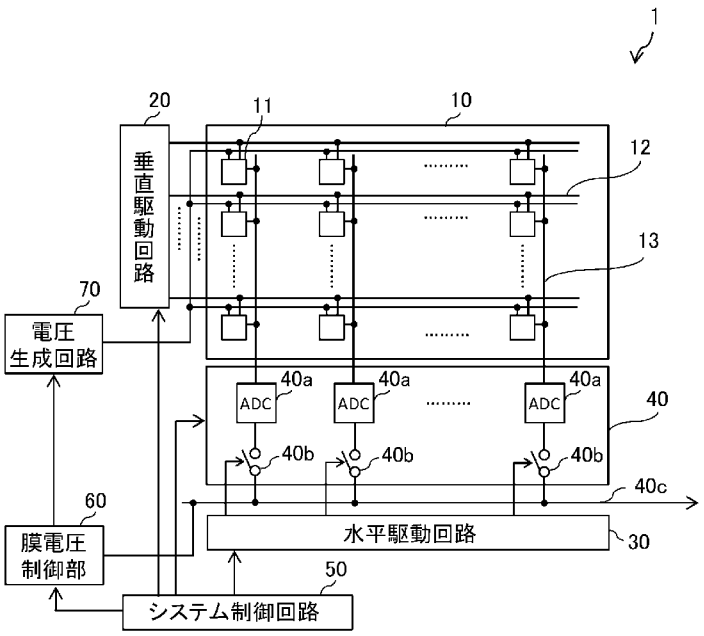
(72) 発明者: 鈴木 三佐男 (**SUZUKI, Misao**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (**TSUBASA PATENT PROFESSIONAL CORPORATION**); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称： 撮像素子および撮像装置



20 Vertical drive circuit
30 Horizontal drive circuit
50 System control circuit
60 Membrane voltage control unit
70 Voltage generating circuit

(57) **Abstract:** An imaging element according to an embodiment of the present disclosure is provided with a plurality of sensor pixels and a voltage control unit. Each of the sensor pixels includes a photoelectric conversion part and a read circuit which outputs a pixel signal based on a charge output from the photoelectric conversion part. The voltage control unit applies a control voltage based on the pixel signal to a plurality of photoelectric conversion parts.

(57) 要約：本開示の一実施の形態に係る撮像素子は、複数のセンサ画素と、電圧制御部とを備えている。各センサ画素は、光電変換部と、光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路とを含む。電圧制御部は、画素信号に基づく制御電圧を複数の光電変換部に印加する。

WO 2020/184149 A1

[続葉有]

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 撮像素子および撮像装置

技術分野

[0001] 本開示は、撮像素子および撮像装置に関する。

背景技術

[0002] 近年、赤外領域に感度を有する撮像素子（赤外線センサ）が商品化されている。例えば、特許文献１では、このような赤外線センサにＩｎＧａＡｓ（インジウムガリウム砒素）等のＩＩＩ－Ｖ族半導体を光電変換部として用いることが記載されている。この光電変換部において、赤外線が吸収されることで電荷が発生する。

先行技術文献

特許文献

[0003] 特許文献1：国際公開ＷＯ２０１７／１５０１６７

発明の概要

[0004] このような撮像素子では、画質の低下を抑えることが望まれている。従って、画質の低下を抑えることが可能な撮像素子および撮像装置を提供することが望ましい。

[0005] 本開示の一実施の形態に係る撮像素子は、複数のセンサ画素と、電圧制御部とを備えている。各センサ画素は、光電変換部と、光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路とを含む。電圧制御部は、画素信号に基づく制御電圧を各光電変換部に印加する。

[0006] 本開示の一実施の形態に係る撮像装置は、撮像素子と、画質制御回路とを備えている。撮像素子は、複数のセンサ画素を有している。各センサ画素は、光電変換部と、光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路とを含む。画質制御回路は、画素信号に基づく制御電圧を各光電変換部に印加する。

[0007] 本開示の一実施の形態に係る撮像素子および撮像装置では、画素信号に基

づく制御電圧が各光電変換部に印加される。これにより、撮像素子で得られる画像データの画質が制御されるので、各光電変換部に固定電圧を印加した場合と比べて、画像データの輝度の大きさに応じた画質調整が行われ得る。

図面の簡単な説明

[0008] [図1]本開示の第１の実施形態に係る撮像素子の概略構成例を表す図である。

[図2]図１のセンサ画素の回路構成例を表す図である。

[図3]図１の撮像素子の斜視構成例を表す図である。

[図4]図３の撮像素子の断面構成例を表す図である。

[図5]（Ａ）図１の撮像素子の膜電圧と保持可能な電荷との関係の一例を表す図である。（Ｂ）ＡＤＣのアナログレンジと画素信号の振幅との関係の一例を表す図である。

[図6]図１の撮像素子の膜電圧とノイズとの関係の一例を表す図である。

[図7]図１の撮像素子の画質調整手順の一例を表す図である。

[図8]図１の撮像素子の概略構成の一変形例を表す図である。

[図9]図１の撮像素子の概略構成の一変形例を表す図である。

[図10]ＡＤＣのアナログレンジと画素信号の振幅との関係の一例を表す図である。

[図11]図９の撮像素子の画質調整手順の一例を表す図である。

[図12]図９の撮像素子の概略構成の一変形例を表す図である。

[図13]図９の撮像素子の概略構成の一変形例を表す図である。

[図14]図１の撮像素子の概略構成の一変形例を表す図である。

[図15]図１４のセンサ画素の回路構成例を表す図である。

[図16]ＡＤＣのアナログレンジと画素信号の振幅との関係の一例を表す図である。

[図17]図１４の撮像素子の画質調整手順の一例を表す図である。

[図18]図１４の撮像素子の概略構成の一変形例を表す図である。

[図19]図１４の撮像素子の概略構成の一変形例を表す図である。

[図20]図２のセンサ画素の回路構成の一変形例を表す図である。

[図21]図１５のセンサ画素の回路構成の一変形例を表す図である。

[図22]図２のセンサ画素の回路構成の一変形例を表す図である。

[図23]図１５のセンサ画素の回路構成の一変形例を表す図である。

[図24]図３の撮像素子の断面構成の一変形例を表す図である。

[図25]図１の撮像素子の平面構成の一例を表す図である。

[図26]図２５の撮像素子のＡ－Ａ線での断面構成の一例を表す図である。

[図27]本開示の第２の実施形態に係る撮像装置の概略構成例を表す図である。

[図28]図２７の撮像装置における撮像手順の一例を表す図である。

[図29]図２７の撮像装置の概略構成の一変形例を表す図である。

[図30]車両制御システムの概略的な構成の一例を示すブロック図である。

[図31]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図32]内視鏡手術システムの概略的な構成の一例を示す図である。

[図33]カメラヘッド及びＣＣＵの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0009] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．第１の実施の形態（撮像素子）…図１～図７

２．第１の実施の形態の変形例（撮像素子）…図８～図２６

３．第２の実施の形態（撮像装置）…図２７、図２８

４．第２の実施の形態の変形例（撮像装置）…図２９

５．応用例

応用例１（移動体）…図３０、図３１

応用例２（手術システム）…図３２、図３３

[0010] ＜１．第１の実施の形態＞

[構成]

本開示の第１の実施形態に係る撮像素子１について説明する。図１は、撮像素子１の概略構成例を表したものである。撮像素子１は、例えば赤外線イ

メージセンサであり、例えば波長８００ｎｍ以上の光に対しても感度を有している。撮像素子１は、光電変換素子を含む複数のセンサ画素１１が行列状（マトリックス状）に２次元配置されてなる画素アレイ部１０を備えている。センサ画素１１は、例えば、図２に示したように、光電変換を行う画素回路１４と、画素回路１４から出力された電荷に基づく画素信号を出力する読み出し回路１５とによって構成されている。

[0011] 画素回路１４は、例えば、フォトダイオードＰＤと、転送トランジスタＴＲＧと、フローティングディフュージョンＦＤと、排出トランジスタＯＦＧとを有している。転送トランジスタＴＲＧおよび排出トランジスタＯＦＧは、例えば、ＮＭＯＳ（Metal Oxide Semiconductor）トランジスタである。フォトダイオードＰＤは、本開示の「光電変換部」の一具体例に相当する。

[0012] フォトダイオードＰＤは、所定の波長の光（例えば、波長９００ｎｍ～１７００ｎｍの赤外領域の波長の光）を吸収して、信号電荷を発生する光電変換部である。フォトダイオードＰＤは、例えば、ＩＩＩ－Ｖ族半導体などの化合物半導体を含んで構成されている。フォトダイオードＰＤに用いられるＩＩＩ－Ｖ族半導体としては、例えば、ＩｎＧａＰ、ＩｎＡｌＰ、ＩｎＧａＡｓ、ＩｎＡｌＡｓ、またはカルコパイライト構造の化合物半導体などが挙げられる。カルコパイライト構造の化合物半導体は、高い光吸収係数と、広い波長域に渡って高い感度が得られる材料であり、光電変換用のｎ型半導体材料として好ましく用いられる。フォトダイオードＰＤは、上述した化合物半導体の他、アモルファスシリコン（Ｓｉ）、ゲルマニウム（Ｇｅ）、量子ドット光電変換膜、有機光電変換膜などを含んで構成されていてもよい。

[0013] フォトダイオードＰＤのカソードが、転送トランジスタＴＲＧのソースに接続されており、フォトダイオードＰＤのアノードが、電圧Ｖｔｏｐが印加される電源線に接続されている。転送トランジスタＴＲＧのドレインがフローティングディフュージョンＦＤに接続され、転送トランジスタＴＲＧのゲートは画素駆動線１２に接続されている。

[0014] 転送トランジスタＴＲＧは、フォトダイオードＰＤのカソードとフローテ

ィングディフュージョンＦＤとの間に接続されており、ゲート電極に印加される制御信号に応じて、フォトダイオードＰＤに保持されている電荷をフローティングディフュージョンＦＤに転送する。転送トランジスタＴＲＧのドレインがフローティングディフュージョンＦＤに電気的に接続されており、転送トランジスタＴＲＧのゲートは画素駆動線１２に接続されている。

[0015] フローティングディフュージョンＦＤは、転送トランジスタＴＲＧを介してフォトダイオードＰＤから転送された電荷を一時的に保持する浮遊拡散領域である。フローティングディフュージョンＦＤには、例えば、読み出し回路１５が接続されるとともに、読み出し回路１５を介して垂直信号線１３が接続されている。フローティングディフュージョンＦＤは、読み出し回路１５の入力端に接続されている。

[0016] 排出トランジスタＯＦＧでは、ドレインが、電圧Ｖｄｒが印加される電源線に接続され、ソースがフォトダイオードＰＤのカソードに接続されている。排出トランジスタＯＦＧは、ゲート電極に印加される制御信号に応じて、フォトダイオードＰＤの電荷を初期化（リセット）する。

[0017] 読み出し回路１５は、例えば、リセットトランジスタＲＳＴと、選択トランジスタＳＥＬと、増幅トランジスタＡＭＰとを有している。リセットトランジスタＲＳＴのソース（読み出し回路１５の入力端）がフローティングディフュージョンＦＤに接続されており、リセットトランジスタＲＳＴのドレインが電源線ＶＤＤおよび増幅トランジスタＡＭＰのドレインに接続されている。リセットトランジスタＲＳＴのゲートは画素駆動線１２に接続されている。増幅トランジスタＡＭＰのソースが選択トランジスタＳＥＬのドレインに接続されており、増幅トランジスタＡＭＰのゲートがリセットトランジスタＲＳＴのソースに接続されている。選択トランジスタＳＥＬのソース（読み出し回路１５の出力端）が垂直信号線１３に接続されており、選択トランジスタＳＥＬのゲートが画素駆動線１２に接続されている。

[0018] リセットトランジスタＲＳＴは、フローティングディフュージョンＦＤの電位を所定の電位に初期化（リセット）する。リセットトランジスタＲＳＴ

がオン状態となると、フローティングディフュージョンＦＤの電位を電源線ＶＤＤの電位にリセットする。選択トランジスタＳＥＬは、読み出し回路１５からの画素信号の出力タイミングを制御する。増幅トランジスタＡＭＰは、画素信号として、フローティングディフュージョンＦＤに保持された電荷のレベルに応じた電圧の信号を生成する。つまり、増幅トランジスタＡＭＰは、画素信号として、センサ画素１１における受光量の応じた電圧の信号を生成する。増幅トランジスタＡＭＰは、ソースフォロア型のアンプを構成しており、フォトダイオードＰＤで発生した電荷のレベルに応じた電圧の画素信号を出力する。増幅トランジスタＡＭＰは、選択トランジスタＳＥＬがオン状態となると、フローティングディフュージョンＦＤの電位を増幅して、その電位に応じた電圧を、垂直信号線１３を介して、後述の水平選択回路４０に出力する。

[0019] なお、選択トランジスタＳＥＬが、電源線ＶＤＤと増幅トランジスタＡＭＰとの間に設けられていてもよい。この場合、リセットトランジスタＲＳＴのドレインが電源線ＶＤＤおよび選択トランジスタＳＥＬのドレインに接続されている。選択トランジスタＳＥＬのソースが増幅トランジスタＡＭＰのドレインに接続されており、選択トランジスタＳＥＬのゲートが画素駆動線１２に接続されている。増幅トランジスタＡＭＰのソース（読み出し回路１５の出力端）が垂直信号線１３に接続されており、増幅トランジスタＡＭＰのゲートがリセットトランジスタＲＳＴのソースに接続されている。

[0020] 撮像素子１は、例えば、図３に示したように、２つの基板（受光基板１００および駆動基板２００）を備えている。撮像素子１は、２つの基板（受光基板１００および駆動基板２００）を貼り合わせて構成された３次元構造を備えている。

[0021] 受光基板１００は、シリコン（Ｓｉ）基板上に、複数のフォトダイオードＰＤが行列状に形成された基板である。受光基板１００の上面（駆動基板２００とは反対側の表面）が受光面１００Ａとなっている。駆動基板２００は、Ｓｉ基板上に、画素信号生成回路領域２００Ａおよび周辺回路領域２００

Ｂが形成された基板である。画素信号生成回路領域２００Ａには、複数の画素信号生成回路４５が行列状に形成されている。各画素信号生成回路４５は、センサ画素１１のうちフォトダイオードＰＤを除いた回路である。周辺回路領域２００Ｂには、画素信号を処理するロジック回路が形成されており、例えば、垂直駆動回路２０、水平駆動回路３０、水平選択回路４０、システム制御回路５０、膜電圧制御部６０および電圧生成回路７０が形成されている。つまり、撮像素子１は、画素アレイ部１０、垂直駆動回路２０、水平駆動回路３０、水平選択回路４０、システム制御回路５０、膜電圧制御部６０および電圧生成回路７０を備えている。ロジック回路は、センサ画素１１ごとの画素信号（デジタル値）を外部に出力する。

[0022] システム制御回路５０は、マスタークロックに基づいて、垂直駆動回路２０、水平駆動回路３０、水平選択回路４０および膜電圧制御部６０などの動作の基準となるクロック信号や制御信号などを生成し、垂直駆動回路２０、水平選択回路４０および膜電圧制御部６０などに対して与える。

[0023] 垂直駆動回路２０は、例えば、シフトレジスタなどによって構成され、複数の画素駆動線１２を介して、複数のセンサ画素１１の行走査の制御を行う。水平選択回路４０は、例えば、画素アレイ部１０の画素列（または垂直信号線１３）ごとに、ＡＤＣ４０ａおよびスイッチ素子４０ｂが設けられた回路である。ＡＤＣ４０ａは、画素信号をＡＤ（Analog-to-Digital）変換する。ＡＤＣ４０ａは、アナログレンジＲを可変させることが可能となっており、外部から入力されたレンジ設定値に基づくアナログレンジＲに設定する。なお、本実施の形態では、アナログレンジＲはＲａに設定されている。

[0024] ＡＤＣ４０ａの入力端には垂直信号線１３が接続されており、ＡＤＣ４０ａの出力端にはスイッチ素子４０ｂが接続されている。水平駆動回路３０は、例えば、シフトレジスタなどによって構成され、水平選択回路４０の各スイッチ素子４０ｂを順番に駆動する。水平駆動回路３０によって各スイッチ素子４０ｂを順番に駆動することにより、垂直信号線１３の各々を通して伝送される各画素信号が順番に水平信号線４０ｃに出力され、ＤＳＰ回路など

に入力される。

[0025] 膜電圧制御部６０は、センサ画素１１から得られる画素信号に基づいて、各フォトダイオードＰＤに印加する膜電圧Ｖｆを制御する。膜電圧制御部６０は、膜電圧Ｖｆを制御するための制御信号を電圧生成回路７０に出力する。電圧生成回路７０は、膜電圧制御部６０から入力された制御信号に基づいて、アナログの電圧（電圧ＶｔｏｐおよびＶｄｒ）を生成し、電源線を介して各フォトダイオードＰＤに印加する。つまり、膜電圧制御部６０および電圧生成回路７０は、センサ画素１１から得られる画素信号に基づく膜電圧Ｖｆを各フォトダイオードＰＤに印加することにより、画素信号から得られる画像データの画質を制御する。

[0026] 図４は、撮像素子１の断面構成例を表したものである。撮像素子１において、受光基板１００は、光電変換部（フォトダイオードＰＤ）であるｎ型半導体膜２１を有している。ｎ型半導体膜２１は画素アレイ部１０の全面に形成されており、例えば、フォトダイオードＰＤに用いられる材料として上述した材料によって構成されている。なお、以下では、ｎ型半導体膜２１がＩｎＧａＡｓによって構成されているものとして、他の構成についての説明を行う。

[0027] 受光基板１００は、さらに、ｎ型半導体膜２１の、駆動基板２００側の面に接するｐ型半導体層２２をセンサ画素１１ごとに有している。各ｐ型半導体層２２は、高濃度のｐ型半導体によって形成されており、例えば、ｐ型ＩｎＧａＡｓによって形成されている。ｐ型半導体層２２は、フォトダイオードＰＤの電極（第２電極）としての機能を有している。ｐ型半導体層２２には、オン状態の排出トランジスタＯＦＧを介して所定の電圧Ｖｄｒが印加されたり、オン状態の転送トランジスタＴＲＧおよびリセットトランジスタＲＳＴを介して電源線ＶＤＤの電圧Ｖｄｄが印加されたりする。受光基板１００は、さらに、各ｐ型半導体層２２を互いに分離するｎ型半導体層２３を有している。ｎ型半導体層２３は、各ｐ型半導体層２２と同一の層内に形成されており、例えば、ｎ型ＩｎＰによって形成されている。

[0028] 受光基板１００は、さらに、ｎ型半導体膜２１の、受光面１００Ａ側の面に接するｎ型半導体層２４を有している。ｎ型半導体層２４は、ｎ型半導体膜２１よりも高濃度のｎ型半導体によって形成されており、例えば、ｎ型ＩｎＧａＡｓ、ｎ型ＩｎＰまたはｎ型ＩｎＡｌＡｓによって形成されている。ｎ型半導体層２４は、ｎ型半導体膜２１で生成された電荷の逆流を防止するバリア層として機能する。受光基板１００は、さらに、ｎ型半導体層２４の、受光面１００Ａ側の面に接する反射防止膜２５を有している。反射防止膜２５は、例えば、窒化シリコン（ＳｉＮ）、酸化ハフニウム（HfO_2）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）、酸化タンタル（Ta_2Ta_5）、酸化チタン（TiO_2）などによって形成されている。ｎ型半導体層２４は、ｎ型半導体膜２１を上下に挟む電極のうちの上側の電極（第１電極）としても機能する。上部電極には、所定の電圧Ｖｔｏｐが印加される。

[0029] 受光基板１００は、さらに、反射防止膜２５の上に、カラーフィルタ２６およびオンチップレンズ２７を有している。カラーフィルタ２６は、赤色光を選択的に透過させる複数のフィルタ２６Ｒと、緑色光を選択的に透過させる複数のフィルタ２６Ｇと、青色光を選択的に透過させる複数のフィルタ２６Ｇとによって構成されている。複数のフィルタ２６Ｒ，２６Ｇ，２６Ｂは、センサ画素１１ごとに１つずつ設けられており、例えば、受光面１００Ａと平行な面内にベイヤー配列で配置されている。なお、図４には、フィルタ２６Ｒが設けられたセンサ画素１１が１１Ｒと表記されており、フィルタ２６Ｇが設けられたセンサ画素１１が１１Ｇと表記されており、フィルタ２６Ｂが設けられたセンサ画素１１が１１Ｂと表記されている。なお、カラーフィルタ２６は、必要に応じて省略され得る。

[0030] 受光基板１００は、さらに、ｐ型半導体層２２およびｎ型半導体層２３の下側に、パッシベーション層２８および絶縁層２９を有している。受光基板１００は、さらに、パッシベーション層２８を貫通するとともにｐ型半導体層２２に接する接続電極３１と、絶縁層２９を貫通するとともに接続電極３

１に接するバンプ電極３２とを有している。一組の接続電極３１およびバンプ電極３２は、センサ画素１１ごとに１つずつ設けられている。バンプ電極３２は、駆動基板２００の接続層４３（後述）に接合されており、接続層４３と電気的に接続されている。バンプ電極３２は、例えば、受光基板１００と駆動基板２００とを互いに貼り合わせた際に、駆動基板２００の接続層４３に接合される。

[0031] 駆動基板２００は、支持基板４１と層間絶縁層４２とを含む。支持基板４１は、例えばシリコン（Ｓｉ）基板により構成されている。層間絶縁層４２は、支持基板４１と絶縁層２９１（受光基板１００）との間に設けられている。層間絶縁層４２には、例えば、受光基板１００に近い位置から順に、複数の接続層４３、複数の読み出し電極４４、複数の画素信号生成回路４５および複数の配線４６が設けられている。複数組の接続層４３、読み出し電極４４、画素信号生成回路４５および配線４６がセンサ画素１１ごとに一組ずつ設けられている。層間絶縁層４２内の複数の層間絶縁層４２が、例えば、各フォトダイオードＰＤから電荷の読み出しを行うためのＲＯＩＣ（Read Out IC）内に設けられている。駆動基板２００は、層間絶縁層４２のうち、周辺回路領域２００Ｂに対応する箇所には、上述のロジック回路が設けられている。

[0032] 図５（Ａ）は、フォトダイオードＰＤに印加される膜電圧Ｖｆと、フォトダイオードＰＤに保持可能な電荷Ｑｓとの関係の一例を表したものである。図５（Ｂ）は、ＡＤＣ４０ａのアナログレンジ（ダイナミックレンジ）と画素信号の振幅Ｖｄとの関係の一例を表したものである。図５（Ｂ）には、ＡＤＣ４０ａのアナログレンジがＲａに設定されている場合が例示されている。

[0033] 図５（Ａ）から、フォトダイオードＰＤ（ｎ型半導体膜２１）に対して印加する電圧（膜電圧Ｖｆ＝Ｖｔｏｐ－Ｖｄｒ）を大きくするにつれて、フォトダイオードＰＤ（ｎ型半導体膜２１）に保持可能な電荷Ｑｓの量も大きくなることがわかる。フォトダイオードＰＤ（ｎ型半導体膜２１）に保持され

る電荷Ｑｓの量が増えるにつれて、画素信号の振幅Ｖｄも大きくなる。ただし、これは、図５（Ｂ）に示したように、画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ（後述）がＡＤＣ４０ａのアナログレンジＲａに対応する電圧Ｖｄａを超えないことが肝要である。画素信号の振幅Ｖｄの平均値ＶｄａｖｇがＡＤＣ４０ａのアナログレンジＲａに対応する電圧Ｖｄａを超えた場合、ＡＤＣ４０ａが飽和し、ＡＤＣ４０ａの出力が一定値となる。

[0034] 図６は、フォトダイオードＰＤに印加される膜電圧Ｖｆと、フォトダイオードＰＤに生じるノイズ（暗電流）との関係の一例を表したものである。図６から、フォトダイオードＰＤ（ｎ型半導体膜２１）に対して印加する電圧（膜電圧Ｖｆ＝Ｖｔｏｐ－Ｖｄｒ）を大きくするにつれて、フォトダイオードＰＤに生じるノイズ（暗電流）のレベルが指数関数的に増加することがわかる。従って、高輝度のときは、光ショットノイズが支配的になるので、膜電圧Ｖｆを高めに設定し、低輝度のときは、ノイズ（暗電流）が支配的になるので、膜電圧Ｖｆを低めに設定することで、画質劣化が抑制され得る。

[0035] [画質調整]

次に、図７を参照して、撮像素子１の画質調整手順について説明する。図７は、撮像素子１の画質調整手順の一例を表したものである。システム制御回路５０は、撮像指令を受けると、膜電圧設定指令を膜電圧制御部６０に出力する。膜電圧制御部６０は、膜電圧設定指令を受けると、まず、膜電圧ＶｆをＶｆａに設定する（ステップＳ１０１）。具体的には、膜電圧制御部６０は、Ｖｔｏｐ（第１電圧）とＶｄｒ（第２電圧）との電位差（Ｖｔｏｐ－Ｖｄｒ）がＶｆａとなるように、ＶｔｏｐおよびＶｄｒを設定する。例えば、膜電圧制御部６０は、Ｖｔｏｐを＋２Ｖに設定し、Ｖｄｒを＋１Ｖに設定する。膜電圧制御部６０は、ＶｔｏｐおよびＶｄｒの設定値を電圧生成回路７０に出力する。電圧生成回路７０は、膜電圧制御部６０から入力された設定値に基づいて、フォトダイオードＰＤのアノードに接続された電源線に対して、Ｖｔｏｐ＝＋２Ｖの電圧を印加し、排出トランジスタＯＦＧのドレインに接続された電源線に対して、Ｖｄｒ＝＋１Ｖの電圧を印加する。

[0036] 次に、膜電圧制御部６０は、画素アレイ部１０のうち対象領域の複数のセンサ画素１１から得られた複数の画素信号の平均値Ｖｄａｖｇが所定の閾値Ｖｔｈ１（第１閾値）を超えているか否かを判定する（ステップＳ１０２）。閾値Ｖｔｈ１は、膜電圧ＶｆがＶｆａに設定されているときに光ショットノイズが支配的か否かを判断するための閾値である。その結果、平均値Ｖｄａｖｇが所定の閾値Ｖｔｈ１を超えている場合には、膜電圧制御部６０は、膜電圧Ｖｆを、Ｖｆｂ（Ｖｆｂ＞Ｖｆａ）に設定する（ステップＳ１０３）。つまり、膜電圧制御部６０は、膜電圧Ｖｆを、Ｖｆａよりも相対的に大きくする。具体的には、膜電圧制御部６０は、Ｖｔｏｐ－ＶｄｒがＶｆｂとなるように、平均値Ｖｄａｖｇに基づいて、ＶｔｏｐおよびＶｄｒを設定する。例えば、膜電圧制御部６０は、Ｖｔｏｐを＋３Ｖに設定し、Ｖｄｒを＋１Ｖに設定する。膜電圧制御部６０は、ＶｔｏｐおよびＶｄｒの設定値を電圧生成回路７０に出力する。電圧生成回路７０は、膜電圧制御部６０から入力された設定値に基づいて、フォトダイオードＰＤのアノードに接続された電源線に対して、Ｖｔｏｐ＝＋３Ｖの電圧を印加し、排出トランジスタＯＦＧのドレインに接続された電源線に対して、Ｖｄｒ＝＋１Ｖの電圧を印加する。

[0037] 平均値Ｖｄａｖｇが所定の閾値Ｖｔｈ１以下の場合と、膜電圧ＶｆをＶｆｂ（Ｖｆｂ＞Ｖｆａ）に設定した場合には、膜電圧制御部６０は、平均値Ｖｄａｖｇが所定の閾値Ｖｔｈ２（第２閾値）（Ｖｔｈ２＜Ｖｔｈ１）を下回っているか否かを判定する（ステップＳ１０４）。閾値Ｖｔｈ２は、画素信号がノイズに埋もれているか否かを判断するための閾値である。その結果、平均値Ｖｄａｖｇが所定の閾値Ｖｔｈ２を下回っている場合には、膜電圧制御部６０は、膜電圧ＶｆをＶｆｃ（Ｖｆｃ＜Ｖｆａ）に設定する（ステップＳ１０５）。つまり、膜電圧制御部６０は、膜電圧Ｖｆを、Ｖｆａよりも相対的に小さくする。具体的には、膜電圧制御部６０は、Ｖｔｏｐ－ＶｄｒがＶｆｃとなるように、平均値Ｖｄａｖｇに基づいて、ＶｔｏｐおよびＶｄｒを設定する。一方、平均値Ｖｄａｖｇが所定の閾値Ｖｔｈ２以上となってい

る場合には、膜電圧制御部６０は、電圧の設定値をそのままにしておく。システム制御回路５０は、撮像終了指令を受けた場合には、撮像を終了するとともに、撮像素子１の画質調整も終了する（ステップＳ１０６）。システム制御回路５０は、撮像終了指令を受けていない場合には、膜電圧制御部６０に対して、再び、ステップＳ１０２からの実行を指示する。このようにして、撮像素子１の画質調整が行われる。

[0038] [効果]

本実施形態では、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）に基づく膜電圧Ｖｆを各フォトダイオードＰＤ（ｎ型半導体膜２１）に印加することにより、画素信号から得られる画像データの画質が制御される。具体的には、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ１を超えたときに膜電圧Ｖｆを相対的に大きくし、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ２を下回ったときに膜電圧Ｖｆを相対的に小さくする。このように、本実施形態では、高輝度のときは、膜電圧Ｖｆを相対的に大きくして、光ショットノイズの影響を低減し、低輝度のときは、膜電圧Ｖｆを相対的に小さくして、Ｓ／Ｎ比を高くしている。これにより、画質劣化を抑制することができる。

[0039] また、本実施の形態では、電圧Ｖｔｏｐと電圧Ｖｄｒとの電位差（Ｖｔｏｐ－Ｖｄｒ）が膜電圧Ｖｆとなるように、画素信号に基づいて電圧Ｖｔｏｐおよび電圧Ｖｄｒが生成される。このようにして生成された膜電圧Ｖｆが、各フォトダイオードＰＤ（ｎ型半導体膜２１）に印加されることにより、画質劣化を抑制することができる。

[0040] また、本実施の形態では、各画素回路１４には、フォトダイオードＰＤ（ｎ型半導体膜２１）と、転送トランジスタＴＲＧと、排出トランジスタＯＦＧとが設けられている。そして、排出トランジスタがオンしているときに、ｐ型半導体層２２にＶｄｒが印加される。これにより、画素信号に基づいて、各フォトダイオードＰＤ（ｎ型半導体膜２１）に膜電圧Ｖｆが印加される。従って、画質劣化を抑制することができる。

[0041] ＜２．第１の実施の形態の変形例＞

[[変形例Ａ]]

上記実施の形態では、膜電圧制御部６０および電圧生成回路７０は、撮像素子１内に設けられていたが、例えば、図８に示したように、撮像素子１とは別体の画質制御回路２内に設けられていてもよい。この場合、膜電圧制御部６０は、例えば、図８に示したように、撮像素子１の出力に基づいて、膜電圧Ｖｆを設定してもよい。このようにした場合であっても、上記実施の形態と同様の効果を奏する。

[0042] [[変形例Ｂ]]

上記実施の形態において、撮像素子１は、例えば、図９に示したように、アナログレンジ制御部８０を更に備えていてもよい。アナログレンジ制御部８０は、膜電圧制御部６０から入力される判定結果（つまり、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ））に基づいて、ＡＤＣ４０ａのアナログレンジＲを制御する。具体的には、アナログレンジ制御部８０は、膜電圧制御部６０から入力される判定結果（つまり、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ））に基づくレンジ設定値をＡＤＣ４０ａに出力することにより、画素信号から得られる画像データの画質を制御する。

[0043] 図１０は、ＡＤＣ４０ａのアナログレンジＲ（ダイナミックレンジ）と画素信号の振幅Ｖｄとの関係の一例を表したものである。図１０には、ＡＤＣ４０ａのアナログレンジＲがＲａまたはＲｂに設定されている場合が例示されている。

[0044] 図１０に示したように、画素信号の振幅Ｖｄの平均値ＶｄａｖｇがＡＤＣ４０ａのアナログレンジＲａに対応する電圧Ｖｄａを超えている場合、ＡＤＣ４０ａが飽和する。しかし、ＡＤＣ４０ａのアナログレンジＲをＲａからＲｂに拡大することにより、画素信号の振幅Ｖｄの平均値Ｖｄａｖｇが、ＡＤＣ４０ａのアナログレンジＲｂに対応する電圧Ｖｄｂを下回り、ＡＤＣ４０ａの飽和が解消する。従って、高輝度のときは、白とびを防ぐために、Ａ

ＤＣ４０ａのダイナミックレンジＲを高めに設定し、低輝度のときは、ノイズ（暗電流）が支配的になるので、ＡＤＣ４０ａのダイナミックレンジＲを低めに設定することで、画質劣化が抑制され得る。

[0045] [画質調整]

次に、図１１を参照して、本変形例に係る撮像素子１の画質調整手順について説明する。図１１は、本変形例に係る撮像素子１の画質調整手順の一例を表したものである。なお、本変形例では、撮像素子１は、図７に記載の画質調整手順を実行するとともに、図１１に記載の画質調整手順を実行する。

[0046] アナログレンジ制御部８０は、まず、ＡＤＣ４０ａのアナログレンジＲをＲａに設定する（ステップＳ２０１）。具体的には、アナログレンジ制御部８０は、アナログレンジＲをＲａにする制御信号をＡＤＣ４０ａに出力する。ＡＤＣ４０ａは、アナログレンジ制御部８０から、アナログレンジＲをＲａにする制御信号が入力されると、アナログレンジＲをＲａに設定する。

[0047] 次に、アナログレンジ制御部８０は、膜電圧制御部６０から入力された判定結果が“Ｖｄａｖｇ＞Ｖｔｈ３”である場合、アナログレンジＲをＲｂ（Ｒｂ＞Ｒａ）に設定する（ステップＳ２０２，２０３）。つまり、アナログレンジ制御部８０は、アナログレンジＲを、Ｒａよりも相対的に大きくする。閾値Ｖｔｈ３（第１閾値）は、膜電圧ＶｆがＶｆａに設定されているときに画像が白とびをするか否かを判断するための閾値である。このとき、アナログレンジ制御部８０は、アナログレンジＲをＲｂにする制御信号をＡＤＣ４０ａに出力する。ＡＤＣ４０ａは、アナログレンジ制御部８０から、アナログレンジＲをＲｂにする制御信号が入力されると、アナログレンジＲをＲｂに設定する。

[0048] アナログレンジ制御部８０は、膜電圧制御部６０から入力された判定結果が“Ｖｄａｖｇ≦Ｖｔｈ３”である場合、または、アナログレンジＲをＲｂに設定した場合には、平均値Ｖｄａｖｇと閾値Ｖｔｈ２との大小関係についての判定結果が膜電圧制御部６０から入力されるのを待つ。このとき、アナログレンジ制御部８０は、膜電圧制御部６０から入力された判定結果が“Ｖ

ｄａｖｇ＜Ｖｔｈ２”（Ｖｔｈ２＜Ｖｔｈ３）である場合、アナログレンジＲをＲａに設定する（ステップＳ２０４，２０１）。つまり、アナログレンジ制御部８０は、アナログレンジＲを、Ｒｂよりも相対的に小さくする。具体的には、アナログレンジ制御部８０は、アナログレンジＲをＲａにする制御信号をＡＤＣ４０ａに出力する。ＡＤＣ４０ａは、アナログレンジ制御部８０から、アナログレンジＲをＲａにする制御信号が入力されると、アナログレンジＲをＲａに設定する。

[0049] アナログレンジ制御部８０は、膜電圧制御部６０から入力された判定結果が“Ｖｄａｖｇ≧Ｖｔｈ２”である場合、撮像終了指令が入力されていないときには、ステップＳ２０２を実行する（ステップＳ２０４，２０５）。アナログレンジ制御部８０は、撮像終了指令が入力されたときには、アナログレンジＲの設定を終了する（ステップＳ２０５）。このようにして、撮像素子１の画質調整が行われる。

[0050] [効果]

本変形例では、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）に基づく膜電圧Ｖｆを各フォトダイオードＰＤ（ｎ型半導体膜２１）に印加することにより、画素信号から得られる画像データの画質が制御される。具体的には、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ１を超えたときに膜電圧Ｖｆを相対的に大きくし、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ２を下回ったときに膜電圧Ｖｆを相対的に小さくする。このように、本変形例では、高輝度のときは、膜電圧Ｖｆを相対的に大きくして、光ショットノイズの影響を低減し、低輝度のときは、膜電圧Ｖｆを相対的に小さくして、Ｓ／Ｎ比を高くしている。これにより、画質劣化を抑制することができる。

[0051] 本変形例では、さらに、画素信号に基づくレンジ設定値をＡＤＣ４０ａに出力することにより、画素信号から得られる画像データの画質が制御される。具体的には、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ３を超えたときにレンジ設定値を相対的に大きくし、撮像素

子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ２を下回ったときにレンジ設定値を相対的に小さくする。このように、本変形例では、高輝度のときは、レンジ設定値を相対的に大きくして、画像が白とびするのを抑制し、低輝度のときは、レンジ設定値を相対的に小さくして、Ｓ／Ｎ比を高くしている。これにより、画質劣化を抑制することができる。

[0052] [[変形例Ｃ]]

上記変形例Ｂでは、膜電圧制御部６０、電圧生成回路７０およびアナログレンジ制御部８０は、撮像素子１内に設けられていたが、例えば、図１２に示したように、撮像素子１とは別体の画質制御回路２内に設けられていてもよい。この場合、膜電圧制御部６０は、例えば、図１２に示したように、撮像素子１の出力に基づいて、膜電圧Ｖｆを設定してもよい。このようにした場合であっても、上記実施の形態と同様の効果を奏する。

[0053] [[変形例Ｄ]]

上記変形例Ｂでは、膜電圧制御部６０、電圧生成回路７０およびアナログレンジ制御部８０は、撮像素子１内に設けられていた。しかし、例えば、図１３に示したように、膜電圧制御部６０および電圧生成回路７０が、撮像素子１とは別体の画質制御回路２内に設けられ、アナログレンジ制御部８０が撮像素子１内に設けられていてもよい。

[0054] この場合、膜電圧制御部６０は、例えば、図１３に示したように、撮像素子１の出力に基づいて、膜電圧Ｖｆを設定してもよい。また、アナログレンジ制御部８０は、例えば、図１３に示したように、電圧生成回路７０の出力電圧（Ｖｔｏｐ、Ｖｄｒ）の値に基づいて、ＡＤＣ４０ａのアナログレンジＲを設定してもよい。

[0055] 本変形例では、撮像素子１の出力に基づいて各フォトダイオードＰＤ（ｎ型半導体膜２１）に印加される膜電圧Ｖｆが設定され、各フォトダイオードＰＤ（ｎ型半導体膜２１）に印加される電圧（Ｖｔｏｐ、Ｖｄｒ）の値に基づいて、ＡＤＣ４０ａのアナログレンジＲが設定される。これにより、画質劣化を抑制することができる。

[0056] [[変形例Ｅ]]

上記実施の形態において、撮像素子１は、例えば、図１４に示したように、効率変換制御部９０を更に備えていてもよい。効率変換制御部９０は、膜電圧制御部６０から入力される判定結果（つまり、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ））に基づいて、画素回路１４の変換効率ηを制御する。具体的には、効率変換制御部９０は、膜電圧制御部６０から入力される判定結果（つまり、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ））に基づく制御信号を後述のスイッチ素子ＳＷに出力することにより、画素信号から得られる画像データの画質を制御する。

[0057] 図１５は、本変形例に係るセンサ画素１１の回路構成の一例を表したものである。本変形例に係るセンサ画素１１において、画素回路１４は、フローティングディフュージョンＦＤに接続されたスイッチ素子ＳＷと、スイッチ素子ＳＷを介してフローティングディフュージョンＦＤの容量（ＦＤ容量Ｃｆｄ）と並列に接続された補助容量Ｃｅとを有している。効率変換制御部９０は、スイッチ素子ＳＷのオンオフを制御することにより、画素回路１４の変換効率ηを制御する。

[0058] 図１６は、ＡＤＣ４０ａのアナログレンジＲと画素信号の振幅Ｖｄとの関係の一例を表したものである。図１６には、ＡＤＣ４０ａのアナログレンジＲがＲｂに設定されている場合が例示されている。

[0059] 効率変換制御部９０の制御によってスイッチ素子ＳＷがオンしている場合、互いに並列接続されたＦＤ容量Ｃｆｄおよび補助容量Ｃｅに蓄積された電荷によって生じる電圧が読み出し回路１５に入力される。このときの画素回路１４の変換効率ηをη１とする。効率変換制御部９０の制御によってスイッチ素子ＳＷがオフした場合、補助容量Ｃｅは、フローティングディフュージョンＦＤから分離されるので、ＦＤ容量Ｃｆｄに蓄積された電荷によって生じる電圧が読み出し回路１５に入力される。このときの画素回路１４の変換効率η２は、η１／αとなる。ここで、αは、（Ｃｆｄ＋Ｃｅ）／Ｃｆｄ）である。つまり、スイッチ素子ＳＷをオフすることにより、変換効率ηが

１／αだけ低くなる。例えば、補助容量ＣｅがＦＤ容量Ｃｆｄの２倍の容量となっている場合、変換効率η２は、変換効率η１の１／３倍となる。変換効率ηが低くなると、例えば、図１６に示したように、変換効率ηが低くなった分だけ、画素信号の振幅Ｖｄが小さくなる。そこで、例えば、スイッチ素子ＳＷがオンしているときの平均値Ｖｄａｖｇ１がＡＤＣ４０ａのアナログレンジＲの上限（Ｒｂ）に対応する電圧値Ｖｄｂよりも大きく、ＡＤＣ４０ａが飽和している場合に、スイッチ素子ＳＷをオフすることにより、スイッチ素子ＳＷオフ時の平均値Ｖｄａｖｇ２がＶｄａｖｇ１／αとなり、電圧値Ｖｄｂよりも小さくすることができる。従って、高輝度のときは、白とびを防ぐために、変換効率ηを低めに設定し、低輝度のときは、ノイズ（暗電流）が支配的になるので、変換効率ηを高めに設定することで、画質劣化が抑制され得る。

[0060] [画質調整]

次に、図１７を参照して、撮像素子１の画質調整手順について説明する。図１７は、撮像素子１の画質調整手順の一例を表したものである。なお、本変形例では、撮像素子１は、図７に記載の画質調整手順を実行するとともに、図１７に記載の画質調整手順を実行する。

[0061] 効率変換制御部９０は、まず、画素回路１４の変換効率ηをη１に設定する（ステップＳ３０１）。具体的には、効率変換制御部９０は、画素回路１４内のスイッチ素子ＳＷに対して、スイッチ素子ＳＷをオンさせる制御信号を出力する。スイッチ素子ＳＷは、効率変換制御部９０から、スイッチ素子ＳＷをオンさせる制御信号が入力されると、オンする。これにより、ＦＤ容量Ｃｆｄと補助容量Ｃｅとが互いに並列に接続される。

[0062] 次に、効率変換制御部９０は、膜電圧制御部６０から入力された判定結果が“Ｖｄａｖｇ＞Ｖｔｈ３”である場合、変換効率ηをη２（η２＜η１）に設定する（ステップＳ３０２，３０３）。このとき、効率変換制御部９０は、スイッチ素子ＳＷをオフさせる制御信号をスイッチ素子ＳＷに出力する。スイッチ素子ＳＷは、効率変換制御部９０から、スイッチ素子ＳＷをオフ

させる制御信号が入力されると、オフする。つまり、効率変換制御部９０は、平均値Ｖｄａｖｇが Ｖｔｈ３を超えたときにスイッチ素子ＳＷをオフする。これにより、補助容量Ｃｅがフローティングディフュージョン ＦＤから分離される。

[0063] 効率変換制御部９０は、膜電圧制御部６０から入力された判定結果が“Ｖｄａｖｇ≦Ｖｔｈ３”である場合、または、スイッチ素子ＳＷをオフに設定した場合には、平均値Ｖｄａｖｇと閾値Ｖｔｈ２（Ｖｔｈ２＜Ｖｔｈ３）との大小関係についての判定結果が膜電圧制御部６０から入力されるのを待つ。このとき、効率変換制御部９０は、膜電圧制御部６０から入力された判定結果が“Ｖｄａｖｇ＜Ｖｔｈ２”である場合、変換効率ηをη１に設定する（ステップＳ３０４，３０１）。具体的には、効率変換制御部９０は、スイッチ素子ＳＷに対して、スイッチ素子ＳＷをオンさせる制御信号を出力する。スイッチ素子ＳＷは、効率変換制御部９０から、スイッチ素子ＳＷをオンさせる制御信号が入力されると、オンする。つまり、効率変換制御部９０は、平均値Ｖｄａｖｇが Ｖｔｈ３よりも小さなＶｔｈ２を下回ったときにスイッチ素子ＳＷをオンする。これにより、ＦＤ容量Ｃｆｄと補助容量Ｃｅとが互いに並列に接続される。

[0064] 効率変換制御部９０は、膜電圧制御部６０から入力された判定結果が“Ｖｄａｖｇ≧Ｖｔｈ２”である場合、撮像終了指令が入力されていないときには、ステップＳ３０２を実行する（ステップＳ３０４，３０２）。効率変換制御部９０は、撮像終了指令が入力されたときには、変換効率ηの設定を終了する（ステップＳ３０５）。このようにして、撮像素子１の画質調整が行われる。

[0065] [効果]

本変形例では、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）に基づく膜電圧Ｖｆを各フォトダイオードＰＤ（ｎ型半導体膜２１）に印加することにより、画素信号から得られる画像データの画質が制御される。具体的には、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ

）が閾値Ｖｔｈ１を超えたときに膜電圧Ｖｆを相対的に大きくし、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ２を下回ったときに膜電圧Ｖｆを相対的に小さくする。このように、本変形例では、高輝度のときは、膜電圧Ｖｆを相対的に大きくして、光ショットノイズの影響を低減し、低輝度のときは、膜電圧Ｖｆを相対的に小さくして、Ｓ／Ｎ比を高くしている。これにより、画質劣化を抑制することができる。

[0066] 本変形例では、さらに、画素信号に基づく制御信号をスイッチ素子ＳＷに出力することにより、画素信号から得られる画像データの画質が制御される。具体的には、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ３を超えたときにスイッチ素子ＳＷをオフし、撮像素子１の出力（画素信号の振幅Ｖｄの平均値Ｖｄａｖｇ）が閾値Ｖｔｈ２を下回ったときにスイッチ素子ＳＷをオンする。このように、本変形例では、高輝度のときは、スイッチ素子ＳＷをオフして、画像が白とびするのを抑制し、低輝度のときは、スイッチ素子ＳＷをオンして、Ｓ／Ｎ比を高くしている。これにより、画質劣化を抑制することができる。

[0067] [[変形例Ｆ]]

上記変形例Ｅでは、膜電圧制御部６０、電圧生成回路７０および効率変換制御部９０は、撮像素子１内に設けられていた。しかし、例えば、図１８に示したように、膜電圧制御部６０、電圧生成回路７０および効率変換制御部９０が、撮像素子１とは別体の画質制御回路２内に設けられていてもよい。この場合、膜電圧制御部６０は、例えば、図１８に示したように、撮像素子１の出力に基づいて、膜電圧Ｖｆを設定してもよい。このようにした場合であっても、上記実施の形態と同様の効果を奏する。

[0068] [[変形例Ｇ]]

上記変形例Ｅでは、膜電圧制御部６０、電圧生成回路７０および効率変換制御部９０は、撮像素子１内に設けられていた。しかし、例えば、図１９に示したように、膜電圧制御部６０および電圧生成回路７０が、撮像素子１とは別体の画質制御回路２内に設けられ、効率変換制御部９０が撮像素子１内

に設けられていてもよい。

[0069] この場合、膜電圧制御部６０は、例えば、図１９に示したように、撮像素子１の出力に基づいて、膜電圧Ｖｆを設定してもよい。また、効率変換制御部９０は、例えば、図１９に示したように、電圧生成回路７０の出力電圧（Ｖｔｏｐ、Ｖｄｒ）の値に基づいて、画素回路１４の変換効率ηを設定してもよい。

[0070] 本変形例では、撮像素子１の出力に基づいてフォトダイオードＰＤ（ｎ型半導体膜２１）に印加される膜電圧Ｖｆが設定され、フォトダイオードＰＤ（ｎ型半導体膜２１）に印加される電圧（Ｖｔｏｐ、Ｖｄｒ）の値に基づいて、画素回路１４の変換効率ηが設定される。これにより、画質劣化を抑制することができる。

[0071] [[変形例Ｈ]]

上記実施の形態およびその変形例において、画素回路１４は、例えば、図２０、図２１に示したように、排出トランジスタＯＦＧが省略されてもよい。このとき、膜電圧制御部６０は、ｎ型半導体層２４に印加する電圧Ｖｔｏｐと、転送トランジスタＴＲＧがオンしているときにリセットトランジスタＲＳＴによって印加されたｐ型半導体層２２の電極Ｖｄｒとの電位差（Ｖｔｏｐ－Ｖｄｒ）が膜電圧Ｖｆとなるように、画素信号に基づいて電圧Ｖｔｏｐを生成してもよい。

[0072] また、上記実施の形態およびその変形例において、画素回路１４は、例えば、図２２、図２３に示したように、排出トランジスタＯＦＧおよび転送トランジスタＴＲＧが省略されてもよい。このとき、膜電圧制御部６０は、ｎ型半導体層２４に印加する電圧Ｖｔｏｐと、リセットトランジスタＲＳＴによって印加されたｐ型半導体層２２の電極Ｖｄｒとの電位差（Ｖｔｏｐ－Ｖｄｒ）が膜電圧Ｖｆとなるように、画素信号に基づいて電圧Ｖｔｏｐを生成してもよい。

[0073] 本変形例では、これらのようにした場合であっても、上記実施の形態およびその変形例に係る撮像素子１と同様の効果を奏する。

[0074] [[変形例Ｉ]]

上記実施の形態およびその変形例Ａ～Ｈでは、受光基板１００と駆動基板２００とが、バンプ接合されていた。しかし、上記実施の形態およびその変形例Ａ～Ｈにおいて、受光基板１００と駆動基板２００とが、Ｃｕ－Ｃｕ接合されていてもよい。図２４は、本変形例に係る撮像素子１の断面構成の一変形例を表したものである。

[0075] 受光基板１００は、パッシベーション層２８、絶縁層２９、複数の接続電極３１および複数のバンプ電極３２の代わりに、絶縁膜３３、埋め込み層３４、層間絶縁膜３５，３６、複数の電極３７および複数のコンタクト電極３８を有している。

[0076] 絶縁膜３３は、ｎ型半導体層２３と、各ｐ型半導体層２２の一部とを覆っており、各ｐ型半導体層２２と対向する箇所に開口を有している。絶縁膜３３は、例えば、酸化シリコン（SiO_x）または酸化アルミニウム（Al_2O_3）等の酸化物を含んで構成されている。複数の膜からなる積層構造により絶縁膜３３を構成するようにしてもよい。絶縁膜３３は、例えば、酸窒化シリコン（ＳｉＯＮ），炭素含有酸化シリコン（ＳｉＯＣ），窒化シリコン（ＳｉＮ）およびシリコンカーバイド（ＳｉＣ）などのシリコン（Ｓｉ）系絶縁材料により構成するようにしてもよい。絶縁膜３３の厚みは、例えば数十ｎｍ～数百ｎｍである。

[0077] 複数の電極３７は、絶縁膜３３の各開口に１つずつ設けられており、ｐ型半導体層２２ごとに１つずつ設けられている。各電極３７は、対応するｐ型半導体層２２に接している。各電極３７は、例えば、チタン（Ｔｉ），タングステン（Ｗ），窒化チタン（ＴｉＮ），白金（Ｐｔ），金（Ａｕ），ゲルマニウム（Ｇｅ），パラジウム（Ｐｄ），亜鉛（Ｚｎ），ニッケル（Ｎｉ）およびアルミニウム（Ａｌ）のうちのいずれかの単体、またはそれらのうちの少なくとも１種を含む合金により構成されている。各電極３７は、このような構成材料の単膜であってもよく、あるいは、２種以上を組み合わせた積層膜であってもよい。例えば、各電極３７は、チタンおよびタングステンの

積層膜により構成されている。各電極３７の厚みは、例えば数十ｎｍ～数百ｎｍである。

[0078] 埋め込み層３４は、各電極３７を埋め込んで形成されている。埋め込み層３４において、駆動基板２００側の面は平坦になっている。埋め込み層３４は、例えば、酸化シリコン（SiO_x），窒化シリコン（ＳｉＮ），酸窒化シリコン（ＳｉＯＮ），炭素含有酸化シリコン（ＳｉＯＣ）およびシリコンカーバイド（ＳｉＣ）等の無機絶縁材料により構成されている。

[0079] 層間絶縁膜３５，３６は、埋め込み層３４の、駆動基板２００側の平坦面にこの順に積層されている。層間絶縁膜３５，３６は、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン（ＳｉＮ），酸化アルミニウム（Al_2O_3），酸化ケイ素（SiO_2）および酸化ハフニウム（HfO_2）等が挙げられる。層間絶縁膜３５，３６を同一の無機絶縁材料により構成するようにしてもよい。

[0080] 複数のコンタクト電極３８は、電極３７ごとに１つずつ設けられている。各コンタクト電極３８は、対応する電極３７に接している。各コンタクト電極３８の、駆動基板２００側の面は、層間絶縁膜３６から露出している。各コンタクト電極３８の、駆動基板２００側の面と、層間絶縁膜３６の、駆動基板２００側の面とは、同一の面内に配置されている。

[0081] 駆動基板２００は、複数の接続層４３の代わりに、複数のコンタクト電極４７を有している。駆動基板２００は、さらに、層間絶縁膜４８，４９を有している。複数のコンタクト電極４７は、読み出し電極４４ごとに１つずつ設けられている。各コンタクト電極４７は、対応する読み出し電極４４に接している。

[0082] 層間絶縁膜４８，４９は、層間絶縁層４２の、受光基板１００側の面にこの順に積層されている。層間絶縁膜４８，４９は、例えば、無機絶縁材料により構成されている。この無機絶縁材料としては、例えば、窒化シリコン（ＳｉＮ），酸化アルミニウム（Al_2O_3），酸化ケイ素（SiO_2）および酸化ハフニウム（HfO_2）等が挙げられる。

[0083] 各コンタクト電極４７の、受光基板１００側の面は、層間絶縁膜４９から露出している。各コンタクト電極４７の、受光基板１００側の面と、層間絶縁膜４９の、受光基板１００側の面とは、同一の面内に配置されている。コンタクト電極３８，４７は、例えば、銅（Ｃｕ）により構成されている。コンタクト電極３８とコンタクト電極４７とが互いに接合されている。

[0084] 図２５は、本変形例に係る撮像素子１の平面構成の一例を表したものである。図２６は、図２５の撮像素子１のＡ－Ａ線での断面構成の一例を表したものである。撮像素子１は、中央部の素子領域Ｒ１と、素子領域Ｒ１の外側に設けられ、素子領域Ｒ１を囲む周辺領域Ｒ２とを有している。素子領域Ｒ１は、撮像素子１において、ｎ型半導体膜２１（フォトダイオードＰＤ）が設けられた箇所に対応している。撮像素子１は、素子領域Ｒ１から周辺領域Ｒ２にわたって設けられた導電膜５１を有している。この導電膜５１は、素子領域Ｒ１の中央部に対向する領域に開口を有している。素子領域Ｒ１のうち、導電膜５１から露出された領域（導電膜５１の開口に対向する領域）が、受光領域である。素子領域Ｒ１のうち、導電膜５１で覆われた領域は、ＯＰＢ（Optical Black）領域である。ＯＰＢ領域は、受光領域を囲むように設けられている。ＯＰＢ領域は、黒レベルの画素信号を得るために用いられる。

[0085] 受光基板１００において、絶縁膜３３は、ｎ型半導体層２３と、各ｐ型半導体層２２の一部とを覆うとともに、ｎ型半導体膜２１（フォトダイオードＰＤ）の側面を覆っている。受光基板１００において、埋め込み層３４は、絶縁膜３３を介してｎ型半導体膜２１の側面を覆っており、素子領域Ｒ１から周辺領域Ｒ２にわたって設けられている。周辺領域Ｒ２には、受光基板１００を貫通し、駆動基板２００に達する穴Ｈ１，Ｈ２が設けられている。

[0086] 穴Ｈ１は、穴Ｈ２よりも素子領域Ｒ１に近い位置に設けられており、穴Ｈ１の側壁および底面は、導電膜５１に覆われている。穴Ｈ１は、ｎ型半導体膜２１と駆動基板２００の配線４６とを接続するためのものであり、反射防止膜２５、埋め込み層３４、層間絶縁膜３５および層間絶縁膜３６を貫通し

て設けられている。

[0087] 穴Ｈ２は、例えば、穴Ｈ１よりも受光基板１００の端部に近い位置に設けられている。穴Ｈ２は、反射防止膜２５、埋め込み層３４、層間絶縁膜３５および層間絶縁膜３６を貫通し、駆動基板２００の配線４６に達している。穴Ｈ２を介して、外部と撮像素子１との電気的な接続が行われる。穴Ｈ１，Ｈ２は、駆動基板２００に達していなくてもよい。例えば、穴Ｈ１，Ｈ２が、層間絶縁膜３６に設けられた配線に達しており、この配線が駆動基板２００の配線４６に接続されていてもよい。

[0088] 受光基板１００において、層間絶縁膜３６、層間絶縁膜３５および埋め込み層３４は、駆動基板２００に近い位置にからこの順に設けられている。層間絶縁膜３６、層間絶縁膜３５および埋め込み層３４は、素子領域Ｒ１から周辺領域Ｒ２にわたって設けられており、層間絶縁膜３６および各コンタクト電極３８が駆動基板２００との接合面を構成している。受光基板１００の接合面が素子領域Ｒ１および周辺領域Ｒ２に設けられており、素子領域Ｒ１の接合面と周辺領域Ｒ２の接合面とは、同一平面を構成している。

[0089] 受光基板１００に設けられた複数のコンタクト電極３８のうち、周辺領域Ｒ２に設けられた複数のコンタクト電極３８は、ｎ型半導体膜２１（フォトダイオードＰＤ）との電気的な接続が無く、受光基板１００と駆動基板２００との接合のために設けられたダミー電極３８Ｄである。

[0090] 駆動基板２００において、層間絶縁膜４９、層間絶縁膜４８および層間絶縁層４２は、受光基板１００に近い位置にからこの順に設けられている。層間絶縁膜４９、層間絶縁膜４８および層間絶縁層４２は、素子領域Ｒ１から周辺領域Ｒ２にわたって設けられており、層間絶縁膜４９および各コンタクト電極４７が受光基板１００との接合面を構成している。駆動基板２００の接合面が素子領域Ｒ１および周辺領域Ｒ２に設けられており、素子領域Ｒ１の接合面と周辺領域Ｒ２の接合面とは、同一平面を構成している。

[0091] 駆動基板２００に設けられた複数のコンタクト電極４７のうち、周辺領域Ｒ２に設けられた複数のコンタクト電極４７は、ｎ型半導体膜２１（フォト

ダイオードＰＤ）との電気的な接続が無く、受光基板１００と駆動基板２００との接合のために設けられたダミー電極４７Ｄである。ダミー電極４７Ｄは、ダミー電極３８Ｄと対向する位置に設けられており、対向位置に設けられたダミー電極３８Ｄに接合されている。これにより、周辺領域Ｒ２の強度を向上させることが可能となる。

[0092] 導電膜５１は、ＯＰＢ領域から周辺領域Ｒ２の穴Ｈ１にわたって設けられている。導電膜５１は、ＯＰＢ領域に設けられた反射防止膜２５の開口２５Ｈにおいてｎ型半導体層２４に接するとともに、穴Ｈ１を介して駆動基板２００の配線４６に接している。これにより、駆動基板２００から導電膜５１を介してｎ型半導体層２４に電圧が供給される。導電膜５１は、ｎ型半導体層２４への電圧供給経路として機能するとともに、遮光膜としての機能を有し、ＯＰＢ領域を形成する。導電膜５１は、例えば、タングステン（Ｗ），アルミニウム（Ａｌ），チタン（Ｔｉ），モリブデン（Ｍｏ），タンタル（Ｔａ）または銅（Ｃｕ）を含む金属材料により構成されている。導電膜５１上にパッシベーション膜５２が設けられていてもよい。

[0093] ＜３．第２の実施の形態＞

図２７は、上記実施の形態、上記変形例Ｂ、上記変形例Ｅおよび上記変形例Ｈに係る撮像素子１（以下、「撮像素子１ａ」と称する。）を備えた撮像装置３の概略構成の一例を表したものである。

[0094] 撮像装置３は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像装置３は、例えば、撮像素子１ａ、光学系１４１、シャッタ装置１４２、ＤＳＰ回路１４３、フレームメモリ１４４、表示部１４５、記憶部１４６、操作部１４７および電源部１４８を備えている。撮像装置３において、撮像素子１ａ、シャッタ装置１４２、ＤＳＰ回路１４３、フレームメモリ１４４、表示部１４５、記憶部１４６、操作部１４７および電源部１４８は、バスライン１４９を介して相互に接続されている。

[0095] 撮像素子１ａは、入射光に応じた画像データ（デジタル値）を出力する。

光学系１４１は、１枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を撮像素子１ａに導き、撮像素子１ａの受光面に結像させる。シャッタ装置１４２は、光学系１４１および撮像素子１ａの間に配置され、撮像素子１ａへの光照射期間および遮光期間を制御する。ＤＳＰ回路１４３は、撮像素子１ａから出力される画像データ（デジタル値）を処理する信号処理回路である。フレームメモリ１４４は、ＤＳＰ回路１４３により処理された画像データを、フレーム単位で一時的に保持する。表示部１４５は、例えば、液晶パネルや有機ＥＬ（Electro Luminescence）パネル等のパネル型表示装置からなり、撮像素子１ａで撮像された動画又は静止画を表示する。記憶部１４６は、撮像素子１ａで撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部１４７は、ユーザによる操作に従い、撮像装置３が有する各種の機能についての操作指令を発する。電源部１４８は、撮像素子１ａ、シャッタ装置１４２、ＤＳＰ回路１４３、フレームメモリ１４４、表示部１４５、記憶部１４６および操作部１４７の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0096] 次に、撮像装置３における撮像手順の一例について説明する。

[0097] 図２８は、撮像装置３における撮像動作のフローチャートの一例を表す。ユーザは、操作部１４７を操作することにより撮像開始を指示する（ステップＳ４０１）。すると、操作部１４７は、撮像指令を撮像素子１ａに送信する（ステップＳ４０２）。撮像装置３において、撮像素子１ａは、撮像指令を受けると、各種設定（例えば、上述の画質調整など）を行う（ステップＳ４０３）。その後、撮像素子１ａは、所定の撮像方式での撮像を実行する（ステップＳ４０４）。なお、撮像装置３において、撮像素子１ａは、必要に応じて、ステップＳ４０３およびステップＳ４０４を繰り返し実行する。

[0098] 撮像素子１ａは、撮像により得られた画像データをＤＳＰ回路１４３に出力する。ここで、画像データとは、フローティングディフュージョンＦＤに一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータ

である。ＤＳＰ回路１４３は、撮像素子１ａから入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理など）を行う（ステップＳ４０５）。ＤＳＰ回路１４３は、所定の信号処理がなされた画像データをフレームメモリ１４４に保持させ、フレームメモリ１４４は、画像データを記憶部１４６に記憶させる（ステップＳ４０６）。このようにして、撮像装置３における撮像が行われる。

[0099] 本実施の形態では、撮像素子１ａが撮像装置３に適用される。これにより、撮像素子１ａの画質調整を自動的に行うことができる。

[0100] ＜４．第２の実施の形態の変形例＞

上記第２の実施の形態において、撮像装置３は、撮像素子１ａの代わりに、上記変形例Ａ、上記変形例Ｃ、上記変形例Ｄ、上記変形例Ｆ、上記変形例Ｇおよび上記変形例Ｈに係る撮像素子１（以下、「撮像素子１ｂ」と称する。）を備えていてもよい。この場合、撮像装置３は、例えば、図２９に示したように、画質制御回路２を備えていてもよい。このようにした場合であっても、上記適用例と同様、撮像素子１ｂの画質調整を自動的に行うことができる。

[0101] ＜５．応用例＞

[応用例１]

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0102] 図３０は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0103] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図３０に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユ

ニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａｃｅ）１２０５３が図示されている。

[0104] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0105] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0106] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0107] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0108] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0109] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Ａｄｖａｎｃｅｄ　Ｄｒｉｖｅｒ　Ａｓｓｉｓｔａｎｃｅ　Ｓｙｓｔｅｍ）の機能実現を目的とした協調制御を行うことができる。

[0110] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0111] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ

１２０５１は、車外情報検出ユニット１２０３０で検出した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0112] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図３０の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0113] 図３１は、撮像部１２０３１の設置位置の例を示す図である。

[0114] 図３１は、車両１２１００は、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0115] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。撮像部１２１０１及び１２１０５で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0116] なお、図３１には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を

示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0117] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0118] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0119] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警

報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0120] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0121] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、撮像装置３は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、高画質な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0122] [応用例２]

図３２は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0123] 図３２では、術者（医師）１１１３１が、内視鏡手術システム１１０００を用いて、患者ベッド１１１３３上の患者１１１３２に手術を行っている様子が図示されている。図示するように、内視鏡手術システム１１０００は、内視鏡１１１００と、気腹チューブ１１１１１やエネルギー処置具１１１１

２等の、その他の術具１１１１０と、内視鏡１１１００を支持する支持アーム装置１１１２０と、内視鏡下手術のための各種の装置が搭載されたカート１１２００と、から構成される。

[0124] 内視鏡１１１００は、先端から所定の長さの領域が患者１１１３２の体腔内に挿入される鏡筒１１１０１と、鏡筒１１１０１の基端に接続されるカメラヘッド１１１０２と、から構成される。図示する例では、硬性の鏡筒１１１０１を有するいわゆる硬性鏡として構成される内視鏡１１１００を図示しているが、内視鏡１１１００は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0125] 鏡筒１１１０１の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡１１１００には光源装置１１２０３が接続されており、当該光源装置１１２０３によって生成された光が、鏡筒１１１０１の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者１１１３２の体腔内の観察対象に向かって照射される。なお、内視鏡１１１００は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0126] カメラヘッド１１１０２の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、ＲＡＷデータとしてカメラコントロールユニット（ＣＣＵ： Ｃａｍｅｒａ Ｃｏｎｔｒｏｌ Ｕｎｉｔ）１１２０１に送信される。

[0127] ＣＣＵ１１２０１は、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）やＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を統括的に制御する。さらに、ＣＣＵ１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処

理を施す。

[0128] 表示装置１１２０２は、ＣＣＵ１１２０１からの制御により、当該ＣＣＵ１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0129] 光源装置１１２０３は、例えばＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）等の光源から構成され、術部等を撮影する際の照射光を内視鏡１１１００に供給する。

[0130] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0131] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患者１１１３２の体腔を膨らめるために、気腹チューブ１１１１１を介して当該体腔内にガスを送り込む。レコーダ１１２０７は、手術に関する各種の情報を記録可能な装置である。プリンタ１１２０８は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0132] なお、内視鏡１１１００に術部を撮影する際の照射光を供給する光源装置１１２０３は、例えばＬＥＤ、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。ＲＧＢレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置１１２０３において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、ＲＧＢレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御することにより、ＲＧＢそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィ

ルタを設けなくても、カラー画像を得ることができる。

[0133] また、光源装置１１２０３は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド１１１０２の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0134] また、光源装置１１２０３は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Ｎａｒｒｏｗ　Ｂａｎｄ　Ｉｍａｇｉｎｇ）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニングリーン（ＩＣＧ）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置１１２０３は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0135] 図３３は、図３２に示すカメラヘッド１１１０２及びＣＣＵ１１２０１の機能構成の一例を示すブロック図である。

[0136] カメラヘッド１１１０２は、レンズユニット１１４０１と、撮像部１１４０２と、駆動部１１４０３と、通信部１１４０４と、カメラヘッド制御部１１４０５と、を有する。ＣＣＵ１１２０１は、通信部１１４１１と、画像処理部１１４１２と、制御部１１４１３と、を有する。カメラヘッド１１１０２とＣＣＵ１１２０１とは、伝送ケーブル１１４００によって互いに通信可能に接続されている。

[0137] レンズユニット１１４０１は、鏡筒１１１０１との接続部に設けられる光

学系である。鏡筒１１１０１の先端から取り込まれた観察光は、カメラヘッド１１１０２まで導光され、当該レンズユニット１１４０１に入射する。レンズユニット１１４０１は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0138] 撮像部１１４０２は、撮像素子で構成される。撮像部１１４０２を構成する撮像素子は、１つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部１１４０２が多板式で構成される場合には、例えば各撮像素子によってＲＧＢそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部１１４０２は、３Ｄ（Ｄｉｍｅｎｓｉｏｎａｌ）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0139] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0140] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0141] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0142] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１

０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0143] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Ａｕｔｏ　Ｅｘｐｏｓｕｒｅ）機能、ＡＦ（Ａｕｔｏ　Ｆｏｃｕｓ）機能及びＡＷＢ（Ａｕｔｏ　Ｗｈｉｔｅ　Ｂａｌａｎｃｅ）機能が内視鏡１１１００に搭載されていることになる。

[0144] カメラヘッド制御部１１４０５は、通信部１１４０４を介して受信したＣＣＵ１１２０１からの制御信号に基づいて、カメラヘッド１１１０２の駆動を制御する。

[0145] 通信部１１４１１は、カメラヘッド１１１０２との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４１１は、カメラヘッド１１１０２から、伝送ケーブル１１４００を介して送信される画像信号を受信する。

[0146] また、通信部１１４１１は、カメラヘッド１１１０２に対して、カメラヘッド１１１０２の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0147] 画像処理部１１４１２は、カメラヘッド１１１０２から送信されたＲＡＷデータである画像信号に対して各種の画像処理を施す。

[0148] 制御部１１４１３は、内視鏡１１１００による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部１１４１３は、カメラヘッド１１１０２の駆動を制御するための制御信号を生成する。

[0149] また、制御部１１４１３は、画像処理部１１４１２によって画像処理が施

された画像信号に基づいて、術部等が映った撮像画像を表示装置１１２０２に表示させる。この際、制御部１１４１３は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部１１４１３は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具１１１１２の使用時のミスト等を認識することができる。制御部１１４１３は、表示装置１１２０２に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者１１１３１に提示されることにより、術者１１１３１の負担を軽減することや、術者１１１３１が確実に手術を進めることが可能になる。

[0150] カメラヘッド１１１０２及びＣＣＵ１１２０１を接続する伝送ケーブル１１４００は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0151] ここで、図示する例では、伝送ケーブル１１４００を用いて有線で通信が行われていたが、カメラヘッド１１１０２とＣＣＵ１１２０１との間の通信は無線で行われてもよい。

[0152] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡１１１００のカメラヘッド１１１０２に設けられた撮像部１１４０２に好適に適用され得る。撮像部１１４０２に本開示に係る技術を適用することにより、高画質な撮影画像を得ることができるので、高画質な内視鏡１１１００を提供することができる。

[0153] 以上、実施の形態およびその変形例、適用例および応用例を挙げて本開示を説明したが、本開示は実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていてもよい。

[0154] また、例えば、本開示は以下のような構成を取ることができる。

（１）

各々が光電変換部と、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路とを含む複数のセンサ画素と、

前記画素信号に基づく制御電圧を各前記光電変換部に印加する電圧制御部と

を備えた撮像素子。

（２）

前記電圧制御部は、前記画素信号が第１閾値を超えたときに前記制御電圧を相対的に大きくし、前記画素信号が前記第１閾値よりも小さな第２閾値を下回ったときに前記制御電圧を相対的に小さくする

（１）に記載の撮像素子。

（３）

各前記センサ画素は、前記光電変換部を挟み込む第１電極および第２電極を更に有し、

前記電圧制御部は、前記第１電極に印加する第１電圧と、前記第２電極に印加する第２電圧との電位差が前記制御電圧となるように、前記画素信号に基づいて前記第１電圧および前記第２電圧を生成する

（１）または（２）に記載の撮像素子。

（４）

各前記センサ画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と

前記第２電極に電気的に接続され、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと

前記第２電極に電気的に接続され、前記光電変換部の電荷を初期化する排出トランジスタと

を更に含み、

前記電圧制御部は、前記排出トランジスタがオンしているときに、前記第２電極に前記第２電圧を印加する

（３）に記載の撮像素子。

（５）

各前記画素は、

前記光電変換部を挟み込む第１電極および第２電極と、

前記光電変換部から転送された電荷を保持する電荷保持部と

前記第２電極に電気的に接続され、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと

を更に含み、

前記読み出し回路は、前記電荷保持部の電位を初期化するリセットトランジスタを有し、

前記電圧制御部は、前記第１電極に印加する第１電圧と、前記転送トランジスタがオンしているときに前記リセットトランジスタによって印加された前記第２電極の第２電圧との電位差が前記制御電圧となるように、前記画素信号に基づいて前記第１電圧を生成する

（１）または（２）に記載の撮像素子。

（６）

各前記画素は、前記光電変換部から転送された電荷を保持する電荷保持部を更に含み、

前記読み出し回路は、前記電荷保持部の電位を初期化するリセットトランジスタを有し、

前記電圧制御部は、前記第１電極に印加する第１電圧と、前記リセットトランジスタによって印加された前記第２電極の第２電圧との電位差が前記制御電圧となるように、前記画素信号に基づいて前記第１電圧を生成する

（１）または（２）に記載の撮像素子。

（７）

前記画素信号をＡＤ（Analog-to-Digital）変換するＡＤ変換回路と、

前記画素信号に基づくレンジ設定値を前記ＡＤ変換回路に出力するレンジ制御部と

を更に備えた

（１）ないし（６）のいずれか１つに記載の撮像素子。

（８）

前記レンジ制御部は、前記画素信号が第１閾値を超えたときに前記レンジ設定値を相対的に大きくし、前記画素信号が前記第１閾値よりも小さな第２閾値を下回ったときに前記レンジ設定値を相対的に小さくする

（７）に記載の撮像素子。

（９）

各前記センサ画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と

前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと

前記電荷保持部に接続されたスイッチ素子と、

前記スイッチ素子を介して前記電荷保持部の容量と並列に接続された補助容量と、

前記画素信号に基づいて前記スイッチ素子のオンオフを制御する変換効率制御部と

を更に備えた

（１）ないし（６）のいずれか１つに記載の撮像素子。

（１０）

前記変換効率制御部は、前記画素信号が第１閾値を超えたときに前記スイッチ素子をオフし、前記画素信号が前記第１閾値よりも小さな第２閾値を下回ったときに前記前記スイッチ素子をオンする

（９）に記載の撮像素子。

（１１）

各々が光電変換部と、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路とを含む複数のセンサ画素を有する撮像素子と、

前記画素信号に基づく制御電圧を各前記光電変換部に印加する画質制御回路と

を備えた

撮像装置。

[0155] 本開示の一実施の形態に係る撮像素子および撮像装置によれば、画素信号に基づく制御電圧を各光電変換部に印加するようにしたので、各光電変換部に固定電圧を印加した場合と比べて、画像データの輝度の大きさに応じた画質調整を行うことができる。従って、画質の低下を抑えることができる。なお、本開示の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0156] 本出願は、日本国特許庁において２０１９年３月１１日に出願された日本特許出願番号第２０１９－０４３７８６号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0157] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 各々が光電変換部と、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路とを含む複数のセンサ画素と、

前記画素信号に基づく制御電圧を各前記光電変換部に印加する電圧制御部と

を備えた

撮像素子。

[請求項2] 前記電圧印加部は、前記画素信号が第１閾値を超えたときに前記制御電圧を相対的に大きくし、前記画素信号が前記第１閾値よりも小さな第２閾値を下回ったときに前記制御電圧を相対的に小さくする

請求項１に記載の撮像素子。

[請求項3] 各前記センサ画素は、前記光電変換部を挟み込む第１電極および第２電極を更に有し、

前記電圧印加部は、前記第１電極に印加する第１電圧と、前記第２電極に印加する第２電圧との電位差が前記制御電圧となるように、前記画素信号に基づいて前記第１電圧および前記第２電圧を生成する

請求項１に記載の撮像素子。

[請求項4] 各前記センサ画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と、

前記第２電極に電気的に接続され、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと、

前記第２電極に電気的に接続され、前記光電変換部の電荷を初期化する排出トランジスタと

を更に含み、

前記電圧印加部は、前記排出トランジスタがオンしているときに、前記第２電極に前記第２電圧を印加する

請求項３に記載の撮像素子。

[請求項5] 各前記画素は、

前記光電変換部を挟み込む第１電極および第２電極と、

前記光電変換部から転送された電荷を保持する電荷保持部と

前記第２電極に電気的に接続され、前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと

を更に含み、

前記読み出し回路は、前記電荷保持部の電位を初期化するリセットトランジスタを有し、

前記電圧印加部は、前記第１電極に印加する第１電圧と、前記転送トランジスタがオンしているときに前記リセットトランジスタによって印加された前記第２電極の第２電圧との電位差が前記制御電圧となるように、前記画素信号に基づいて前記第１電圧を生成する

請求項１に記載の撮像素子。

[請求項6] 各前記画素は、前記光電変換部から転送された電荷を保持する電荷保持部を更に含み、

前記読み出し回路は、前記電荷保持部の電位を初期化するリセットトランジスタを有し、

前記電圧印加部は、前記第１電極に印加する第１電圧と、前記リセットトランジスタによって印加された前記第２電極の第２電圧との電位差が前記制御電圧となるように、前記画素信号に基づいて前記第１電圧を生成する

請求項１に記載の撮像素子。

[請求項7] 前記画素信号をＡＤ（Analog-to-Digital）変換するＡＤ変換回路と、

前記画素信号に基づくレンジ設定値を前記ＡＤ変換回路に出力するレンジ制御部と

を更に備えた

請求項１に記載の撮像素子。

[請求項8] 前記レンジ制御部は、前記画素信号が第１閾値を超えたときに前記

レンジ設定値を相対的に大きくし、前記画素信号が前記第１閾値よりも小さな第２閾値を下回ったときに前記レンジ設定値を相対的に小さくする

請求項７に記載の撮像素子。

[請求項9] 各前記センサ画素は、

前記光電変換部から転送された電荷を保持する電荷保持部と

前記光電変換部から前記電荷保持部に電荷を転送する転送トランジスタと

前記電荷保持部に接続されたスイッチ素子と、

前記スイッチ素子を介して前記電荷保持部の容量と並列に接続された補助容量と、

前記画素信号に基づいて前記スイッチ素子のオンオフを制御する変換効率制御部と

を更に備えた

請求項１に記載の撮像素子。

[請求項10] 前記変換効率制御部は、前記画素信号が第１閾値を超えたときに前記スイッチ素子をオフし、前記画素信号が前記第１閾値よりも小さな第２閾値を下回ったときに前記前記スイッチ素子をオンする

請求項９に記載の撮像素子。

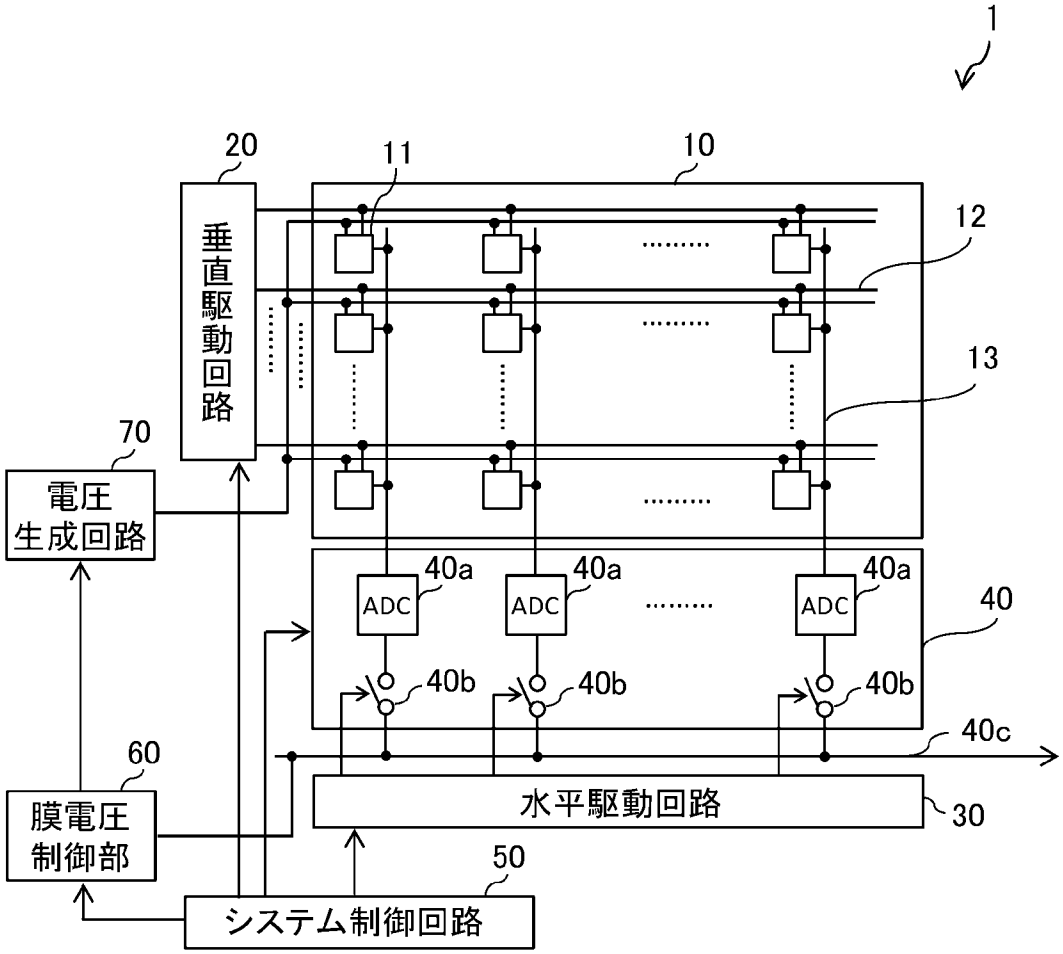
[請求項11] 各々が光電変換部と、前記光電変換部から出力された電荷に基づく画素信号を出力する読み出し回路とを含む複数のセンサ画素を有する撮像素子と、

前記画素信号に基づく制御電圧を各前記光電変換部に印加する画質制御回路と

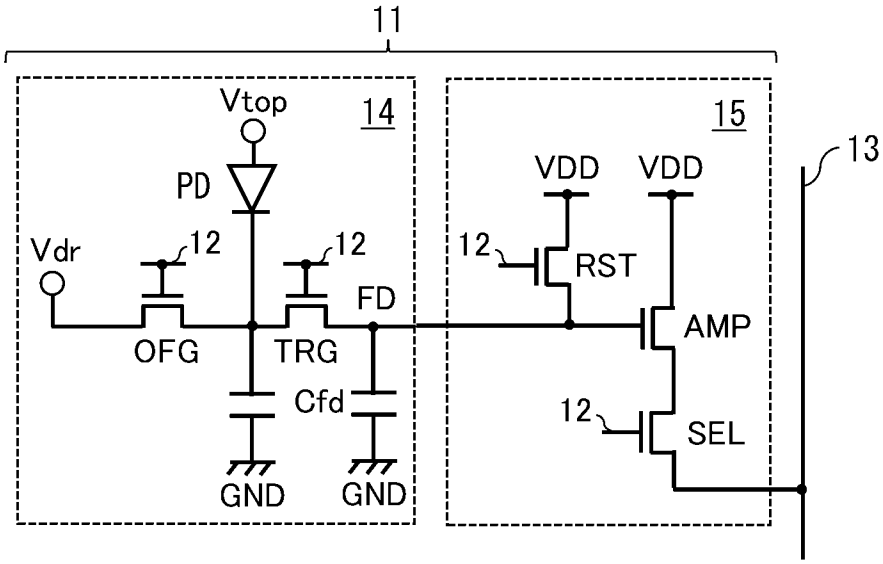
を備えた

撮像装置。

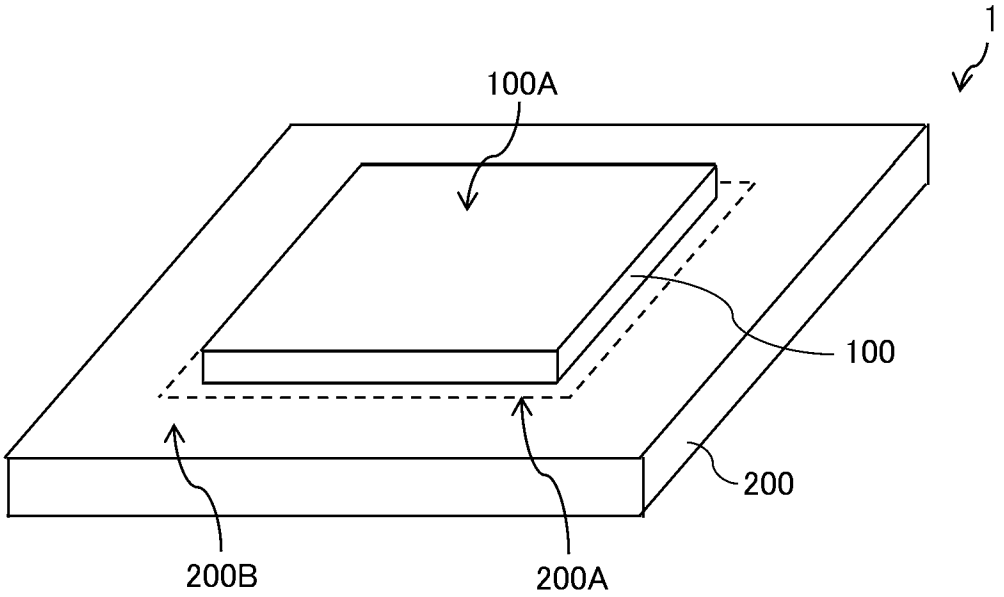
[図1]


1
20
11
10
12
13
垂直駆動回路
70
電圧生成回路
ADC
40a
40
40b
40c
60
膜電圧制御部
水平駆動回路
30
50
システム制御回路

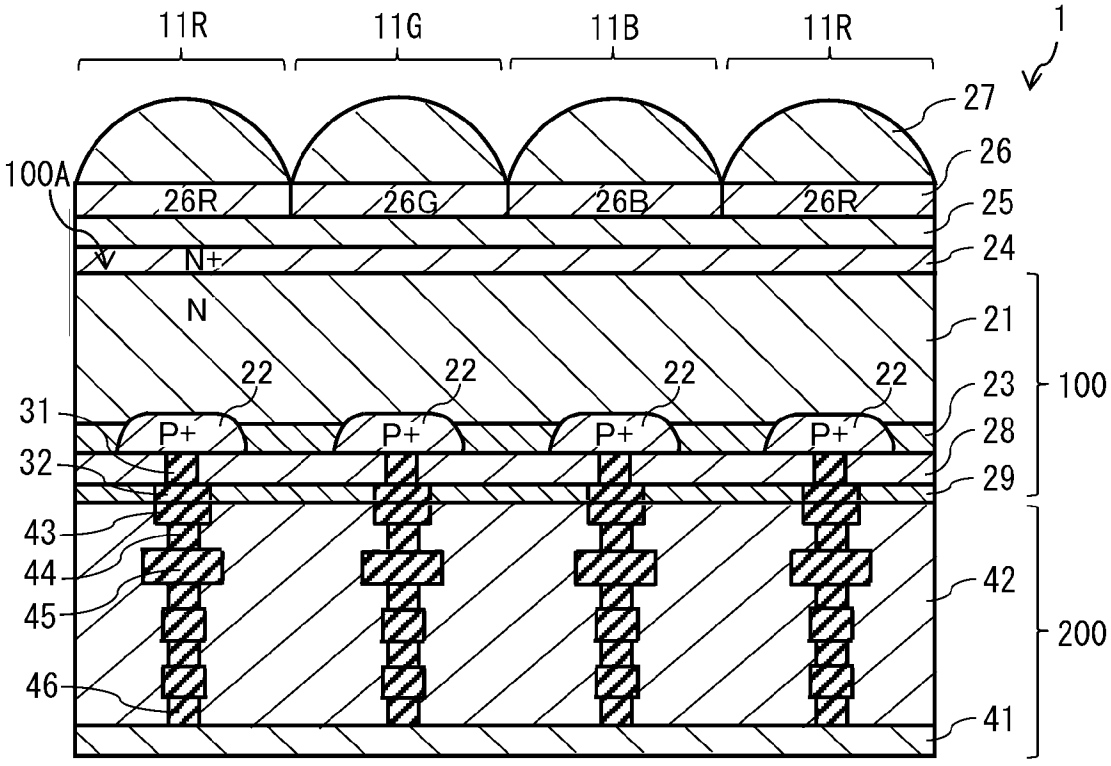
[図2]


11
Vtop
14
15
PD
VDD
VDD
13
Vdr
12
12
12
RST
FD
AMP
OFG
TRG
Cfd
12
SEL
GND
GND

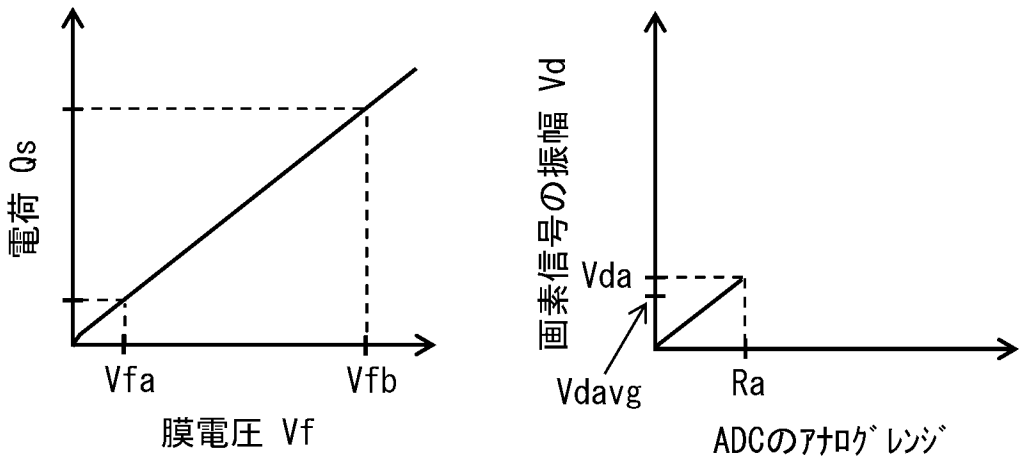
[図3]


1
100A
100
200
200B
200A

[図4]

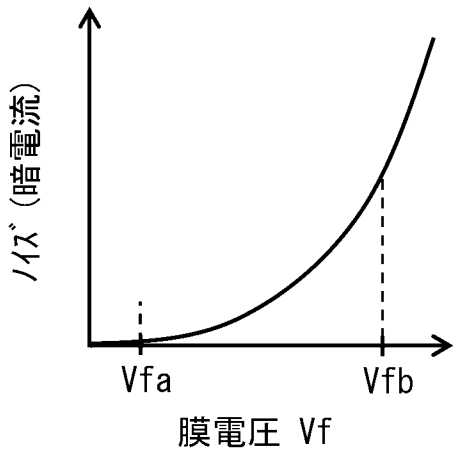

11R
11G
11B
11R
1
27
26
25
24
21
23
28
29
42
41
100
200
100A
26R
26G
26B
26R
N+
N
22
22
22
22
31
32
43
44
45
46
P+
P+
P+
P+

[図5]

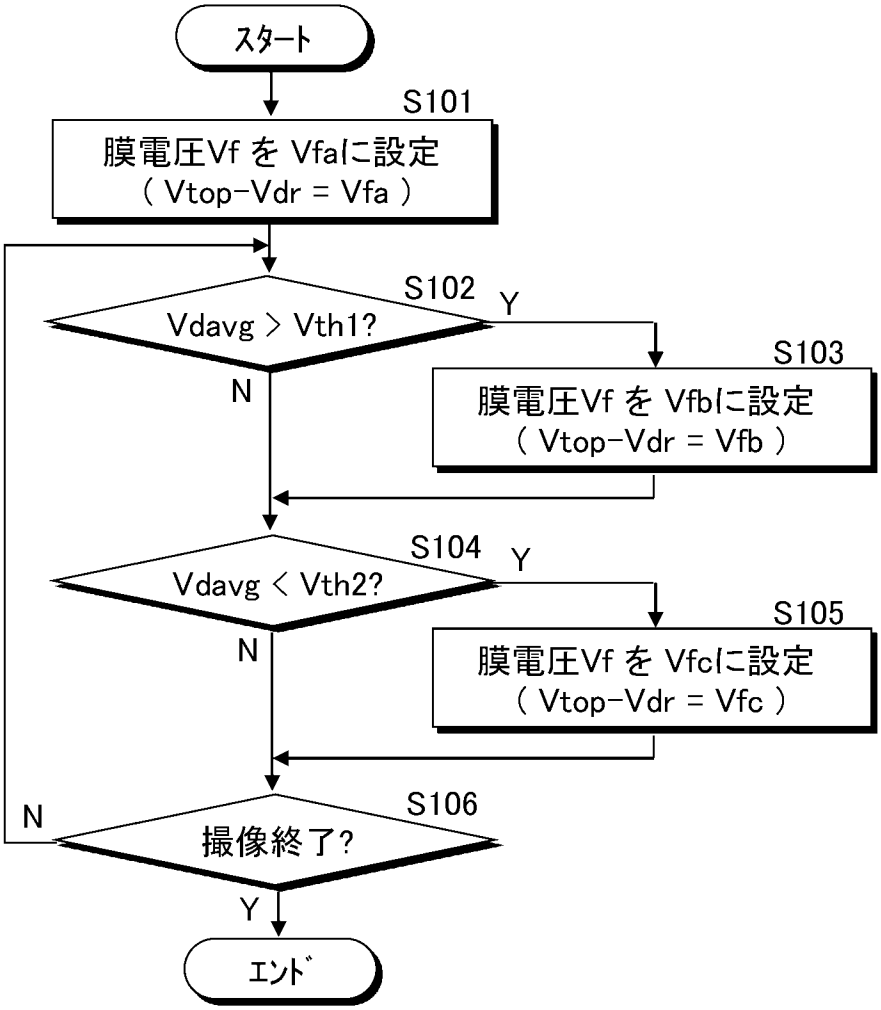

電荷 Qs
Vfa
Vfb
膜電圧 Vf
画素信号の振幅 Vd
Vda
Vdavg
Ra
ADCのｱﾅﾛｸﾞﾚﾝｼﾞ

(A) (B)

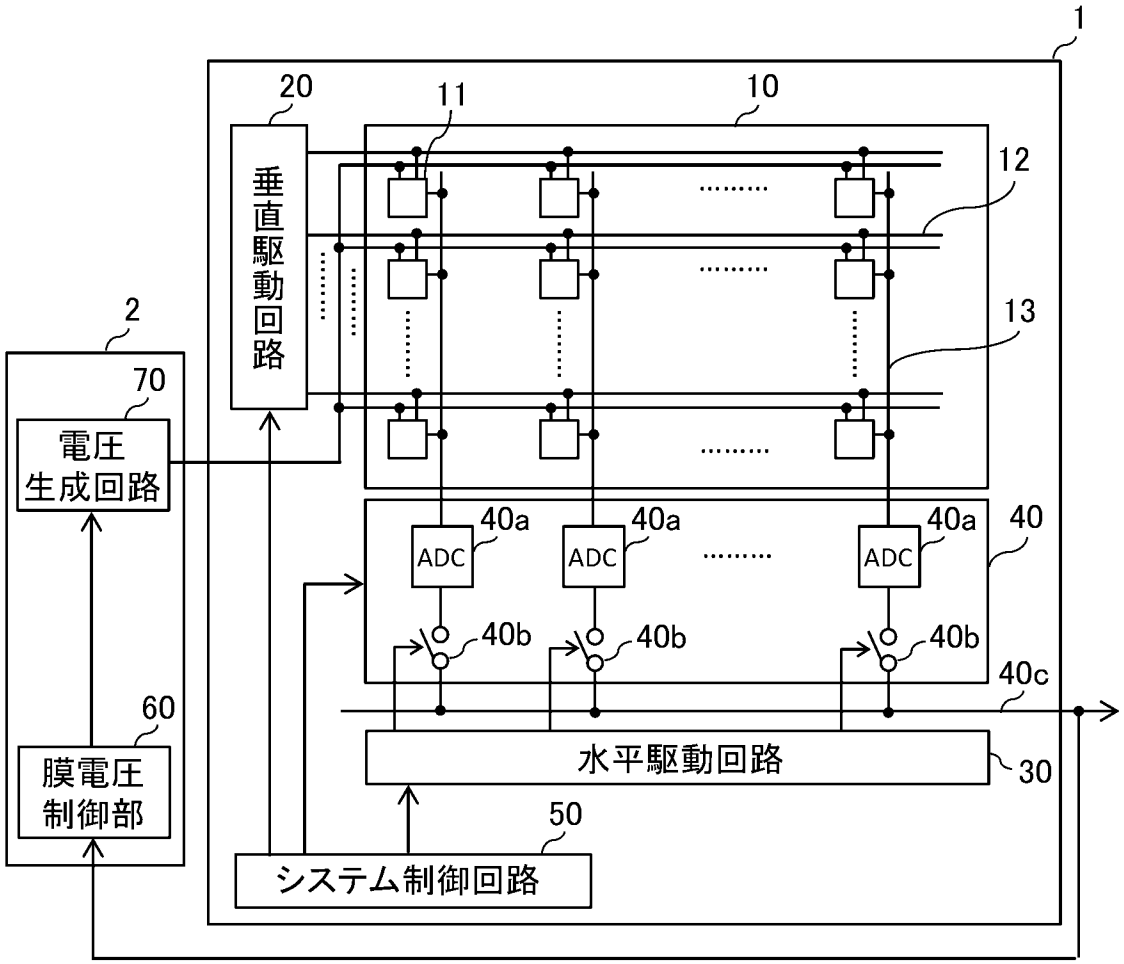
[図6]


ﾉｲｽﾞ(暗電流)
Vfa
Vfb
膜電圧 Vf

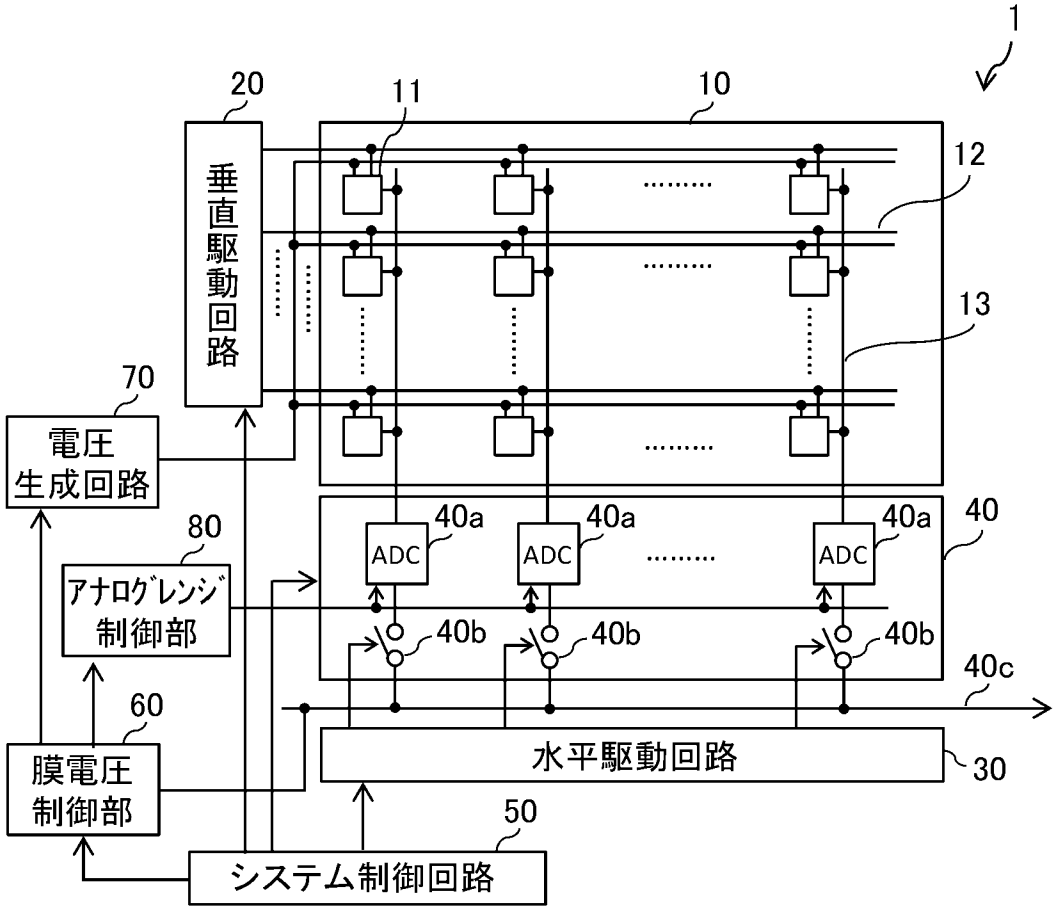
[図7]


スタート
S101
膜電圧Vf を Vfaに設定
(Vtop-Vdr = Vfa)
S102
Vdavg > Vth1?
Y
N
S103
膜電圧Vf を Vfbに設定
(Vtop-Vdr = Vfb)
S104
Vdavg < Vth2?
Y
N
S105
膜電圧Vf を Vfcに設定
(Vtop-Vdr = Vfc)
S106
撮像終了?
N
Y
エンド

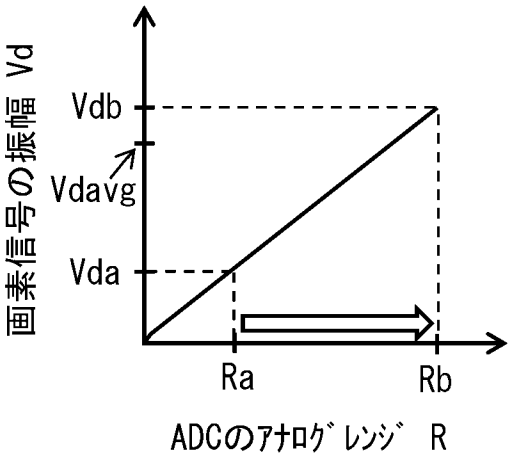
[図8]


1
20
11
10
12
13
垂直駆動回路
2
70
電圧生成回路
60
膜電圧制御部
ADC
40a
40
40b
40c
水平駆動回路
30
50
システム制御回路

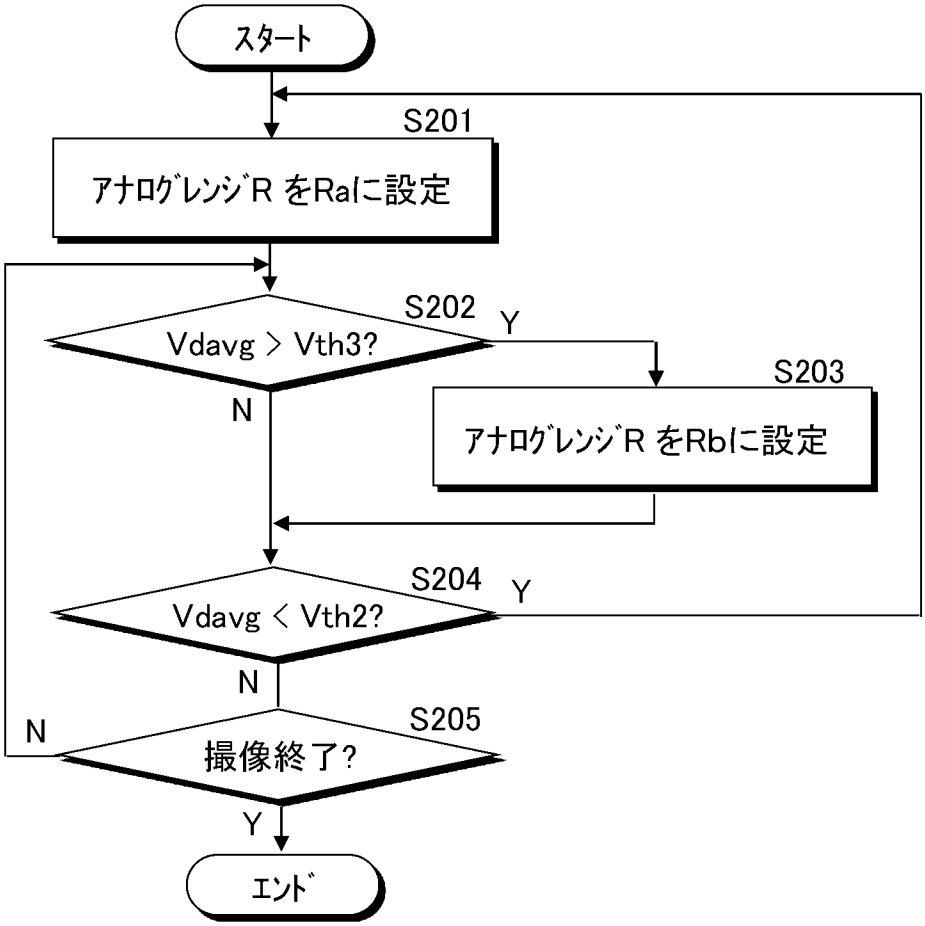
[図9]


1
20
11
10
12
13
垂直駆動回路
70
電圧生成回路
80
アナログレンジ制御部
60
膜電圧制御部
ADC
40a
40b
40
40c
水平駆動回路
30
50
システム制御回路

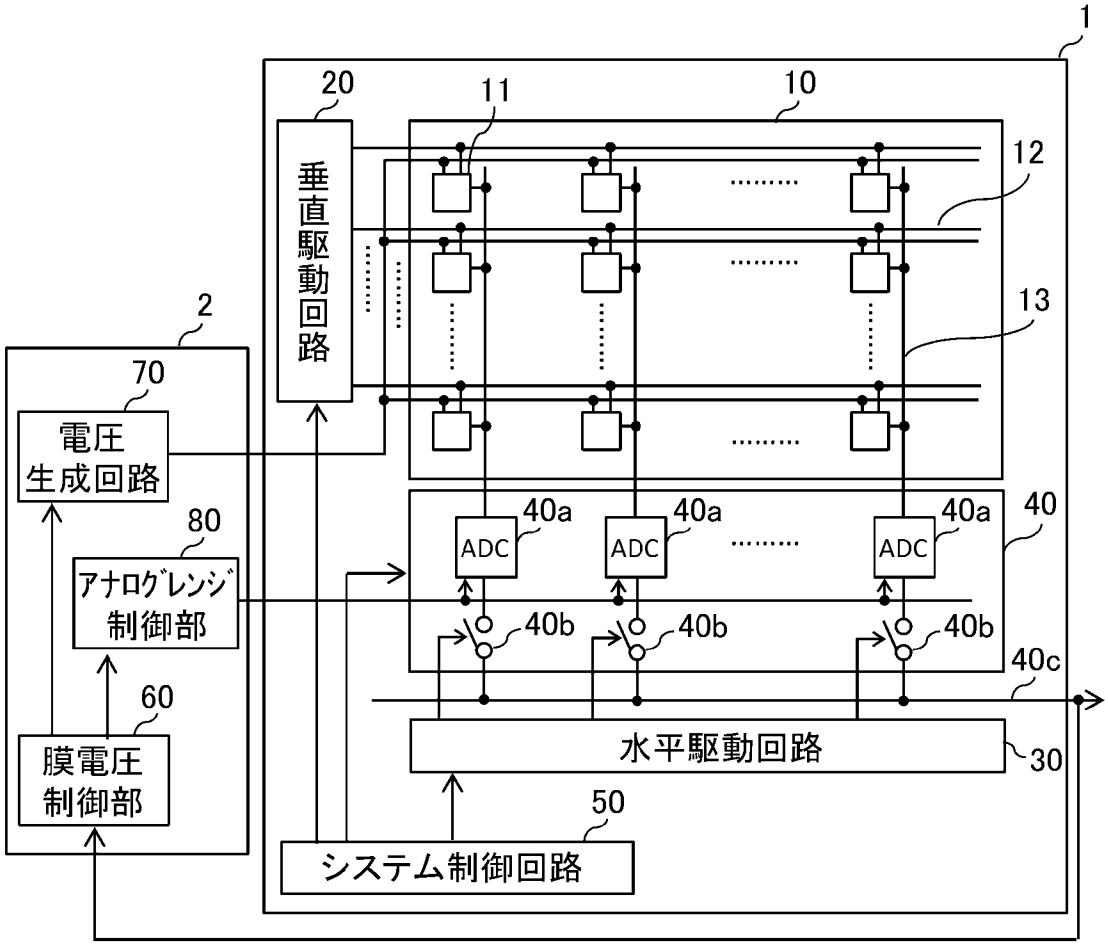
[図10]


画素信号の振幅 Vd
Vdb
Vdavg
Vda
Ra
Rb
ADCのアナログレンジ R

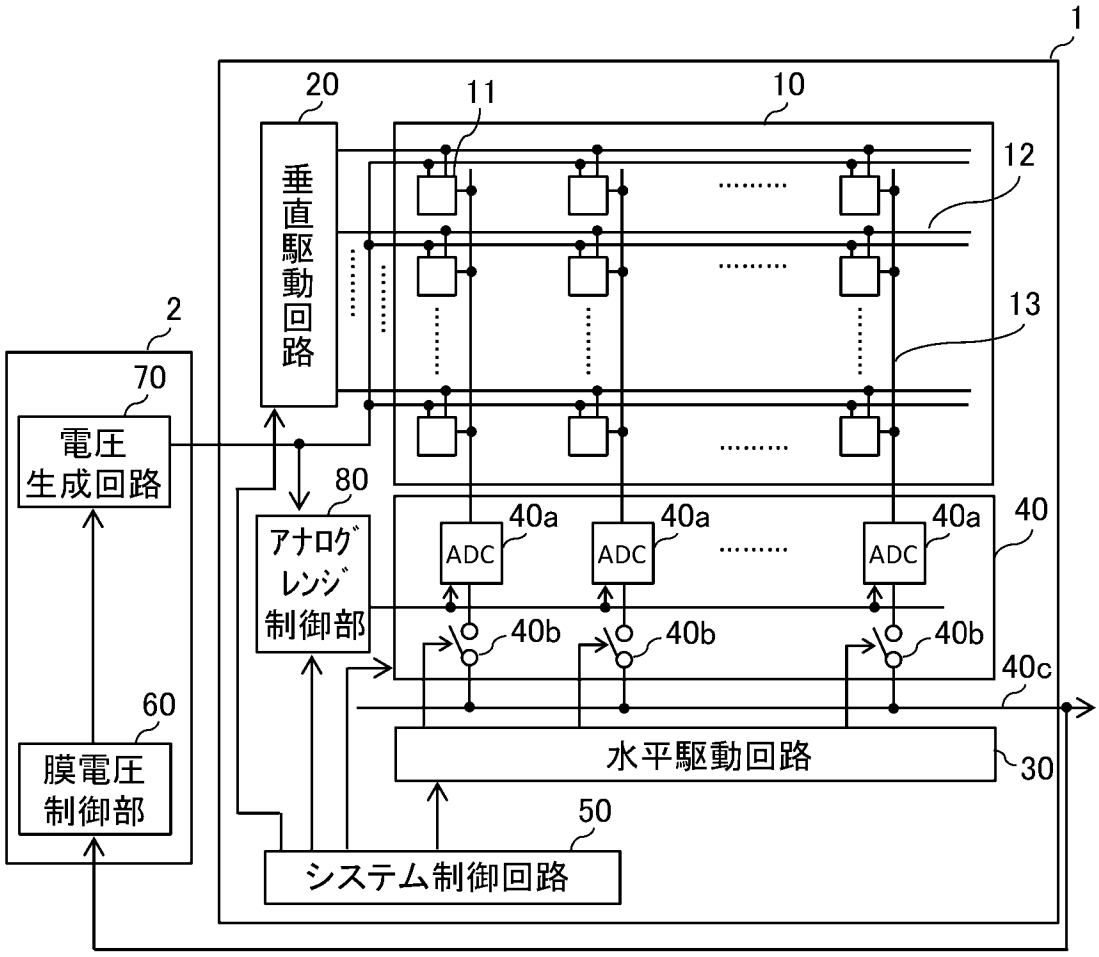
[図11]


スタート
S201
アナログレンジR をRaに設定
S202
Vdavg > Vth3?
Y
S203
アナログレンジR をRbに設定
N
S204
Vdavg < Vth2?
Y
N
S205
撮像終了?
N
Y
エンド

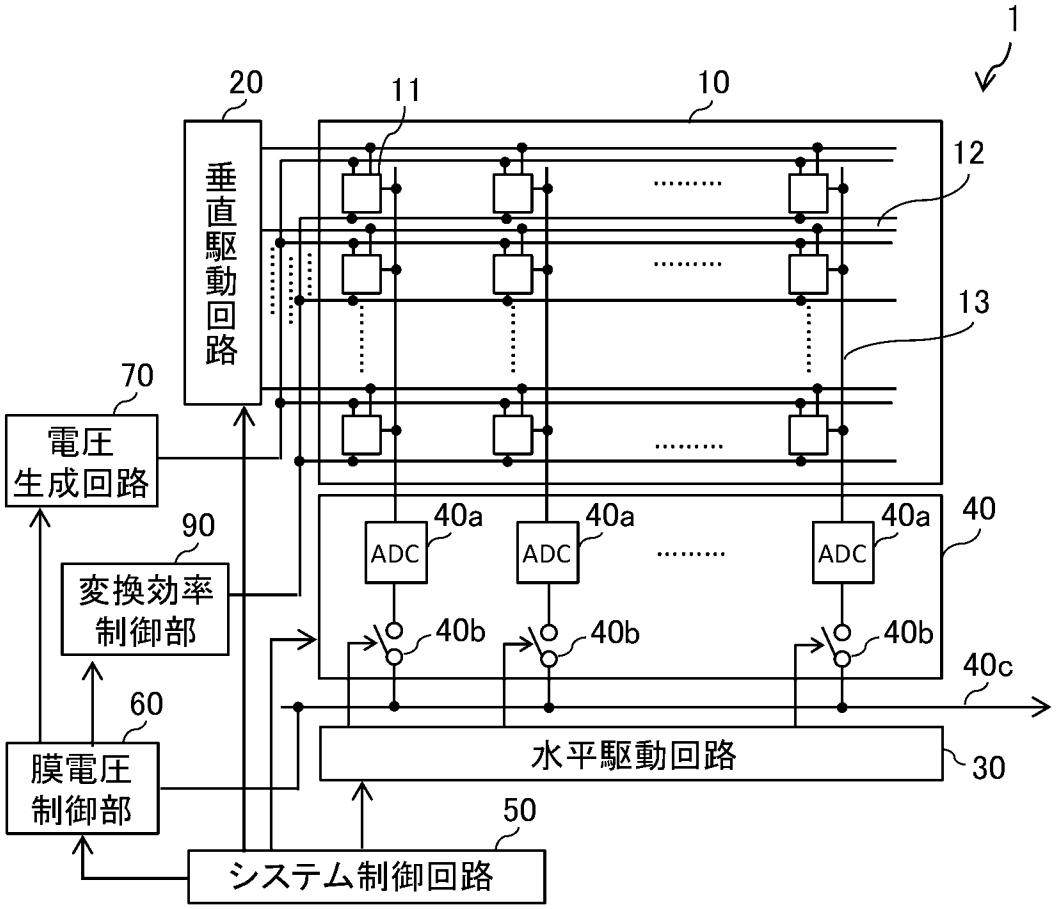
[図12]


1
20
11
10
12
13
垂直駆動回路
2
70
電圧生成回路
80
アナログレンジ制御部
60
膜電圧制御部
ADC
40a
40
40b
40c
水平駆動回路
30
50
システム制御回路

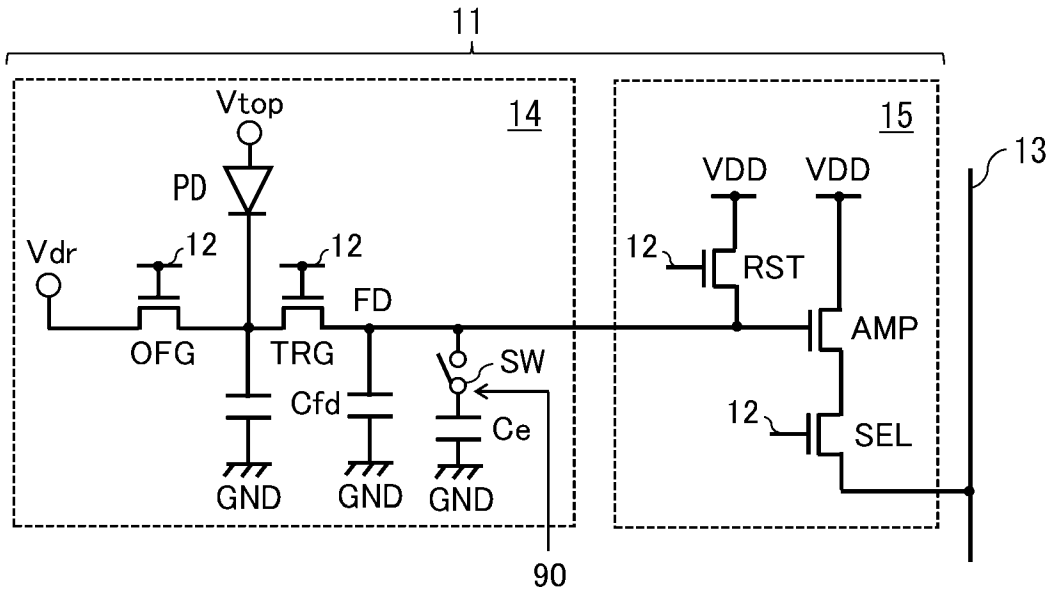
[図13]


1
20
垂直駆動回路
11
10
12
13
2
70
電圧生成回路
80
アナログレンジ制御部
ADC
40a
40
40b
40c
60
膜電圧制御部
水平駆動回路
30
50
システム制御回路

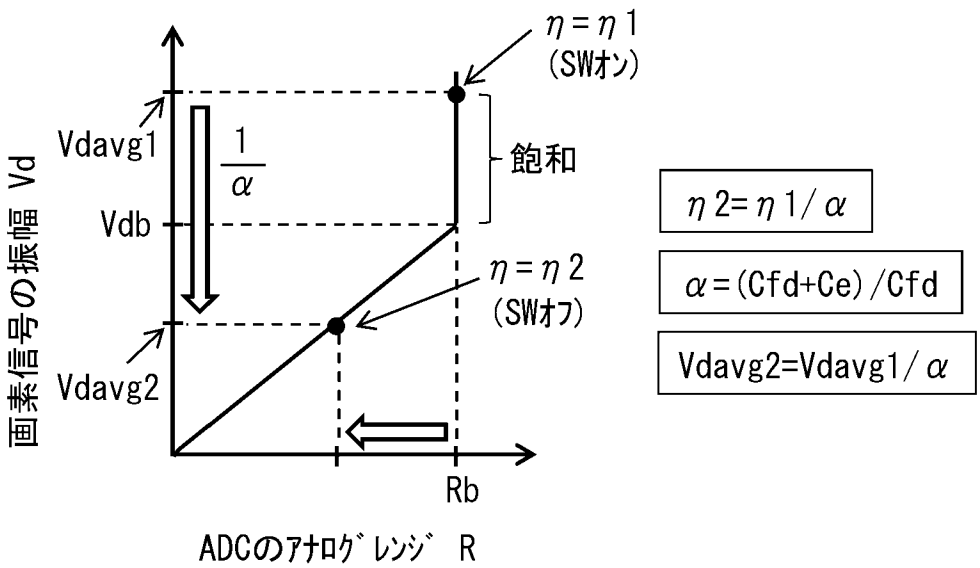
[図14]


1
20
11
10
垂直駆動回路
12
13
70
電圧生成回路
90
変換効率制御部
ADC
40a
40
40b
40c
60
膜電圧制御部
水平駆動回路
30
50
システム制御回路

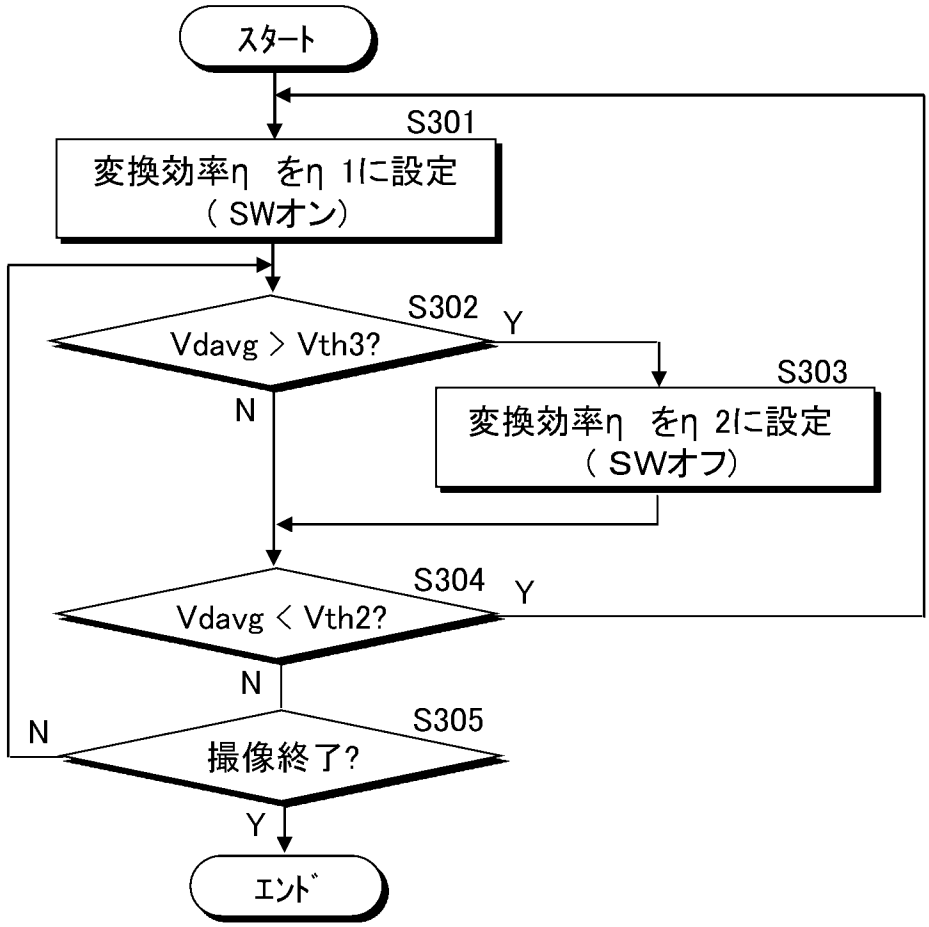
[図15]


11
14
15
Vtop
PD
Vdr
12
OFG
TRG
FD
SW
Cfd
Ce
GND
VDD
RST
AMP
SEL
13
90

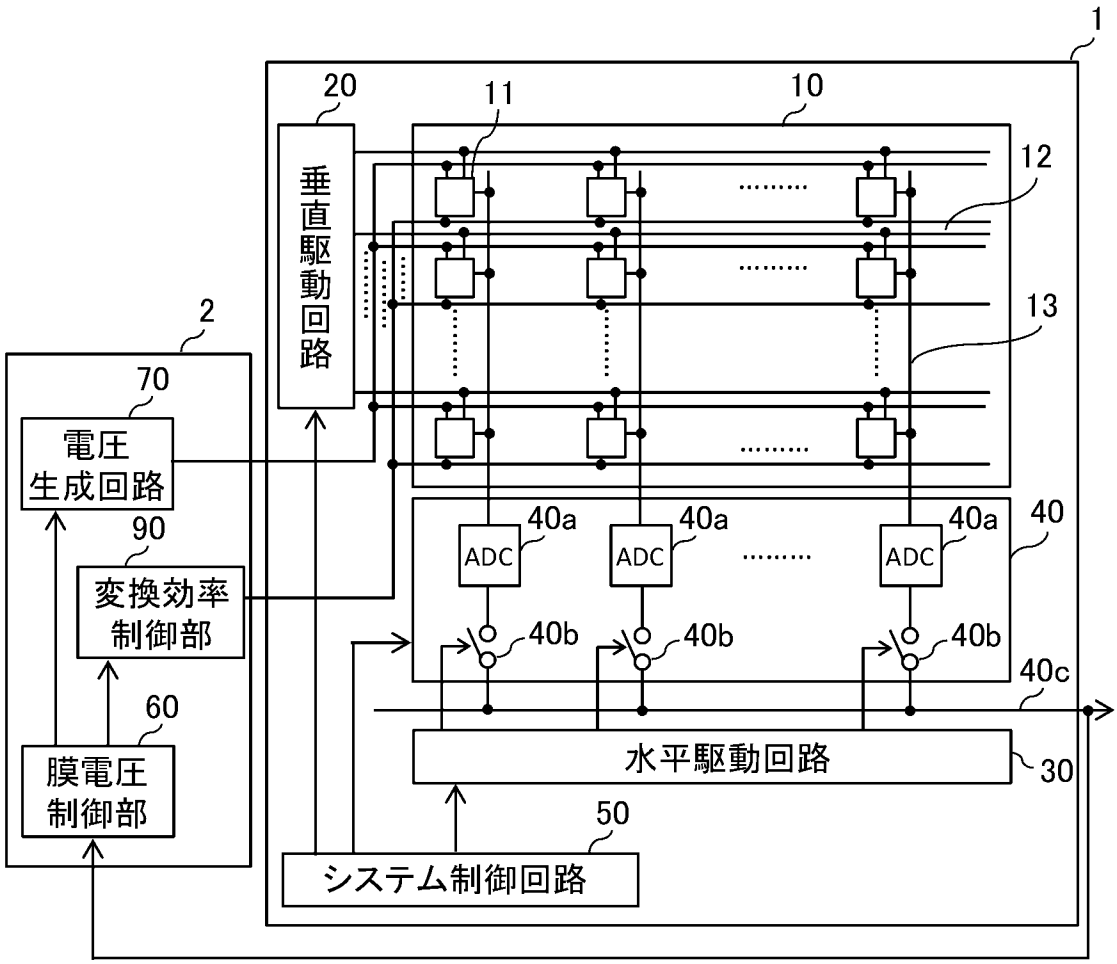
[図16]


η＝η1
(SWオン)
Vdavg1
1/α
飽和
Vdb
η＝η2
(SWオフ)
Vdavg2
画素信号の振幅 Vd
Rb
ADCのｱﾅﾛｸﾞﾚﾝｼﾞ R
η2=η1/α
α=(Cfd+Ce)/Cfd
Vdavg2=Vdavg1/α

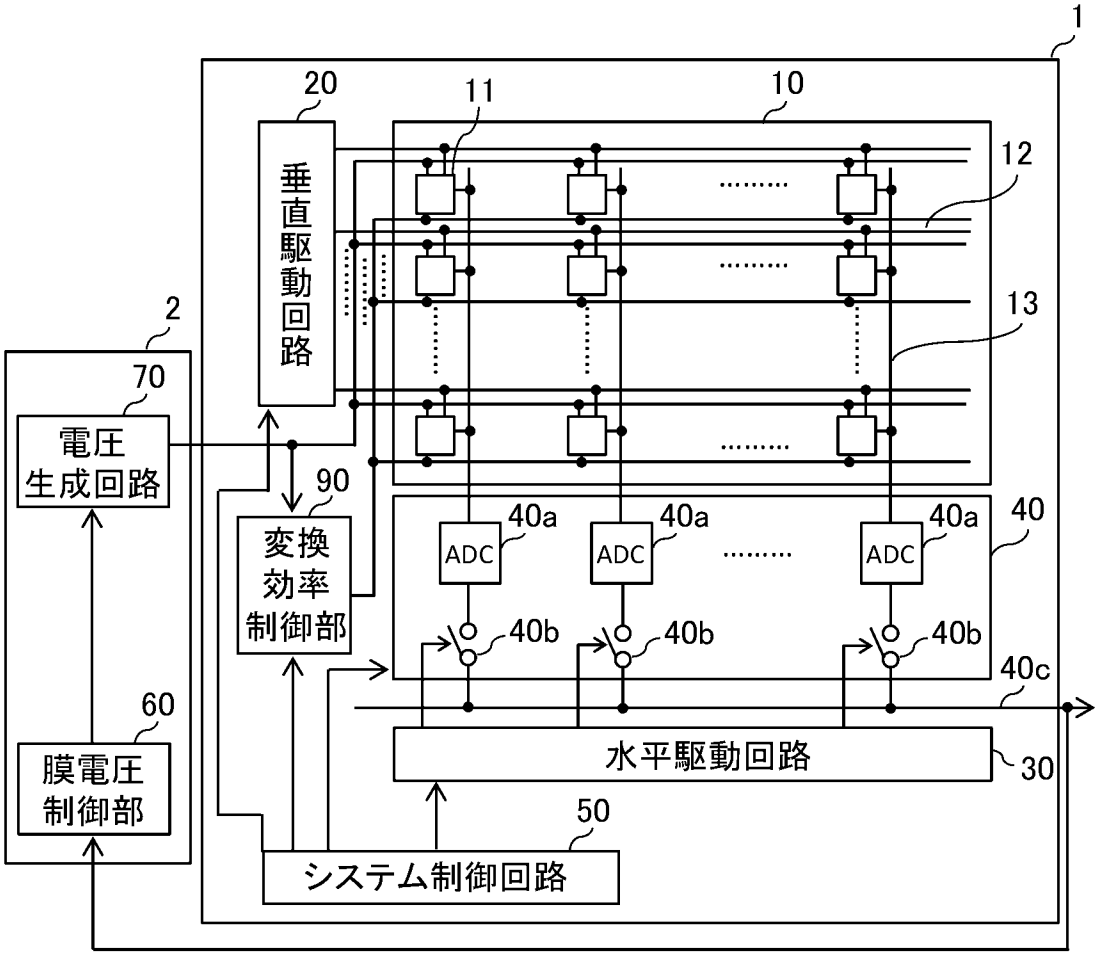
[図17]


スタート
S301
変換効率η をη 1に設定
(SWオン)
S302
Vdavg > Vth3?
Y
N
S303
変換効率η をη 2に設定
(SWオフ)
S304
Vdavg < Vth2?
Y
N
S305
撮像終了?
N
Y
エンド

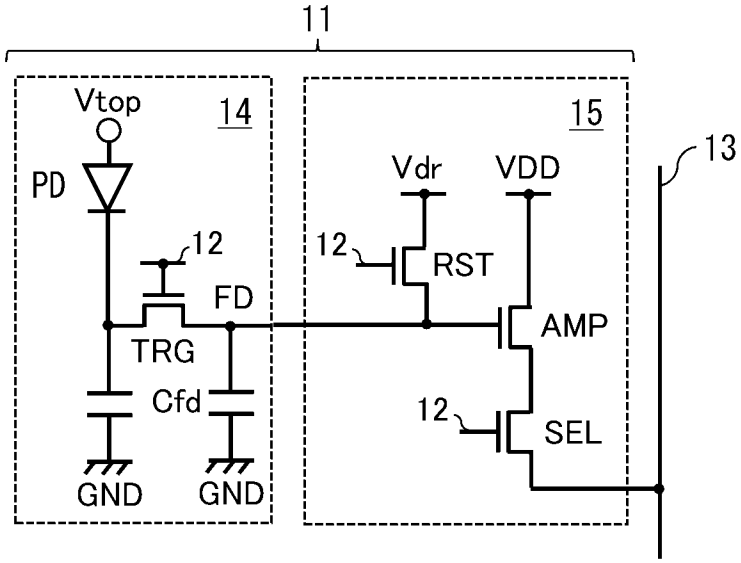
[図18]


1
20
11
10
12
13
垂直駆動回路
2
70
電圧生成回路
90
変換効率制御部
60
膜電圧制御部
ADC
40a
40b
40
40c
水平駆動回路
30
50
システム制御回路

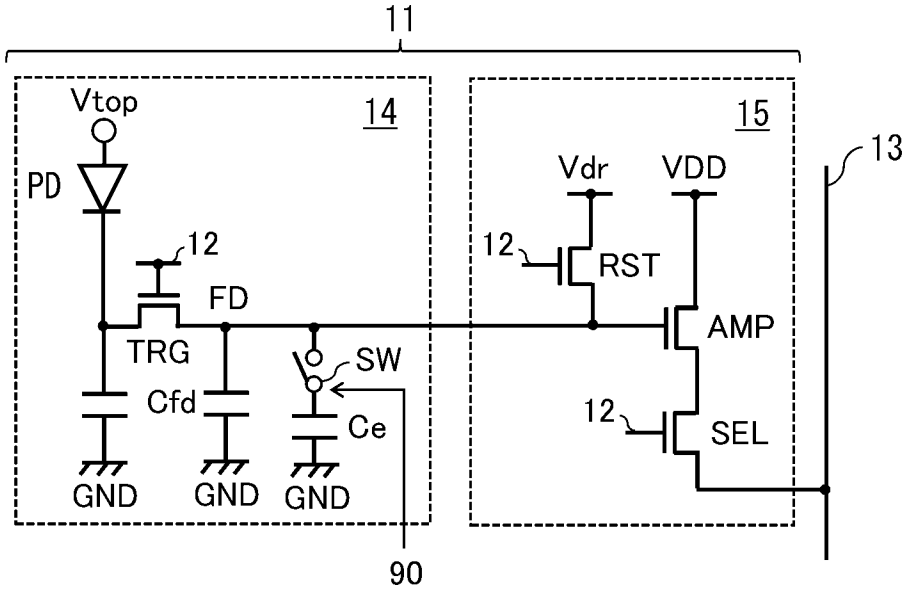
[図19]


1
20
11
10
垂直駆動回路
12
13
2
70
電圧生成回路
90
変換効率制御部
40a
ADC
40b
40
40c
60
膜電圧制御部
水平駆動回路
30
50
システム制御回路

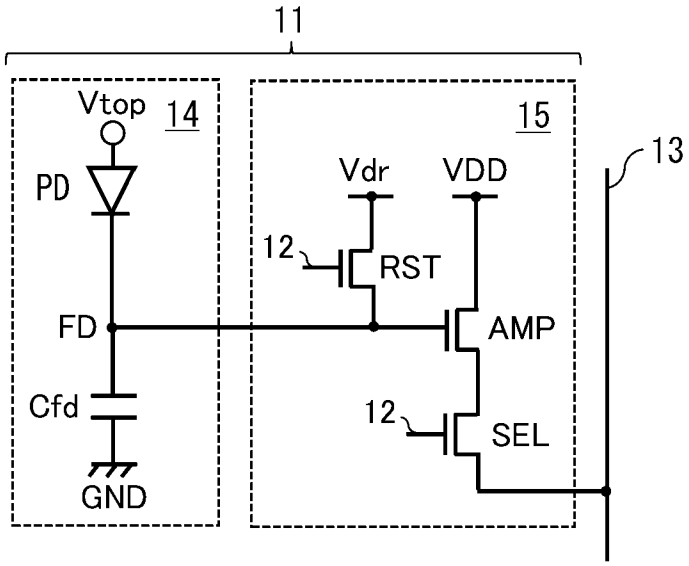
[図20]


11
Vtop
14
15
PD
Vdr
VDD
13
12
RST
FD
AMP
TRG
Cfd
SEL
GND
GND

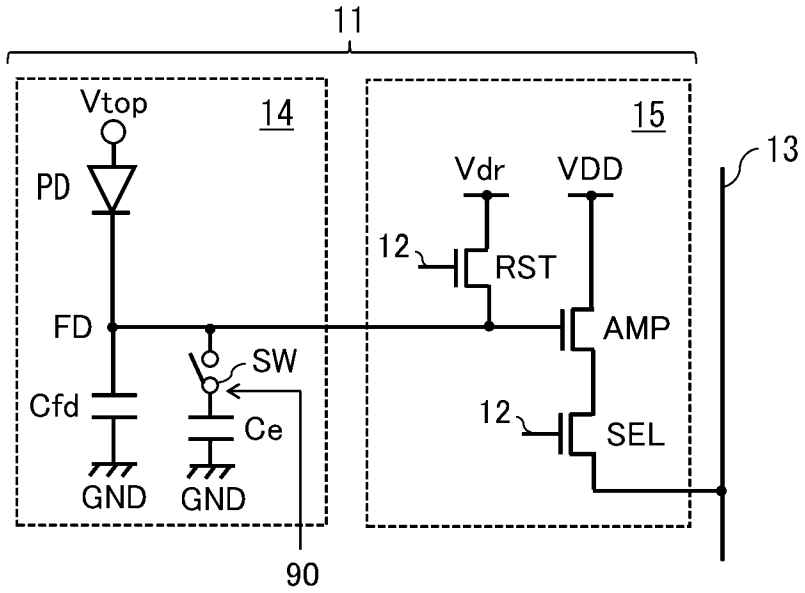
[図21]


11
Vtop
14
15
PD
12
FD
TRG
SW
Cfd
Ce
GND
GND
GND
90
Vdr
VDD
12
RST
AMP
12
SEL
13

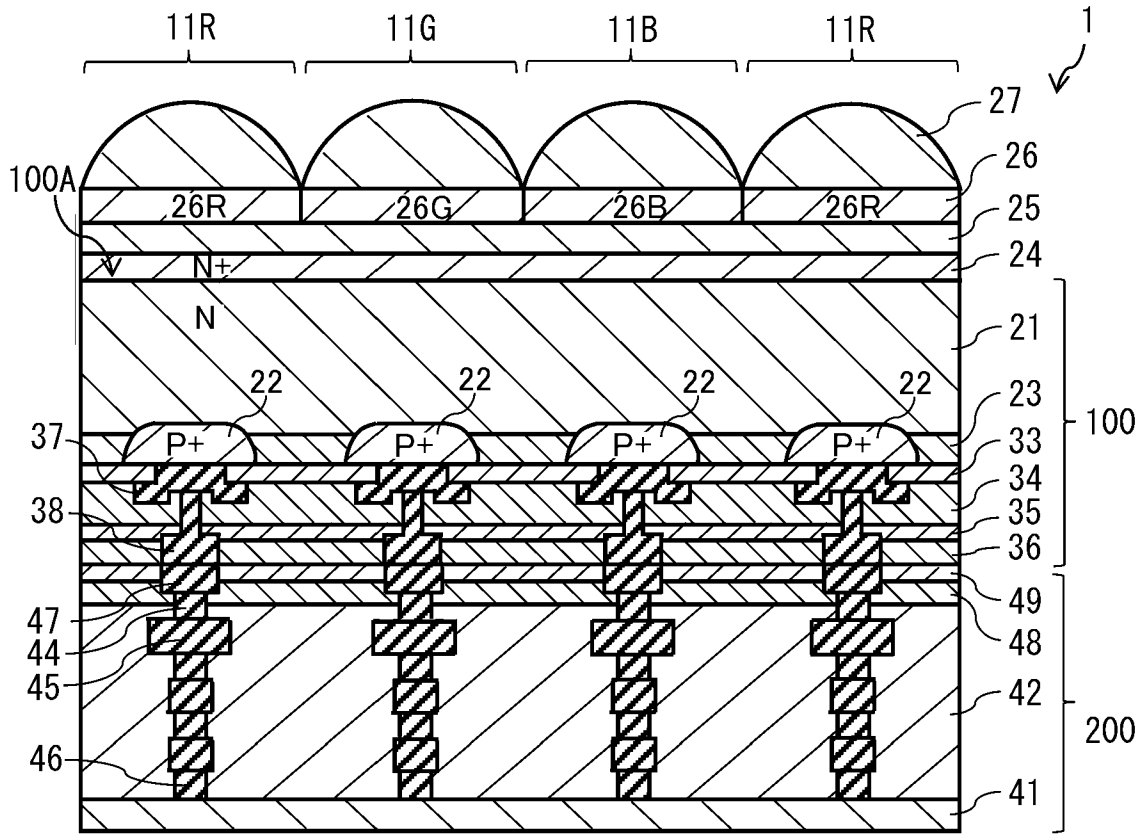
[図22]


11
Vtop
14
15
PD
FD
Cfd
GND
Vdr
VDD
12
RST
AMP
12
SEL
13

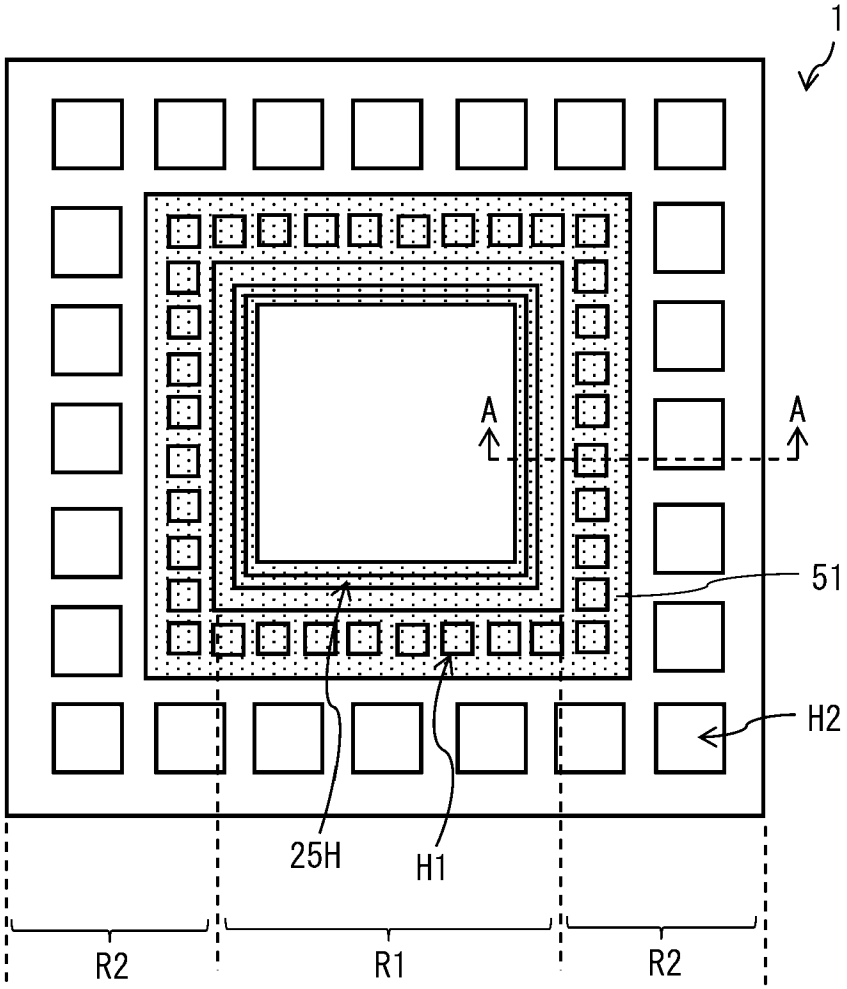
[図23]


11
Vtop
14
15
PD
Vdr
VDD
13
12
RST
FD
AMP
SW
Cfd
Ce
12
SEL
GND
GND
90

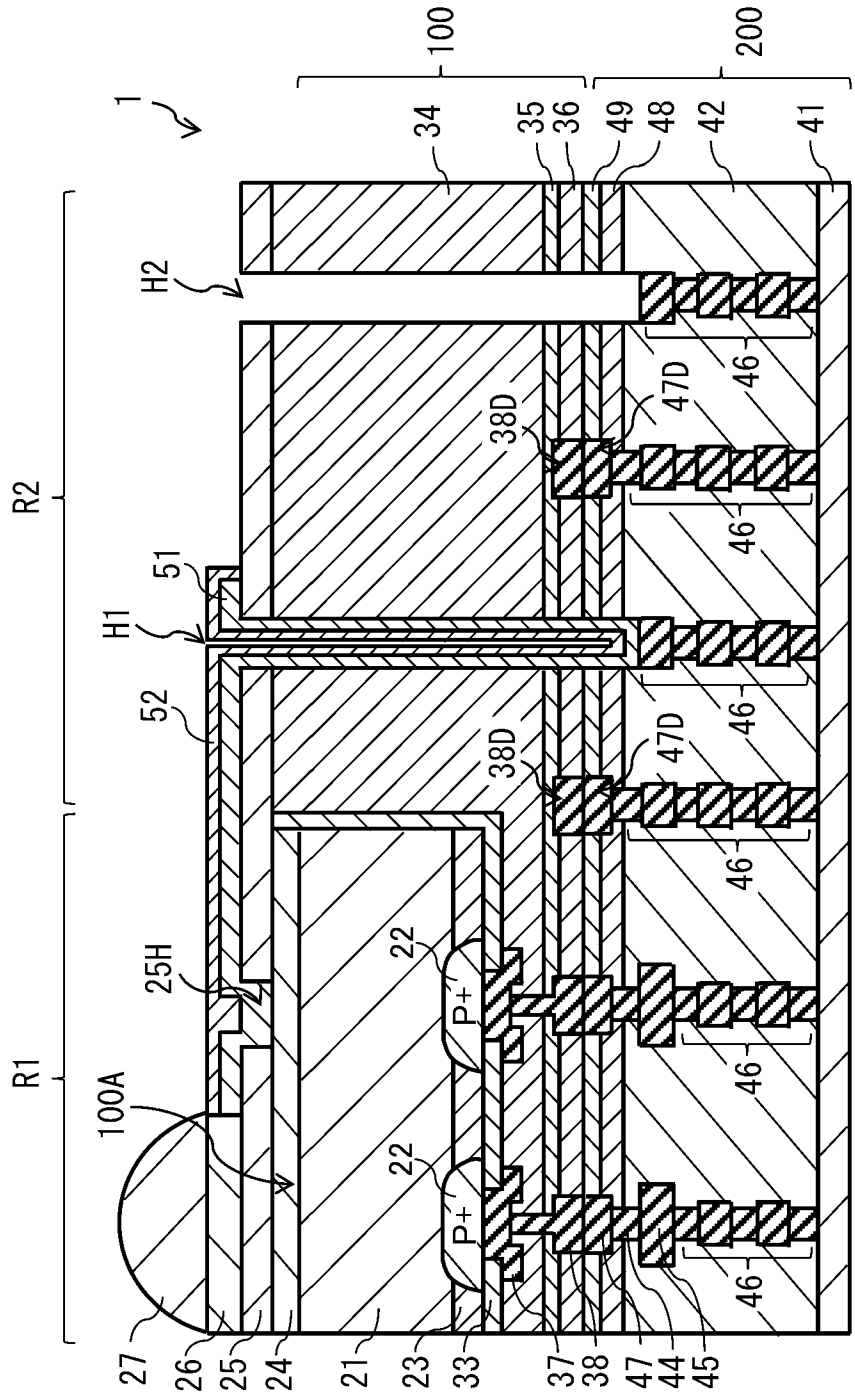
[図24]


11R
11G
11B
11R
1
27
26
100A
26R
26G
26B
26R
25
24
N+
N
21
22
22
22
22
23
100
37
P+
P+
P+
P+
33
34
38
35
36
49
47
48
44
42
45
200
46
41

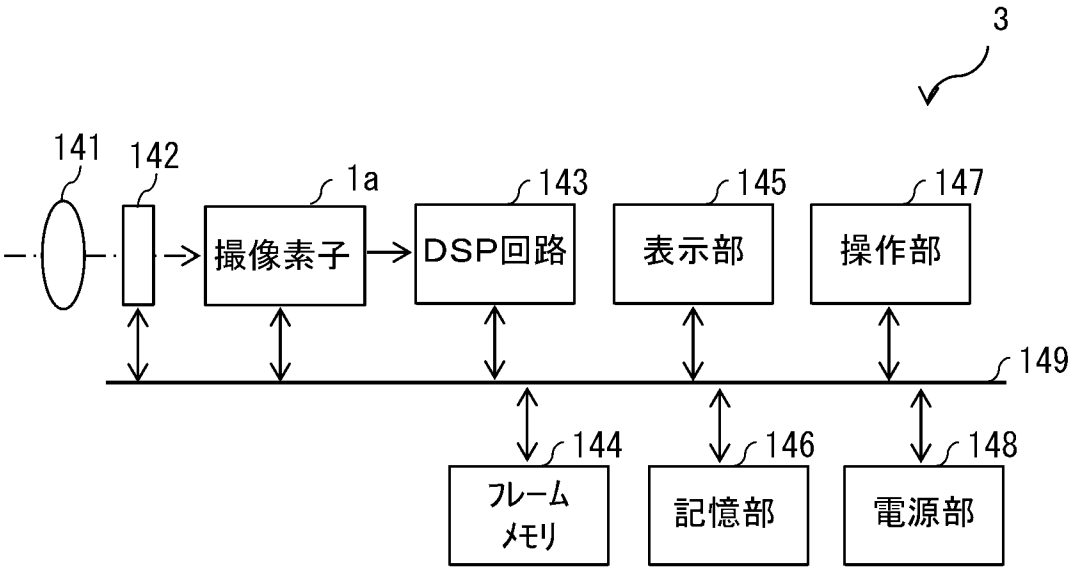
[図25]



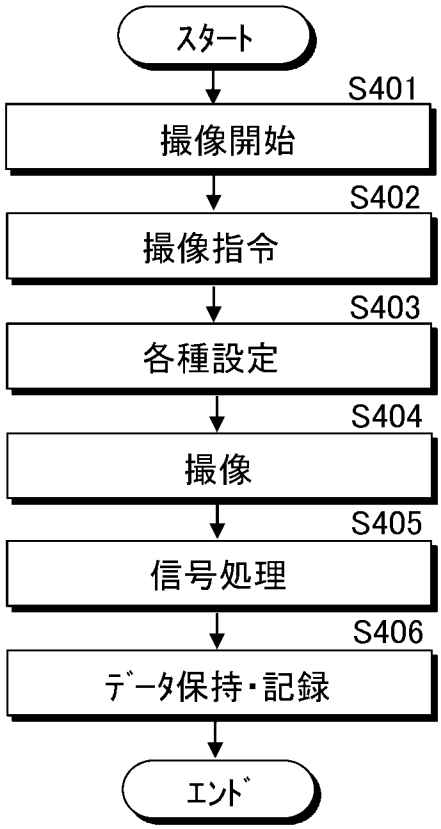
[図26]


100
200
1
34
35
36
49
48
42
41
H2
R2
51
H1
52
38D
47D
46
25H
22
P+
R1
100A
27
26
25
24
21
23
33
37
38
47
44
45

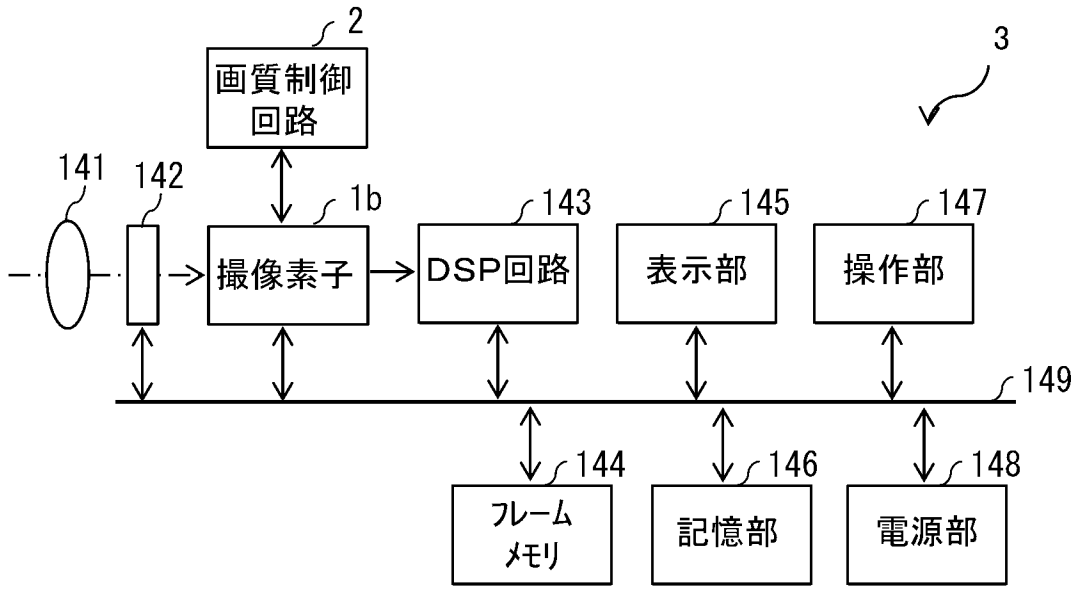
[図27]


3
141
142
1a
143
145
147
撮像素子
DSP回路
表示部
操作部
149
144
146
148
フレーム
メモリ
記憶部
電源部

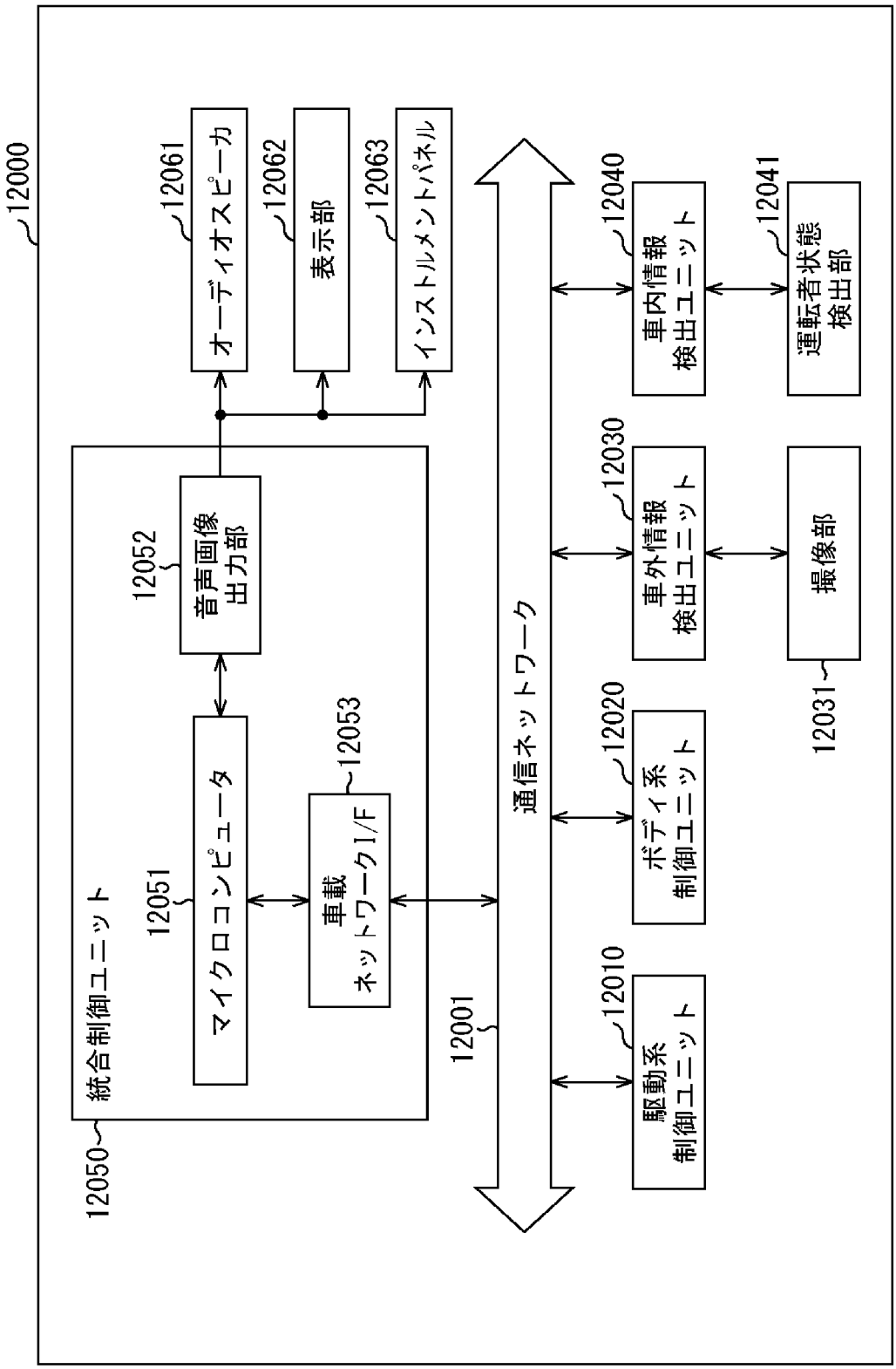
[図28]


スタート
S401
撮像開始
S402
撮像指令
S403
各種設定
S404
撮像
S405
信号処理
S406
データ保持・記録
エンド

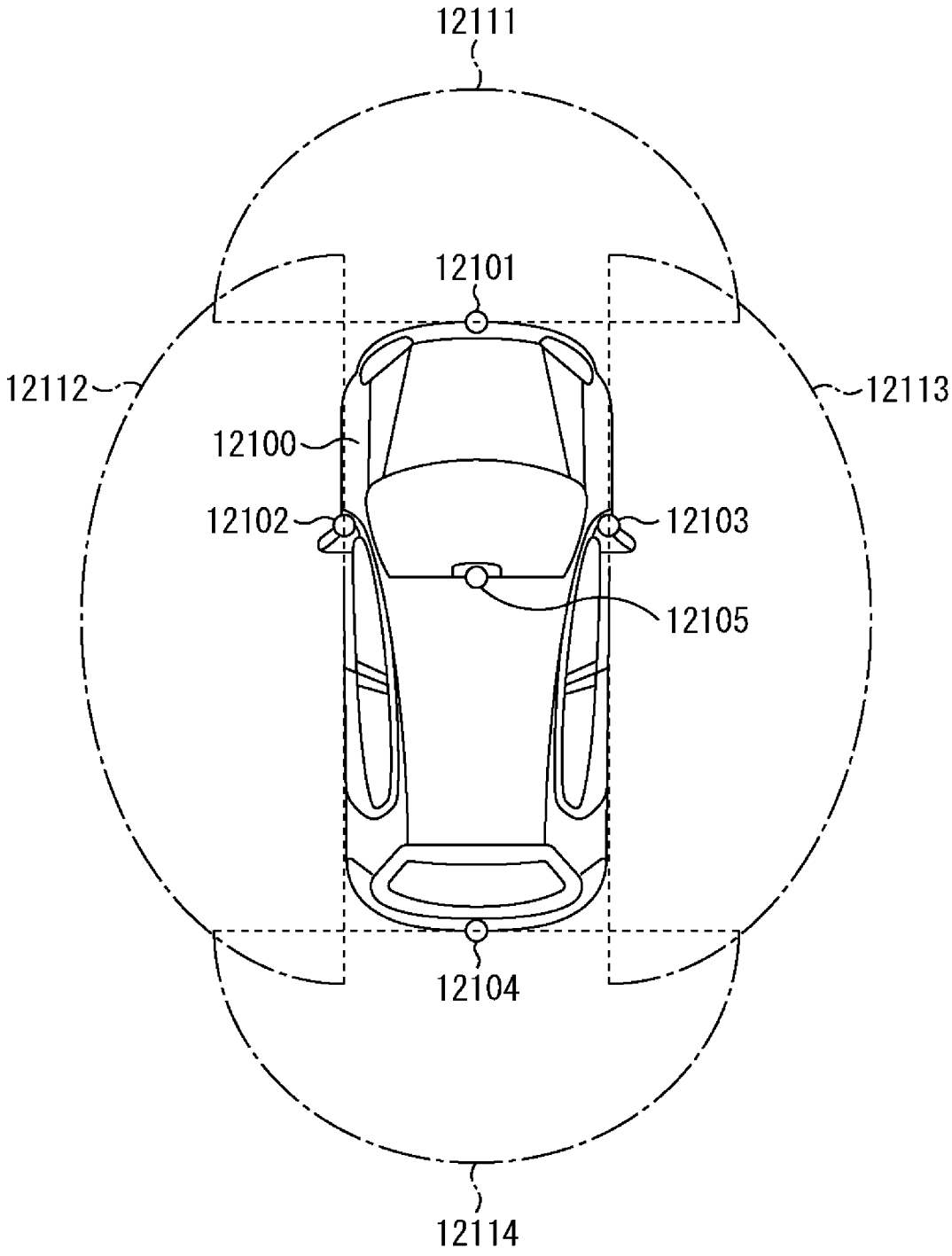
[図29]


2
画質制御
回路
3
141
142
1b
143
145
147
撮像素子
DSP回路
表示部
操作部
149
144
146
148
フレーム
メモリ
記憶部
電源部

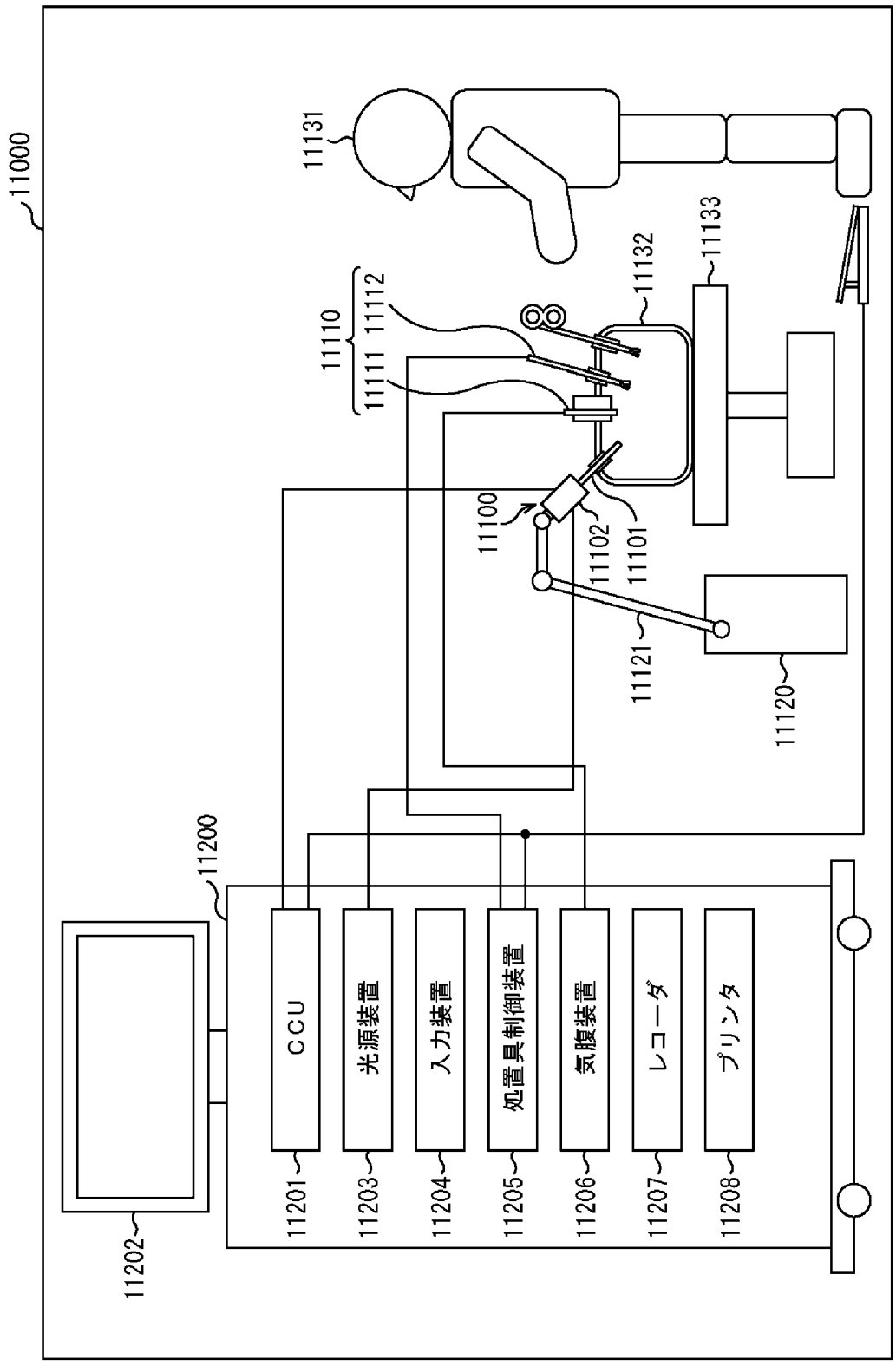
[図30]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12051
マイクロコンピュータ
12053
車載
ネットワークI/F
通信ネットワーク
12020
ボディ系
制御ユニット
12001
12010
駆動系
制御ユニット
統合制御ユニット
12050

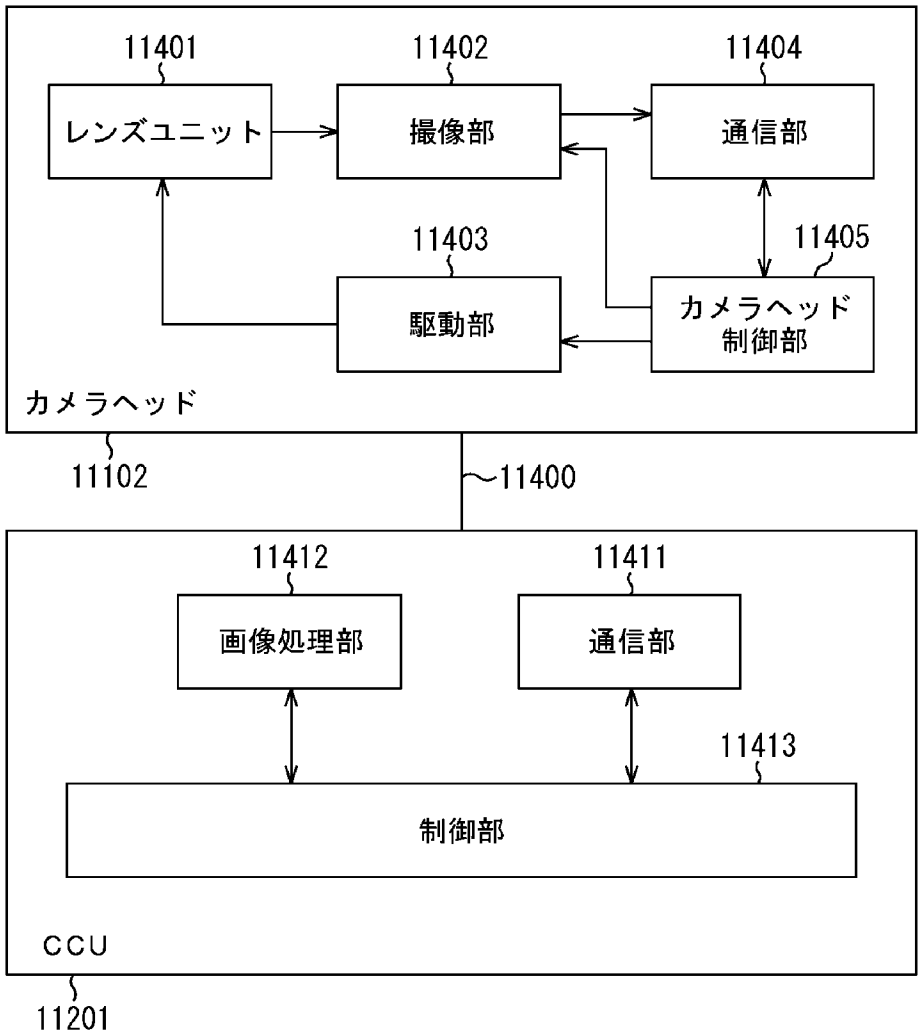
[図31]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

[図32]


11000
11131
11132
11133
11110
11111
11112
11100
11102
11101
11121
11120
11200
11202
CCU
光源装置
入力装置
処置具制御装置
気腹装置
レコーダ
プリンタ
11201
11203
11204
11205
11206
11207
11208

[図33]


11401
11402
11404
レンズユニット
撮像部
通信部
11403
11405
駆動部
カメラヘッド
制御部
カメラヘッド
11102
11400
11412
11411
画像処理部
通信部
11413
制御部
CCU
11201

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/007045

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/146(2006.01)i, H04N5/33(2006.01)i, H04N5/357(2011.01)i, H04N5/3745(2011.01)i
FI: H04N5/357, H04N5/33, H04N5/3745 200, H01L27/146 A, H01L27/146 F, H01L21/88 J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L21/3205, H01L21/768, H01L23/522, H01L27/146, H04N5/33, H04N5/357, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2017/150167 A1 (SONY CORP.) 08 September 2017, paragraphs [0034], [0052], [0054], [0113]-[0134], [0137], fig. 1, 2, 12, 13	1-3, 6, 11 4-5, 7-9 10
Y	JP 2018-98690 A (CANON INC.) 21 June 2018, paragraph [0052], fig. 5	4-5, 9
Y	JP 2016-134909 A (CANON INC.) 25 July 2016, paragraph [0032], fig. 3	7-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10.03.2020	24.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/007045

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2017/150167 A1	08.09.2017	EP 3425900 A1 paragraphs [0034], [0052], [0054], [0113]-[0134], [0138], fig. 1, 2, 12, 13 CN 108702471 A KR 10-2018-0117601 A	
JP 2018-98690 A	21.06.2018	US 2018/0175103 A1 paragraph [0063], fig. 5	
JP 2016-134909 A	25.07.2016	US 2016/0219229 A1 paragraph [0059], fig. 3 CN 105828003 A	

国際調査報告

国際出願番号
PCT/JP2020/007045

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 27/146(2006.01)i; H04N 5/33(2006.01)i; H04N 5/357(2011.01)i; H04N 5/3745(2011.01)i
FI: H04N5/357; H04N5/33; H04N5/3745 200; H01L27/146 A; H01L27/146 F; H01L21/88 J

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/3205; H01L21/768; H01L23/522; H01L27/146; H04N5/33; H04N5/357; H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2017/150167 A1 (ソニー株式会社) 08.09.2017 (2017-09-08) 段落[0034],[0052],[0054],[0113]-[0134],[0137],図1-2,12-13	1-3,6,11
Y		4-5,7-9
A		10
Y	JP 2018-98690 A (キヤノン株式会社) 21.06.2018 (2018-06-21) 段落[0052],図5	4-5,9
Y	JP 2016-134909 A (キヤノン株式会社) 25.07.2016 (2016-07-25) 段落[0032],図3	7-8

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.03.2020	24.03.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
花田　尚樹 5V 5889

電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/007045

引用文献	公表日	パテントファミリー文献	公表日
WO 2017/150167 A1	08.09.2017	EP 3425900 A1 段落[0034],[0052],[0054],[0113]-[0134],[0138],図1-2,12-13 CN 108702471 A KR 10-2018-0117601 A	
JP 2018-98690 A	21.06.2018	US 2018/0175103 A1 段落[0063],図5	
JP 2016-134909 A	25.07.2016	US 2016/0219229 A1 段落[0059],図3 CN 105828003 A	