(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 625 630**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **87 18393**

(51) Int Cl⁴ : H 03 H 11/16.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 30 décembre 1987.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 27 du 7 juillet 1989.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *LABORATOIRES D'ELECTRONIQUE ET DE PHYSIQUE APPLIQUEE L.E.P., Société Anonyme.* — FR.

(72) Inventeur(s) : Pascal Philippe et Ramesh Pyndiah, *Société Civile S.P.I.D.*

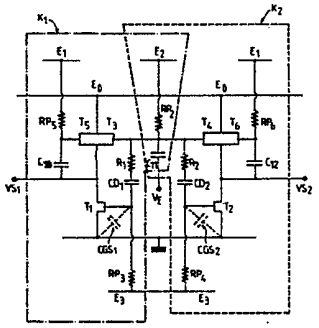
(73) Titulaire(s) :

(74) Mandataire(s) : Claudine Lottin, Société Civile S.P.I.D.

(54) Circuit déphaseur actif.

(57) Circuit déphaseur actif hyperfréquences formé de deux cellules passe-tout K_1 et K_2 recevant simultanément un même signal d'entrée V_E, incluant chacune un étage inverseur A_1, un étage suiveur A_2 et un réseau R-C et fournissant respectivement un signal de sortie VS_1, VS_2, ces signaux VS_1, VS_2 étant de même amplitude et en quadrature de phase, caractérisé en ce que dans chaque cellule K_1, K_2, l'étage inverseur A présente un gain double de celui de l'étage suiveur A_2 et est constitué d'un transistor à effet de champ T_1, T_2 monté en inverseur dont la capacité grille-source CGS_1, CGS_2 est utilisée pour constituer la capacité du réseau R-C, en ce que la valeur de la résistance R_1, R_2 du réseau R-C montée entre l'entrée de A_2 et la grille du transistor inverseur est prévue en fonction de CGS_1 et CGS_2 respectivement pour obtenir un déphasage entre V_E et VS_1, VS_2 de 45° et 135° respectivement.

Application : Mélangeurs à réjection de fréquence image ou modulateurs quatre phases.



FR 2 625 630 - A1

Description

"Circuit déphaseur actif"

L'invention concerne un circuit déphaseur actif, fonctionnant dans le domaine des hyperfréquences, formé de deux cellules K_1 et K_2 recevant simultanément un même signal d'entrée V_E, chaque cellule K_1 ou K_2 incluant un étage inverseur A_1, un étage suiveur A_2 et un réseau R-C, pour former un filtre passe-tout, et fournissant en sortie un signal VS_1 et VS_2 respectivement, ces signaux de sortie étant de même amplitude et en quadrature de phase.

L'invention trouve son application dans la réalisation de mélangeurs à réjection de fréquence image destinés, par exemple à des têtes de réception de signaux retransmis par satellites artificiels ou de signaux hertziens en général. L'invention trouve aussi son application dans la réalisation de modulateurs quatre phases.

Un circuit déphaseur est connu de la publication intitulée "Development of key monolithic circuits to ka-band full MMIC Receivers" par Takashi Ohira et alii dans "IEEE 1987 Microwave and Millimeter Wave Monolithic Circuits Symposium, pp.69-74".

Ce circuit connu est constitué de deux cellules. Chaque cellule comprend un transistor à effet de champ, dont la source est reliée à la masse à travers une résistance et dont le drain est relié à une tension continue d'alimentation à travers une résistance de même valeur que celle qui relie la source à la masse. La source de ce transistor est en outre relié à une capacité, et le drain à une résistance, cette capacité et cette résistance étant couplées par leur seconde extrémité. Le signal sur le drain du transistor est d'amplitude égale, et en opposition de phase avec le signal présent sur la source du transistor. Dans ces conditions, le réseau R-C. forme un filtre dit passe-tout, le signal de sortie étant

disponible au point de couplage de la résistance et de la capacité. Chaque cellule reçoit sur la grille du transistor un même signal d'entrée hautes fréquences. Les valeurs des résistances et/ou des capacités sont différentes dans chacune des deux cellules et calculées pour obtenir, à partir de ce signal d'entrée, en sortie des cellules, des signaux présentant entre eux un déphasage de 90° dans un domaine de fréquences désiré.

Chacune de ces cellules est équivalente dans son fonctionnement à un étage inverseur et un étage suiveur de même gain sur lesquels est appliqué un signal d'entrée commun, la sortie de l'inverseur étant reliée à la sortie du suiveur par l'intermédiaire d'une résistance et d'un capacité, et la sortie de la cellule étant au point de couplage de cette résistance et de cette capacité.

Ce dispositif présente, du fait de ce principe de fonctionnement, plusieurs inconvénients, dont notamment que :

- il est nécessaire de générer les deux signaux d'égale amplitude et en opposition de phase pour réaliser la fonction passe-tout ;

- le fonctionnement est sensible à l'impédance de sortie des étages inverseurs et suiveurs. En effet, l'impédance de ces étages inverseurs et suiveurs doit être faible devant l'impédance du réseau R-C, pour que les amplitudes des signaux de sortie des cellules soient raisonnablement égales ;

- le fonctionnement est sensible à l'impédance d'entrée de l'étage suivant chaque cellules. En effet, l'impédance de sortie de chacune des cellules est différente du fait des valeurs différentes des résistances et/ou capacités constituant chaque réseau R-C, et l'impédance d'entrée de l'étage suivant correspondant doit être élevée, pour obtenir une égalité satisfaisante entre les amplitudes de sortie de chaque cellule passe-tout.

Aux inconvénients précités, s'ajoute encore un inconvénient dû au mode de réalisation particulier du circuit connu du document cité :

- le fonctionnement est dégradé du fait que les signaux disponibles sur le drain et la source du transistor de chaque cellule ne sont pas rigoureusement d'égale amplitude et ne sont pas rigoureusement en opposition de phase. Cet inconvénient résulte de la mise en oeuvre particulière des fonctions de type suiveur et inverseur en n'utilisant dans ce circuit connu qu'un seul transistor, le signal inversé étant disponible sur le drain du transistor, et le signal non inversé sur la source.

Compte tenu des inconvénients exposés ci-dessus, il s'ensuit que l'adaptation de l'impédance du réseau R-C à l'impédance de sortie des étages suiveur et inverseur d'une part, et à l'impédance d'entrée de l'étage suivant d'autre part, est très difficile à obtenir, de sorte que :

- le fonctionnement du circuit connu n'est satisfaisant que sur une bande de fréquence trop étroite pour l'application envisagée,

- le fonctionnement du circuit connu est aussi limité à un domaine de fréquences trop basses pour l'application envisagée.

C'est pourquoi, la présente invention a pour but de proposer un circuit qui est dénué de ces inconvénients.

Ce but est atteint au moyen du circuit décrit dans le préambule, caractérisé en ce que, dans chaque cellule, respectivement K_1, K_2 :

- l'étage inverseur A_1 présente un gain double de celui de l'étage suiveur A_2,

- le signal de sortie hyperfréquences, respectivement VS_1, VS_2, est obtenu par la sommation des signaux de sortie de l'étage suiveur et inverseur,

- cet étage inverseur A_1 est constitué d'un transistor à effet de champ, respectivement T_1, T_2 monté en inverseur dont la capacité grille-source, respectivement CGS_1, CGS_2, est utilisée pour constituer la capacité du réseau R-C,

- la résistance du réseau R-C est montée entre l'entrée de l'étage suiveur A_2 et la grille du transistor inverseur,

- et la valeur de la résistance du réseau R-C, respectivement R_1, R_2, est prévue en fonction des capacités CGS_1, CGS_2 pour fournir des constantes de temps, respectivement τ_1, τ_2 permettant d'obtenir, entre le signal d'entrée hyperfréquences V_E appliqué sur l'entrée de l'étage suiveur et le signal de sortie hyperfréquences un déphasage qui est 45° et 135° pour K_1 et K_2 respectivement.

Dans ces conditions, la fonction passe-tout réalisée par ce circuit est insensible à l'impédance de sortie de l'étage précédent ce circuit, à l'impédance d'entrée de l'étage suivant le circuit.

Dans une réalisation, ce circuit est caractérisé en ce que, pour que l'étage inverseur A_1 présente un gain double de celui de l'étage suiveur A_2, ce dernier est constitué par un transistor à effet de champ, respectivement T_3, T_4, dont la largeur de grille a une dimension moitié de celle du transistor T_1, T_2 constituant l'étage inverseur et dont la tension grille-source est identique.

Dans une réalisation du circuit, ce dernier est aussi caractérisé en ce que des tensions grille-source identiques sur le transistor inverseur T_1, T_2 respectivement, et sur le transistor suiveur T_3, T_4 respectivement, sont obtenues au moyen d'un circuit de polarisation qui comprend un transistor, respectivement T_5, T_6, monté en parallèle sur le transistor suiveur T_3, T_4, les drains communs étant reliés à une tension de polarisation E_0 et les sources communes au drain du transistor inverseur T_1, T_2, point commun sur lequel s'effectue la sommation du signal de sortie des étages inverseurs et suiveurs, la grille de ce transistor T_5, T_6 étant reliée d'une part à une tension de polarisation E_1 par l'intermédiaire d'une résistance de polarisation, respectivement RP_5 et RP_6, et d'autre part au drain du transistor inverseur T_1, T_2 par une capacité C_{10}, C_{12} respectivement, circuit de polarisation qui comprend aussi une tension de polarisation E_3 à laquelle est reliée la grille du transistor inverseur T_1, T_2 par

par l'intermédiaire d'une résistance de polarisation respectivement RP_3 et RP_4, circuit de polarisation qui comprend encore une tension de polarisation E_2 à laquelle est portée la grille du transistor suiveur T_3, T_4 à travers une résistance de polarisation RP_2 commune aux deux cellules, l'entrée hyperfréquence V_E qui est appliquée sur la grille du transistor suiveur étant isolée en continu par une capacité C_{11}, et une capacité d'isolement en continu respectivement CD_1 et CD_2 étant en outre disposée entre la grille du transistor inverseur T_1, T_2 et la résistance du réseau R-C, R_1, R_2 respectivement, les tensions de polarisation E_0, E_1, E_2, E_3 étant ajustées les unes vis-à-vis des autres pour obtenir ladite égalité des tensions grille-source des transistors inverseur et suiveur.

Dans ces conditions :

- des variations des tensions de polarisation les unes par rapport aux autres permettent d'obtenir un réglage fin de l'égalité d'amplitude des signaux de sortie sans modification notable de l'écart de phase ;

- des variations des largeurs de grille des transistors T_1, T_2, T_3, T_4, dans le même rapport, associées à une variation des résistances R_1, R_2 permettent d'obtenir une variation de l'impédance de sortie du circuit dans une même bande de fréquences ;

- des variations des capacités CD_1 et CD_2 permettent aussi de minimiser l'écart d'amplitude entre les signaux de sortie ;

- des variations des résistances R_1, R_2 permettent de minimiser l'écart vis-à-vis du déphasage de 90° recherché entre les signaux de sortie.

Dans une variante de la réalisation du circuit selon l'invention, ce circuit est caractérisé en ce que dans chaque cellule K_1, K_2, la résistance du réseau R-C, R_1, R_2 respectivement, est constituée par la résistance drain-source d'un transistor à effet de champ, respectivement TR_1, TR_2, polarisé de telle sorte que sa tension drain-source est nulle.

Dans ces conditions, une variation de la bande de fréquences de fonctionnement du circuit peut être obtenue en agissant sur la tension grille-source de ces transistors TR_1, TR_2.

D'une façon générale le circuit selon l'invention présente, entre autres, les avantages suivants :

- l'égalité d'amplitude des signaux de sortie du circuit est obtenue avec une précision meilleure que celle du circuit connu,
- l'erreur sur le déphasage de 90° voulu entre les deux signaux de sortie est aussi minimisée,
- le fonctionnement du circuit selon l'invention est tout à fait insensible aux impédances de sortie et entrée respectivement des étages précédents et suivants,
- la fréquence maximale de fonctionnement est beaucoup plus élevée,
- la bande de fréquence de fonctionnement est beaucoup plus large,
- le circuit peut être réalisé dans des technologies monolithiquement intégrées sur des composés III-V notamment l'arséniure de gallium.

L'invention sera mieux comprise au moyen de la description suivante illustrée par les figures annexées dont :

- la figure 1a qui représente le circuit déphaseur actif 90° selon l'invention, dans un premier exemple de réalisation,
- la figure 1b qui représente le schéma équivalent fonctionnel du circuit de la figure 1a,
- la figure 1c qui représente le circuit déphaseur selon l'invention, dans un second exemple de réalisation,
- la figure 2a qui représente la courbe des variations de la différence de phase $\Delta\varphi$, en degré, entre les deux signaux de sortie du circuit VS_1 et VS_2, en fonction de la fréquence F en GHz dans le premier exemple de réalisation,
- la figure 2b qui représente la courbe des

variations de la différence d'amplitude ΔA en dB, entre les deux signaux de sortie du circuit VS_1 et VS_2, en fonction de la fréquence F en GHz, dans le premier exemple de réalisation,

- la figure 3a qui représente les courbes des variations de la différence de phase $\Delta\varphi$ en fonction de la fréquence F pour différentes valeurs de la tension de polarisation E_4 dans le second exemple de réalisation,

- la figure 3b qui représente les courbes de variations de la différence d'amplitude ΔA en fonction de la fréquence F pour différentes valeurs de la tension de polarisation E_4 dans le second exemple de réalisation,

- la figure 4a qui représente les courbes de variations de la différence de phase $\Delta\varphi$ en fonction de la fréquence F dans le second exemple de réalisation, pour différentes valeurs de la tension de polarisation E_1, les autres tensions étant fixes,

- la figure 4b qui représente les courbes de variations de la différence d'amplitude ΔA en fonction de la fréquence F dans le second exemple de réalisation, pour différentes valeurs de la tension de plarisation E_1, les autres tensions étant fixes.

Tel que représenté sur la figure 1b, le schéma fonctionnel du circuit selon l'invention comprend deux cellules K_1 et K_2 sur lesquelles on applique simultanément le même signal d'entrée hyperfréquences V_E, et qui fournissent deux signaux hyperfréquences de sortie, respectivement VS_1 pour K_1 et VS_2 pour K_2, d'égale amplitude présentant entre eux un déphasage de 90°.

Chacune des cellules K_1 et K_2 comprend un étage inverseur (A_1 pour K_1 et A'_1 pour K_2) et un étage suiveur (A_2 pour K_1 et A'_2 pour K_2). L'entrée hyperfréquence unique V_E est appliquée simultanément directement sur l'entrée des étages suiveurs A_2, A'_2, et à travers une résistance respectivement R_1, R_2 sur l'entrée des étages inverseurs A_1, A'_1. Les résistances R_1, R_2 forment avec les capacités C_1, C_2 respectivement, lesquelles sont connectées d'une part à l'entrée des

inverseurs K_1, A'_1 et d'autre part à la masse, des réseaux R-C. Dans chaque cellule K_1, K_2, les sorties des étages A_1 et A_2 et des étages A'_1 et A'_2 sont couplées pour fournir par sommation les sorties hyperfréquences respectivement VS_1 et VS_2.

Donc, contrairement au circuit connu de l'état de la technique, le réseau R-C est selon l'invention disposé sur l'entrée des étages inverseur-suiveur.

Chacune des cellules K_1 et K_2 a la fonction d'un filtre R-C passe-tout et présente une fonction de transfert exprimée par les relations 1 et 2 du tableau I, dans lesquelles ω est la pulsation associée à la fréquence F de fonctionnement et τ_1 et τ_2 sont les constantes de temps associées à chacun des filtres respectivement de K_1 et K_2. Le circuit est prévu de telle sorte que, dans chaque cellule K_1, K_2, l'étage inverseur présente un gain -2G par rapport à l'étage suiveur qui présente un gain +G. Les fonctions de transfert des cellules K_1 et K_2 sont alors données par les relations 3 et 4 du tableau I, relations qui sont équivalentes au signe près, aux relations 1 et 2 respectivement, multipliées par le gain G.

Dans chacune des cellules K_1 et K_2, les constantes de temps τ_1 et τ_2 sont ajustées pour obtenir un déphasage de 45° entre le signal d'entrée V_E et le signal de sortie VS_1 de K_1, et pour obtenir un déphasage de 135° entre le signal d'entrée VE et le signal de sortie VS_2 de K_2. Ceci permet d'obtenir un déphasage de 90° entre les signaux VS_1 et VS_2 sur une large bande de fréquences. L'obtention du déphasage de 45° entre les signaux V_E et VS_1 et le déphasage de 135° entre les signaux V_E et VS_2 résulte alors du choix des couples résistance-capacité, qui sont R_1-C_1 dans K_1 et R_2-C_2 dans K_2.

Selon l'invention ces caractéristiques sont obtenues au moyen du circuit représenté schématiquement sur la figure 1a.

Telles que représentées sur la figure 1a dans un

premier exemple de réalisation, les cellules K_1, K_2 comprennent d'abord, pour former l'étage inverseur, un transistor à effet de champ, respectivement T_1, T_2 monté en inverseur, la source reliée à la masse, dont la capacité grille-source CGS_1, CGS_2 respectivement est utilisée pour former la capacité C_1, C_2 respectivement du réseau R-C. Dans ces conditions, cette capacité est très faible.

Les cellules K_1 et K_2 comprennent ensuite pour former l'étage suiveur, un transistor à effet de champ, respectivement T_3 et T_4 dont la source est reliée au drain des transistors inverseurs T_1, T_2 et dont le drain est polarisé par une tension E_0.

Les résistances R_1, R_2 des réseaux R-C sont montées entre les grilles des transistors inverseurs et suiveurs T_1, T_3 et T_2, T_4 respectivement.

Les grilles des transistors suiveurs T_3, T_4 reçoivent le signal d'entrée hyperfréquence V_E à travers une capacité d'isolation en continu C_{11}.

Les signaux de sortie, respectivement VS_1 et VS_2 hyperfréquences sont disponibles au point de couplage des transistors inverseur-suiveur T_1, T_3 et T_2, T_4, point où s'effectue la sommation du signal à la sortie des étages inverseur A_1 et suiveur A_2 par sommation des courants respectifs.

Pour obtenir de l'étage inverseur un gain double de celui de l'étage suiveur, la largeur de grille des transistors inverseurs est prévue de dimension double de celle des transistors suiveurs. De plus les tensions grille-source sont prévues identiques sur les quatre transistors T_1, T_2, T_3, T_4.

Une tension grille-source identique sur tous les transistors suiveurs et inverseurs est obtenue par un circuit de polarisation qui comprend d'abord deux transistors à effet de champ T_5 et T_6 montés en parallèle sur les transistors suiveurs T_3 et T_4, leur drain commun étant porté à la tension de polarisation E_0, leur source commune étant reliée au drain du transistor inverseur correspondant T_1, T_2 respectivement et

leur largeur de grille étant de même dimension que celle des transistors T_3, T_4. Ce circuit comprend aussi une tension de polarisation E_2 à laquelle sont reliées les grilles des transistors inverseurs T_3, T_4 à travers une résistance de polarisation RP_2 qui peut être commune aux deux cellules K_1, K_2 dans cet exemple de réalisation, une tension de polarisation E_3 à laquelle sont reliées les grilles des transistors inverseurs T_1, T_2 à travers une résistance de polarisation RP_3, RP_4 respectivement, une tension de polarisation E_1 à laquelle sont portées les grilles des transistors montés en parallèle T_5, T_6 à travers une résistance de polarisation RP_5, RP_6 respectivement. De plus, les grilles des transistors T_5, T_6 sont reliées au point de couplage des transistors inverseurs T_1, T_2 avec les transistors suiveurs T_3, T_4, à travers une capacité C_{10}, C_{12} respectivement. Enfin, une capacité respectivement CD_1, CD_2 est montée en série avec les résistances R_1, R_2 respectivement entre les grilles des transistors inverseurs et suiveurs T_1, T_3 d'une part et T_2, T_4 d'autre part.

Ainsi de par sa structure, la cellule passe-tout K_1 ou K_2 n'est pas perturbée par l'impédance de sortie de l'étage précédent le circuit. En effet, le signal de sortie VS_1 ou VS_2, est la somme, disponible au point de couplage des transistors inverseur et suiveur, d'un premier signal formé du signal présent sur la grille du transistor suiveur T_3, T_4 respectivement amplifié par le gain G de ce dernier, et d'un second signal formé du signal présent sur la grille du transistor inverseur, déphasé par le réseau R-C respectivement R_1-CGS_1 et R_2-CGS_2 et amplifié par le gain (-2G) de ce dernier. Il en résulte que l'impédance de sortie de l'étage précédent le circuit n'intervient pas dans la fonction passe-tout réalisée par ce circuit.

De plus, l'impédance d'entrée de l'étage suivant le circuit ne perturbe pas non plus la fonction passe-tout puisque le réseau R-C, formé dans chaque cellule par les couples R_1, CGS_1 et R_2, CGS_2 respectivement, est isolé de la

sortie à travers la transconductance et la capacité grille-drain du transistor inverseur. L'impédance de sortie du circuit est indépendante du réseau R-C et ne dépend que de la largeur de grille du transistor suiveur. On voit donc que si les impédances d'entrée des deux circuits ou étages, qui vont suivre chacune des cellules K_1, K_2 passe-tout, sont identiques, les amplitudes des signaux VS_1 et VS_2 sont identiques quel que soit le niveau de cette impédance d'entrée de circuits ou étages suivants. La seule condition est que ces impédances d'entrée soient identiques.

Dans une mise en oeuvre de cet exemple de réalisation, les éléments du circuit de la figure 1a présentent les valeurs reportées dans le tableau II. Les transistors à effet de champ sont du type à déplétion et réalisés en arséniure de gallium (GaAs).

Le choix des éléments selon l'invention permet d'obtenir :

- un déphasage de 90° entre les signaux de sortie VS_1 et VS_2 avec une grande précision,
- une égalité des amplitudes des signaux VS_1 et VS_2 avec une grande précision,
- un fonctionnement à fréquence élevée,
- un fonctionnement sur une large bande de fréquence,
- une sortie basse-impédance,
- une possibilité de réglage fin de l'écart des amplitudes,
- une possibilité de réglage de la bande de fréquence et d'optimisation de la différence de phase entre les signaux de sortie.

La figure 2a montre les écarts $\Delta\varphi$ obtenus sur le déphasage φ entre les signaux de sortie VS_1 et VS_2, dans le cas où le circuit est réalisé au moyen des éléments du tableau II. Dans cet exemple, l'impédance de sortie du générateur de tension modélisant la source hyperfréquences V_E était 50 Ω,

et les sorties VS_1 et VS_2 étaient chargées par des capacités de 0,1 pF modélisant les charges de l'étage suivant le circuit déphaseur.

On constate que, dans la bande de fréquences 2,3 à 4,3 GHz, l'écart n'excède pas 1,25° par rapport au déphasage recherché de 90°, la valeur optimale (90° exactement) étant obtenue pour 2,5 GHz et 3,9 GHz.

La figure 2b montre dans les mêmes conditions les écarts ΔA d'amplitude A entre les signaux de sortie VS_1 et VS_2, entre 1,7 GHz et 4,7 GHz. Cet écart ΔA n'excède pas 0,05 dB entre 2,3 et 3,8 GHz.

On notera que les valeurs des capacités CD1 et CD2 jouent un rôle non négligeable dans les résultats obtenus au moyen du circuit selon l'invention. En effet, les calculs montrent que des variations des valeurs de CD_1 et CD_2 permettent d'obtenir de légères variations des amplitudes des signaux de sortie et donc une meilleure égalité des amplitudes de ces signaux. Cette optimisation peut être faite par des essais de routine, lors de la mise en oeuvre du circuit, ou bien par des simulations du circuit sur ordinateur.

On notera d'autre part, qu'une optimisation de l'écart d'amplitude entre les deux signaux de sortie peut être obtenue en faisant varier légèrement les tensions de polarisation des transistors à effet de champ T_5 et T_6, c'est-à-dire en prévoyant une variation de la tension E_2 par rapport à E_1.

Ces possibilités de réglage fin de l'écart entre les amplitudes des signaux de sortie sont indépendantes du réglage de la différence de phase entre ces signaux, lequel ne dépend que de la dimension des transistors, et des résistances R_1 et R_2.

Ainsi, s'il est désiré une variation de l'impédance de sortie du circuit selon l'invention, la dimension des transistors T_1, T_2 et T_3, T_4 peut être modifiée. Dans ces conditions, les résistances R_1 et R_2 doivent être modifiées en conséquence, pour rester dans la même bande de fréquences.

Dans d'autres cas, la bande de fréquences de fonctionnement sera changée à volonté en choisissant d'autres valeurs des résistances R_1 et R_2, sans changer les autres paramètres du circuit.

On notera que ce circuit peut aussi bien être réalisé avec d'autres transistors que ceux qui ont été choisis dans l'exemple décrit. On pourra par exemple utiliser des transistors à enrichissement ou des transistors à haute mobilité électronique (HEMT). On pourra aussi ajouter une capacité supplémentaire en parallèle sur la capacité grille-source des transistors T_1 et T_2, ce qui permet de diminuer la valeur et donc la taille des résistances R_1 et R_2.

Enfin, il est tout à fait possible, dans un second exemple de réalisation du circuit, de remplacer les résistances R_1 et R_2 par la résistance drain-source de transistors à effet de champ, respectivement TR_1 et TR_2 polarisés de telle sorte que tension drain-source est nulle et dont la largeur de grille est prévue et calculée pour obtenir des valeurs égales à celles de R_1 et R_2.

Ce mode de réalisation des résistances du réseau R-C permet d'ajuster la bande de fréquences de fonctionnement du circuit en agissant sur la tension grille-source de ces transistors TR_1 et TR_2.

La figure 1c représente une telle variante du circuit selon l'invention dans laquelle les résistances R_1 et R_2 sont ainsi constituées par les résistances drain-source de transistors à effet de champ. Pour mettre en oeuvre des transistors à effet de champ dont la grille présente une largeur raisonnable au moins égale à 10 µm, chaque transistor TR_1, TR_2 remplaçant une résistance R_1, R_2 respectivement est constitué de deux transistors en série, dont les grilles sont couplées, respectivement T_7, T_9 pour R_1 et T_8, T_{10} pour R_2.

Les grilles couplées des transistors T_7, T_9 et T_8, T_{10} sont polarisées par une tension E_4 à travers une résistance de polarisation RP_7 et RP_8 respectivement. Une petite

résistance R' est en outre placée en série avec le groupe de transistors T_8, T_{10} pour compenser la variation du rapport entre la valeur des résistances de TR_1 et TR_2 qui apparaît lorsque le domaine de fréquences choisi passe des hautes fréquences aux hyperfréquences. Lorsque les valeurs des résistances de TR_1 et TR_2 sont grandes, cette résistance R' est négligeable ; mais lorsque ces résistances diminuent, alors R' intervient et permet d'obtenir le rapport souhaité entre les valeurs des résistances des réseaux R-C ainsi constitués.

Les conditions de polarisation des autres transistors du circuit sont légèrement différentes de celles de l'exemple précédent. En particulier les grilles des transistors suiveurs T_3, T_4 sont polarisées individuellement à travers deux résistances distinctes RP'_2 et RP''_2 respectivement.

La source des transistors T_7, T_8 est reliée à la capacité CD_1, CD_2 respectivement. Les drains des transistors T_9, T_{10} sont reliés à la grille des transistors suiveurs T_3, T_4 à travers une capacité C_{13}, C_{15} respectivement. Le signal d'entrée V_E est alors porté sur le drain des transistors T_9, T_{10} par l'intermédiaire de la capacité C_{11} et sur les grilles des transistors suiveurs T_3, T_4 par l'intermédiaire des capacités C_{11} et C_{13}, C_{15} respectivement.

Des valeurs des éléments et des tensions de polarisation pour mettre en oeuvre un circuit de ce type sont données à titre d'exemple dans le tableau III. Comme dans l'exemple précédent les transistors étaient du type à déplétion. Mais ce circuit pourrait aussi être mis en oeuvre avec d'autres types de transistors tels que à enrichissement ou HEMT, comme il a été dit précédemment.

Dans ce second exemple de réalisation du circuit selon l'invention, les courbes de la figure 3a montrent les écarts $\Delta\varphi$ obtenus sur le déphasage φ entre les signaux de sortie VS_1, VS_2, dans le cas où le circuit est réalisé au moyen des éléments du tableau III.

- la courbe A a été tracée dans le cas où $E_4 = -1,5V$
- la courbe B a été tracée dans le cas où $E_4 = -0,5V$

Dans les mêmes conditions, les courbes de la figure 3b montrent les écarts ΔA d'amplitude A entre les signaux de sortie VS_1, VS_2, en fonction de la fréquence F.

- la courbe A' a été tracée dans le cas où $E_4 = -1,5V$
- la courbe B' a été tracée dans le cas où $E_4 = -0,5V$.

Ces courbes montrent que les variations de la polarisation E_4 permettent de faire varier la bande de fréquences de fonctionnement du circuit.

Les courbes de la figure 4a montrent, toujours dans ce second exemple de réalisation mis en oeuvre avec les éléments du tableau III, les écarts $\Delta\varphi$ obtenus sur le déphasage φ entre les signaux VS_1, VS_2.

- la courbe C a été tracée pour $E_4 = -0,5V$ et $E_1 = 1,6V$
- la courbe D a été tracée pour $E_4 = -0,5V$ et $E_1 = 1,7V$
- la courbe E a été tracée pour $E_4 = -0,5V$ et $E_1 = 1,8V$

Les courbes de la figure 4b montrent, toujours dans les mêmes conditions les écarts Δ A d'amplitude A entre les signaux VS_1, VS_2

- la courbe C' a été tracée pour $E_4 = -0,5V$ et $E_1 = 1,6V$
- la courbe D' a été tracée pour $E_4 = -0,5V$ et $E_1 = 1,7V$
- la courbe E' a été tracée pour $E_4 = -0,5V$ et $E_1 = 1,8V$

Ces courbes montrent que la variation de la polarisation E_1 permet de faire varier l'écart Δ A d'amplitude entre les signaux VS_1, VS_2 sans changer sensiblement la bande de fréquences de fonctionnement.

TABLEAU I

$f_1(\tau) = \frac{1 - j\omega\,\tau_1}{1 + j\omega\,\tau_2}$	1/
$f_2(\tau) = \frac{1 - j\omega\,\tau_2}{1 + j\omega\,\tau_2}$	2/
$f_1(\tau) = G\left(1 - \frac{2}{1 + j\omega\,\tau_1}\right)$	3/
$f_2(\tau) = G\left(1 - \frac{2}{1 + j\omega\,\tau_2}\right)$	4/

TABLEAU II

Transistors	Longueur de grille ℓ_G	Largeur de grille W	Résistances	Valeurs	Capacités	Valeurs
T_1, T_2	0,7 µm	60 µm	R_1	100 Ω	CD_1	1,2 pF
T_3, T_4	0,7 µm	30 µm	R_2	1,2 kΩ	CD_2	1,2 pF
T_5, T_6	0,7 µm	30 µm	RP_2	20 kΩ	C_{10}	0,5 pF
			RP_3	20 kΩ	C_{11}	0,5 pF
			RP_4	20 kΩ	C_{12}	0,5 pF
			RP_5	20 kΩ		
			RP_6	20 KΩ		

Valeurs des tensions continues de polarisation

E_0 = 6V
E_1 = 2,5V
E_2 = 2,5V
E_3 = -0,5V

TABLEAU III

Transistors	Longueur de grille ℓ_G	Largeur de grille W	Résistances	Valeurs	Capacités	Valeurs
			R'	390 Ω		
T_1, T_2	0,7 µm	120 µm	RP'_2	20 Ω	CD_1,CD_2	1 pF
T_3, T_4	0,7 µm	60 µm	RP''_2	20 kΩ	C_{10},C_{12}	0,2 pF
T_5, T_6	0,7 µm	60 µm	RP_3,RP_4	20 kΩ	C_{11}	5 pF
T_7, T_9	0,7 µm	10 µm	RP_5,RP_6	20 kΩ	C_{13},C_{15}	1 pF
T_8, T_9	0,7 µm	58 µm	RP_7,RP_8	20 kΩ		

Valeurs des tensions continues de polarisation

$E_0 = 5V$ $E_2 = 1,6V$ $-1,5V < E_4 < 0V$

$E_1 = 1,6V$ $E_3 = -0,9V$

2625630

revendications

1. Circuit déphaseur actif fonctionnant dans le domaine des hyperfréquences, formé de deux cellules K_1 et K_2 recevant simultanément un même signal d'entrée V_E, chaque cellule K_1 ou K_2 incluant un étage inverseur A_1, un étage suiveur A_2 et un réseau R-C pour former un filtre passe-tout, et fournissant en sortie un signal respectivement VS_1 et VS_2, ces signaux de sortie étant de même amplitude et en quadrature de phase, caractérisé en ce que, dans chaque cellule, respectivement, K_1, K_2 :

- l'étage inverseur A_1 présente un gain double de celui de l'étage suiveur A_2,

- le signal de sortie hyperfréquences, respectivement VS_1, VS_2, est obtenu par la sommation des signaux de sortie de l'étage suiveur et inverseur,

- cet étage inverseur A_1 est constitué d'un transistor à effet de champ, respectivement T_1, T_2, monté en inverseur, dont la capacité grille-source, respectivement CGS_1, CGS_2, est utilisée pour constituer la capacité du réseau R-C,

- la résistance du réseau R-C est montée entre l'entrée de l'étage suiveur A_2 et la grille du transistor inverseur,

- et la valeur de la résistance du réseau R-C, respectivement R_1, R_2 est prévue en fonction des capacités CGS_1, CGS_2 pour fournir les constantes de temps, respectivement τ_1, τ_2, permettant d'obtenir, entre le signal d'entrée hyperfréquences V_E appliqué sur l'entrée de l'étage suiveur et le signal de sortie hyperfréquences, un déphasage qui est 45° et 135° pour K_1 et K_2 respectivement.

2. Circuit selon la revendication 1, caractérisé en ce que, pour que l'étage inverseur A_1 présente un gain double de celui de l'étage suiveur A_2, ce dernier est constitué par un transistor à effet de champ, respectivement T_3, T_4, dont la largeur de grille a une dimension moitié de celle du transistor T_1, T_2 constituant l'étage inverseur et dont la tension

grille-source est identique.

3. Circuit selon la revendication 2, caractérisé en ce que, des tensions grille-source identiques sur le transistor inverseur T_1, T_2 respectivement, et sur le transistor suiveur T_3, T_4 respectivement, sont obtenues au moyen d'un circuit de polarisation qui comprend un transistor, respectivement T_5, T_6, monté en parallèle sur le transistor suiveur T_3, T_4, les drains communs étant reliés à une tension de polarisation E_0 et les sources communes au drain du transistor inverseur T_1, T_2, point commun sur lequel s'effectue la sommation du signal de sortie de l'étage inverseur et de l'étage suiveur, la grille de ce transistor T_5, T_6 étant reliée d'une part à une tension de polarisation E_2 par l'intermédiaire d'une résistance de polarisation, respectivement RP_5 et RP_6, et d'autre part au drain du transistor inverseur T_1, T_2 par une capacité C_{10}, C_{12} respectivement, circuit de polarisation qui comprend aussi une tension de polarisation E_3 à laquelle est reliée la grille du transistor inverseur T_1, T_2 par l'intermédiaire d'une résistance de polarisation respectivement RP_3 et RP_4, circuit de polarisation qui comprend encore une tension de polarisation E_2 à laquelle est portée la grille du transistor suiveur T_3, T_4 à travers une résistance de polarisation RP_2 commune aux deux cellules, l'entrée hyperfréquence V_E qui est appliquée sur la grille du transistor suiveur étant isolée en continu par une capacité C_{11}, et une capacité d'isolement en continu respectivement CD_1 et CD_2 étant en outre disposée entre la grille du transistor inverseur T_1, T_2 et la résistance du réseau R-C, R_1, R_2 respectivement, les tensions de polarisation E_0, E_1, E_2, E_3 étant ajustées les unes vis-à-vis des autres pour obtenir ladite égalité des tensions grille-source des transistors inverseur et suiveur.

4. Circuit selon la revendication 3, caractérisé en ce que la capacité CD_1, CD_2 respectivement, disposée en série avec la résistance R_1, R_2 du réseau R-C est choisie pour obtenir l'écart minimal entre l'amplitude des signaux de sortie

hyperfréquences, VS_1 et VS_2 respectivement, de l'une et l'autre cellule K_1, K_2.

5. Circuit selon l'une des revendications 1 à 4, caractérisé en ce que dans chaque cellule K_1, K_2 respectivement, la résistance R_1, R_2 est choisie, pour des transistors donnés, pour optimiser la différence de phase de 90° entre les signaux de sortie hyperfréquences VS_1 et VS_2 respectivement, ainsi que pour faire varier la bande de fréquences de fonctionnement.

6. Circuit selon l'une des revendications 2 à 4, caractérisé en ce que les largeurs de grille des transistors inverseurs et suiveurs sont choisies pour optimiser l'impédance de sortie de ce circuit, et en ce que les valeurs des résistances R_1, R_2 sont ajustées en conséquence pour maintenir le fonctionnement dans le domaine de fréquences choisi.

7. Circuit selon l'une des revendications 1 à 6, caractérisé en ce que dans chaque cellule K_1, K_2 la résistance du réseau R-C R_1, R_2 respectivement, est constituée par la résistance drain-source d'un transistor à effet de champ respectivement TR_1, TR_2 polarisé de telle sorte que sa tension drain-source est nulle.

8. Circuit selon la revendication 7, caractérisé en ce que dans chaque cellule la polarisation grille-source du transistor à effet de champ TR_1, TR_2 respectivement, est choisie pour optimiser la bande de fréquence de fonctionnement du circuit.

9. Circuit selon l'une des revendications 7 ou 8, caractérisé en ce que la polarisation adéquate du transistor TR_1, TR_2 est obtenue au moyen d'un circuit de polarisation qui comprend une tension de polarisation E_4 appliqué sur la grille de ce transistor par l'intermédiaire d'une résistance de polarisation RP_7, RP_8 respectivement, le drain de ce transistor étant relié à la grille du transistor suiveur par l'intermédiaire d'une capacité et la source de ce transistor TR_1, TR_2 étant reliée à la capacité série CD_1, CD_2 respectivement, la grille du transistor suiveur T_3, T_4 étant alors polarisée individuellement par la tension E_3 à travers une résistance RP'_2, RP''_2 respectivement.

10. Circuit selon la revendication 9, caractérisé en ce que chaque transistor TR_1, TR_2 est constitué de deux transistors en série T_7, T_9 et T_8, T_{10} respectivement, dont les grilles sont couplées.

11. Circuit selon l'une des revendications précédentes caractérisé en ce qu'il est réalisé au moyen de transistors à effet de champ choisis parmi le type à déplétion, le type à enrichissement, le type à haute mobilité électronique (HEMT), réalisés en un matériau du groupe III-V, par exemple l'arséniure de gallium (GaAs).

2625630

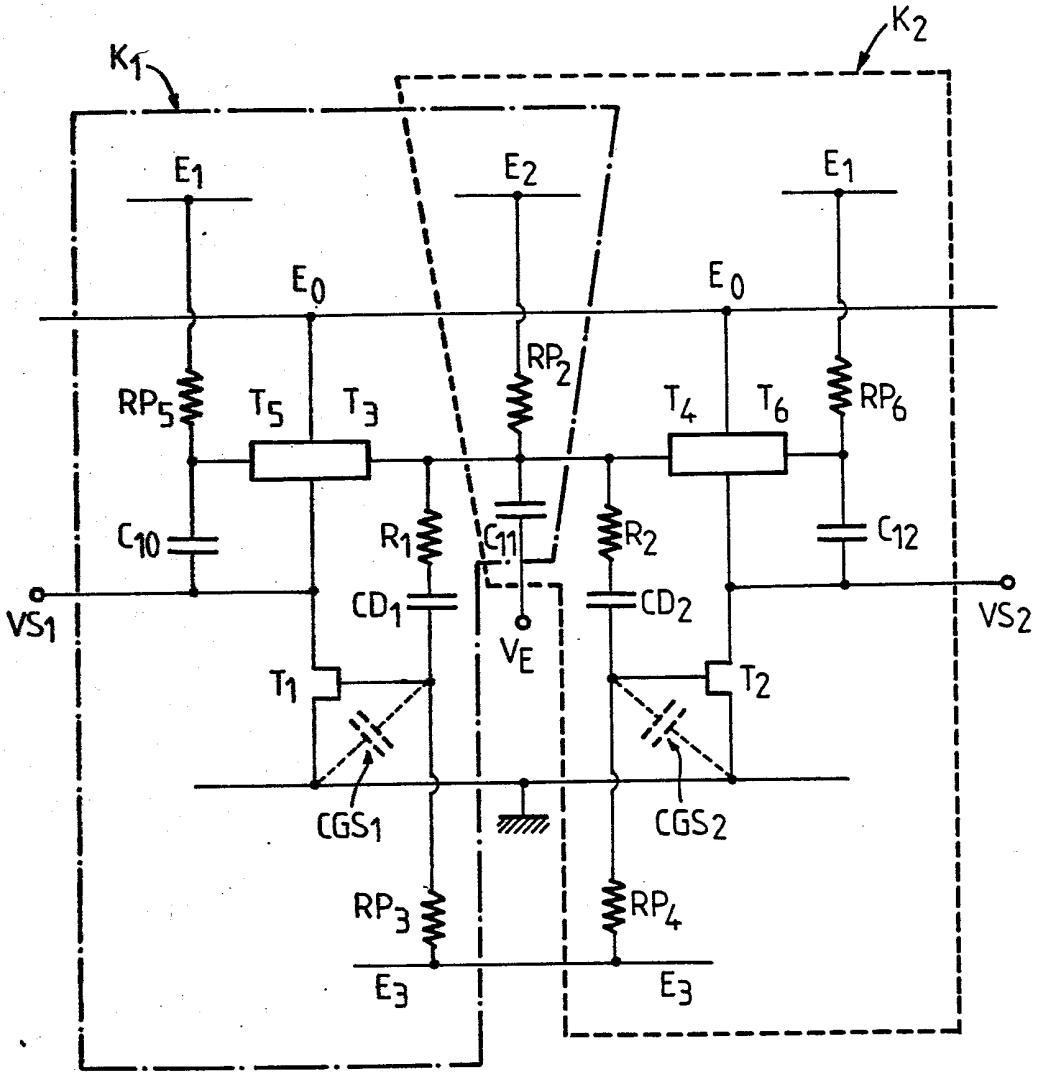


FIG. 1a

2625630

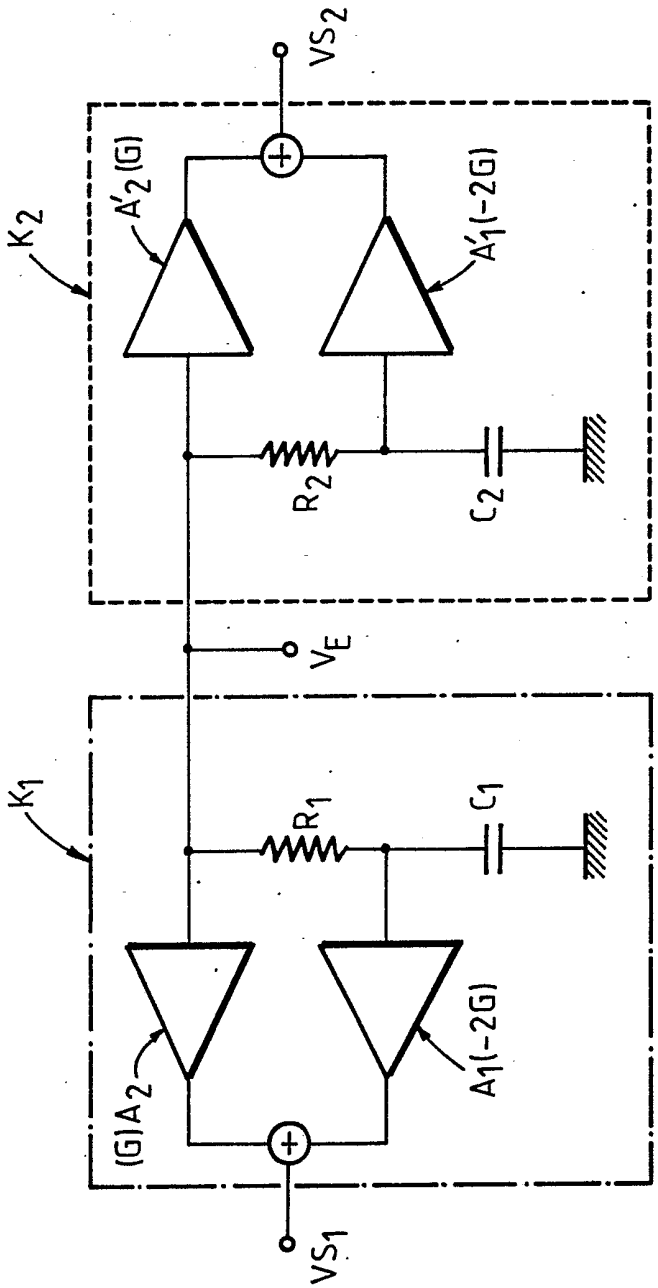
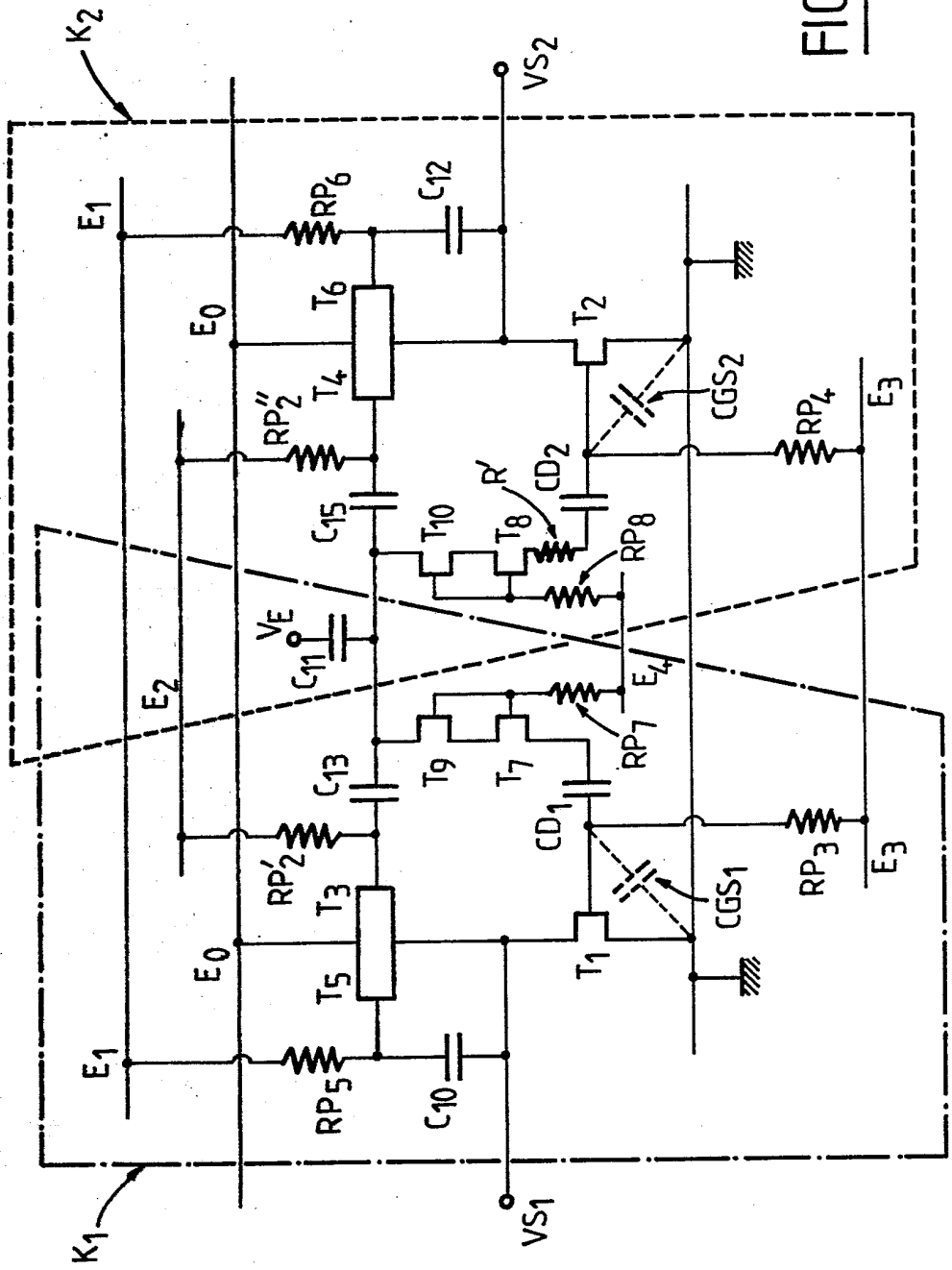


FIG. 1b

2625630

FIG. 1C



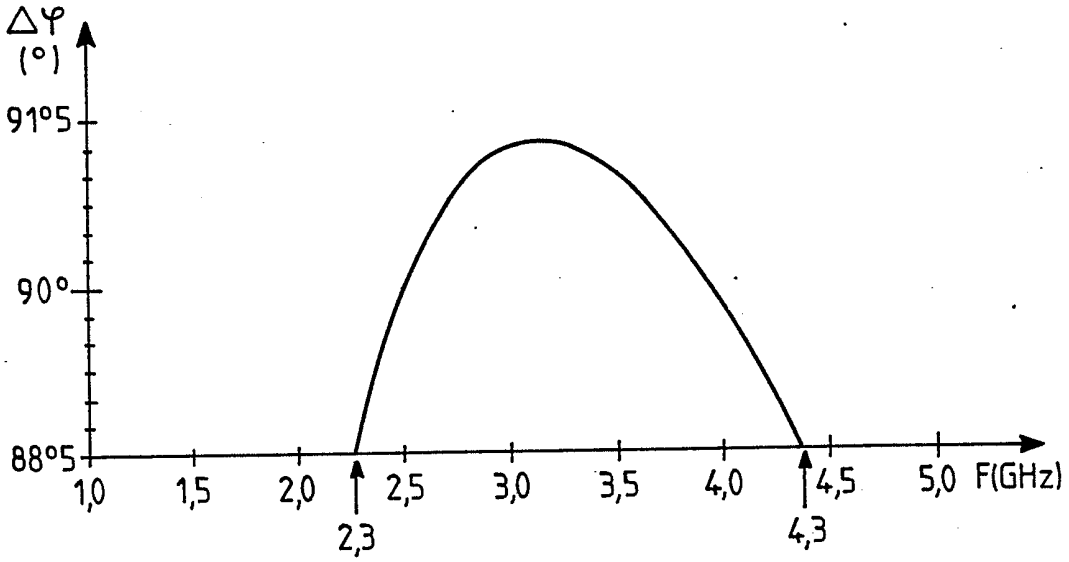

Δφ
(°)
91°5
90°
88°5
1,0
1,5
2,0
2,3
2,5
3,0
3,5
4,0
4,3
4,5
5,0
F(GHz)

FIG. 2a

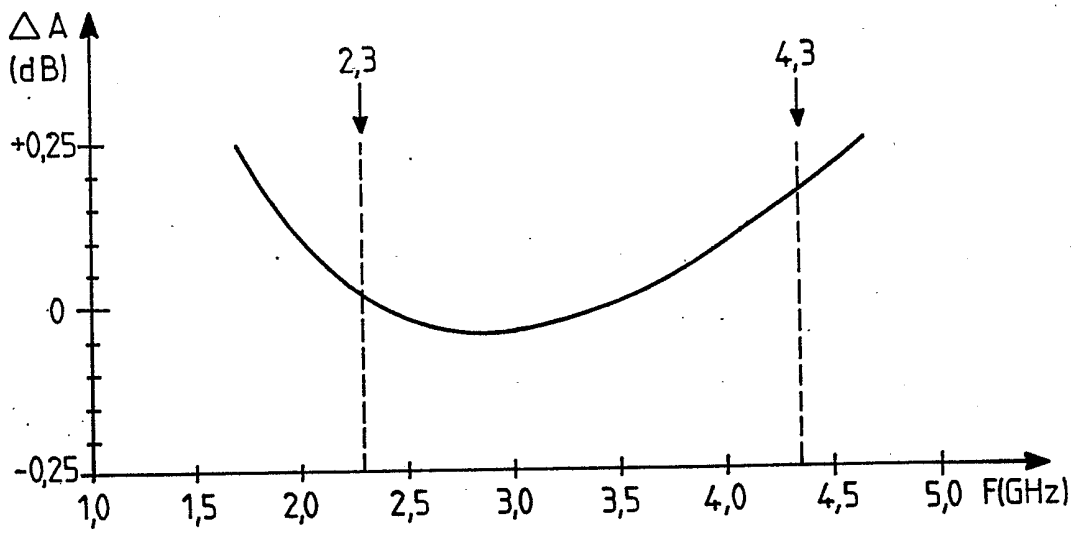

Δ A
(dB)
+0,25
0
-0,25
2,3
4,3
1,0
1,5
2,0
2,5
3,0
3,5
4,0
4,5
5,0
F(GHz)

FIG. 2b

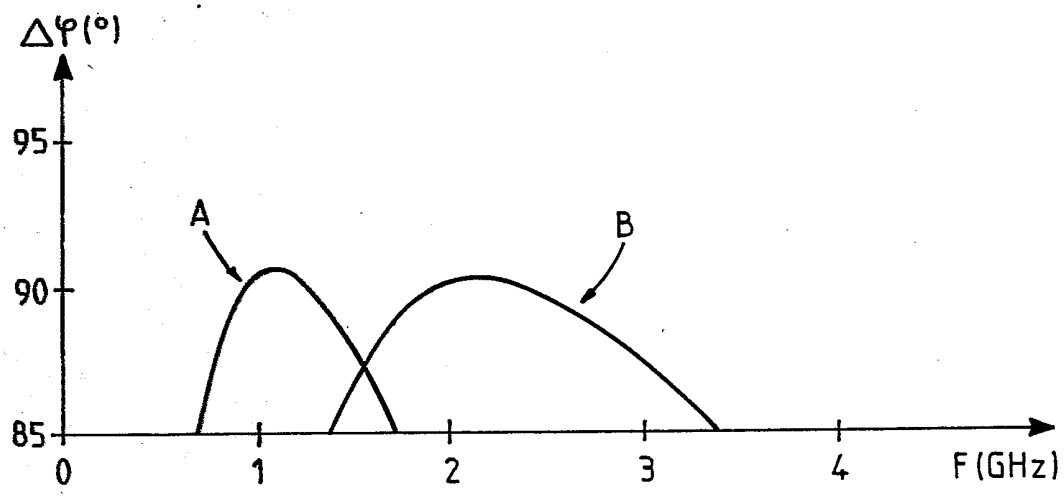

Δφ(°)
95
90
85
A
B
0
1
2
3
4
F(GHz)

FIG. 3a

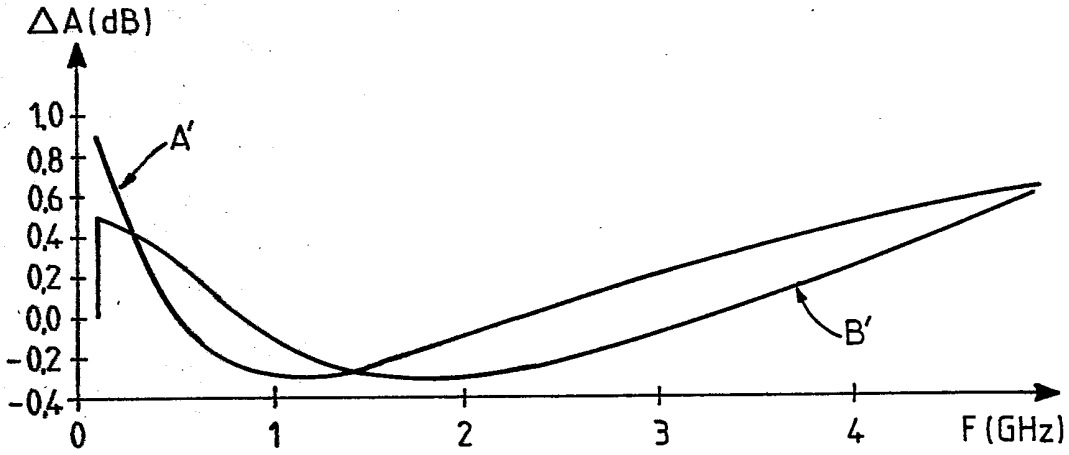

ΔA(dB)
1,0
0,8
0,6
0,4
0,2
0,0
-0,2
-0,4
A'
B'
0
1
2
3
4
F(GHz)

FIG. 3b

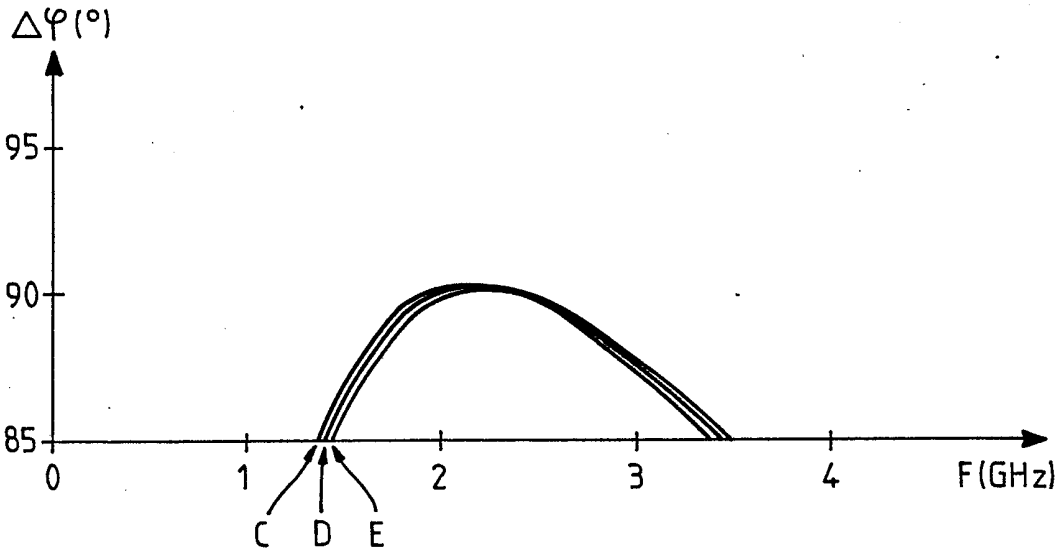

Δφ(°)
95
90
85
0
1
2
3
4
F(GHz)
C
D
E

FIG. 4 a

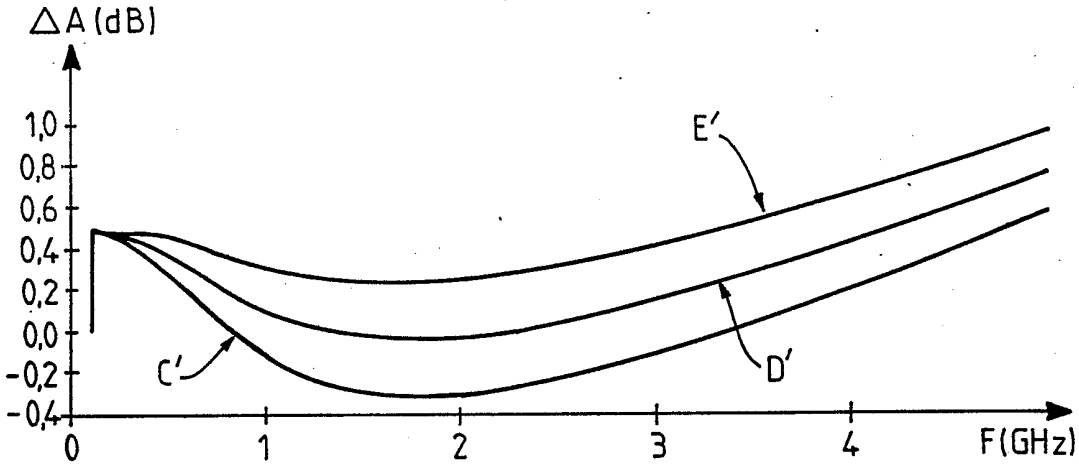

ΔA(dB)
1,0
0,8
0,6
0,4
0,2
0,0
-0,2
-0,4
0
1
2
3
4
F(GHz)
E'
D'
C'

FIG. 4 b