

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2022 년 10 월 20 일 (20.10.2022) WIPO | PCT



(10) 국제공개번호

WO 2022/220488 A1

(51) 국제특허분류:

H01L 23/498 (2006.01) H01L 23/15 (2006.01)

H01L 23/492 (2006.01) H01L 23/00 (2006.01)

H01L 23/31 (2006.01)

MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(21) 국제출원번호: PCT/KR2022/005040

(22) 국제출원일: 2022 년 4 월 7 일 (07.04.2022)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2021-0048148 2021 년 4 월 14 일 (14.04.2021) KR

(71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]: 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

(72) 발명자: 이지형 (LEE, Jihyung); 31040 충청남도 천안시 서북구 직산읍 4산단5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).

(74) 대리인: 김철진 (KIM, Churchill); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG,

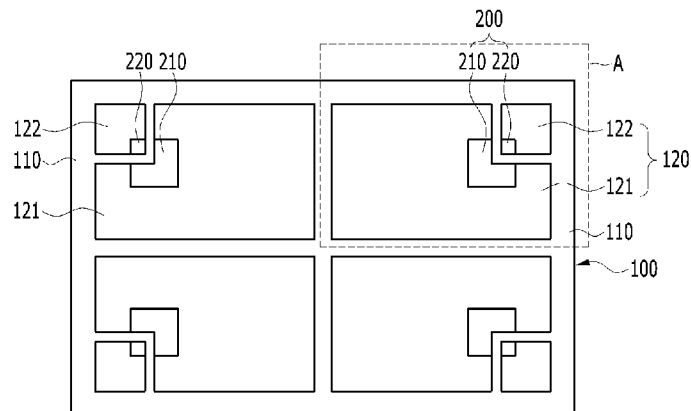
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: POWER MODULE AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭: 파워모듈 및 그 제조방법



(57) Abstract: The present invention relates to a power module and a manufacturing method therefor, the power module using a conductive spacer to electrically connect an electrode of a semiconductor chip and an electrode pattern of a ceramic substrate without a wire, thereby converting rated voltage and current while removing electrical risk elements, which can be generated during wire bonding, and increasing reliability and efficiency when used with high power.

(57) 요약서: 본 발명은 파워모듈 및 그 제조방법에 관한 것으로, 전도성 스페이서를 매개로 반도체 칩의 전극과 세라믹 기판의 전극패턴을 와이어 없이 전기적으로 연결함으로써, 와이어 본딩 시 발생할 수 있는 전기적 위험요소를 제거하면서 정격 전압, 전류를 변환할 수 있고, 고전력에 사용 시 신뢰성 및 효율성을 높일 수 있다.



WO 2022/220488 A1

명세서

발명의 명칭: 파워모듈 및 그 제조방법

기술분야

- [1] 본 발명은 파워모듈 및 그 제조방법에 관한 것으로, 더욱 상세하게는 반도체 칩의 전극과 세라믹 기판의 전극패턴을 와이어 없이 전기적으로 연결한 파워모듈 및 그 제조방법{POWER MODULE AND MANUFACTURING METHOD THEREOF}에 관한 것이다.

배경기술

- [2] 파워모듈은 반도체 칩을 패키지에 모듈화하여 전력의 변환이나 제어용으로 최적화한 반도체 모듈이다.
- [3] 파워모듈은 베이스 플레이트(Base Plate) 위에 기판이 놓이고, 기판 상에 반도체 칩이 놓이는 구조이다.
- [4] 기존의 파워모듈에서 반도체 칩은 금(Au), 동(Cu), 알루미늄(Al) 소재의 와이어 본딩(Bond-wire)에 의해 기판과 전기적으로 연결되며, 기판 또한 와이어 본딩에 의해 PCB와 연결되는 구성을 가진다. 즉, 전기적 신호 및 전력 변환을 위한 전력 이동선로가 와이어 본딩에 의해 이루어지는 구조이다.
- [5] 그런데, 이러한 와이어 본딩 구조에 의하면, 고전력, 고전류의 전기적 에너지로 인하여 단락, 단선이 발생할 가능성이 있어 차량 전체의 잠재적 위험요소가 되고 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명은 상술한 문제점을 해결하고자 안출된 것으로서, 본 발명은 전도성 스페이서를 매개로 반도체 칩의 전극과 세라믹 기판의 전극패턴을 와이어 없이 전기적으로 연결하여 고전력, 고전류의 전기적 위험요소를 배제할 수 있는 파워모듈을 제공하는 데 그 목적이 있다.

과제 해결 수단

- [7] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 파워모듈은, 세라믹 기재의 적어도 일면에 금속으로 이루어진 전극패턴이 형성된 세라믹 기판과, 하면이 세라믹 기판의 전극패턴에 접합되는 전도성 스페이서와, 전도성 스페이서의 상면에 전극이 접합되는 반도체 칩과, 세라믹 기판의 전극패턴과 전도성 스페이서의 하면을 브레이징 접합하는 브레이징 필러층을 구비할 수 있다.
- [8] 전도성 스페이서의 가장자리는 전극패턴의 가장자리에 인접하도록 배치될 수 있다.
- [9] 전도성 스페이서는, 'L'자 형태이고, 전극패턴에서 'L'자 형태의 가장자리에 인접하도록 배치된 제1 전도성 스페이서와, 제1 전도성 스페이서와 이격되어

- 배치되고, 측면이 제1 전도성 스페이서의 측면과 마주하는 제2 전도성 스페이서를 포함할 수 있다.
- [10] 전도성 스페이서는, 측면이 식각되어 곡면으로 형성되며, 상면보다 하면의 면적이 더 크게 형성될 수 있다.
- [11] 전도성 스페이서는 Cu, Mo, CuMo 합금 및 CuW 합금 중 적어도 하나로 형성될 수 있다.
- [12] 브레이징 필러층은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다.
- [13] 반도체 칩의 전극은 솔더(Solder) 또는 은 페이스트(Ag Paste)를 포함하는 접합층에 의해 전도성 스페이서의 상면에 접합될 수 있다.
- [14] 본 발명의 실시예에 따른 파워모듈 제조방법은 세라믹 기재의 적어도 일면에 금속으로 이루어진 전극패턴을 형성하여 세라믹 기판을 준비하는 단계와, 전도성 스페이서를 준비하는 단계와, 세라믹 기판의 전극패턴에 전도성 스페이서의 하면을 브레이징 접합하는 단계와, 전도성 스페이서의 상면에 반도체 칩의 전극을 접합하는 단계를 포함할 수 있다.
- [15] 전도성 스페이서를 준비하는 단계는, 전도성 스페이서를 에칭하여 측면이 곡면으로 형성되고, 상면보다 하면의 면적이 더 크게 형성된 전도성 스페이서를 준비할 수 있다.
- [16] 전도성 스페이서를 준비하는 단계에서, 전도성 스페이서는 Cu, Mo, CuMo 합금 및 CuW 합금 중 적어도 하나로 형성될 수 있다.
- [17] 브레이징 접합하는 단계는, 전도성 스페이서의 가장자리를 전극패턴의 가장자리에 인접하도록 배치하는 단계를 포함할 수 있다.
- [18] 브레이징 접합하는 단계는, 페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 전극패턴의 상면에 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의 두께를 갖는 브레이징 필러층을 배치하는 단계와, 브레이징 필러층을 용융시켜 브레이징하는 단계를 포함할 수 있다.
- [19] 브레이징 필러층을 배치하는 단계에서, 브레이징 필러층은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다.
- [20] 브레이징하는 단계는, 450°C 이상에서 수행할 수 있다.
- [21] 반도체 칩의 전극을 접합하는 단계는, 솔더링(Soldering) 및 소결(Sintering) 중 어느 하나의 방법으로 전도성 스페이서의 상면에 반도체 칩의 전극을 접합할 수 있다.

발명의 효과

- [22] 본 발명은 전도성 스페이서를 매개로 반도체 칩의 전극과 세라믹 기판의 전극패턴을 와이어 없이 전기적으로 연결함으로써, 와이어 본딩 시 발생할 수 있는 전기적 위험요소를 제거하면서 정격 전압, 전류를 변환할 수 있고, 고전력에 사용 시 신뢰성 및 효율성을 높일 수 있다.

- [23] 또한, 본 발명은 세라믹 기판의 전극패턴과 반도체 칩의 전극 사이에 전도성 스페이서를 배치함으로써 몰딩 공정 시 몰딩 금형의 높이에 대응하여 세라믹 기판과 반도체 칩 사이의 높이를 용이하게 조절할 수 있다.
- [24] 또한, 본 발명은 반도체 칩으로부터 발생하는 열이 전도성 스페이서를 통해 세라믹 기판에 용이하게 전달되어 방열 효율이 높아질 수 있다.
- [25] 또한, 본 발명은 전도성 스페이서의 하면이 세라믹 기판의 전극패턴에 브레이징 필러층을 매개로 브레이징 접합되고, 상면이 솔더 또는 은 페이스트를 포함하는 접합층을 매개로 반도체 칩의 전극과 접합되어 접합 강도가 높고 고온 신뢰성이 우수하다.

도면의 간단한 설명

- [26] 도 1은 본 발명의 실시예에 따른 파워모듈에서 세라믹 기판 및 전도성 스페이서를 도시한 평면도이다.
- [27] 도 2는 도 1의 A로 표시된 일부 영역에서 반도체 칩이 전도성 스페이서 상에 배치된 상태를 도시한 사시도이다.
- [28] 도 3은 본 발명의 실시예에 따른 파워모듈에서 제2 전도성 스페이서를 도시한 확대 사시도이다.
- [29] 도 4는 도 3의 제2 전도성 스페이서를 도시한 단면도이다.
- [30] 도 5는 본 발명의 실시예에 따른 파워모듈에서 세라믹 기판에 접합된 전도성 스페이서 상에 반도체 칩의 전극이 배치되는 상태를 도시한 우측면도이다.
- [31] 도 6은 본 발명의 실시예에 따른 파워모듈에서 세라믹 기판에 접합된 전도성 스페이서에 반도체 칩의 전극이 접합된 상태를 도시한 우측면도이다.
- [32] 도 7은 본 발명의 실시예에 따른 파워모듈 제조방법을 도시한 흐름도이다.

발명의 실시를 위한 형태

- [33] 이하 본 발명의 실시예들을 첨부된 도면을 참조하여 상세하게 설명하기로 한다. 실시예들의 설명에 있어서, 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.
- [34] 도 1은 본 발명의 실시예에 따른 파워모듈에서 세라믹 기판 및 전도성 스페이서를 도시한 평면도이고, 도 2는 도 1의 A로 표시된 일부 영역에서 반도체 칩이 전도성 스페이서 상에 배치되는 상태를 도시한 사시도이다.
- [35] 도 1 및 도 2에 도시된 바에 의하면, 본 발명의 실시예에 따른 파워모듈(1)은 세라믹 기판(100), 전도성 스페이서(200) 및 반도체 칩(300)이 구비될 수 있고, 케이스(미도시) 내에 패키징될 수 있다. 본 발명의 파워모듈(1)은 와이어 본딩을 사용하는 종래의 파워모듈과는 달리 반도체 칩(300)이 세라믹 기판(100)의 상부에 전도성 스페이서(200)를 매개로 접합됨으로써 와이어 본딩이 생략되어 고전력, 고전류의 전기적 위험요소를 배제할 수 있고, 방열 성능을 향상시킬 수 있다.
- [36] 세라믹 기판(100)은 AMB(Active Metal Brazing) 기판, DBC(Direct Bonded

Copper) 기판, TPC(Thick Printing Copper) 기판 중 어느 하나일 수 있다. 여기서, 세라믹 기판(100)은 반도체 칩(300)으로부터 발생하는 열의 방열 효율을 높일 수 있도록 세라믹 기재(110)의 적어도 일면에 금속층의 전극패턴(120)이 형성된 세라믹 기판으로 구비될 수 있다.

- [37] 세라믹 기재(110)는 알루미늄(Al_2O_3), AlN , SiN , Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있다. 금속층은 세라믹 기재(110) 상에 금속박이 브레이징 접합되어 반도체 칩을 실장하는 전극패턴 및 구동소자를 실장하는 전극패턴으로 형성될 수 있다. 예컨대, 금속층은 반도체 칩 또는 주변 부품이 실장될 영역에 전극패턴으로 형성될 수 있다. 금속박은 알루미늄박 또는 동박인 것을 일 예로 한다. 금속박은 세라믹 기재(110) 상에 $780^\circ\text{C}\sim 1100^\circ\text{C}$ 로 소성되어 세라믹 기재(110)와 브레이징 접합되는 것을 일 예로 한다. 이러한 기판을 AMB(Active Metal Brazing) 기판이라 한다. 실시예는 AMB 기판을 예로 들어 설명하나 DBC(Direct Bonding Copper) 기판, TPC(Thick Printing Copper) 기판, DBA 기판(Direct Brazed Aluminum)을 적용할 수도 있다. 여기서, AMB 기판은 내구성 및 방열 효율면에서 가장 적합하다.
- [38] 세라믹 기판(100)은 세라믹 기재(110)의 동일한 일면 상에 공간을 두고 서로 분리된 복수 개의 전극패턴(120)을 구비할 수 있다. 일례로, 복수 개의 전극패턴(120)은 'L'자 형태인 제1 전극패턴(121), 제1 전극패턴(121)과 함께 사각형의 단면을 이루도록 배치된 제2 전극패턴(122)을 포함할 수 있다. 제1 전극패턴(121) 및 제2 전극패턴(122)은 세라믹 기재(110)의 일면 상에 4개씩 형성될 수 있으나, 이에 한정되지 않으며, 전극패턴(120)의 형상 및 개수는 변경될 수 있다.
- [39] 전도성 스페이서(200)는 적어도 하나가 구비되고, 하면이 세라믹 기판(100)의 전극패턴(120) 상에 접합될 수 있다. 이러한 전도성 스페이서(200)는 가장자리가 전극패턴(120)의 가장자리에 인접하도록 배치될 수 있다. 일례로, 전도성 스페이서(200)는 'L'자 형태이고, 제1 전극패턴(121)의 'L'자 형태의 가장자리에 인접하도록 배치된 제1 전도성 스페이서(210)와, 블록형의 제2 전도성 스페이서(220)로 구비될 수 있다.
- [40] 제2 전도성 스페이서(220)는 제2 전극패턴(122)의 가장자리에 인접하도록 배치되며, 제1 전도성 스페이서(210)와 이격되되, 측면이 제1 전도성 스페이서(210)의 측면과 마주하는 제2 전도성 스페이서(220)를 포함할 수 있다. 제1 전도성 스페이서(210) 및 제2 전도성 스페이서(220)는 제1 및 제2 전극패턴(122)의 개수에 대응하여 4개씩 형성될 수 있으나, 이에 한정되지는 않는다.
- [41] 전도성 스페이서(200)는 세라믹 기판(100)과 반도체 칩(300)을 전기적으로 연결하고, 세라믹 기판(100)과 반도체 칩(300) 사이의 높이를 조절하기 위해 구비될 수 있다. 이러한 전도성 스페이서(200)는 크기가 $0.5\text{mm}\times 0.5\text{mm}$ 이상이고 두께가 0.3mm 이상인 소형의 블록 형태로 구비될 수 있다.

- [42] 파워모듈(1)은 반도체 칩(300)을 외부 환경으로부터 보호하기 위하여 에폭시 계열의 몰딩 수지(미도시)로 밀봉될 수 있다. 몰딩 수지는 고온 고압 하에서 용융되어 액상으로 몰드 금형(미도시) 내로 주입되고, 경화되면 반도체 칩(300) 등을 물리적 충격, 습기, 오염 등의 외부 환경으로부터 보호하며, 각 구성요소들의 결합 상태를 안정적으로 유지시킬 수 있다. 이와 같이 몰딩 공정은 몰딩 금형을 이용하므로, 몰딩 금형의 높이에 대응되도록 세라믹 기판(100)과 반도체 칩(300) 사이의 높이를 조절할 필요가 있다. 만약 세라믹 기판(100)과 반도체 칩(300) 사이의 높이가 몰딩 금형의 높이에 대응하여 적절하게 조절되지 않으면, EMC(epoxy molding compound)가 몰드 금형 내에 채워지는데 문제가 발생할 수 있다. 만약 세라믹 기판(100)과 반도체 칩(300) 사이의 높이에 대응하여 몰딩 금형 등의 장비들을 교체할 경우 많은 비용이 발생하기 때문에 바람직하지 않다.
- [43] 따라서, 본 발명의 실시예에 따른 파워모듈은 세라믹 기판(100)의 전극패턴(120)과 반도체 칩(300)의 전극(310,320) 사이에 전도성 스페이서(200)를 배치함으로써 몰딩 금형의 높이에 대응하여 세라믹 기판(100)과 반도체 칩(300) 사이의 높이를 용이하게 조절할 수 있다. 일례로, 몰딩 금형의 높이는 3mm 내지 4mm일 수 있고, 전도성 스페이서(200)의 두께는 0.3mm 이상일 수 있다.
- [44] 만약 전도성 스페이서(200)를 배치하지 않고 세라믹 기판(100)의 전극패턴(120)을 더 높게 형성하여 높이를 조절할 경우, 금속으로 이루어진 전극패턴(120) 전체의 높이를 더 높여야 하므로 비용이 많이 드는 단점이 있다. 반면, 본 발명은 세라믹 기판(100)의 전극패턴(120)에서 반도체 칩(300)의 전극(310,320)이 접합되는 일부분에 전도성 스페이서(200)를 배치하기 때문에 비용 면에서 훨씬 저렴하다. 또한, 몰딩 금형에 대응하여 세라믹 기판(100)과 반도체 칩(300) 사이의 높이가 전도성 스페이서(200)에 의해 쉽고 다양하게 조절될 수 있기 때문에 생산성을 향상시킬 수 있다.
- [45] 또한, 전도성 스페이서(200)는 도전체로서 회로를 연결하기 위해서 사용될 수 있다. 즉, 전도성 스페이서(200)는 하면이 세라믹 기판(100)의 전극패턴(120)에 브레이징 접합된 상태에서 반도체 칩(300)의 전극(310,320)이 상면에 접합됨으로써, 와이어 없이 반도체 칩(300)의 전극(310,320)을 세라믹 기판(100)의 전극패턴(120)과 전기적으로 연결할 수 있다.
- [46] 이와 같이, 본 발명은 전도성 스페이서(200)를 이용해 반도체 칩(300)의 전극(310,320)과 세라믹 기판(100)의 전극패턴(120)을 직접적으로 연결하여 와이어 본딩을 생략할 수 있기 때문에 와이어 본딩 시 발생할 수 있는 전기적 위험요소를 제거하면서 정격 전압, 전류를 변환할 수 있고, 고전력에 사용 시 신뢰성 및 효율성을 높일 수 있다.
- [47] 전도성 스페이서(200)는 Cu, Al, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어질 수 있다. 바람직하게는, 전도성 스페이서(200)는 열팽창계수와 열전도도가 우수한 Cu,

Mo, CuMo 합금 및 CuW 합금 중 적어도 하나로 형성될 수 있다.

[48] 일예로, 전도성 스페이서(200)는 Cu/CuMo/Cu의 3층 구조일 수 있다.

Cu/CuMo/Cu의 3층 구조는 열전도도가 높아 방열에 유리하고 저열팽창계수를 가져 고온에서도 세라믹 기판(100)과 반도체 칩(300) 사이의 간격을 안정적으로 유지할 수 있으며, 세라믹 기판(100)의 전극패턴(120)과 브레이징 접합 시 휨 발생을 최소화할 수 있다.

[49] 이러한 전도성 스페이서(200)는 열처리를 통해 열응력, 열변형 등이 사전에 제거된 상태로 구비될 수도 있다. 열응력, 열변형이 사전에 제거되면, 세라믹 기판(100)의 전극패턴(120)과 전도성 스페이서(200)를 브레이징 접합하는 과정에서 열팽창과 열수축에 의해 생성되는 열응력이 완화되어 접합 강도를 향상시킬 수 있다. 또한, 접합 부위가 손상되지 않기 때문에 열 전달 효과가 우수해질 수 있다.

[50] 반도체 칩(300)은 적어도 하나가 구비되고, Si 칩, SiC 칩, GaN 칩, MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGBT(Insulated Gate Bipolar Transistor), JFET(Junction Field Effect Transistor), HEMT(High Electric Mobility Transistor) 중 어느 하나가 구비될 수 있다.

[51] 반도체 칩(300)은 일면에 제1 전극(310) 및 제2 전극(320)이 구비될 수 있다. 제1 전극(310)은 제1 전도성 스페이서(210)의 상면에 접합되고, 제2 전극(320)은 제2 전도성 스페이서(220)의 상면에 접합될 수 있다. 제1 전극(310)은 반도체 칩(300)의 소스(Source) 전극일 수 있고, 제2 전극(320)은 반도체 칩(300)의 게이트(Gate) 전극일 수 있다. 게이트 전극은 낮은 전압을 이용하여 반도체 칩(300)을 온오프(on/off)시키는 전극이고, 소스 전극은 고전류가 들어오고 나가는 전극이다.

[52] 도 3은 본 발명의 실시예에 따른 파워모듈에서 제2 전도성 스페이서를 도시한 확대 사시도이고, 도 4는 도 3의 제2 전도성 스페이서를 도시한 단면도이다.

[53] 도 3 및 도 4에 도시된 바와 같이, 제2 전도성 스페이서(220)는 상면(221)보다 하면(222)의 면적이 더 크게 형성될 수 있다. 제2 전도성 스페이서(220)는 에칭에 의해 형성될 수 있고, 측면(223)은 식각되어 곡면으로 형성될 수 있다. 이때, 제2 전도성 스페이서(220)의 상면(221)은 반도체 칩(300)의 제2 전극(320)에 대응하는 면적으로 형성되는 것이 바람직하다. 만약 제2 전도성 스페이서(220)의 상면(221)이 제2 전극(320)의 면적보다 좁아지면 접합이 곤란해질 수 있다. 일예로, 제2 전도성 스페이서(220)의 상면(221)은 제2 전극(320)에 대응하여 0.6mmx0.6mm 크기로 형성될 수 있고, 하면은 1.2mmx1.2mm 크기로 형성될 수 있다. 하면(222)의 면적이 좁을 경우 충분한 전기적 특성을 유지할 수 없고, 세라믹 기판(100)의 전극패턴(120)으로부터 박리될 가능성이 있기 때문에 하면(222)은 상면보다 면적이 더 크게 형성되는 것이 바람직하다.

[54] 한편, 비록 도시되지는 않았으나, 제1 전도성 스페이서(210)도 제2 전도성 스페이서(220)와 마찬가지로 에칭에 의해 형성될 수 있고, 이로 인해 측면은

- 식각되어 곡면으로 형성되며, 상면보다 하면의 면적이 더 크게 형성될 수 있다.
- [55] 이와 같이, 전도성 스페이서(200)는 에칭에 의해 적절한 크기로 가공될 수 있고, 이외에 필요에 따라 기계 가공을 더 진행하는 것도 가능하다.
- [56] 도 5는 본 발명의 실시예에 따른 파워모듈에서 세라믹 기판에 접합된 전도성 스페이서 상에 반도체 칩의 전극이 배치되는 상태를 도시한 우측면도이고, 도 6은 본 발명의 실시예에 따른 파워모듈에서 세라믹 기판에 접합된 전도성 스페이서에 반도체 칩의 전극이 접합된 상태를 도시한 우측면도이다.
- [57] 도 5 및 도 6에 도시된 바와 같이, 전도성 스페이서(200)는 하면이 세라믹 기판(100)의 전극패턴(120)에 브레이징 필러층(400)을 매개로 브레이징 접합될 수 있고, 상면이 접합층(500)을 매개로 반도체 칩(300)의 전극(310,320)과 접합될 수 있다.
- [58] 브레이징 필러층(400)은 세라믹 기판(100)의 전극패턴(120)과 전도성 스페이서(200)의 하면을 브레이징 접합하는 것으로, Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다. 여기서, Ag와 Cu는 열전도도가 높아 접합력을 높이는 역할과 동시에 세라믹 기판(100)과 전도성 스페이서(200) 간의 열 전달을 용이하게 하여 방열 효율을 높일 수 있다. 또한, Ti는 젖음성이 좋아 Ag와 Cu가 세라믹 기판(100)의 전극패턴(120)에 용이하게 부착되게 할 수 있다.
- [59] 브레이징 필러층(400)은 다층 구조의 박막으로 형성될 수도 있다. 다층 구조의 박막은 부족한 성능을 보완하여 접합력을 높이기 위한 것이다. 일례로, 브레이징 필러층(400)은 Ag층과, Ag층 상에 형성된 Cu층을 포함하는 2층 구조로 이루어질 수 있다. 또는 브레이징 필러층(400)은 Ti층과, Ti층 상에 형성된 Ag층과, Ag층 상에 형성된 Cu층을 포함하는 3층 구조로 이루어질 수 있다. 이러한 브레이징 필러층(400)은 세라믹 기판(100)의 전극패턴(120)과 전도성 스페이서(200)의 브레이징 접합에 사용된 이후에 다층 구조의 경계가 모호해질 수 있다. 브레이징 접합은 450°C 이상에서 수행될 수 있다.
- [60] 접합층(500)은 반도체 칩(300)의 전극(310,320)과 전도성 스페이서(200)의 상면을 접합하기 위한 것으로, 솔더(Solder) 또는 은 페이스트(Ag Paste)를 포함할 수 있다. 전도성 스페이서(200)의 상면과 하면을 모두 브레이징 접합하면 2번의 브레이징 공정을 수행해야 하기 때문에 세라믹 기판(100)에 휨이 발생할 수 있다. 따라서, 전도성 스페이서(200)의 상면은 솔더 또는 은 페이스트를 포함하는 접합층(500)에 의해 반도체 칩(300)의 전극(310,320)과 접합되는 것이 바람직하다.
- [61] 솔더는 접합 강도가 높고 고온 신뢰성이 우수한 SnPb계, SnAg계, SnAgCu계, Cu계 솔더 페이스트로 이루어질 수 있다. 은 페이스트는 솔더에 비해 고온 신뢰성이 더 우수하고 열전도도가 높다. 은 페이스트는 열전도도가 높도록 Ag 분말 90~99 중량%와 바인더 1~10 중량%를 포함하는 것이 바람직하다. Ag 분말은 나노입자인 것이 바람직하다. 나노입자의 Ag 분말은 높은 표면적으로

인해 접합밀도가 높고 열전도도가 높다.

- [62] 이와 같이, 본 발명의 실시예에 따른 파워모듈(1)은 전도성 스페이서(200)를 통해 와이어 없이 반도체 칩(300)의 전극(310,320)을 세라믹 기판(100)의 전극패턴(120)과 전기적으로 연결할 수 있고, 몰딩 금형에 대응하여 세라믹 기판(100)과 반도체 칩(300) 사이의 높이를 쉽고 다양하게 조절할 수 있어 생산성을 향상시킬 수 있다. 또한, 반도체 칩(300)으로부터 발생하는 열이 전도성 스페이서(200)를 통해 세라믹 기판(100)에 전달되어 방열 효율이 높아질 수 있다. 이와 더불어, 전도성 스페이서(200)는 하면이 세라믹 기판(100)의 전극패턴(120)에 브레이징 필러층(400)을 매개로 브레이징 접합되고, 상면이 접합층(500)을 매개로 반도체 칩(300)의 전극(310,320)과 접합되어 접합 강도가 높고 고온 신뢰성이 우수하다.
- [63] 도 7은 본 발명의 실시예에 따른 파워모듈 제조방법을 도시한 흐름도이다.
- [64] 본 발명의 실시예에 따른 파워모듈 제조방법은 도 7에 도시된 바와 같이, 세라믹 기재(110)의 적어도 일면에 금속으로 이루어진 전극패턴(120)을 형성하여 세라믹 기판(100)을 준비하는 단계(S10)와, 전도성 스페이서(200)를 준비하는 단계(S20)와, 세라믹 기판(100)의 전극패턴(120)에 전도성 스페이서(200)의 하면을 브레이징 접합하는 단계(S30)와, 전도성 스페이서(200)의 상면에 반도체 칩(300)의 전극(310,320)을 접합하는 단계(S40)를 포함할 수 있다.
- [65] 세라믹 기판(100)을 준비하는 단계(S10)에서, 세라믹 기판(100)은 AMB(Active Metal Brazing) 기판, DBC(Direct Bonded Copper) 기판, TPC(Thick Printing Copper) 기판 중 어느 하나일 수 있다. 여기서, 세라믹 기판(100)은 반도체 칩(300)으로부터 발생하는 열의 방열 효율을 높일 수 있도록 세라믹 기재(110)의 적어도 일면에 금속층의 전극패턴(120)이 형성될 수 있다. 여기서, 세라믹 기재(110)는 알루미나(Al_2O_3), AlN, SiN, Si_3N_4 중 어느 하나일 수 있고, 전극패턴(120)은 알루미늄박 또는 동박이 브레이징 접합되어 반도체 칩(300)을 실장하는 전극패턴 및 구동소자를 실장하는 전극패턴으로 형성될 수 있다.
- [66] 전도성 스페이서(200)를 준비하는 단계(S20)는, 전도성 스페이서(200)를 에칭하여 측면이 곡면으로 형성되고, 상면보다 하면의 면적이 더 크게 형성된 전도성 스페이서(200)를 준비할 수 있다. 에칭은 포토레지스트를 이용한 습식 에칭 공정을 수행할 수 있다. 습식 에칭 공정은 선택비가 우수하고, 에칭 용액의 농도와 온도를 이용하여 에칭 속도를 쉽게 조절할 수 있다는 장점이 있다.
- [67] 전도성 스페이서(200)를 준비하는 단계(S20)에서, 전도성 스페이서(200)는 Cu, Mo, CuMo 합금 및 CuW 합금 중 적어도 하나로 형성될 수 있다. 일례로, 전도성 스페이서(200)는 'L'자 형태인 제1 전도성 스페이서(210)와, 블록형의 제2 전도성 스페이서(220)로 구비될 수 있다.
- [68] 브레이징 접합하는 단계(S30)는, 전도성 스페이서(200)의 가장자리를 세라믹 기판(100)의 전극패턴(120) 가장자리에 인접하도록 배치하는 단계를 포함할 수

있다. 제1 전도성 스페이서(210)는 제1 전극패턴(121)의 'L'자 형태의 가장자리에 인접하도록 배치할 수 있다. 또한, 제2 전도성 스페이서(220)는 제2 전극패턴(122)의 가장자리에 인접하도록 배치할 수 있다. 이때, 제2 전도성 스페이서(220)는 제1 전도성 스페이서(210)와 이격되되, 측면이 제1 전도성 스페이서(210)의 측면과 마주할 수 있다.

- [69] 브레이징 접합하는 단계(S20)는, 페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 전극패턴(120)의 상면에 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의 두께를 갖는 브레이징 필러층(400)을 배치하는 단계와, 브레이징 필러층(400)을 용융시켜 브레이징하는 단계를 포함할 수 있다.
- [70] 브레이징 필러층(400)을 배치하는 단계에서, 브레이징 필러층(400)은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다.
- [71] 브레이징 필러층(400)을 용융시켜 브레이징하는 단계는, 450°C 이상에서 수행하고, 브레이징 중에 접합력을 높이고, 보이드(Void)가 발생하지 않도록 상부 중량 또는 가압을 실시할 수 있다.
- [72] 반도체 칩(300)의 전극(310,320)을 접합하는 단계(S30)는, 솔더링(Soldering) 및 소결(Sintering) 중 어느 하나의 방법으로 전도성 스페이서(200)의 상면에 반도체 칩(300)의 전극(310,320)을 접합할 수 있다. 전도성 스페이서(200)의 상면과 하면을 모두 브레이징 접합하면 2번의 브레이징 공정을 수행해야 하기 때문에 세라믹 기판(100)에 휨이 발생할 수 있다. 따라서, 반도체 칩(300)의 전극(310,320)은 솔더링(Soldering) 및 소결(Sintering) 중 어느 하나의 방법으로 전도성 스페이서(200)의 상면에 접합하는 것이 바람직하다.
- [73] 솔더링에 사용되는 솔더는 접합 강도가 높고 고온 신뢰성이 우수한 SnPb계, SnAg계, SnAgCu계, Cu계 솔더 페이스트로 이루어질 수 있다. 소결에 사용되는 페이스트는 솔더에 비해 고온 신뢰성이 더 우수하고 열전도도가 높다. 은 페이스트는 열전도도가 높도록 Ag 분말 90~99 중량%와 바인더 1~10 중량%를 포함하는 것이 바람직하다. Ag 분말은 나노입자인 것이 바람직하다. 나노입자의 Ag 분말은 높은 표면적으로 인해 접합밀도가 높고 열전도도가 높다.
- [74] 이상에서 살펴본 바와 같이, 본 발명의 파워모듈에 의하면 전도성 스페이서(200)를 통해 와이어 없이 반도체 칩(300)의 전극(310,320)을 세라믹 기판(100)의 전극패턴(120)과 전기적으로 연결할 수 있고, 몰딩 금형에 대응하여 세라믹 기판(100)과 반도체 칩(300) 사이의 높이를 쉽고 다양하게 조절할 수 있어 생산성을 향상시킬 수 있다. 또한, 반도체 칩(300)으로부터 발생하는 열이 전도성 스페이서(200)를 통해 세라믹 기판(100)에 전달되어 방열 효율이 높아질 수 있다. 이와 더불어, 전도성 스페이서(200)는 하면이 세라믹 기판(100)의 전극패턴(120)에 브레이징 필러층(400)을 매개로 브레이징 접합되고, 상면이 접합층(500)을 매개로 반도체 칩(300)의 전극(310,320)과 접합되어 접합 강도가 높고 고온 신뢰성이 우수하다.
- [75] 이상과 같은 본 발명은 예시된 도면을 참조하여 설명되었지만, 기재된 실시

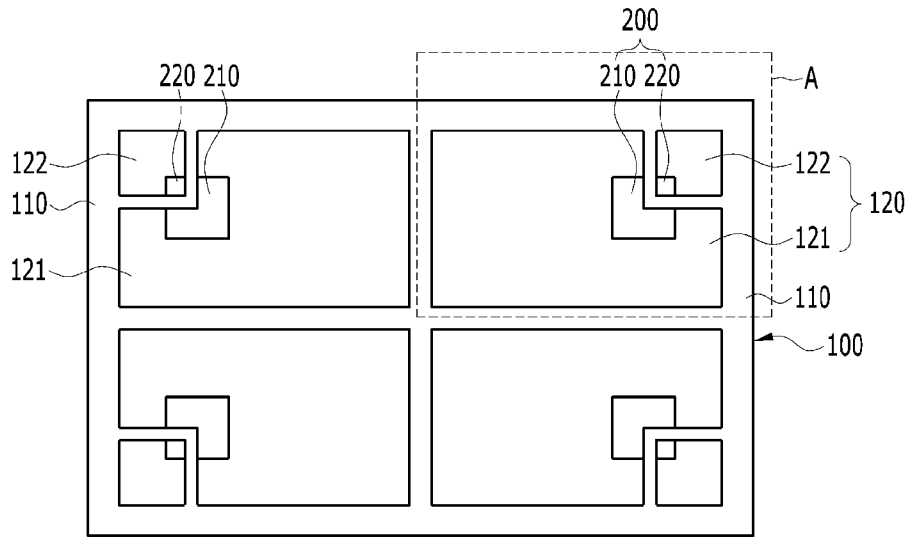
예들에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형될 수 있음은 이 기술의 분야에서 통상의 지식을 가진 자에게 자명하다. 따라서 그러한 수정 예 또는 변형 예들은 본 발명의 특허청구범위에 속한다 하여야 할 것이며, 본 발명의 권리범위는 첨부된 특허청구범위에 기초하여 해석되어야 할 것이다.

청구범위

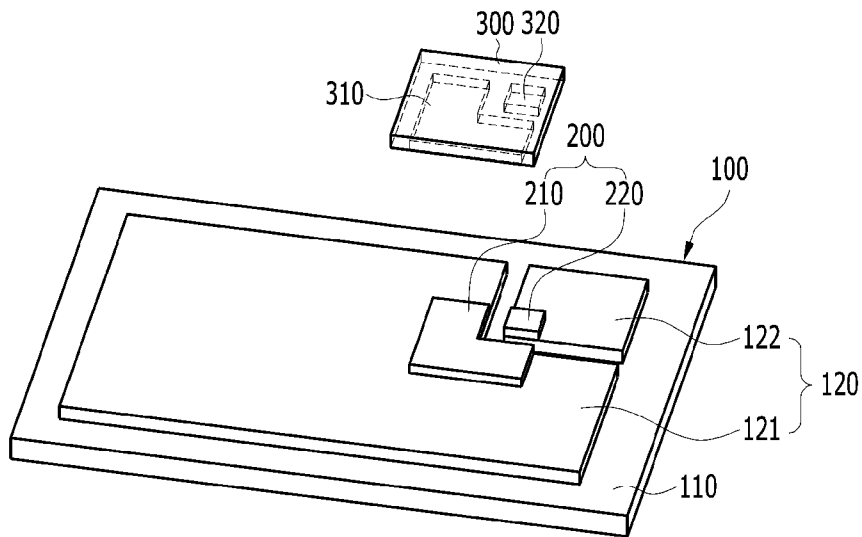
- [청구항 1] 세라믹 기재의 적어도 일면에 금속으로 이루어진 전극패턴이 형성된 세라믹 기판;
하면이 상기 세라믹 기판의 전극패턴에 접합되는 전도성 스페이서;
상기 전도성 스페이서의 상면에 전극이 접합되는 반도체 칩; 및
상기 세라믹 기판의 전극패턴과 상기 전도성 스페이서의 하면을 브레이징 접합하는 브레이징 필러층;
을 구비하는 파워모듈.
- [청구항 2] 제1항에 있어서,
상기 전도성 스페이서의 가장자리는 상기 전극패턴의 가장자리에 인접하도록 배치된 파워모듈.
- [청구항 3] 제1항에 있어서,
상기 전도성 스페이서는,
'L'자 형태이고, 상기 전극패턴에서 'L'자 형태의 가장자리에 인접하도록 배치된 제1 전도성 스페이서; 및
상기 제1 전도성 스페이서와 이격되어 배치되고, 측면이 상기 제1 전도성 스페이서의 측면과 마주하는 제2 전도성 스페이서를 포함하는 파워모듈.
- [청구항 4] 제1항에 있어서,
상기 전도성 스페이서는,
측면이 식각되어 곡면으로 형성되며, 상면보다 하면의 면적이 더 크게 형성된 파워모듈.
- [청구항 5] 제1항에 있어서,
상기 전도성 스페이서는 Cu, Mo, CuMo 합금 및 CuW 합금 중 적어도 하나로 형성된 파워모듈.
- [청구항 6] 제1항에 있어서,
상기 브레이징 필러층은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어지는 파워모듈.
- [청구항 7] 제1항에 있어서,
상기 반도체 칩의 전극은 솔더(Solder) 또는 은 페이스트(Ag Paste)를 포함하는 접합층에 의해 상기 전도성 스페이서의 상면에 접합되는 파워모듈.
- [청구항 8] 세라믹 기재의 적어도 일면에 금속으로 이루어진 전극패턴을 형성하여 세라믹 기판을 준비하는 단계;
전도성 스페이서를 준비하는 단계;
상기 세라믹 기판의 전극패턴에 전도성 스페이서의 하면을 브레이징 접합하는 단계; 및
상기 전도성 스페이서의 상면에 반도체 칩의 전극을 접합하는 단계;

- 를 포함하는 파워모듈 제조방법.
- [청구항 9] 제8항에 있어서,
상기 전도성 스페이서를 준비하는 단계는,
상기 전도성 스페이서를 에칭하여 측면이 곡면으로 형성되고, 상면보다 하면의 면적이 더 크게 형성된 전도성 스페이서를 준비하는 파워모듈 제조방법.
- [청구항 10] 제8항에 있어서,
상기 전도성 스페이서를 준비하는 단계에서,
상기 전도성 스페이서는 Cu, Mo, CuMo 합금 및 CuW 합금 중 적어도 하나로 형성된 파워모듈 제조방법.
- [청구항 11] 제8항에 있어서,
상기 브레이징 접합하는 단계는,
상기 전도성 스페이서의 가장자리를 상기 전극패턴의 가장자리에 인접하도록 배치하는 단계를 포함하는 파워모듈 제조방법.
- [청구항 12] 제8항에 있어서,
상기 브레이징 접합하는 단계는,
페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 상기 전극패턴의 상면에 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의 두께를 갖는 브레이징 필러층을 배치하는 단계; 및
상기 브레이징 필러층을 용융시켜 브레이징하는 단계를 포함하는 파워모듈 제조방법.
- [청구항 13] 제12항에 있어서,
상기 브레이징 필러층을 배치하는 단계에서,
상기 브레이징 필러층은 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어지는 파워모듈 제조방법.
- [청구항 14] 제12항에 있어서,
상기 브레이징하는 단계는,
 450°C 이상에서 수행하는 파워모듈 제조방법.
- [청구항 15] 제8항에 있어서,
상기 반도체 칩의 전극을 접합하는 단계는,
솔더링(Soldering) 및 소결(Sintering) 중 어느 하나의 방법으로 상기 전도성 스페이서의 상면에 상기 반도체 칩의 전극을 접합하는 파워모듈 제조방법.

[도1]

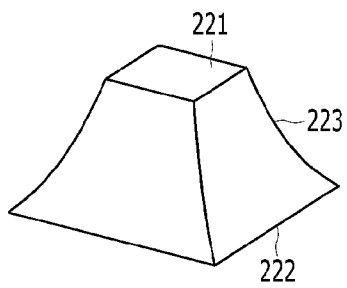


[도2]



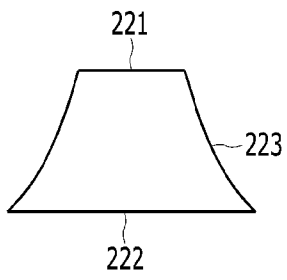
[도3]

220

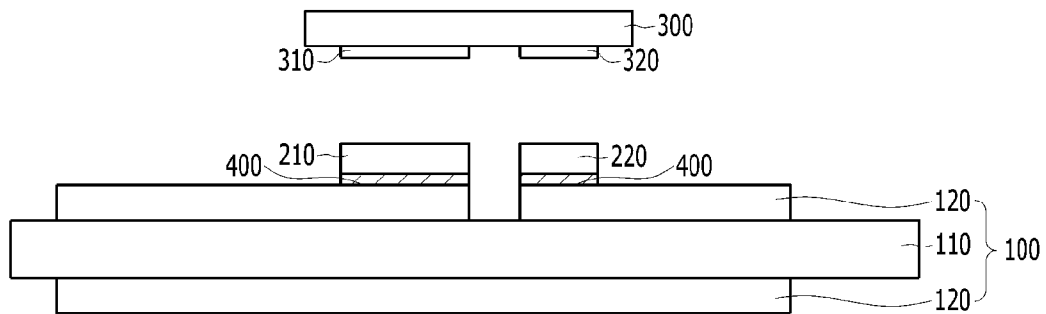


[도4]

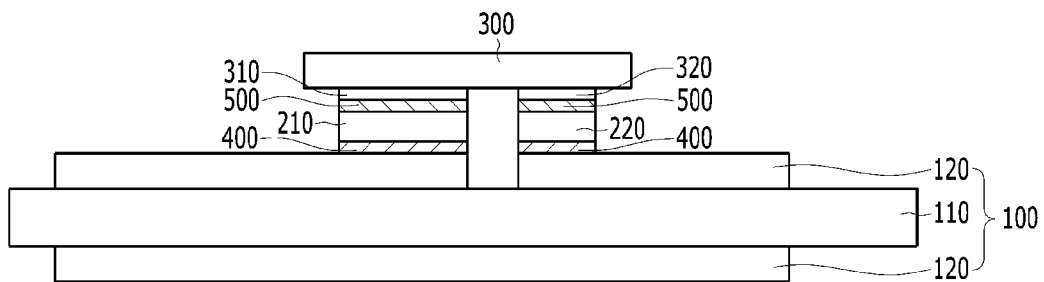
220



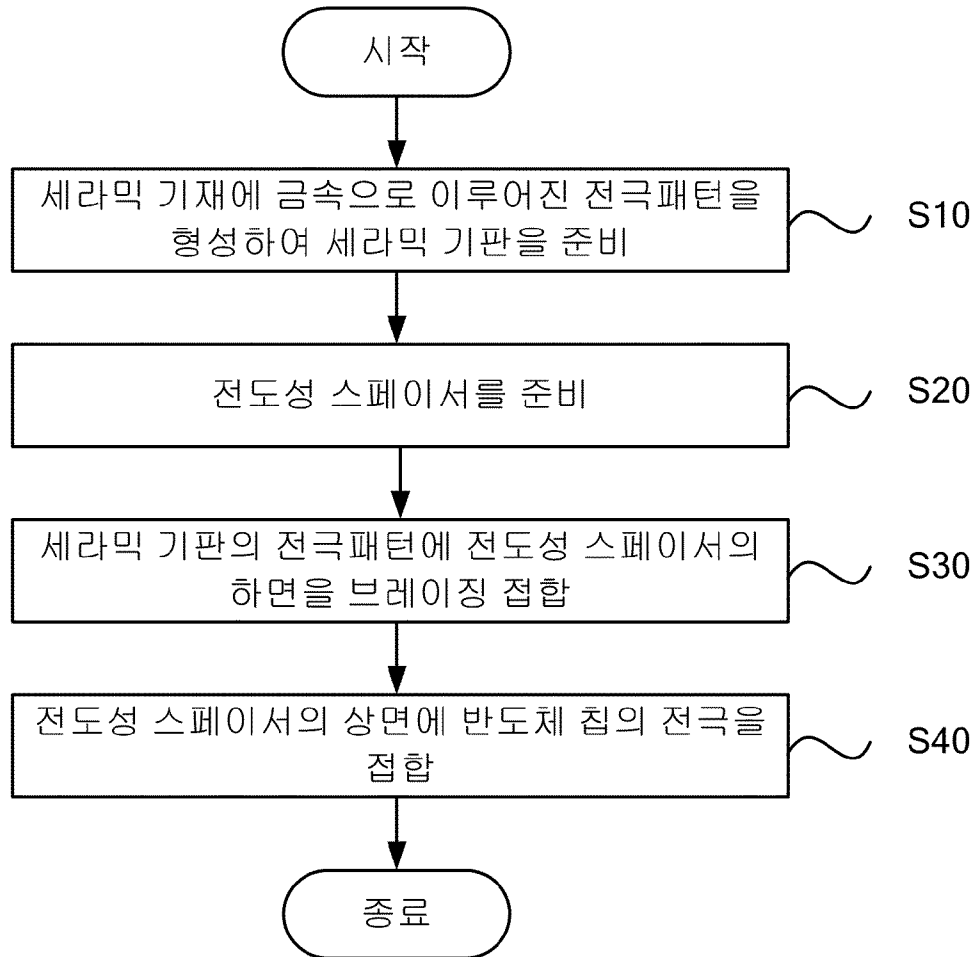
[도5]



[도6]



[도7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/005040

A. CLASSIFICATION OF SUBJECT MATTER H01L 23/498(2006.01)i; H01L 23/492(2006.01)i; H01L 23/31(2006.01)i; H01L 23/15(2006.01)i; H01L 23/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/498(2006.01); H01L 21/52(2006.01); H01L 21/60(2006.01); H01L 23/36(2006.01); H01L 25/065(2006.01); H01L 25/07(2006.01); H01L 25/18(2006.01); H02M 7/00(2006.01); H02M 7/44(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 세라믹기판(ceramic substrate), 전극패턴(electrode pattern), 전도성 스페이서 (conductive spacer), 반도체칩(semiconductor chip), 브레이징 필러층(brazing filler layer)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	KR 10-2019-0110376 A (LG ELECTRONICS INC.) 30 September 2019 (2019-09-30) See paragraphs [0039]-[0063] and figures 1c-6.	1-2,4-15 3
Y	WO 2021-049039 A1 (DENSO CORPORATION et al.) 18 March 2021 (2021-03-18) See paragraphs [0036]-[0046] and figure 2.	1-2,4-15
Y	JP 2020-102544 A (TOYOTA MOTOR CORP.) 02 July 2020 (2020-07-02) See paragraph [0033] and figures 1 and 4.	4,9
A	JP 2019-071399 A (ROHM CO., LTD.) 09 May 2019 (2019-05-09) See paragraphs [0048]-[0050] and figures 1(a)-1(b).	1-15
A	KR 10-2100859 B1 (HYUNDAI AUTRON CO., LTD.) 14 April 2020 (2020-04-14) See entire document.	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 29 July 2022		Date of mailing of the international search report 29 July 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/005040

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2019-0110376	A	30 September 2019	CN	111903049	A	06 November 2020
				EP	3771084	A1	27 January 2021
				JP	2021-516869	A	08 July 2021
				KR	10-2048478	B1	25 November 2019
				US	2021-0057372	A1	25 February 2021
				WO	2019-182216	A1	26 September 2019
WO	2021-049039	A1	18 March 2021	WO	2021-049039	A1	23 December 2021
JP	2020-102544	A	02 July 2020	CN	111354710	A	30 June 2020
				DE	102019135373	A1	25 June 2020
				US	1201099	B2	14 December 2021
				US	2020-0203252	A1	25 June 2020
JP	2019-071399	A	09 May 2019	JP	7025181	B2	24 February 2022
				US	2018-0145007	A1	24 May 2018
KR	10-2100859	B1	14 April 2020	None			

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 23/498(2006.01)i; H01L 23/492(2006.01)i; H01L 23/31(2006.01)i; H01L 23/15(2006.01)i; H01L 23/00(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 23/498(2006.01); H01L 21/52(2006.01); H01L 21/60(2006.01); H01L 23/36(2006.01); H01L 25/065(2006.01); H01L 25/07(2006.01); H01L 25/18(2006.01); H02M 7/00(2006.01); H02M 7/44(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 세라믹기판(ceramic substrate), 전극패턴(electrode pattern), 전도성 스페이서(conductive spacer), 반도체칩(semiconductor chip), 브레이징 필러층(brazing filler layer)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y A	KR 10-2019-0110376 A (엘지전자 주식회사) 2019.09.30 단락 [0039]-[0063] 및 도면 1c-6	1-2,4-15 3
Y	WO 2021-049039 A1 (DENSO CORPORATION 등) 2021.03.18 단락 [0036]-[0046] 및 도면 2	1-2,4-15
Y	JP 2020-102544 A (TOYOTA MOTOR CORP.) 2020.07.02 단락 [0033] 및 도면 1,4	4,9
A	JP 2019-071399 A (ROHM CO., LTD.) 2019.05.09 단락 [0048]-[0050] 및 도면 1(a)-1(b)	1-15
A	KR 10-2100859 B1 (현대오토론 주식회사) 2020.04.14 전체 문헌	1-15
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년07월29일(29.07.2022)		국제조사보고서 발송일 2022년07월29일(29.07.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82--

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2019-0110376 A	2019/09/30	CN 111903049 A	2020/11/06
		EP 3771084 A1	2021/01/27
		JP 2021-516869 A	2021/07/08
		KR 10-2048478 B1	2019/11/25
		US 2021-0057372 A1	2021/02/25
		WO 2019-182216 A1	2019/09/26
WO 2021-049039 A1	2021/03/18	WO 2021-049039 A1	2021/12/23
JP 2020-102544 A	2020/07/02	CN 111354710 A	2020/06/30
		DE 102019135373 A1	2020/06/25
		US 1201099 B2	2021/12/14
		US 2020-0203252 A1	2020/06/25
JP 2019-071399 A	2019/05/09	JP 7025181 B2	2022/02/24
		US 2018-0145007 A1	2018/05/24
KR 10-2100859 B1	2020/04/14	없음	