

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5269425号  
(P5269425)

(45) 発行日 平成25年8月21日 (2013. 8. 21)

(24) 登録日 平成25年5月17日 (2013. 5. 17)

(51) Int. Cl.

F I

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 A

H O 4 N 5/369 (2011. 01)

H O 4 N 5/335 6 9 0

請求項の数 9 (全 12 頁)

(21) 出願番号 特願2008-17232 (P2008-17232)  
 (22) 出願日 平成20年1月29日 (2008. 1. 29)  
 (65) 公開番号 特開2009-181986 (P2009-181986A)  
 (43) 公開日 平成21年8月13日 (2009. 8. 13)  
 審査請求日 平成22年12月21日 (2010. 12. 21)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100075812  
 弁理士 吉武 賢次  
 (74) 代理人 100082991  
 弁理士 佐藤 泰和  
 (74) 代理人 100096921  
 弁理士 吉元 弘  
 (74) 代理人 100103263  
 弁理士 川崎 康  
 (72) 発明者 飯 田 義 典  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

(54) 【発明の名称】 固体撮像素子および固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

第1面と前記第1面に対向する第2面とを有しかつ第1導電型の半導体層に形成され、  
 前記第1導電型の半導体層の内部に設けられた前記第1導電型と反対導電型の第2導電型  
 の第1半導体領域を有する画素が複数個マトリクス状に設けられた画素領域を有し、

前記画素は、前記第1導電型の半導体層と前記第2導電型の第1半導体領域とにより構  
 成されるpn接合を有する光電変換素子と、

前記第1導電型の半導体層の前記第1面側に形成され、第2導電型の第1不純物領域か  
 らなるソースおよびドレインを有するMOSトランジスタを少なくとも1つ含む画素信号  
 読み出し回路と、

前記第1導電型の半導体層の第1面側に形成され、前記光電変換素子に蓄積された信号  
 電荷を読み出し、第2導電型の第2不純物領域を有する読み出しトランジスタと、

前記第1導電型の半導体層の前記第1面側に形成された第1導電型の第2半導体領域と

、

前記第2半導体領域と電氣的に接続される電位制御配線と、

を有し、

前記読み出し回路のMOSトランジスタのソースおよびドレインとなる第2導電型の第  
 1不純物領域は前記第1導電型の半導体層に形成され、

前記光電変換素子のpn接合を構成する前記第2導電型の前記第1半導体領域が、前記  
 読み出しトランジスタの第2導電型の第2不純物領域と前記第1導電型の半導体層を介し

10

20

て隣接するよう配置され、

前記光電変換素子の p n 接合を構成する前記第 2 導電型の第 1 半導体領域が、前記 M O S トランジスタの第 2 導電型の第 1 不純物領域の直下まで延在し、

前記光電変換素子への光の入射は、前記第 2 面側からなされ、

前記第 2 導電型の第 1 不純物領域がオーバーフローレインとして機能し、

前記第 2 導電型の第 1 不純物領域と前記第 2 導電型の第 1 半導体領域との間の前記第 1 導電型の半導体層がオーバーフローバリアとして機能する固体撮像素子。

【請求項 2】

前記電位制御配線は、前記画素領域の全ての画素に対して共通の配線として形成されている請求項 1 記載の固体撮像素子。

10

【請求項 3】

前記電位制御配線は、前記画素領域において同一の行に配置される画素に対して共通の配線として形成されている請求項 1 記載の固体撮像素子。

【請求項 4】

前記電位制御配線を介して前記第 2 半導体領域に一定の D C 電位が印加される請求項 1 乃至 3 のいずれか一項に記載の固体撮像素子。

【請求項 5】

前記電位制御配線を介して前記第 2 半導体領域にパルス状の電位が印加される請求項 1 乃至 3 のいずれか一項に記載の固体撮像素子。

【請求項 6】

20

前記電位制御配線を介して前記第 2 半導体領域に、行単位の画素読出し動作と同期した、パルス状の電位が印加される請求項 3 記載の固体撮像素子。

【請求項 7】

前記読み出し回路は、画素毎に設けられている請求項 1 乃至 6 のいずれか一項に記載の固体撮像素子。

【請求項 8】

前記読み出し回路は、前記画素領域の複数の画素に対して設けられている請求項 1 乃至 6 のいずれか一項に記載の固体撮像素子。

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の固体撮像素子と、

30

入射光を前記固体撮像素子に導く光学システムと、

前記固体撮像素子から出力される電気信号を処理する信号処理部と、

を備えていることを特徴とする固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像素子および固体撮像装置に関する。

【背景技術】

【0002】

近年のデジタルカメラ、カメラ搭載型携帯電話等の普及により、固体撮像素子の需要が増加している。特に、一般的な半導体製造工程である C M O S プロセスにより製造可能な C M O S 型固体撮像素子の需要が高まっている。このような固体撮像素子には、近年において、更なる小型化、多画素化の要求が高まっており、画素サイズの微細化が重要な課題となっている。

40

【0003】

しかしながら、画素サイズの微細化に伴う半導体基板表面に平行な平面サイズの縮小に対して、半導体基板表面に垂直な深さ方向の縮小は同時にスケーリングされておらず、このことに起因する課題が顕在化しつつある。

【0004】

すなわち、画素領域の水平方向サイズが縮小されても、フォトダイオードが形成される

50

シリコン基板表面と、光学的に開口率を拡大するためのマイクロレンズとの距離が縮小されないために、結像レンズからの入射光が斜めに入射する画素領域周辺部において、入射光の一部がメタル配線層により反射されてしまう、いわゆる「ケラレ」という現象が画素領域の周辺部で起こり、感度の不均一性が発生してしまう。

【 0 0 0 5 】

また、CMOS型固体撮像素子の特徴である「システムオンチップ」を実現するために、最新のCMOS工程を用いた回路デザインを周辺回路に搭載しようとする、CMOS工程の多層配線化によりシリコン基板表面とマイクロレンズとの距離は拡大し、上記の「ケラレ」はさらに発生しやすくなってしまう。

【 0 0 0 6 】

このような状況を打破するためのデバイス構成として、裏面照射型のCMOSセンサの開発が報告されている（例えば、特許文献1、非特許文献1参照）。

【 0 0 0 7 】

このような裏面照射型のCMOSセンサにおいては、裏面側からの入射光がシリコン基板において吸収され発生する信号電子を効率よく収集するために、シリコン基板が薄くなければならない。例えば、上述の非特許文献1においては、シリコン基板の厚さを4  $\mu$ mまで薄膜化している。

【 0 0 0 8 】

このように、薄膜化したシリコン基板による問題としては、入射光強度の高い、いわゆるハイライト光を撮像した場合に顕著となる。すなわち、ハイライト光の入射により過剰な電子正孔対が発生した場合、フォトダイオードの飽和電荷量を超えた過剰信号電子がオーバーフローし、隣接画素のフォトダイオードに注入されることによるブルーミングやクロストークという問題が発生する。

【 0 0 0 9 】

この問題に対して、蓄積期間においてフォトダイオードとフローティングディフュージョンとを分離する転送トランジスタに対して、完全にオフ状態としないようなゲート電圧条件を与えることで転送ゲート下のチャネルを横型オーバーフローのパスとして利用するという方法が提案されている。

【 0 0 1 0 】

しかしながら、この方法では、MOSトランジスタである転送トランジスタの閾値ばらつきの影響により、オーバーフローチャネルのポテンシャルが各チャネルにおいてばらついてしまい、その結果、このポテンシャルばらつきが飽和時の出力に固定パターンとして現れてしまう。

【 0 0 1 1 】

一方、このポテンシャルばらつきがMOS構造に起因するとの考えから、フォトダイオードからの過剰信号電子に対するオーバーフローチャネルをバルク領域で形成するという方法も提案されている。（例えば、特許文献2参照）

【特許文献1】特許第3759435号公報

【非特許文献1】S. Iwabuchi et al., ISSCC Tech. Digest, pp.302-303, 2006

【特許文献2】特開2006-49338号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

しかしながら、この方法では、オーバーフローチャネルのバリアハイトの制御を極めて低濃度であるシリコン基板不純物濃度により制御するため、その制御が事実上困難である。

【 0 0 1 3 】

本発明は上記の事情を考慮してなされたものであって、ハイライト光が入射した場合に発生する過剰電荷を均一かつ正確に排出することの可能な固体撮像素子および固体撮像装置を提供することを目的とする。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0014】

本発明の第1の態様による固体撮像素子は、第1面と前記第1面に対向する第2面とを有しかつ第1導電型の半導体層に形成され、前記第1導電型の半導体層の内部に設けられた前記第1導電型と反対導電型の第2導電型の第1半導体領域を有する画素が複数個マトリクス状に設けられた画素領域を有し、前記画素は、前記第1導電型の半導体層と前記第2導電型の第1半導体領域とにより構成されるpn接合を有する光電変換素子と、前記第1導電型の半導体層の前記第1面側に形成され、第2導電型の第1不純物領域からなるソースおよびドレインを有するMOSトランジスタを少なくとも1つ含む画素信号読み出し回路と、前記第1導電型の半導体層の第1面側に形成され、前記光電変換素子に蓄積された信号電荷を読み出し、第2導電型の第2不純物領域を有する読み出しトランジスタと、

前記第1導電型の半導体層の前記第1面側に形成された第1導電型の第2半導体領域と、前記第2半導体領域と電氣的に接続される電位制御配線と、を有し、前記読み出し回路のMOSトランジスタのソースおよびドレインとなる第2導電型の第1不純物領域は前記第1導電型の半導体層に形成され、前記光電変換素子のpn接合を構成する前記第2導電型の前記第1半導体領域が、前記読み出しトランジスタの第2導電型の第2不純物領域と前記第1導電型の半導体層を介して隣接するように配置され、前記光電変換素子のpn接合を構成する前記第2導電型の第1半導体領域が、前記MOSトランジスタの第2導電型の第1不純物領域の直下まで延在し、前記光電変換素子への光の入射は、前記第2面側からなされ、前記第2導電型の第1不純物領域がオーバーフロードレインとして機能し、前記第2導電型の第1不純物領域と前記第2導電型の第1半導体領域との間の前記第1導電型の半導体層がオーバーフローバリアとして機能する。

## 【0015】

また、本発明の第2の態様による固体撮像装置は、第1の態様の固体撮像素子と、入射光を前記固体撮像素子に導く光学システムと、前記固体撮像素子から出力される電気信号を処理する信号処理部と、を備えていることを特徴とする。

## 【発明の効果】

## 【0016】

本発明によれば、ハイライト光が入射した場合に発生する過剰電荷を均一かつ正確に排出することができる。

## 【発明を実施するための最良の形態】

## 【0017】

以下、本発明の実施形態について図面を参照して詳細に説明する。以下の図面の記載において、同一の部分には同一の符号を付し、重複する記載は省略する。また、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものと異なる。更に、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

## 【0018】

本発明の一実施形態による固体撮像素子を図1に示す。本実施形態の固体撮像素子10は固体撮像素子チップ100上に形成されている。

## 【0019】

固体撮像素子チップ100には、光電変換により入射光信号を電気信号に変換する光電変換画素が二次元状のアレイ配列される撮像領域101と、この撮像領域101の周囲に配置される周辺回路とを備えている。この周辺回路は、負荷トランジスタ部102と、CDS回路（相関二重サンプリング回路）103と、V選択回路104と、H選択回路105と、AGC（自動ゲイン制御回路）106と、ADC（A/D変換器）107と、デジタルアンプ108と、タイミングパルスを発生するTG（タイミングジェネレータ）回路109とを備えている。なお、ADC107は、CDS回路103と一体として構成されたカラム型のCDS-ADC回路構成とすることも可能である（例えば、T.Sugiki et al., ISSCC2000 Technical Digest, p.108, 2000参照）。また、TG109, AGC106, ADC107, デジタルアンプ108等を別チップにしても構わないし、図1には記載

されない信号処理回路を搭載してもよい。

#### 【0020】

画素領域101は、光電変換により入射信号を電気信号に変換する光電変換素子を有する画素が二次元マトリクス状に配列されている。各画素の等価回路を図2に示す。図2は本実施形態による固体撮像素子10の画素2および負荷トランジスタ部102の等価回路図である。画素2は、光電変換素子であるフォトダイオード201と、容量202と、転送トランジスタ（読み出しトランジスタ）203と、読み出し回路210とを備えている。読み出し回路210は、nチャネルMOSトランジスタからなる3トランジスタ構造であり、増幅トランジスタ212と、選択トランジスタ214と、リセットトランジスタ216とを備えている。フォトダイオード201は、アノードが電位制御線VPに接続され、カソードが転送トランジスタ203のソースおよびドレインのうちの一方に接続される。転送トランジスタ203はゲートがTG回路109からのタイミングパルスが印加され、検出ノード204となるソースおよびドレインのうちの他方は容量202の一方の電極に接続される。容量202の他方の電極は電位制御線VPに接続される。通常、容量202は逆バイアスされたpn接合であり、転送トランジスタ204のドレインおよびリセットトランジスタ216のソースにより構成されている。したがって、本実施形態においては、外部から、画素の電位を制御することが可能な構成となっている。転送トランジスタ203は、TG回路109からのタイミングパルスに基づいて動作し、フォトダイオード201に蓄積された信号電荷を検出ノード204に転送する。

#### 【0021】

読み出し回路210内のリセットトランジスタ216は、転送トランジスタ203により転送された信号電荷をリセット信号RSTに基づいてリセットする。通常、このリセット動作は、転送トランジスタ203がオン状態で行われるため、検出ノード204の電位と、フォトダイオード201の電位がリセットされることになる。検出ノード204には、信号電荷に応じた信号電圧を発生させる。増幅トランジスタ214は、検出ノード204の電位に応じた電圧を信号線SLに発生させ、選択トランジスタ214は行選択パルスADRにより選択された行の画素内の読み出し回路210を活性化する。読み出し回路210の内部の増幅トランジスタ212は、撮像領域101の外部に配置された負荷トランジスタ部102の負荷トランジスタ220との組み合わせによりソースフォロア回路を構成しており、選択トランジスタ214により選択されていない行では、上記ソースフォロア回路が非選択状態の選択トランジスタによって電源電圧Vddから分離され不活性化される。

#### 【0022】

なお、本実施形態においては、図2に示すように、画素2内に光電変換素子であるフォトダイオード201と、読み出し回路210とが設けられていたが、複数のフォトダイオード201で1つの読み出し回路を共有することも可能であり、その場合、1画素あたりの平均トランジスタ数を抑制することが可能となり、画素サイズの微細化において有利となる。

#### 【0023】

再び図1に戻り、マトリクス状に配列された画素において発生した信号はV選択回路104およびH選択回路105によって次のように時系列で出力される。V選択回路104により選択された行に配置された画素において光電変換された信号は画素内の読み出し回路210によって読み出される。この読み出し動作は、行単位で処理されており、CDS回路103において雑音が除去され、雑音除去後の信号電圧が保持される。保持された信号は、H選択回路105により順次選択され、AGC106に送られた後、ADC107に送られてデジタルデータに変換される。その後、デジタルアンプ108によって増幅されて外部に出力される。なお、V選択回路104およびH選択回路105の動作はTG回路109から出力されるタイミングパルスによって制御される。

#### 【0024】

図3に、本実施形態による固体撮像素子10の断面を示す。本実施形態の固体撮像素子

10

20

30

40

50

10は、図3に示すように入射光が図3の下方、裏面側から入射する構造の、いわゆる裏面照射型になっている。

【0025】

図3に示す断面を有する本実施形態の固体撮像素子10は、以下の製造工程によって製造される。シリコン層内の不純物領域、ゲート構造、多層配線構造は、例えばSOI基板301を用いて、その表面のSOI層301a側に通常のCMOSセンサ製造工程を施すことで形成される。表面側構造を形成した後、表面側に例えばガラス基板等の支持基板310を接着する。

【0026】

支持基板310の接着後に、研削、研磨、CMP、シリコンドライエッチング、シリコンウエットエッチング等、あるいはこれらを適当に組み合わせた工程により、裏面側からSOI基板301のバルク基板（図示せず）を除去し、入射光側となる裏面側のSOI層301aがSiO<sub>2</sub>層301bを介して露出するようにする。さらに、光入射側のシリコン裏面側に薄い高濃度p<sup>+</sup>型不純物領域（図示せず）を形成することが好ましく、フォトダイオードが形成する空乏層をシリコン/シリコン酸化膜界面から分離することで低暗電流化することができる。

【0027】

その後、裏面側の反射防止構造のためにSiN層314を形成し、さらに光シールド層316を形成する。

【0028】

ボンディングパッド（図示せず）については、表面側の支持基板310を貫通するパッド用開口（図示せず）を形成しても良いし、裏面側からSiN層314、SiO<sub>2</sub>層301b、SOI層301a、多層配線層を貫通するパッド用開口を形成してもよい。

【0029】

単板カラー撮像素子の場合には、さらに、光入射側表面にカラーフィルタレイおよびオンチップマイクロレンズを形成する。

【0030】

図3に示すように、フォトダイオードとなるpn接合を構成するn型不純物領域201aはその周囲をp型不純物領域301aにより囲まれており、このpn接合を構成する不純物領域の不純物濃度を最適化することで、フォトダイオード201をリセットした際の空乏層をシリコン層301aの表面と分離することにより低雑音特性の埋め込みフォトダイオードを得ることができる。

【0031】

フォトダイオード201の内部に蓄積した信号電荷を読み出しトランジスタ（転送トランジスタ）203のソースドレイン領域に輸送するために、n型不純物領域において不純物濃度プロファイルを形成することが好ましい。さらに、上述した信号電荷の輸送のためはフォトダイオードを形成するシリコン層301aの厚さ（L）は数ミクロン程度にすることが好ましい。

【0032】

図3においては、画素部のp型不純物領域301aの電位を制御するための電位制御配線320が設けられ、また電位制御配線320とp型不純物領域301bとの良好な電気的接続を得るためのp<sup>+</sup>型不純物領域322が形成されている。この電位制御構造は、前述した通常のCMOSセンサ工程において形成することが可能である。

【0033】

電位制御配線を画素領域の全ての画素に対して共通の配線とし、電位制御構造を介して、画素領域外部から画素部のp型不純物領域301bの電位を制御することで、画素の電位を均一かつ正確に制御することができる。この画素の電位を均一かつ正確に制御することには、極めて重要な意味がある。例えば、画素にハイライト光が入射する、高輝度被写体撮像の場合に発生する、過剰電子および過剰正孔に起因する悪影響を排除するために、この画素の電位の制御が重要である。

10

20

30

40

50

## 【 0 0 3 4 】

ハイライト光が画素に入射した場合、フォトダイオード 2 0 1 において、過剰な信号電子が発生し、フォトダイオード 2 0 1 が飽和する。このとき、フォトダイオード 2 0 1 から溢れた過剰電子が隣接するフォトダイオードに到達することで、いわゆるブルーミング、クロストーク等の現象が起こり、再生画像における雑音成分となってしまう。この過剰電子に起因する問題を回避するためには、いわゆるオーバーフロードレイン構造を設け、過剰電子を排出する手法が有効である。

## 【 0 0 3 5 】

本実施形態においては、図 3 に示すように、フォトダイオード 2 0 1 を形成する n 型不純物領域 2 0 1 a と、読み出し回路 2 1 0 を構成する n 型不純物領域 2 1 0 a、これらの n 型不純物領域 2 1 0 a に挟まれた p 型不純物領域 2 1 0 b とにより、このオーバーフロードレイン構造が形成されている。このとき、読み出し回路 2 1 0 を構成する n 型不純物領域 2 1 0 a がドレインとして機能し、p 型不純物領域 2 1 0 b がオーバーフローバリアとして機能する。ドレインとなる n 型不純物領域 2 1 0 a は、図 2 に示す回路においてリセットトランジスタのドレイン、あるいは選択トランジスタのドレインのように、常時  $V_{dd}$  に設定されているものを使用する。このようなオーバーフロードレイン構造において、過剰電子を排出するポテンシャルの閾値は、バリアとして機能する p 型不純物領域 2 1 0 b により決定される。したがって、この p 型不純物領域 2 1 0 b の電位が変動する、あるいは画素領域内で不均一になると、フォトダイオード 2 1 0 の飽和レベルが変動あるいは不均一となり、画像上の雑音となってしまう。このとき、本実施形態においては、画素部の p 型不純物領域 3 0 1 a の電位を外部回路から制御可能であるので、上記のオーバーフローバリアポテンシャル 2 1 0 b を最適値に制御することが可能である。なお、電位制御配線を介して印加される電位は DC ( 直流 ) 電位であってもよいし、パルス状の電位であってもよい。

## 【 0 0 3 6 】

さらに、この電位制御により、フォトダイオード 2 0 1 を構成する p n 接合部の空乏層幅を微調整することも可能であり、その結果、光入射側の空乏層端部とシリコン層 3 0 1 a の表面との間に存在する無感度領域幅を制御することが可能となり、白傷画像欠陥、フォトダイオード暗電流と青感度とのトレードオフを電氣的に最適化することができる。

## 【 0 0 3 7 】

また、電位制御配線 3 2 0 を行単位に設けることで、行単位でのパルス電位制御を行うことが可能であり、そうすることにより、行単位で読み出し動作を行うデバイスの、信号電荷蓄積、フォトダイオード 2 0 1 からの電荷転送、フォトダイオード 2 0 1 のリセットという各動作と同期して、最適な電位に制御することが可能となり、高感度、低雑音、広ダイナミックレンジ特性を得ることができる。

## 【 0 0 3 8 】

従来構造においては、この電位制御配線構造がないため、画素の電位すなわち画素の p 型不純物領域の電位は、薄いシリコン層内部に格子状に形成される p 型不純物領域を介して画素領域の外部と接続されており、言い換えれば、画素の p 型不純物領域と画素領域の外部との間は高抵抗であった。このように、外部電源との接続が高抵抗な場合には、画素部の電位を均一かつ正確に外部から制御することは困難であり、特にハイライト光が入射した場合には、前述の過剰電子と同時に発生する過剰正孔に起因した画素部の電位変動が発生してしまう。

## 【 0 0 3 9 】

しかし、本実施形態の構造によれば、電位制御配線により低抵抗で画素部の電位を制御しており、過剰正孔は電位制御配線のコンタクトのために形成した  $p^+$  不純物領域がドレインとなり排出されるので、ハイライト光入射時においても、画素の電位は安定しており、したがって、再生画像は低雑音化する。

## 【 0 0 4 0 】

裏面照射型ではない従来型の CMOS センサの場合は、画素部の p 型不純物領域はフォ

トダイオードの下に数百ミクロンというシリコン基板と接続されているので、基板との間は低抵抗であり、上述の過剰正孔に起因する課題は発生しなかった。しかしながら、基板との間が低抵抗であるために、前述したような、行単位での画素部電位制御はできない。

#### 【0041】

以上述べたように、本実施形態によれば、高照度被写体の撮像における再生画像上の雑音が発生せず、さらに、画素部電位を制御することにより、フォトダイオード暗電流、青感度等の特性を向上することが可能であるので、高性能な固体撮像素子を得ることができる。

#### 【0042】

次に、本実施形態の固体撮像素子100を有する固体撮像装置を図4に示す。この固体撮像装置400は、固体撮像素子100と、固体撮像素子100に入射光を供給する光学システム410と、固体撮像素子100から出力される電気信号を処理する信号処理装置430とを備えている。

#### 【0043】

本実施形態の固体撮像素子によれば、電位制御配線を介して画素領域外部から画素部のp型不純物領域の電位を所望の電位に制御することで、ハイト光照射時に発生する過剰信号電子をオーバーフローラインに排出する際のオーバーフローチャネル電位を均一かつ正確に調整することが可能となり、裏面照射型CMOSイメージセンサにおけるハイト被写体撮像時においても、ブルーミングや固定パターン雑音等の発生を抑制することが可能となる。

#### 【0044】

また、本実施形態の固体撮像素子を備えた固体撮像装置によれば、電位制御配線を介して画素領域外部から画素部のp型不純物領域の電位を所望の電位に制御することで、ハイト光照射時に発生する過剰信号電子をオーバーフローラインに排出する際のオーバーフローチャネル電位を均一かつ正確に調整することが可能となり、裏面照射型CMOSイメージセンサにおけるハイト被写体撮像時においても、ブルーミングや固定パターン雑音等の発生を抑制することが可能となる。

#### 【0045】

ハイト被写体撮像時の課題としては、過剰信号電子のみならず、光電変換により発生する過剰正孔についても考慮する必要がある。すなわち、ハイト光の入射により発生した過剰正孔については、通常の厚膜シリコン基板であれば、そのバルク領域に排出されるが、シリコン基板が薄い裏面照射型のデバイスの場合、その過剰正孔の排出は画素領域内部の素子分離構造に沿って網の目状に形成されているp<sup>+</sup>不純物領域を介して行われるため、過剰正孔の排出パスのインピーダンスが高くなってしまい、過剰正孔を十分に排出することができず、過剰正孔の画素部への蓄積状態が発生し、画素のウエル電位が変動してしまう。その結果、フォトダイオードの動作や、画素部の読み出し回路の動作が変調されてしまうという問題もある。

#### 【0046】

これに対して、本実施形態の固体撮像素子およびこの固体撮像素子を備えた固体撮像装置によれば、各画素の第一導電型不純物領域には電位制御配線が接続されているので、ハイト光が入射した画素において発生した過剰正孔は、この電位制御配線を介した電位制御の結果、画素の第一導電型に蓄積することはなくなり、したがって、フォトダイオードの動作や、画素部の読み出し回路の動作が変調されてしまうという問題も解決される。

#### 【0047】

また、本実施形態の固体撮像素子およびこの固体撮像素子を備えた固体撮像装置によれば、電位制御配線を介した画素部の第一導電型不純物領域の電位制御において、その電位を任意の値に制御可能であるので、いわゆる基板電位としてのゼロボルトではない電位の設定が可能となる。したがって、従来技術においてはその不純物構造により、画素部の光電変換領域を形成するpn接合の空乏層の空間的広がりは一意に決定されていたが、本実施形態においては、任意に制御可能となる。その結果、光入射側の半導体表面と空乏層端

10

20

30

40

50



部との間に形成される無感度領域を画素部電位により調整することが可能となるので、さらなる青感度向上や、歩留まりの向上を実現することができるという効果もある。

#### 【 0 0 4 8 】

さらに、本実施形態の固体撮像素子およびこの固体撮像素子を備えた固体撮像装置によれば、行単位で形成された電位制御配線により、画素領域の第一導電型不純物領域の電位を行単位で制御することが可能となる。その結果、行単位に行われる、光電変換素子のリセット動作、光電変換素子からの信号電荷転送動作、光電変換素子における信号電荷蓄積動作、の各動作における最適な基板電位制御を行単位に行うことが可能となり、高感度、低雑音、広ダイナミックレンジの高性能固体撮像素子、および固体撮像装置を得ることができる。

10

#### 【 0 0 4 9 】

また、本実施形態の固体撮像素子を用いたカメラモジュール、固体撮像装置においては、高照度被写体の撮像における再生画像上の雑音が発生せず、さらに、画素部電位を制御することにより、フォトダイオードの暗電流、青感度等の特性を向上することが可能であるので、高性能なカメラモジュール、固体撮像装置を得ることができる。

#### 【 0 0 5 0 】

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

#### 【 図面の簡単な説明 】

#### 【 0 0 5 1 】

【 図 1 】 本発明の一実施形態による固体撮像素子のブロック図。

20

【 図 2 】 一実施形態の固体撮像素子の画素の等価回路図。

【 図 3 】 一実施形態による固体撮像素子の断面図。

【 図 4 】 一実施形態の固体撮像素子を有する固体撮像装置のブロック図。

#### 【 符号の説明 】

#### 【 0 0 5 2 】

### 2 画素

#### 1 0 固体撮像素子

#### 1 0 0 固体撮像素子チップ

#### 1 0 1 撮像領域

#### 1 0 2 負荷トランジスタ部

30

#### 1 0 3 C D S 回路

#### 1 0 4 V 選択回路

#### 1 0 5 H 選択回路

#### 1 0 6 A G C ( 自動ゲイン制御回路 )

#### 1 0 7 A D C ( A / D 変換器 )

#### 1 0 8 デジタルアンプ

#### 1 0 9 T G ( タイミングジェネレータ ) 回路

#### 2 0 1 光電変換素子

#### 2 0 1 a n 型不純物領域

#### 2 0 2 容量

40

#### 2 0 3 転送トランジスタ

#### 2 0 4 検出ノード

#### 2 1 0 読み出し回路

#### 2 1 0 a n 型不純物領域

#### 2 1 0 b p 型不純物領域

#### 3 0 1 S O I 基板

#### 3 0 1 a S O I 層

#### 3 0 1 b S i O <sub>2</sub> 層

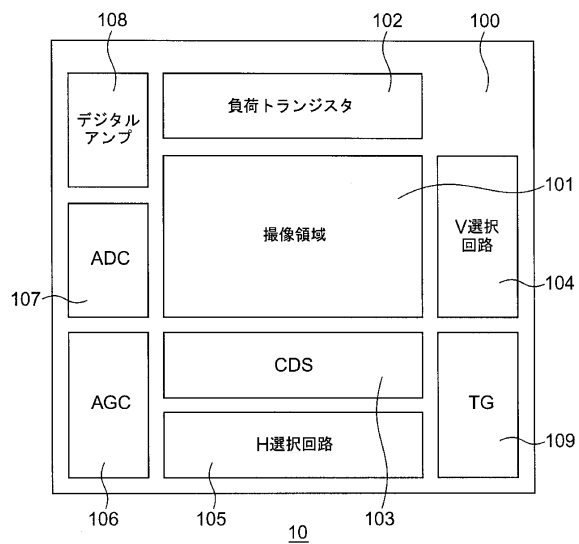
#### 3 1 0 支持基板

#### 3 1 4 S i N 層

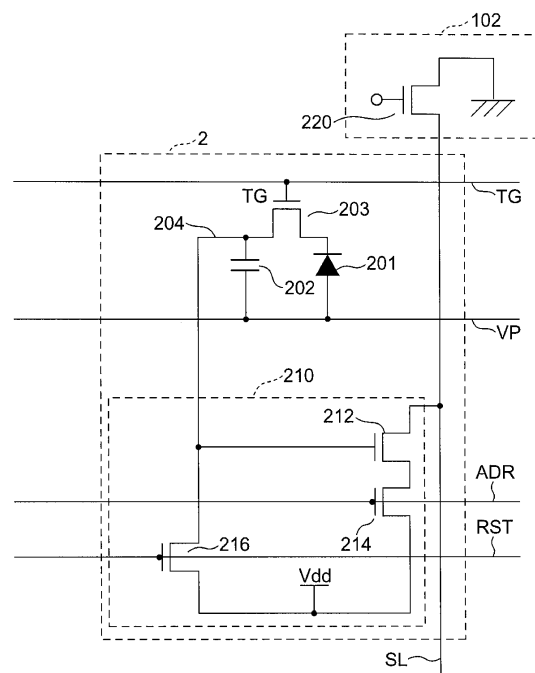
50

- 3 1 6 光シールド
- 3 2 0 電位制御線
- 3 2 2  $p^+$  型不純物領域
- 4 0 0 固体撮像装置
- 4 1 0 光学システム
- 4 3 0 信号処理装置

【図 1】



【図 2】





---

フロントページの続き

審査官 柴山 将隆

(56)参考文献 特開 2 0 0 7 - 2 2 1 1 3 4 ( J P , A )  
特開 2 0 0 6 - 0 4 9 3 3 8 ( J P , A )  
特開 2 0 0 8 - 0 5 3 3 3 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 7 / 1 4 6  
H 0 4 N 5 / 3 6 9