

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年5月30日(30.05.2014)



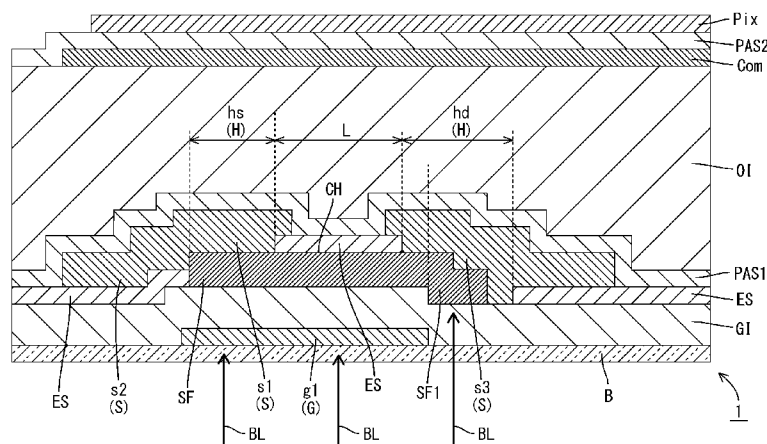
(10) 国際公開番号

WO 2014/080825 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2013/080750
- (22) 国際出願日: 2013年11月14日(14.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-254916 2012年11月21日(21.11.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 原 義仁(HARA Yoshihito). 中田 幸伸(NAKATA Yukinobu).
- (74) 代理人: 特許業務法人暁合同特許事務所(AKATSUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目1番1号 日土地名古屋ビル5階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(54) 発明の名称: 半導体装置、及び表示装置



(57) Abstract: The semiconductor device (1) pertaining to the present invention is provided with: a first electrode (G(g1)) formed on a substrate (B); a first insulating film (GI) for covering the first electrode (g1); a semiconductor film (SF) having a channel region (CH) and being formed on the first insulating film (GI) such that when viewed in planar view, an end section (SF1) overlaps the first electrode (g1) in a state projecting farther outward than the first electrode (g1); an etching stopper film (ES) comprising an insulating film formed across the first insulating film (GI) and the semiconductor film (SF) so as to cover the channel region (CH), and including, when viewed in planar view, an opening part (H(hd)) in which the end section (SF1) of the semiconductor film (SF) is accommodated and the surface of the semiconductor film (SF) adjacent to the channel region (CH) is exposed; and a second electrode (S(s3)) layered on the semiconductor film (SF) so as to cover the surface of the semiconductor film (SF) exposed by the opening part (H(hd)).

(57) 要約:

[続葉有]

WO 2014/080825 A1



本発明に係る半導体装置 1 は、基板 B 上に形成される第 1 電極 G (g 1) と、第 1 電極 g 1 を覆う第 1 絶縁膜 G I と、チャネル領域 C H を有し、平面視した際、端部 S F 1 が第 1 電極 g 1 よりも外側にはみ出した状態で第 1 電極 g 1 と重畳するように、第 1 絶縁膜 G I 上に形成される半導体膜 S F と、チャネル領域 C H を覆う形で半導体膜 S F 及び第 1 絶縁膜 G I に亘って形成される絶縁性の膜からなり、平面視した際、半導体膜 S F の前記端部 S F 1 が内側に収まり、かつチャネル領域 C H に隣接した半導体膜 S F の表面を露出させる開口部 H (h d) を含むエッチングストップ膜 E S と、開口部 H (h d) から露出する半導体膜 S F の前記表面を覆うように、半導体膜 S F 上に積層される第 2 電極 S (s 3) とを備える。

明 細 書

発明の名称：半導体装置、及び表示装置

技術分野

[0001] 本発明は、半導体装置、及び表示装置に関する。

背景技術

[0002] 薄膜トランジスタ（T F T : Thin Film Transistor）等の半導体素子を含む回路基板等の半導体装置は、液晶表示装置、エレクトロルミネセンス表示装置、及び電気泳動を用いる表示装置等の電子装置の構成部材として汎用されている。

[0003] 以下、T F T駆動の液晶パネルを構成するT F Tアレイ基板の回路構成を例に挙げて説明する。T F Tアレイ基板は、通常、m行の走査線とn列の信号線とからなるm×nマトリクス配線の交点に、スイッチング素子であるT F Tが設けられた構成を含む画素回路を有する。なお、T F Tのドレイン電極は、絵素電極と電氣的に接続されている。また、走査ドライバI C（Integrated Circuit）やデータドライバI C等の周辺回路が、それぞれT F Tから延びたゲート配線やソース配線と電氣的に接続されている。

[0004] 回路は、一般的に、T F Tアレイ基板上に作り込まれるT F Tの性能に影響を受ける。T F Tアレイ基板上に作り込まれるT F Tの性能は、その材質によって異なるので、回路基板上に作られるT F Tにより回路が動作可能であるか、回路規模が大きくなるか、歩留まりが低下しないか等が、T F Tアレイ基板上に作られる回路に影響する。従来の半導体装置（回路基板）では、T F Tを安価かつ容易に形成することができる点からa-S i（アモルファスシリコン）が多く採用されている。

[0005] 一方で、アモルファスシリコン半導体膜の代わりに、酸化物半導体膜を形成する半導体装置の製造方法が開示されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2012/046658号公報

[0007] (発明が解決しようとする課題)

a-Siに代わり、移動度が高いという利点をもつ酸化物半導体（例えば、インジウムガリウム亜鉛酸化物）を含む半導体素子を備えた半導体装置が検討されている。ここで、本発明者らは、信頼性の観点から酸化物半導体の少なくとも中央部分（チャネル領域）上にエッチングストッパ層（膜）を設けるエッチングストッパプロセス（以下、ESプロセスと称する場合がある）を使用することを検討している。

[0008] ところで、近年、小型の液晶パネルで高精細化（例えば、300dpi（dots per inch）以上）が要求されている。液晶パネルの精細度が高くかつ絵素電極が小さい場合、液晶パネル全体の総容量は低下する。その一方で、ゲート電極ードレイン電極間容量（Cgd容量）は略一定であるため、総容量に占めるCgd容量の割合が大きくなる。なお、Cgd容量は、基本的には絶縁層を介して対向するゲートメタルと、半導体層（膜）及びソースメタルとの間で形成される。

[0009] ESプロセスを使用した液晶パネルのCgd容量は、バックチャネルエッチ（back-channel-etch）方式を用いた液晶パネル（CE構造の液晶パネル）のCgd容量に比べて大きくなる傾向がある。ESプロセスを使用した液晶パネルであって、例えば小型のもの等において、Cgd容量を好適に低減し、これによりCgd容量による印加電圧への影響を低減し、設定通りの電圧を適切に印加できるものとし、例えば、半導体装置（回路基板）を備える表示装置の表示性能を良好なものとすることが望まれるところであった。

[0010] Cgd容量を低減する方法としては、例えば、基板平面視で、ゲートメタルが半導体層及びソースメタルに対して重畳する部分を少なくするために、ゲートメタルの形状を小さく設定することが検討されている。その場合、基板平面視で、半導体層の一部がゲートメタルよりも外側にはみ出す形となる。

[0011] ところで、ゲートメタルは、C g d 容量を形成する原因となっているものの、バックライト装置から液晶パネル（T F T アレイ基板）に向けて供給される光が半導体層に当たるのを防止する（つまり、遮光する）機能も担っている。そのため、上記のように、ゲートメタルの形状が小さく設定されると、基板平面視で、ゲートメタルから外側にはみ出した部分の半導体層に、バックライトからの光が当たることになる。半導体層に光が当たると、半導体層の機能が低下してしまう。特に、半導体層が、酸化物半導体からなる場合、光による機能低下が著しく問題となっている。

[0012] 半導体層（半導体膜）は、T F T アレイ基板において、ゲートメタル上を覆うゲート絶縁層と、絶縁性であるエッチングストッパ層（膜）とで挟まれた状態にある。このような半導体層にバックライト装置からの光が当たると、半導体層で化学反応が生じて半導体層に電荷が蓄積されるため、半導体層の機能が低下すると考えられる。

発明の概要

[0013] 本発明は、上記現状に鑑みてなされたものであり、C g d 容量が低減されつつ、酸化物半導体からなる半導体膜の機能低下が抑制された半導体装置、及び前記半導体装置を備えた表示装置を提供することを目的とする。

[0014] （課題を解決するための手段）

本発明に係る半導体装置は、基板と、前記基板上に形成される第1電極と、前記第1電極を覆う形で前記第1電極及び前記基板に亘って形成される第1絶縁膜と、酸化物半導体の膜からなり、チャネル領域を有し、平面視した際、端部が前記第1電極よりも外側にはみ出した状態で前記第1電極と重畳するように、前記第1絶縁膜上に形成される半導体膜と、前記チャネル領域を覆う形で前記半導体膜及び前記第1絶縁膜に亘って形成される絶縁性の膜からなり、平面視した際、前記半導体膜の前記端部が内側に収まり、かつ前記チャネル領域に隣接した前記半導体膜の表面を露出させる開口部を含むエッチングストッパ膜と、前記開口部から露出する前記半導体膜の前記表面を覆うように、前記半導体膜上に積層される第2電極と、を備える。

[0015] 前記半導体装置において、第1電極が基板上に形成されており、第1絶縁膜が、前記第1電極を覆う形で前記第1電極及び前記基板に亘って形成されている。そして、酸化物半導体の膜からなる半導体膜は、平面視した際、端部が前記第1電極よりも外側にはみ出した状態で前記第1電極と重畳するように、前記第1絶縁膜上に形成されている。前記半導体膜は、チャネル領域を有しており、そのチャネル領域を覆う形で前記半導体膜及び前記第1絶縁膜に亘って絶縁性の膜からなるエッチングストッパ膜が形成されている。前記エッチングストッパ膜は、平面視した際、前記半導体膜の前記端部が内側に収まり、かつ前記チャネル領域に隣接した前記半導体膜の表面を露出させる開口部を備えている。そして、前記開口部から露出する前記半導体膜の前記表面を覆うように、前記半導体膜上に第2電極が積層されている。このような構成を備えた前記半導体装置に対して、前記基板側から光が供給された場合、その光の中には、前記第1絶縁膜を通過して、前記第1電極よりも外側にはみ出している前記半導体膜の前記端部に向かうものがある。前記半導体膜の前記端部は、前記第1電極と重畳していないため、直接、光が当たる部分となっている。ただし、前記半導体装置においては、前記開口部から露出する前記半導体膜の前記表面を覆うように、前記半導体膜上に第2電極が積層されているため、前記半導体膜の前記端部と第2電極とが互いに接触して電氣的に接続された状態となっている。そのため、前記半導体膜の前記端部に光が当たって光反応が生じて、生成した電荷は、前記半導体膜の前記端部から前記半導体膜の前記端部に接触している前記第2電極へ移動することができる。その結果、平面視した際、前記第1電極によって覆われていない前記半導体膜の前記端部に光が当たっても、前記半導体膜に電荷が蓄積されることが抑制され、ひいては、前記半導体膜の機能低下が抑制されることになる。

[0016] 前記半導体装置において、前記半導体膜は、平面視した際、前記端部以外の部分が前記第1電極内に収まる形をなしているものであってもよい。前記基板側から前記半導体装置に向けて光が供給された場合、その光が前記端部

以外の前記半導体膜の部分に向かっても、その部分は前記第 1 電極と重畳しているため、前記光は前記第 1 電極によって遮られることになる。したがって、前記半導体膜が、平面視した際、前記端部以外の部分が前記第 1 電極内に収まる形をなしていると、前記部分に光が当たって前記半導体膜の機能が低下することが抑制される。

[0017] 前記半導体装置において、前記半導体膜は、平面視した際、前記端部がはみ出す方向に沿って延びた長手状をなし、かつ前記第 2 電極が積層されている部分は、前記第 2 電極内に収まる形をなしているものであってもよい。

[0018] 前記半導体装置において、前記第 1 電極は、ゲート電極からなり、前記第 2 電極は、ドレイン電極からなるものであってもよい。

[0019] 前記半導体装置において、前記第 1 電極は、ゲート配線から分岐する形で設けられているものであってもよい。

[0020] 前記半導体装置において、平面視した際、前記チャネル領域を挟んで前記第 2 電極と対向するように、前記半導体膜上に積層されるソース電極を備えるものであってもよい。

[0021] 前記半導体装置において、前記第 2 電極は、前記ソース電極と同じ導電性材料からなるものであってもよい。

[0022] 前記半導体装置において、前記半導体膜が、酸化インジウムガリウム亜鉛からなるものであってもよい。

[0023] 本発明に係る表示装置は、前記半導体装置と、前記半導体装置と対向するように配置された対向基板と、前記半導体装置と前記対向基板との間に配置された液晶層とを備える。

[0024] 前記表示装置において、前記半導体装置に向けて光を供給するバックライト装置を備えるものであってもよい。

[0025] (発明の効果)

本発明によれば、C g d 容量が低減されつつ、酸化物半導体からなる半導体膜の機能低下が抑制された半導体装置、及び前記半導体装置を備えた表示装置を提供することができる。

図面の簡単な説明

[0026] [図1]実施形態1のTFTアレ基板のTFT部の構成を示す平面模式図

[図2]図1のA-A'線断面図

[図3]ゲートメタルと、半導体膜及びソースメタルとの重畳領域を模式的に表した説明図

[図4]図1のA-A'線に沿った断面に相当する、ゲートメタル形成後の基板の断面模式図

[図5]図1のA-A'線に沿った断面に相当する、ゲート絶縁膜及び半導体膜形成後の基板の断面模式図

[図6]図1のA-A'線に沿った断面に相当する、エッチングストップ膜形成後の基板の断面模式図

[図7]図1のA-A'線に沿った断面に相当する、導電体膜形成後の基板の断面模式図

[図8]図1のA-A'線に沿った断面に相当する、保護膜及び有機絶縁膜形成後の基板の断面模式図

[図9]図1のA-A'線に沿った断面に相当する、共通電極形成後の基板の断面模式図

[図10]図1のA-A'線に沿った断面に相当する、保護膜形成後の基板の断面模式図

[図11]実施形態2のTFTアレ基板のTFT部の構成を示す平面模式図

[図12]実施形態3のTFTアレ基板におけるTFT部を中心とした断面模式図

発明を実施するための形態

[0027] <実施形態1>

(TFTアレ基板)

本発明の実施形態1を、図1から図10を参照しつつ説明する。本実施形態では、バックライト装置を備えた液晶表示装置（表示装置の一例）に利用されるTFTアレ基板（半導体装置の一例）1を例示する。図1は、実施

形態1のTF Tアレイ基板1のTF T部の構成を示す平面模式図である。実施形態1のTF Tアレイ基板1は、透明基板B上に半導体素子が配置された回路基板である。半導体素子は、インジウムガリウム亜鉛酸化物等の酸化物半導体の膜からなる半導体膜SFを含んでいる。

[0028] TF Tアレイ基板1は、半導体膜SFの少なくとも中央部分（チャネル領域CH）を覆うように、絶縁材料から構成されるエッチングストッパ膜ESが配置される。また、TF Tアレイ基板1は、前記エッチングストッパ膜ES上にその少なくとも一部が配置された、ソース電極s1、ソース配線s2及びドレイン電極s3（第2電極の一例）から構成される導電体膜（ソースメタル）Sを備える。エッチングストッパ膜ESには、その下側にある部材を露出させる開口部Hが設けられている。本実施形態の開口部Hは、基板平面視で、矩形状をなしている。図1において、開口部Hで囲まれる矩形の個所以外は、エッチングストッパ膜ESが形成されている。図1に示される2つの開口部Hのうち、左側に示される開口部H（hs）は、基板平面視でソース電極s1と部分的に重畳する形で配されており、右側に示される開口部H（hd）は、基板平面視でドレイン電極s3と部分的に重畳する形となっている。

[0029] 本実施形態のTF Tアレイ基板1は、FFS（Fringe Field Switching）モードで動作する液晶パネルに利用されるものであり、一对の電極（後述する共通電極及び画素電極）を備えている。なお、説明の便宜上、図1では、前記一对の電極等は省略されている。図2は、図1のA-A'線断面図であり、TF T部を中心としたTF Tアレイ基板1の断面構成が模式的に示されている。図2に示されるように、TF Tアレイ基板1には、共通電極Comと画素電極Pixとが保護膜PAS2を介して互いに積層（対向）する形で設けられている。なお、共通電極Comは、有機絶縁膜OI上に形成されている。

[0030] ゲート配線g2は、図1に示されるように、図1の左右方向に沿って配設されている。このゲート配線g2から分岐する形でゲート電極（第1電極の

一例) g 1 が設けられている。ゲート電極 g 1 は、基板平面視で略矩形状をなしている。ゲート電極 g 1 及びゲート配線 g 2 は、共にゲートメタル (ゲート導電体膜) G から構成されている。ゲートメタル G は、ガラス基板等からなる透明基板 B 上に形成されている。図 2 に示されるように、ゲートメタル G を覆う形でゲート絶縁膜 (第 1 絶縁膜の一例) G 1 が透明基板 B 上に形成されている。ゲートメタル G 上にも、ゲート絶縁膜 G 1 が形成されている。

[0031] 半導体膜 S F は、図 2 に示されるように、ゲートメタル G におけるゲート電極 g 1 の上方に配される形で、ゲート絶縁膜 G 1 上に形成されている。図 1 に示されるように、半導体膜 S F は、基板平面視で、図 1 の左右方向 (ゲート配線 g 2 の配設方向) に細長く延びた矩形状をなしている。各図の右側 (つまり、ドレイン電極 s 3 側) に配される半導体膜 S F の一方の端部は、ゲート電極 g 1 よりも外側にはみだす形となっている。つまり、図 1 に示されるように、基板平面視でゲート電極 g 1 の周縁 (端部) よりも外側に半導体膜 S F の前記一方の端部がはみ出した状態となっている。このはみ出した部分のことを、特に、はみ出し半導体膜部 S F 1 と称する場合がある。このはみ出し半導体膜部 S F 1 は、導電体膜 (ソースメタル) S のうち、ドレイン電極 s 3 によって直接、覆われる。

[0032] これに対して、各図の左側 (つまり、ソース電極 s 1 側) に配される半導体膜 S F の他方の端部は、ゲート電極 g 1 よりも外側にはみ出さずに、基板平面視でゲート電極 g 1 の周縁よりも内側に引っ込んだ形となっている。なお、この引っ込んだ形の前記半導体膜 S F の端部は、本実施形態の場合、導電体膜 (ソースメタル) S のうち、ソース電極 s 1 及びソース配線 s 2 によって覆われる。

[0033] また、図 1 の上下方向 (ソース配線 s 2 の配設方向) における半導体膜 S F の幅 W は、ゲート電極 g 1 の前記上下方向における幅よりも小さく設定されている。また、半導体膜 S F の幅 W は、ソース電極 s 1 及びドレイン電極 s 3 の前記上下方向における各幅よりも小さく設定されている。

[0034] エッチングストップ膜E Sは、少なくとも半導体膜S Fの中央部分（チャネル領域C H）を覆う形で、半導体膜S F上及びゲート絶縁膜G I上に設けられている。図1及び図2において符号Lで示される距離は、半導体膜S Fの中央部分（チャネル領域C H）を覆うエッチングストップ膜E Sの幅（各図の左右方向の幅）を示しており、ソース電極s 1とドレイン電極s 3との間に形成されるチャネル領域C Hの幅に相当する。なお、前記符号Lで示される距離は、エッチングストップ膜E Sに形成されている隣り合った開口部H（ h_s 、 h_d ）間の距離にも対応している。

[0035] 開口部H（ h_s ）は、ソース電極s 1が半導体膜S Fと直に接触する形で、半導体膜S F上に積層できるように設けられている。また、開口部H（ h_d ）は、ドレイン電極s 3が、半導体膜S Fと直に接触する形で、半導体膜S F（主として、はみ出し半導体膜部S F 1）上に積層できるように設けられている。

[0036] ドレイン電極s 3側の開口部H（ h_d ）は、ゲート電極g 1よりも外側にはみ出している半導体膜S Fの端部（各図に示される右側端部、つまり、はみ出し半導体膜部S F 1）が、基板平面視で内側に収まるように形状（大きさ）が設定されている。より詳細には、開口部H（ h_d ）の左右方向（ゲート配線g 2の配設方向）における幅が、前記はみ出し半導体膜部S F 1が内側に収まるように設定されている。開口部H（ h_d ）からは、エッチングストップ膜E Sで覆われていない部分の半導体膜S Fの表面（はみ出し半導体膜部S F 1の表面を含む）が露出している。

[0037] なお、本実施形態の場合、ソース電極s 1側の開口部H（ h_s ）も、ドレイン側s 3の開口部H（ h_d ）よりは小さいものの、半導体膜S Fの他方の端部（各図に示される左側端部）が、基板平面視で内側に収まるように形状（大きさ）が設定されている。そして、開口部H（ h_s ）からは、エッチングストップ膜E Sで覆われていない部分の半導体膜S Fの表面が露出している。

[0038] また、開口部H（ h_s 、 h_d ）の上下方向（ソース配線s 2の配設方向）

における幅は、基板平面視で各電極（ソース電極 s 1，ドレイン電極 s 3）が概ね内側に収まるように設定されている。また、開口部 H（h s，h d）の上下方向（ソース配線 s 2 の配設方向）における幅は、半導体膜 S F の上下方向における幅 W よりも大きく設定されている。本実施形態の場合、開口部 H（h s）の内側には、ソース配線 s 2 の一部が収まる形となっている。また、開口部 H（h d）の内側には、ドレイン電極 s 3 のうち、ソース電極 s 1 とチャネル領域 C H を挟んで対向する略矩形状の部分が収まる形となっている。

[0039] ソース配線 s 2 は、ゲート配線 g 2 に対して基板平面視で直交する形で配されている。また、ソース電極 s 1 は、ソース配線 s 2 から分岐する形で設けられている。ソース電極 s 1 は、半導体膜 S F 上に部分的に乗り上がった形をなしている。そしてその乗り上がった部分が、開口部 H（h s）の内側から露出する半導体膜 S F の表面上に積層されている。

[0040] ソース電極 s 1 と半導体膜 S F 上で互いに間隔を保ちつつ対向する形でドレイン電極 s 3 が設けられている。ドレイン電極 s 3 も、半導体膜 S F 上に部分的に乗り上がった形をなしている。ドレイン電極 s 3 は、開口部 H（h d）の内側から露出する半導体膜 S F の表面（はみ出し半導体膜部 S F 1 の表面を含む）上に直に接触する形で、積層した部分を備えている。

[0041] 図 1 に示されるように、図 1 の上下方向（ソース配線 s 2 の配設方向）において、ソース電極 s 1 及びドレイン電極 s 3 は、半導体膜 S F よりも外側にはみ出す形となっている。換言すれば、半導体膜 S F の端部は、上下方向（ソース配線 s 2 の配設方向）において、ソース電極 s 1 及びドレイン電極 s 3 の端部よりも内側に引っ込んだ形となっている。

[0042] 図 2 に示されるように、導電体膜 S（ソース電極 s 1、ソース配線 s 2 及びドレイン電極 s 3 等）を覆う形で、保護膜 P A S 1 が形成されている。そして、この保護膜 P A S 1 を覆う形で、有機絶縁膜 O I、共通電極 C o m、保護膜 P A S 2 及び絵素電極 P i x が順次、積層されている。

[0043] （C g d 容量の低減）

本実施形態のTFTアレイ基板（半導体装置）1は、上記のような構成を備えることにより、Cgd容量が低減されている。以下、その理由を説明する。図3は、ゲート金属Gと、半導体膜SF及びソース金属（導電体膜）Sとの重畳領域Cを模式的に表した説明図である。なお、図3には、図1と同じTFTアレイ基板1の平面構成が示されている。ゲート金属Gのうちゲート電極（第1電極）g1部分が、半導体膜SF及びソース金属（導電体膜）Sに対して、ゲート絶縁膜（第1絶縁膜）GIを介して基板平面視で重畳する部分となっている。

[0044] 本実施形態のゲート電極g1は、従来のゲート電極のようにドレイン電極に対して全体的に重畳する形とはなっておらず、部分的にドレイン電極s3と重畳しない形状（大きさ）となっている。具体的には、本実施形態のゲート電極g1は、従来のゲート電極と比べて、少なくとも左右方向（ゲート配線g2の配設方向）における幅（特に、ドレイン電極s3側）が狭く設定されている。このように、本実施形態のTFTアレイ基板1では、ゲート金属Gと、半導体膜SF及びソース金属（導電体膜）Sとの重畳領域Cが従来と比べて、狭く設定されているため、ゲート電極g1ードレイン電極s3間容量（Cgd容量）が低減されていると言える。

[0045] （半導体膜SFの機能低下抑制）

また、本実施形態のTFTアレイ基板1は、上記のような構成を備えることにより、半導体膜SFが、バックライト装置（不図示）からの光BLを受けて機能低下することが抑制されている。以下、その理由を説明する。TFTアレイ基板1を含む液晶パネルを搭載した液晶表示装置（不図示）は、光源としてバックライト装置を備えている。液晶パネルは、主として、TFTアレイ基板1と、このTFTアレイ基板1と対向する対向基板（カラーフィルタ基板）と、これらの基板間で挟まれる液晶層とを備えている。バックライト装置は、TFTアレイ基板1に向けて光BLを供給する。バックライト装置から供給された光BLは、TFTアレイ基板1の透明基板B側から液晶層側に向かって進行する。

[0046] 半導体膜 S F の大部分は、ゲート電極（第 1 電極） g 1 の上方に配されており、基板平面視で、ゲート電極 g 1 と重畳する形となっている。しかしながら、上述したように、ドレイン電極 s 3 側に配される半導体膜 S F の端部（つまり、はみ出し半導体膜部 S F 1）については、ゲート電極 g 1 よりも外側にはみ出した形となっている。図 2 に示されるように、光 B L のうち、ゲート電極 g 1 に向かう光は、ゲート電極 g 1 によって遮られる。そのため、ゲート電極 g 1 の上方に重畳する形で配されている大部分の半導体膜 S F は、ゲート電極 g 1 によって遮光されるため、直接、光 B L が当たることが防止されている。その結果、ゲート電極 g 1 の上方に重畳する形で配されている大部分の半導体膜 S F に光 B L が当たって光反応が進行することが防止されている。

[0047] これに対して、バックライト装置から供給される光 B L の中には、ゲート電極 g 1 から外側にはみ出した半導体膜 S F（はみ出し半導体膜部 S F 1）に向かうものもある。このような光 B L は、透明基板 B 及びゲート絶縁膜（第 1 絶縁膜） G 1 を通過して、はみ出し半導体膜部 S F 1 に到達する。このはみ出し半導体膜部 S F 1 上には、導電体膜（ソースメタル） S からなるドレイン電極 s 3 が直に接触する形で、積層されている。実際には、はみ出し半導体膜部 S F 1 の表面上のみならず、開口部 H（h d）から露出している半導体膜 S F の表面上に、ドレイン電極 s 3 が積層されている。そのため、はみ出し半導体膜部 S F 1 は、ドレイン電極 s 3 に対して電氣的に接続され、かつはみ出し半導体膜部 S F 1 と、ドレイン電極 s 3 との間には、絶縁材料から構成されるエッチングストッパ膜 E S が介在されていない状態となっている。

[0048] そのため、はみ出し半導体膜部 S F 1 にバックライト装置からの光 B L が当たって、はみ出し半導体膜部 S F 1 で光反応が生じて、生成した電荷は、はみ出し半導体膜部 S F 1 から、はみ出し半導体膜部 S F 1 に接触しているドレイン電極 s 3 へ移動することができる。その結果、半導体膜 S F のはみ出し半導体膜部 S F 1 に光 B L が当たっても、半導体膜 S F に電荷が蓄積さ

れることが抑制され、ひいては、半導体膜 S F の機能低下が抑制されることになる。

[0049] 以上のように、本実施形態の T F T アレイ基板 1 は、C g d 容量が低減されつつ、半導体膜 S F の機能低下が抑制される。

[0050] (T F T アレイ基板 1 の製造プロセス)

次いで、実施形態 1 の T F T アレイ基板 1 の製造プロセスについて、詳細に説明する。図 4 は、図 1 の A - A' 線に沿った断面に相当する、ゲートメタル G 形成後の基板の断面模式図である。図 4 に示されるように、先ずガラス基板等の透明基板 B 上に、ゲートメタル G (ゲート電極 (第 1 電極) g 1 を含む) が形成される。ゲートメタル G の形成工程は、例えば、透明基板 B 上に層状のゲートメタル G を形成し、その後、フォトリソグラフィー法により所望の形状にパターニングすることによって形成することができる。具体的には、マスクプロセスにより所定パターンのレジストが、前記層状のゲートメタル G 上に形成され、その後、前記層状のゲートメタル G に対してエッチングが施されて、パターン状のゲートメタル G が形成される。その後、前記レジストが除去される。

[0051] 図 5 は、図 1 の A - A' 線に沿った断面に相当する、ゲート絶縁膜 G I 及び半導体膜 S F 形成後の基板の断面模式図である。上記のように、ゲートメタル G が形成された後、ゲート絶縁膜 (第 1 絶縁膜) G I が形成される。ゲート絶縁膜 G I は、例えば、窒化ケイ素 (SiN_x) 膜、酸化ケイ素 (SiO_2) 膜等からなり、プラズマ誘起化学気相成長 (P E C V D : Plasma Enhanced Chemical Vapor Deposition) 法等により形成することができる。ゲート絶縁膜 G I は、単層であってもよいし、2 層以上の積層物からなるものであってもよい。

[0052] 次いで、図 5 に示されるように、インジウムガリウム亜鉛酸化物等の酸化物半導体からなる島状の半導体膜 S F がゲート絶縁膜 G I 上に形成される。島状の半導体膜 S F は、例えば、スパッタリング法を用いて、酸化物半導体の材料を膜状 (膜厚 10 nm ~ 300 nm) に堆積させ、その膜を形成した

後、フォトリソグラフィー法を用いて所望の形状に前記膜をパターニングすることにより、形成することができる。

[0053] 図6は、図1のA-A'線に沿った断面に相当する、エッチングストップ膜E S形成後の基板の断面模式図である。エッチングストップ膜E Sは、例えば、シリコンを含む絶縁材料（例えば、酸化シリコン膜（ SiO_2 ）、窒化シリコン膜（ SiN_x ）、窒化酸化シリコン膜（ SiNO ））等の絶縁材料を用いたプラズマCVD（化学気相成長）法又はスパッタリング法によって膜厚50nm～300nmの絶縁膜が形成された後、マスクプロセスにより前記絶縁膜上にレジストが形成され、前記絶縁膜に対してエッチングが施されることによって形成される。なお、前記レジストは適宜、除去される。得られたエッチングストップ膜E Sには、開口部H（ h_s , h_d ）が設けられている。また、エッチングストップ膜E Sは、島状の半導体膜S Fに対して、少なくとも中央部分（チャネル領域C H）を覆うように形成されている。

[0054] エッチングストップ膜E Sは、半導体膜S Fを備えたTF Tアレイ基板1の信頼性を保つために上記のような形で設けられている。エッチングストップ膜E Sは、はみ出し半導体膜部S F 1を覆わないように設定されている。そのため、はみ出し半導体膜部S F 1が内側に収まるように、開口部H（ h_d ）の形状及び大きさが設定されている。

[0055] また、エッチングストップ膜E Sに設けられている2つの開口部H（ h_s , h_d ）の間には、基板平面視で、半導体膜S Fの中心部分（チャネル領域C H）が配置される形となっている。

[0056] 図7は、図1のA-A'線に沿った断面に相当する、導電体膜（ソースメタル）S形成後の基板の断面模式図である。上記のように、エッチングストップ膜E Sが形成された後、導電体膜（ソースメタル）Sを構成する導電体が、エッチングストップ膜E S及び各開口部H（ h_s , h_d ）から露出する半導体膜S Fを覆う形で層状に堆積される。その後、マスクプロセスによりレジストが前記層状（膜状）の導電体（堆積物）上に形成され、続いて導電体に対してエッチングが施される。前記層状（膜状）の導電体は、ウェット

エッチング等でパターニングされる。その結果、前記層状の導電体から、ソース電極 s 1、ソース配線 s 2 及びドレイン電極 s 3 等から構成される導電体膜（ソースメタル）S が形成される。その後、基板上のレジストが適宜、除去される。

[0057] なお、導電体膜 S の形成工程は、ウェットエッチングにより行うことが好ましい。ウェットエッチングによりパターニングすることで、T F T アレイ基板 1 の製造コストを削減することも可能である。ウェットエッチングに用いられるエッチャントとしては、例えば、過水系エッチング液（C u / T i の積層体（C u が上層であり、T i が下層であることを示す）であるソースメタルに用いられる。C u の一般的なエッチング液。）、燐酸＋硝酸＋酢酸の混合液（M o / A l / M o の積層体であるソースメタル等に用いられる。A l の一般的なエッチング液。）等が好適なものとして挙げられる。これにより、ソースメタルが積層体である場合であっても前記ソースメタルを一括してエッチングすることができる。

[0058] なお、上記のように導電体膜 S が形成されると、ドレイン電極 s 3 が、開口部 H（h d）から露出する半導体膜 S F（はみ出し半導体膜部 S F 1 を含む）上に直に接触する形で積層される。

[0059] 図 8 は、図 1 の A - A' 線に沿った断面に相当する、保護膜 P A S 1 及び有機絶縁膜 O I 形成後の基板の断面模式図である。上記のように、導電体膜 S が形成された後、導電体膜 S を覆うようにエッチングストップ膜 E S 上に保護膜 P A S 1 が形成される。保護膜 P A S 1 は、例えば、窒化ケイ素（S i N_x）膜、酸化ケイ素（S i O₂）膜等であり、プラズマ誘起化学気相成長（P E C V D）法等により形成することができる。続いて、保護膜 P A S 1 上に有機絶縁膜 O I が形成される。有機絶縁膜 O I は、例えば、アクリル樹脂からなり、スピコート法等により形成することができる。なお、有機絶縁膜 O I を形成することにより、図 8 に示されるように、基板上を平坦化することができる。

[0060] 図 9 は、図 1 の A - A' 線に沿った断面に相当する、共通電極 C o m 形成

後の基板の断面模式図である。上記のように、有機絶縁膜O Iが形成された後、有機絶縁膜O Iの全面にスパッタリング法を利用して共通電極C o mを構成する電極材料が層状に堆積される。前記電極材料としては、例えば、I T O（インジウム錫酸化物）、I Z O（インジウム亜鉛酸化物）等の透明な電極材料が用いられる。続いて、有機絶縁膜O I上に堆積された層状の前記電極材料がパターニングされると、共通電極C o mが得られる。

[0061] 図1 Oは、図1のA-A'線に沿った断面に相当する、保護膜P A S 2形成後の基板の断面模式図である。上記のように、共通電極C o mが形成された後、共通電極C o m上に保護膜P A S 2が形成される。保護膜P A S 2は、上述した保護膜P A S 1と同様に、例えば、窒化ケイ素（S i N_x）膜等からなり、プラズマ誘起化学気相成長（P E C V D）法等により形成することができる。

[0062] 次に、保護膜P A S 2上に、スパッタリング法を利用して絵素電極P i xを構成する電極材料が層状に堆積される。前記電極材料としては、共通電極C o mと同様、I T O（インジウム錫酸化物）、I Z O（インジウム亜鉛酸化物）等の透明な電極材料（透明導電膜）が用いられる。続いて、保護膜P A S 2上に堆積された層状の前記電極材料がパターニングされると、絵素電極P i xが得られる。その結果、図2に示されるような断面構成のT F Tアレイ基板1が得られる。以上のようなプロセスを経て、本実施形態のT F Tアレイ基板1が製造される。なお、T F Tアレイ基板1において、絵素電極P i xは、図示されないコンタクトホールを介してドレイン電極s 3に接続されている。そのため、共通電極C o mや有機絶縁膜O I等には、絵素電極P i xをドレイン電極s 3に接続するために必要な開口部（コンタクトホール）が厚み方向に貫通する形で設けられている。また、T F Tアレイ基板1には、その他に、液晶層中の液晶分子の配向を規制する配向膜、透明基板の外側に配される偏光板、光学フィルム等が適宜、設けられる。

[0063] ここで、上述した実施形態1のT F Tアレイ基板1の製造プロセスにおいて説明した部材等について、詳細に説明する。上記導電体膜Sは、ソースメ

タルから構成される。本実施形態の場合、ソースメタルは、ソース配線 s 2、並びにソース配線 s 2 と同一プロセスで形成された部材（ソース電極 s 1、ドレイン電極 s 3 等）に相当している。前記導電体膜 S としては、例えば、Cu/Ti の積層体、Mo/Al/Mo の積層体等の金属積層体からなる。また、前記導電体膜 S としては、それら以外に、アルミニウム層、アルミニウム合金層、銅層、銅合金層を含むものを好適に用いることができる。

[0064] 前記アルミニウム層は、実質的にアルミニウム金属のみで構成されている層である。アルミニウム層を含む配線の製造においては、アルミニウム層と接触する他の金属材料や層間絶縁膜などから元素が拡散することもあるため、アルミニウム層に微量の不純物元素が含まれている場合もある。また、アルミニウム合金層は、アルミニウムを必須として含み、他の金属元素や、ケイ素等の非金属元素を含んで構成されるものであってもよい。アルミニウム合金に添加される金属元素としては、例えば、ニッケル、鉄、コバルト等が挙げられる。アルミニウム合金に、更に、ボロン、ネオジウム、ランタン等を追加元素として添加したものがより好ましい。

[0065] 前記銅層は、実質的に銅のみで構成される層である。銅層は、銅層と接触する他の金属材料や保護膜 P A S 1 等から元素が拡散することもあるため、微量の不純物元素が含まれている場合もある。上記銅合金層は、銅を必須として含み、更に他の金属元素や、炭素、ケイ素等の非金属元素を含んで構成されるものであってもよい。銅合金に添加される金属元素としては、例えば、マグネシウム、マンガン等が挙げられる。

[0066] 前記導電体膜 S において、この他の金属元素が、適宜用いられてもよい。

[0067] 前記配線は、電気信号を伝達する信号配線、電源を供給するための電源回路、回路を構成する配線、電界を印加する（例えば、T F T のゲートに電界を印加する）ための配線等である。また、本実施形態の T F T アレイ基板 1 を液晶表示装置（表示装置の一例）に適用する場合は、本実施形態の T F T アレイ基板は、液晶に印加した電圧を保持するために用いられる補助容量を形成する補助容量配線を更に備えるものであってもよい。

- [0068] 前記半導体素子は、上記のように、薄膜トランジスタ（TFT）であることが好ましい。TFTを構成するソース電極s1、ドレイン電極s3を介して、ソース配線s2は、表示画素を構成する絵素電極Pixと電氣的に接続される。
- [0069] 前記透明基板Bは、特に限定されるものではなく、種々の基板を用いることができる。例えば、単結晶半導体基板、酸化物単結晶基板、金属基板、ガラス基板、石英基板、樹脂基板等の基板を用いることができる。例えば、単結晶半導体基板や、金属基板等の導電性基板である場合には、その上に絶縁膜等を設けることによって用いることが好ましい。
- [0070] 実施形態1に係るTFTアレイ基板1を分解し、光学顕微鏡、STEM（Scanning Transmission Electron Microscope：走査型透過電子顕微鏡）、SEM（Scanning Electron Microscope：走査型電子顕微鏡）等の顕微鏡観察により、液晶パネル（液晶セル）のパターン形状等を確認することができる。
- [0071] 以上のように、本実施形態のTFTアレイ基板（半導体装置）1は、透明基板（基板）Bと、透明基板B上に形成されるゲート電極（第1電極）g1と、ゲート電極（第1電極）g1を覆う形でゲート電極（第1電極）g1及び透明基板Bに亘って形成されるゲート絶縁膜（第1絶縁膜）G1と、酸化物半導体の膜からなり、チャネル領域CHを有し、平面視した際、端部（はみ出し半導体膜部）SF1がゲート電極g1よりも外側にはみ出した状態でゲート電極g1と重畳するように、ゲート絶縁膜G1上に形成される半導体膜SFと、チャネル領域CHを覆う形で半導体膜SF及びゲート絶縁膜（第1絶縁膜）G1に亘って形成される絶縁性の膜からなり、平面視した際、半導体膜SFの前記端部（はみ出し半導体膜部）SF1が内側に収まり、かつチャネル領域CHに隣接した半導体膜SFの表面を露出させる開口部H（hd）を含むエッチングストッパ膜ESと、開口部H（hd）から露出する半導体膜SFの前記表面を覆うように、半導体膜SF上に積層されるドレイン電極（第2電極）s3とを備える。

[0072] このような構成を備えたTFTアレ基板（半導体装置）1に対して、透明基板B側から光が供給された場合、その光の中には、ゲート絶縁膜G1を通過して、ゲート電極g1よりも外側にはみ出している、はみ出し半導体膜部SF1に向かうものがある。はみ出し半導体膜部SF1は、ゲート電極g1と重畳していないため、直接、光が当たる部分となっている。ただし、TFTアレ基板1においては、開口部H(hd)から露出する半導体膜SFの前記表面を覆うように、半導体膜SF上にドレイン電極s3が積層されているため、はみ出し半導体膜部SF1とドレイン電極s3とが互いに接触して電氣的に接続された状態となっている。そのため、はみ出し半導体膜部SF1に光が当たって光反応が生じて、生成した電荷は、はみ出し半導体膜部SF1から前記はみ出し半導体膜部SF1に接触しているドレイン電極s3へ移動することができる。その結果、平面視した際、ゲート電極g1によって覆われていないはみ出し半導体膜部SF1に光が当たっても、半導体膜SFに電荷が蓄積されることが抑制され、ひいては、半導体膜SFの機能低下が抑制されることになる。

[0073] また、本実施形態のTFTアレ基板（半導体装置）1において、半導体膜SFは、平面視した際、前記はみ出し半導体膜部SF1以外の部分がゲート電極g1内に収まる形をなしている。透明基板B側からTFTアレ基板（半導体装置）1に向けて光が供給された場合、その光が前記はみ出し半導体膜部SF1以外の半導体膜SFの部分に向かっても、その部分はゲート電極g1と重畳しているため、前記光はゲート電極g1によって遮られることになる。したがって、半導体膜SFが、平面視した際、前記はみ出し半導体膜部SF1以外の部分がゲート電極g1内に収まる形をなしていると、前記部分（はみ出し半導体膜部SF1以外の部分）に光が当たって半導体膜SFの機能が低下することが抑制される。

[0074] また、本実施形態のTFTアレ基板（半導体装置）1において、半導体膜SFは、平面視した際、はみ出し半導体膜部SF1がはみ出す方向（ゲート配線g2の配設方向）に沿って延びた長手状をなし、かつドレイン電極s

3が積層されている部分は、ドレイン電極s 3内に収まる形をなしている。なお、本実施形態の場合、半導体膜S Fは、基板平面視で、各図の左右方向（ゲート配線g 2の配設方向）に延びた略矩形状をなしている。また、はみ出し半導体膜部S F 1の反対側にはいされる端部については、基板平面視で、ソース電極s 1及びソース配線s 2内に収まる形をなしている。

[0075] <実施形態2>

次いで、本発明の実施形態2を、図11を参照しつつ説明する。図11は、実施形態2のT F Tアレイ基板1 AのT F T部の構成を示す平面模式図である。本実施形態のT F Tアレイ基板1 Aでは、エッチングストッパ膜E Sに設けられる開口部H（h s， h d）の大きさが、実施形態1のものよりも小さく設定されている。本実施形態の開口部H（h s， h d）も、実施形態1と同様、基板平面視で、縦長の矩形状をなしている。ただし、本実施形態の開口部H（h s， h d）は、図11の上下方向（ソース配線s 2の配設方向）における長さが、実施形態1のものよりも短く設定されている。具体的には、開口部H（h s， h d）の前記上下方向における長さは、導電体膜Sのソース電極s 1及びドレイン電極s 3の前記上下方向における長さ（幅）よりも若干、大きく設定されている。なお、本実施形態の開口部H（h s， h d）は、図11の左右方向（ゲート配線g 2の配設方向）における長さは、実施形態1のものと同様である。つまり、本実施形態の開口部H（h d）の内側に、半導体膜S Fのはみ出し半導体膜部S F 1が収まっている。そのため、本実施形態においても、導電体膜Sの形成時に、ドレイン電極s 3と半導体膜S F（主として、はみ出し半導体膜部S F 1）との間に、絶縁材料から構成されるエッチングストッパ膜E Sが介在されず、ドレイン電極s 3と半導体膜S F（主として、はみ出し半導体膜部S F 1）とが直に接触する形で積層されることになる。本実施形態のように、ドレイン電極s 3と、半導体膜S F（主として、はみ出し半導体膜部S F 1）の間には、エッチングストッパ膜E Sが介在されず、ドレイン電極s 3と半導体膜S F（主として、はみ出し半導体膜部S F 1）とが直に接触する形で積層されるものであ

れば、適宜、開口部H（ h_d ）の形状が変更されてもよい。本実施形態のTFTアレイ基板1Aも、実施形態1と同様、Cgd容量が低減されつつ、半導体膜SFの機能低下が抑制されている。

[0076] <実施形態3>

次いで、本発明の実施形態3を、図12を参照しつつ説明する。図12は、実施形態3のTFTアレイ基板1BにおけるTFT部を中心とした断面模式図である。本実施形態のTFTアレイ基板1Bは、垂直配向（VA：Vertical Alignment）モードの液晶表示装置（不図示）に好適に用いられるものである。なお、本実施形態のTFTアレイ基板1Bの大部分の構成は、実施形態1と同様である。そのため、本実施形態のTFTアレイ基板1Bにおける製造プロセスは、有機絶縁膜OIを形成する工程までは、上述した実施形態1と基本的に同様である。

[0077] そこで、以下に、有機絶縁膜OI形成後の製造プロセスを説明しつつ、本実施形態のTFTアレイ基板1Bの構成を説明する。なお、各部材の明示する以外の構成（材料等）は、上述した構成と同様である。

[0078] 図12に示されるように、本実施形態では、有機絶縁膜OI形成後に、有機絶縁膜OI上の全面に、絵素電極Pixが形成される。絵素電極Pixは、例えば、ITO（インジウム錫酸化物）、IZO（インジウム亜鉛酸化物）等の透明な電極材料（透明導電膜）が用いられる。その後、絵素電極Pix上に、ポリイミド系樹脂の薄膜からなる配向膜等が適宜、形成されると、VAモードの液晶表示装置で利用されるTFTアレイ基板1Bが得られる。

[0079] なお、本実施形態の開口部H（ h_s ， h_d ）についても、図12の左右方向（ゲート配線g2の配設方向）における長さは、実施形態1のものと同様である。つまり、本実施形態の開口部H（ h_d ）の内側に、半導体膜SFのドレイン電極s3側の端部（はみ出し半導体膜部SF1）が収まっている。そのため、本実施形態においても、導電体膜Sの形成時に、ドレイン電極s3と半導体膜SF（主として、はみ出し半導体膜部SF1）との間に、絶縁材料から構成されるエッチングストッパ膜ESが介在されず、ドレイン電極

s 3 と半導体膜 S F（主として、はみ出し半導体膜部 S F 1）とが直に接触する形で積層されることになる。そのため、本実施形態の T F T アレイ基板 1 B も、実施形態 1 と同様、C g d 容量が低減されつつ、半導体膜 S F の機能低下が抑制される。

[0080] <他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

[0081] （１）上記実施形態では、エッチングストッパ膜 E S の開口部 H の形状は、基板平面視で矩形状をなすものであったが、貫通孔であれば特に限定されない。

[0082] （２）上記実施形態では、酸化物半導体がインジウムガリウム亜鉛酸化物である半導体膜を利用したが、本発明はこれに限られない。他の実施形態においては、例えば、インジウム（I n）、ガリウム（G a）、アルミニウム（A l）、銅（C u）、亜鉛（Z n）及びスズ（S n）からなる群より選ばれる少なくとも１種を含む酸化物を半導体膜の材料としてもよい。

[0083] （３）上記実施形態では、半導体素子（T F T 部）が、T F T アレイ基板の表示部に利用されていたが、本発明はこれに限られず、他の実施形態においては、例えば、T F T アレイ基板にモノリシック化されたゲートドライバに、上述した構成の半導体素子（T F T 部）を適用してもよい。

[0084] （４）上記実施形態では、半導体装置として液晶パネルに利用されるアレイ基板を例示したが、他の実施形態においては、例えば、有機 E L デバイス、無機 E L デバイス、電気泳動デバイス等の他のデバイスに利用される半導体装置であってもよい。

符号の説明

[0085] 1, 1 A, 1 B…T F T アレイ基板（半導体装置）、B…透明基板（基板）、B L…光、C…重畳領域、C H…チャネル領域、C o m…共通電極、E S…エッチングストッパ膜、G…ゲートメタル、g 1…ゲート電極（第 1 電極）、g 2…ゲート配線、G I…ゲート絶縁膜（第 1 絶縁膜）、H…開口部

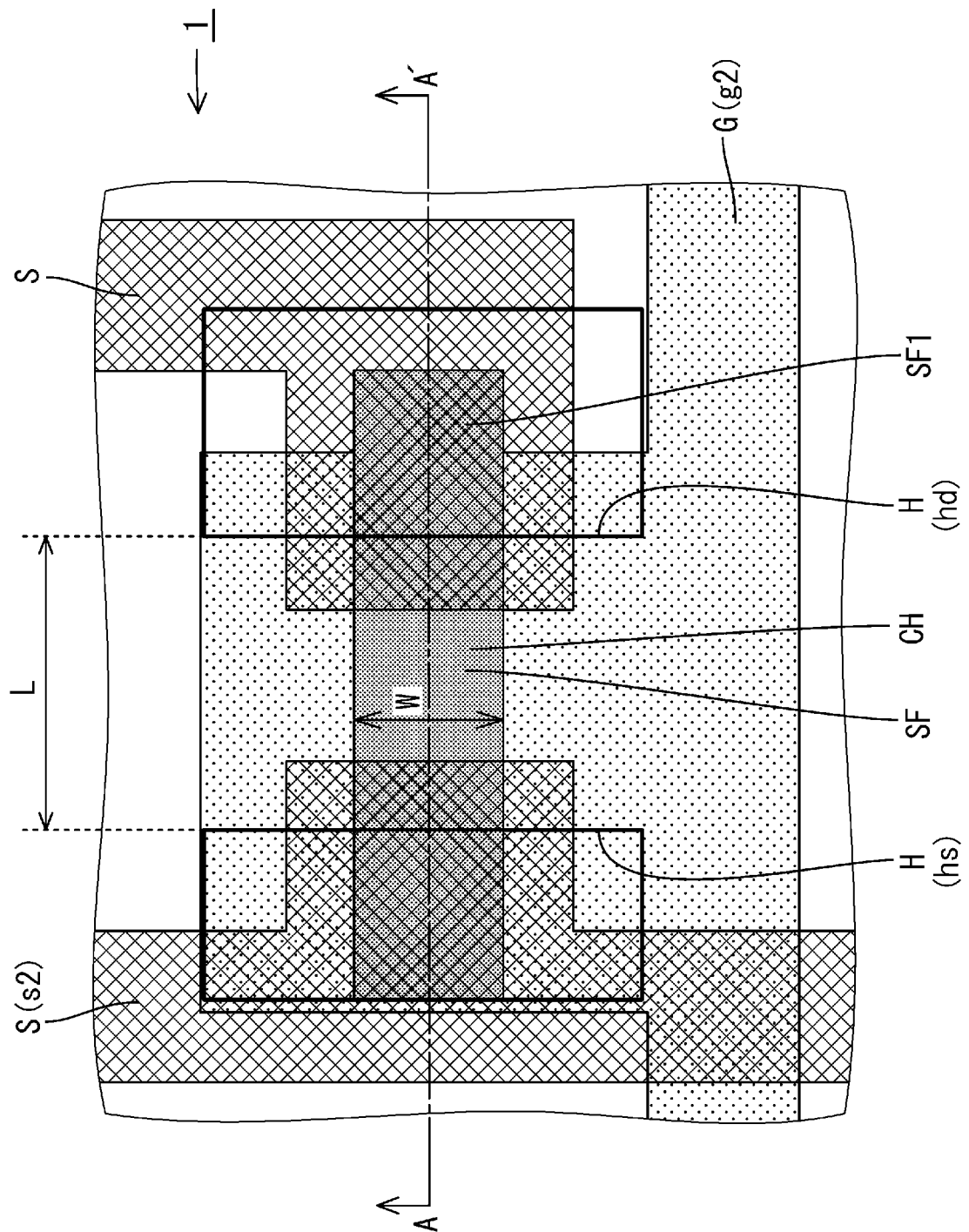
、 h_s …ソース電極側の開口部、 h_d …ドレイン電極側の開口部、 SF …半導体膜、 $SF1$ …はみ出し半導体膜部、 L …チャネル領域（開口部間）の幅、 $PAS1$ …保護膜、 $PAS2$ …保護膜、 Pix …絵素電極、 S …導電体膜（ソースメタル）、 $s1$ …ソース電極、 $s2$ …ソース配線、 $s3$ …ドレイン電極（第2電極）、 W …半導体膜の幅

請求の範囲

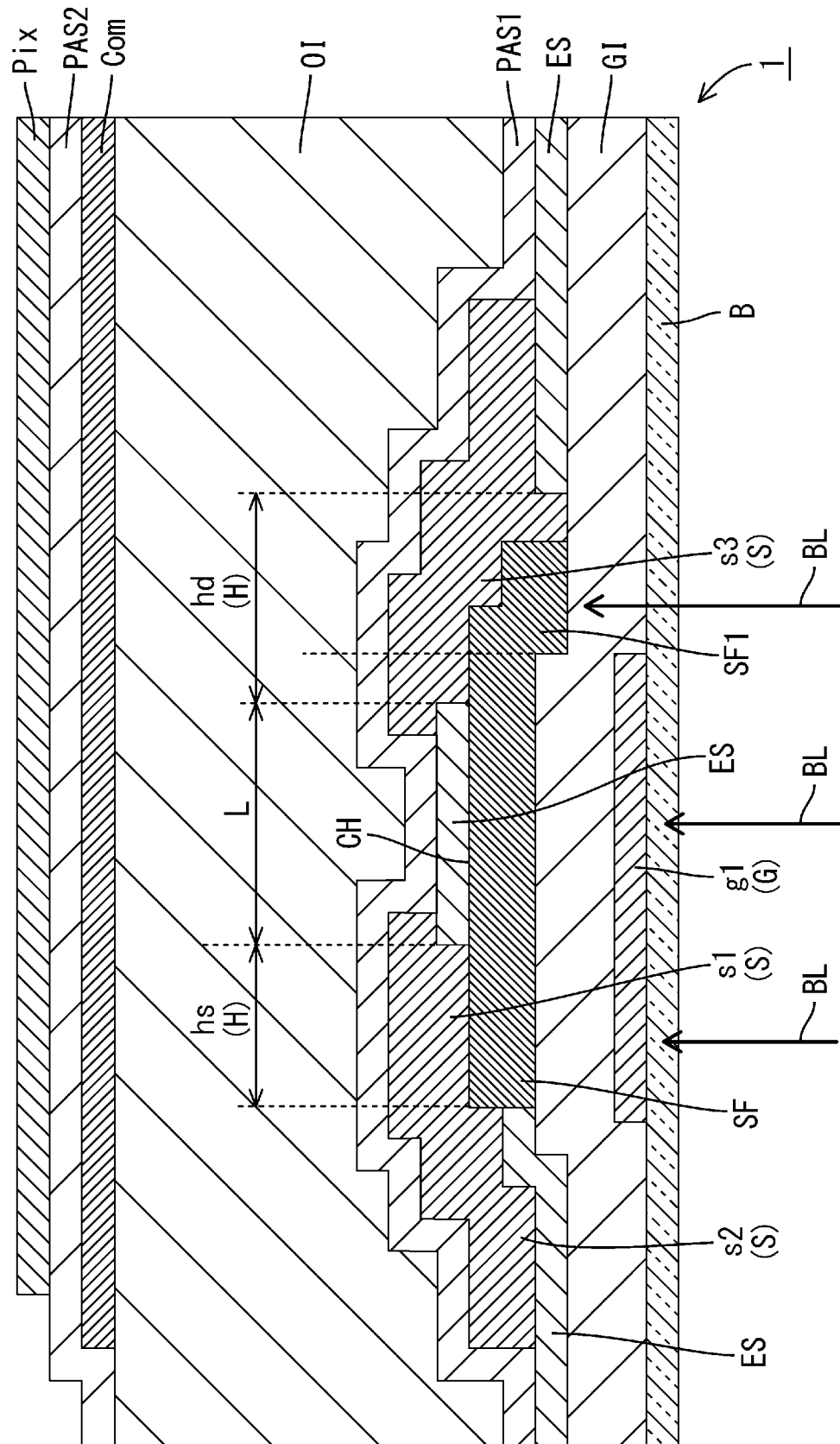
- [請求項1] 基板と、
前記基板上に形成される第1電極と、
前記第1電極を覆う形で前記第1電極及び前記基板に亘って形成される第1絶縁膜と、
酸化物半導体の膜からなり、チャネル領域を有し、平面視した際、端部が前記第1電極よりも外側にはみ出した状態で前記第1電極と重畳するように、前記第1絶縁膜上に形成される半導体膜と、
前記チャネル領域を覆う形で前記半導体膜及び前記第1絶縁膜に亘って形成される絶縁性の膜からなり、平面視した際、前記半導体膜の前記端部が内側に収まり、かつ前記チャネル領域に隣接した前記半導体膜の表面を露出させる開口部を含むエッチングストップ膜と、
前記開口部から露出する前記半導体膜の前記表面を覆うように、前記半導体膜上に積層される第2電極と、を備える半導体装置。
- [請求項2] 前記半導体膜は、平面視した際、前記端部以外の部分が前記第1電極内に収まる形をなしている請求項1に記載の半導体装置。
- [請求項3] 前記半導体膜は、平面視した際、前記端部がはみ出す方向に沿って延びた長手状をなし、かつ前記第2電極が積層されている部分は、前記第2電極内に収まる形をなしている請求項1又は請求項2に記載の半導体装置。
- [請求項4] 前記第1電極は、ゲート電極からなり、前記第2電極は、ドレイン電極からなる請求項1から請求項3のいずれか一項に記載の半導体装置。
- [請求項5] 前記第1電極は、ゲート配線から分岐する形で設けられている請求項4に記載の半導体装置。
- [請求項6] 平面視した際、前記チャネル領域を挟んで前記第2電極と対向するように、前記半導体膜上に積層されるソース電極を備える請求項4又は請求項5に記載の半導体装置。

- [請求項7] 前記第2電極は、前記ソース電極と同じ導電性材料からなる請求項6に記載の半導体装置。
- [請求項8] 前記半導体膜が、酸化インジウムガリウム亜鉛からなる請求項1から請求項7のいずれか一項に記載の半導体装置。
- [請求項9] 請求項1から請求項8のいずれか一項に記載の半導体装置と、前記半導体装置と対向するように配置された対向基板と、前記半導体装置と前記対向基板との間に配置された液晶層とを備える表示装置。
- [請求項10] 前記半導体装置に向けて光を供給するバックライト装置を備える請求項9に記載の表示装置。

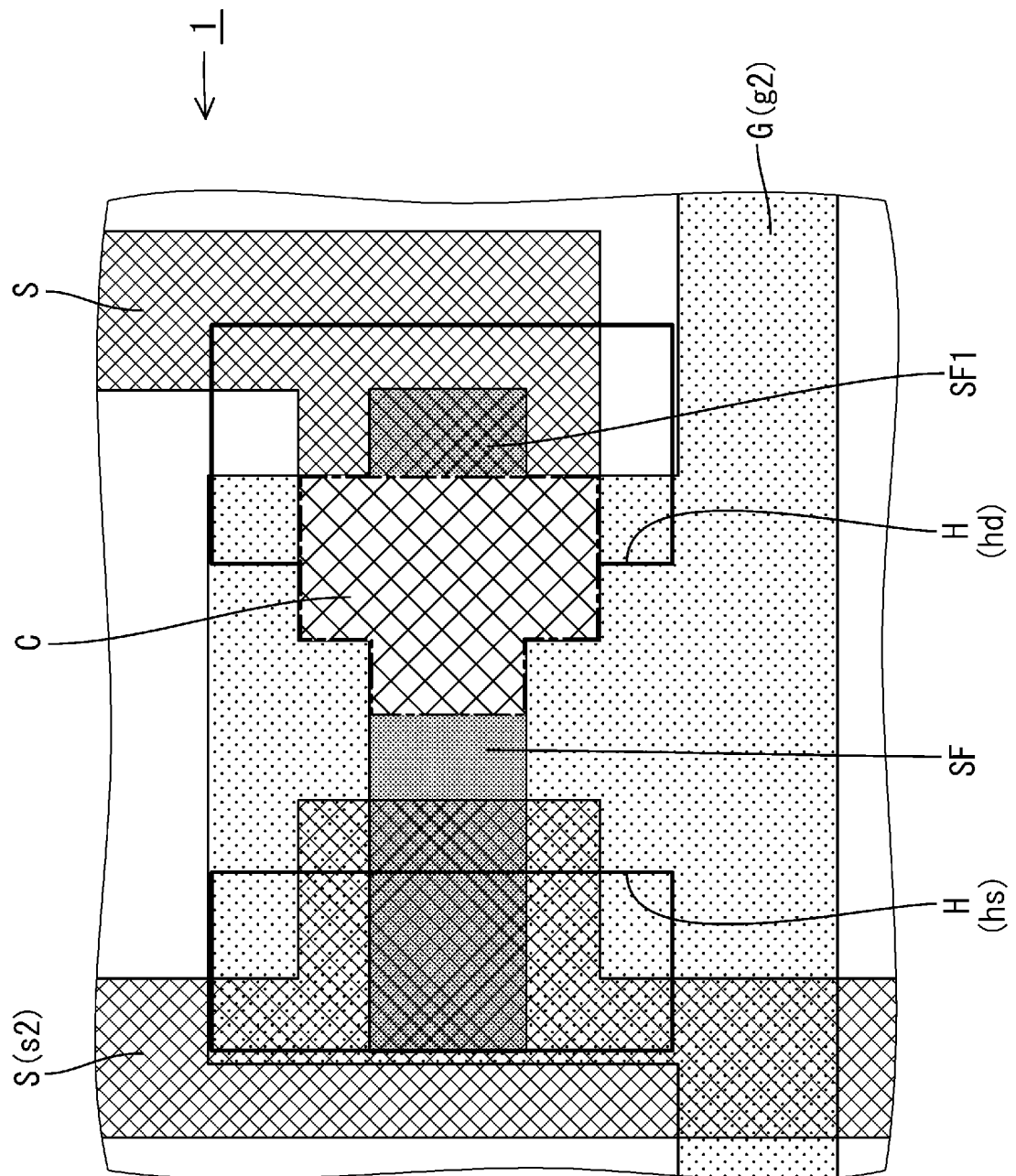
[図1]



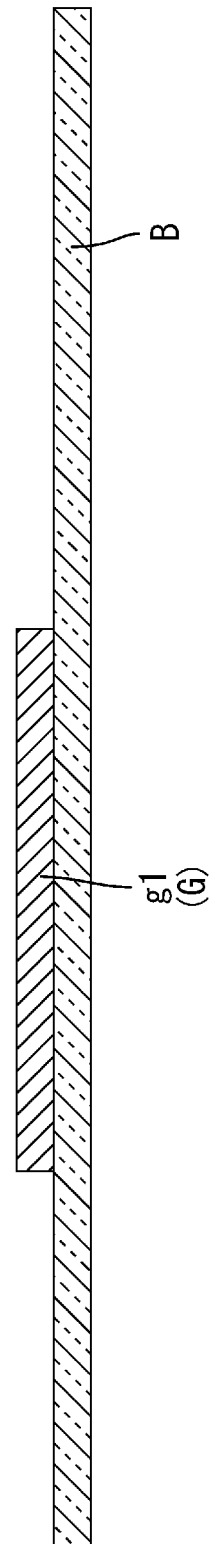
[図2]



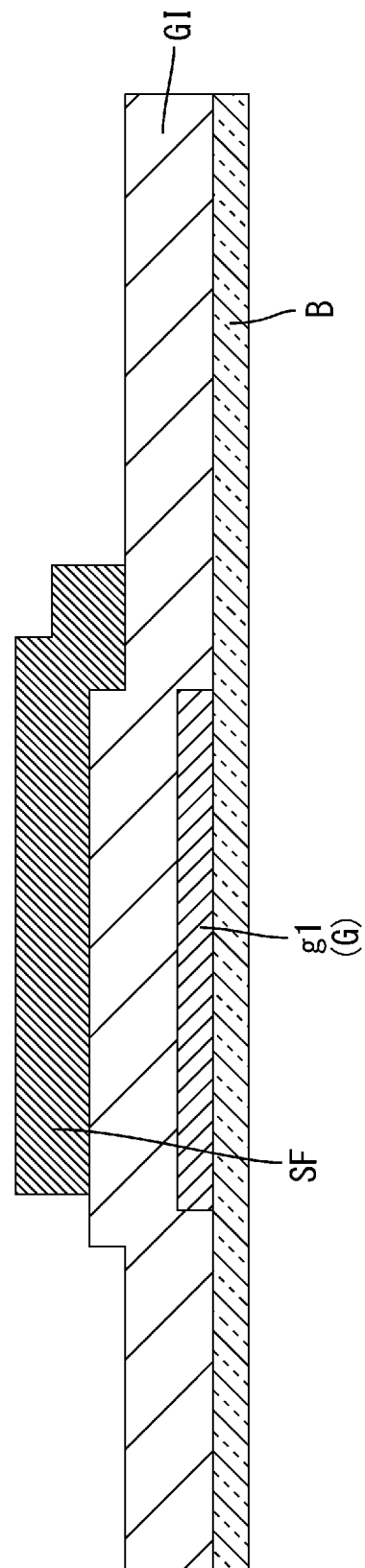
[図3]



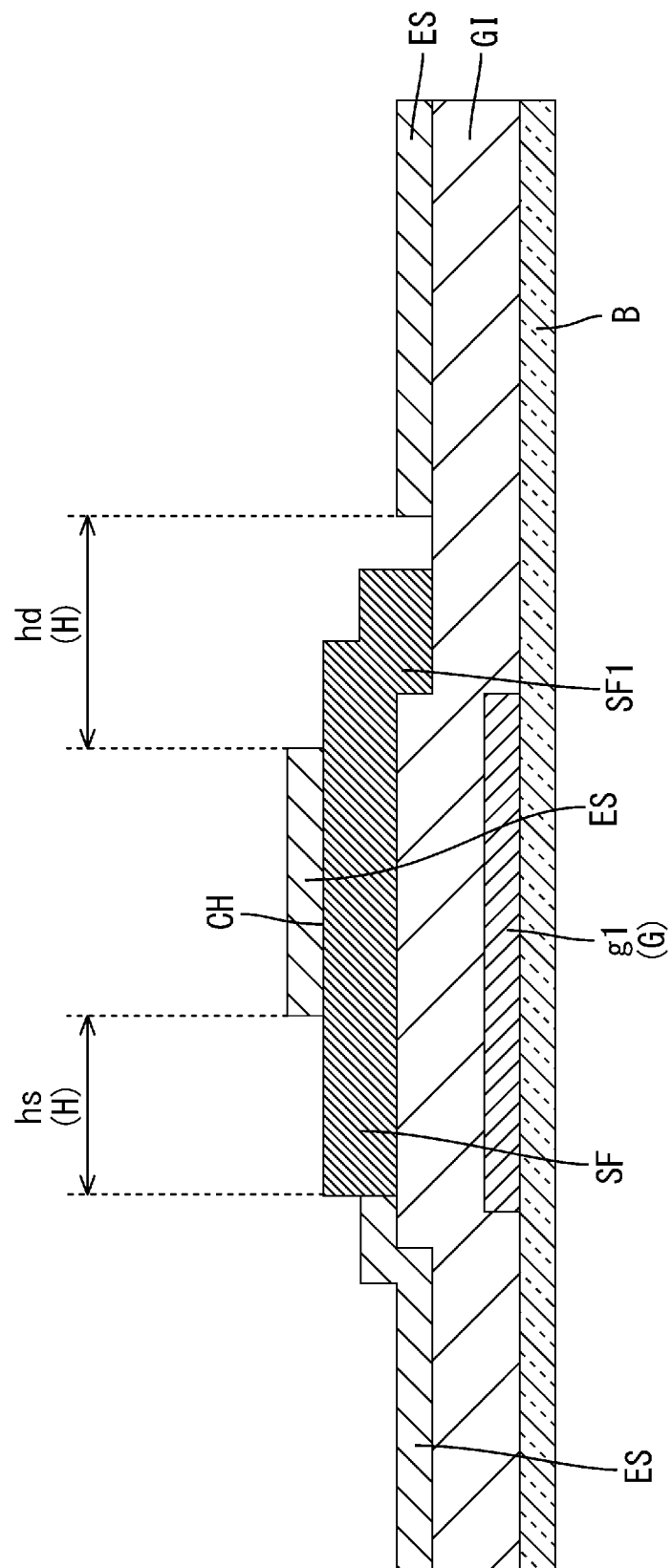
[図4]



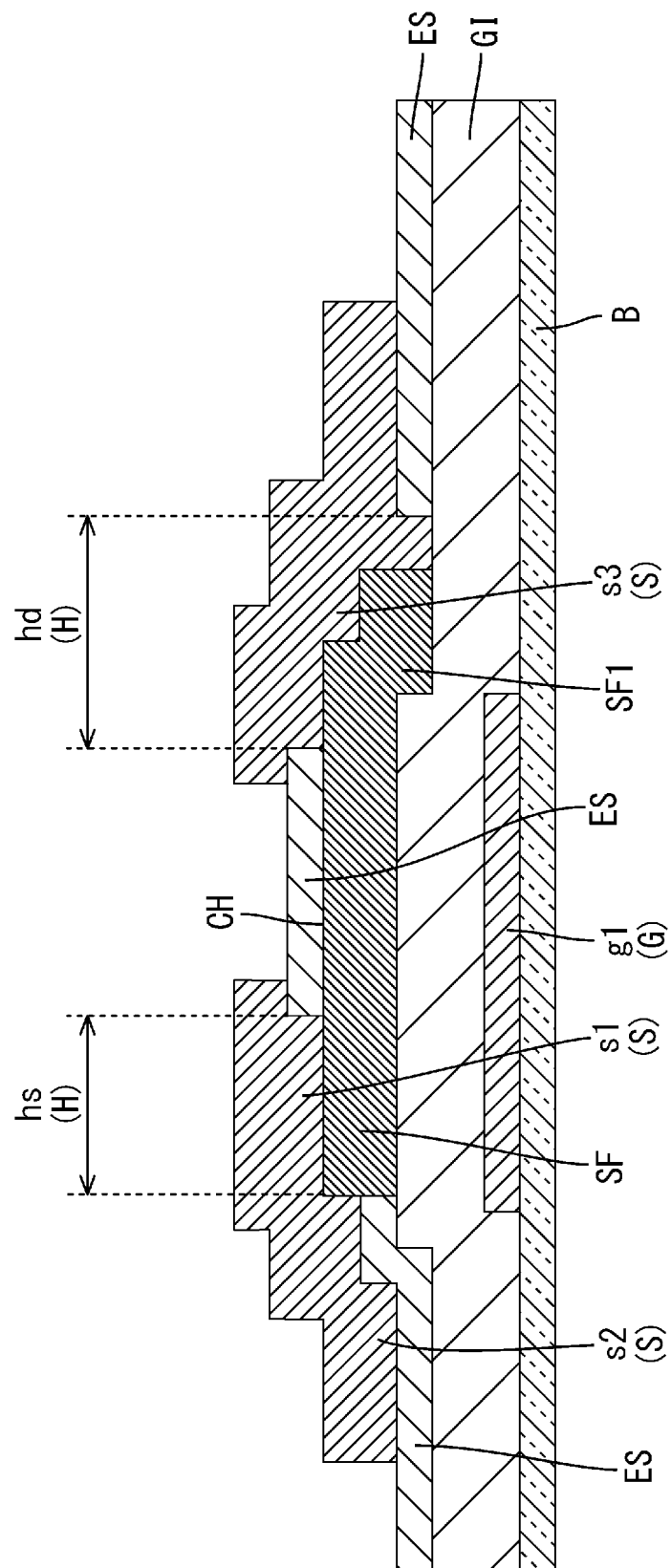
[図5]



[図6]



[図7]



01

PAS1

ES

GI

B

s3 (S)

SF1

ES

g1 (G)

s1 (S)

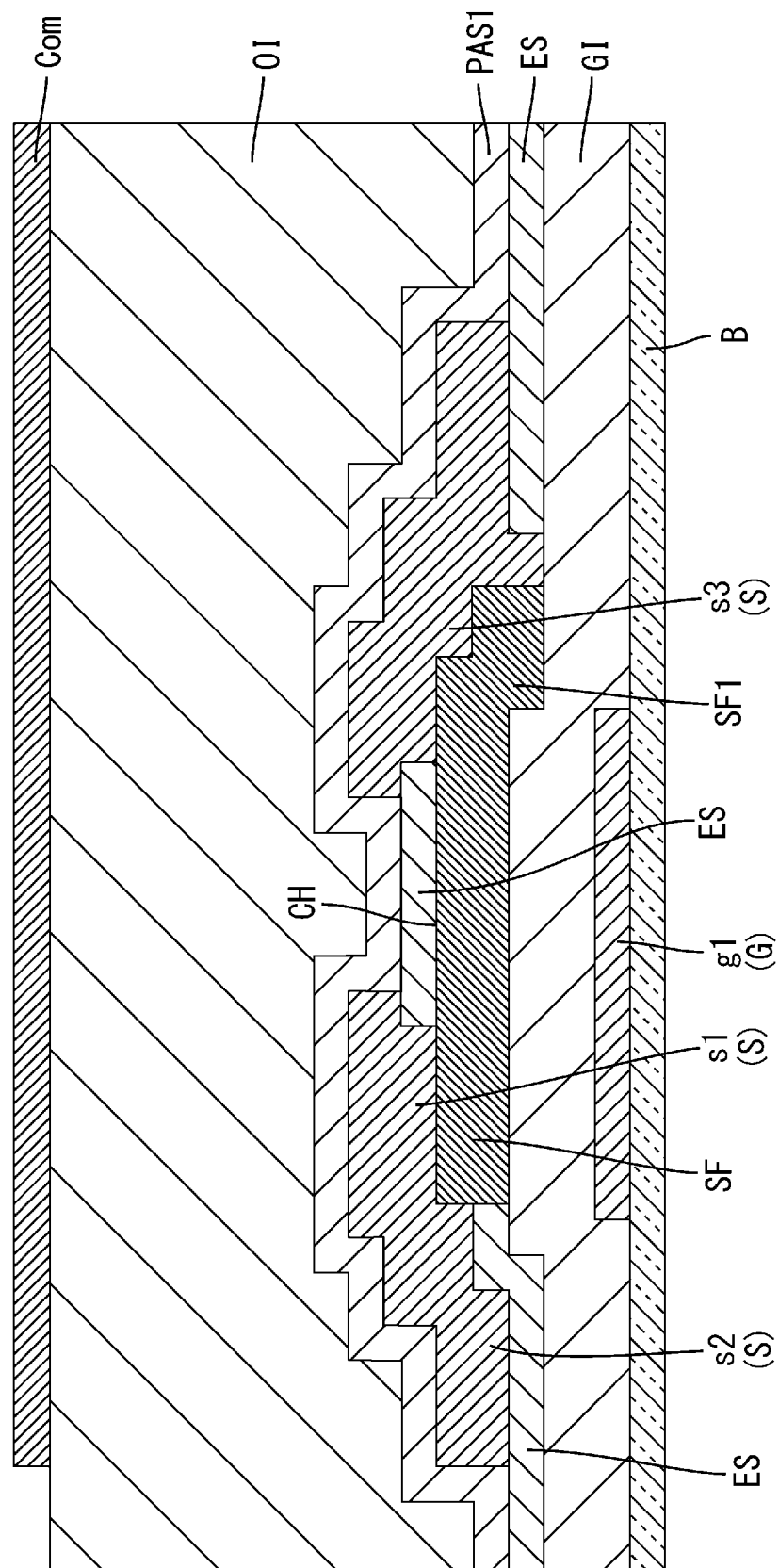
SF

s2 (S)

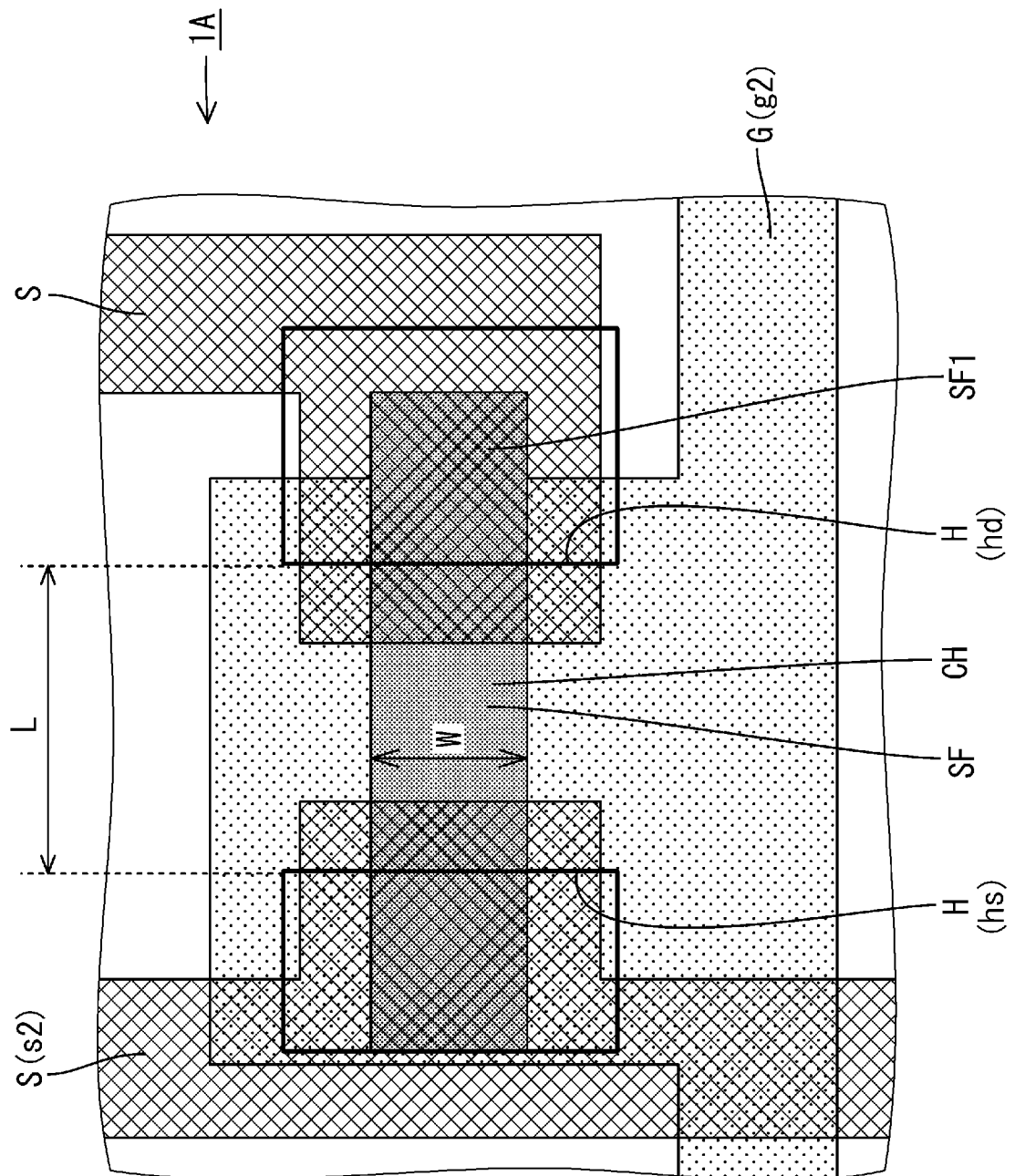
ES

CH

[図9]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080750

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-177387 A (Toshiba Corp.), 24 June 1994 (24.06.1994), paragraphs [0001], [0011], [0012]; fig. 1 (Family: none)	1-10
Y	JP 2010-206187 A (Semiconductor Energy Laboratory Co., Ltd.), 16 September 2010 (16.09.2010), paragraphs [0005], [0006], [0090] to [0100], [0141] to [0149]; fig. 10 & US 2010/0200851 A1 & CN 101800250 A	1-10
Y	JP 2010-161373 A (Samsung Mobile Display Co., Ltd.), 22 July 2010 (22.07.2010), paragraphs [0026] to [0040]; fig. 4 & US 2010/0176388 A1 & CN 101794819 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 February, 2014 (07.02.14)

Date of mailing of the international search report
18 February, 2014 (18.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080750

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-511999 A (Honeywell International Inc.), 17 April 2008 (17.04.2008), paragraphs [0007], [0019] to [0034]; fig. 4 & US 2006/0046335 A1 & WO 2006/028811 A2 & KR 10-2007-0061558 A	1-10
Y	JP 2001-313398 A (Matsushita Electric Industrial Co., Ltd.), 09 November 2001 (09.11.2001), paragraphs [0004], [0022] to [0025]; fig. 1, 9 (Family: none)	5
A	JP 02-018967 A (Sharp Corp.), 23 January 1990 (23.01.1990), entire text; all drawings & US 5051800 A & EP 341003 A2	1-10
A	JP 02-019840 A (Hitachi, Ltd.), 23 January 1990 (23.01.1990), page 3, upper left column, line 12 to lower right column, line 14; fig. 1, 2 & US 5032531 A	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 06-177387 A（株式会社東芝）1994.06.24, 段落[0001], 段落[0011], 段落[0012], 図1（ファミリーなし）	1-10
Y	JP 2010-206187 A（株式会社半導体エネルギー研究所）2010.09.16, 段落[0005], 段落[0006], 段落[0090]-段落[0100], 段落[0141]-段落[0149], 図10 & US 2010/0200851 A1 & CN 101800250 A	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 2 . 2 0 1 4

国際調査報告の発送日

1 8 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5 2 9 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-161373 A (三星モバイルディスプレイ株式会社) 2010.07.22, 段落[0026]-段落[0040], 図 4 & US 2010/0176388 A1 & CN 101794819 A	1-10
Y	JP 2008-511999 A (ハネウエル・インターナショナル・インコーポ レーテッド) 2008.04.17, 段落[0007], 段落[0019]-段落[0034], 図 4 & US 2006/0046335 A1 & WO 2006/028811 A2 & KR 10-2007-0061558 A	1-10
Y	JP 2001-313398 A (松下電器産業株式会社) 2001.11.09, 段落 [0004], 段落[0022]-段落[0025], 図 1, 図 9 (ファミリーなし)	5
A	JP 02-018967 A (シャープ株式会社) 1990.01.23, 全文全図 & US 5051800 A & EP 341003 A2	1-10
A	JP 02-019840 A (株式会社日立製作所) 1990.01.23, 第 3 頁左上欄 第 12 行-右下欄第 14 行, 第 1 図, 第 2 図 & US 5032531 A	1-10