

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 13/38 (2006.01)

G06K 19/07 (2006.01)



## [12] 发明专利申请公开说明书

[21] 申请号 200380108034.2

[43] 公开日 2006年2月8日

[11] 公开号 CN 1732449A

[22] 申请日 2003.11.20

[21] 申请号 200380108034.2

[30] 优先权

[32] 2002.11.21 [33] US [31] 10/302,009

[86] 国际申请 PCT/US2003/040042 2003.11.20

[87] 国际公布 WO2004/049177 英 2004.6.10

[85] 进入国家阶段日期 2005.6.30

[71] 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 阿维阿德·泽尔 约西·平托  
米奇·霍尔茨曼 约拉姆·锡达

[74] 专利代理机构 北京律盟知识产权代理有限责任  
公司  
代理人 刘国伟

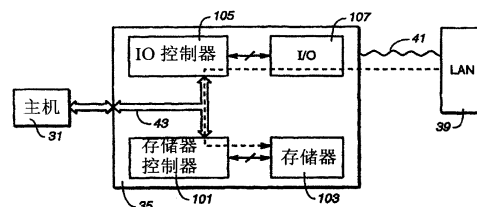
权利要求书 6 页 说明书 14 页 附图 6 页

### [54] 发明名称

进行直接存储器存取的组合非易失性存储器  
及输入输出卡

### [57] 摘要

本发明揭示一种可拆式电子电路卡，其兼具有  
一具有一非易失性大容量存储器的存储器模块及一  
单独的输入输出模块，以便当所述卡插入至主机系  
统内时，可在一直接存储器存取 (DMA) 型传输中直  
接通过所述输入输出模块与所述大容量存储器进行  
数据传输，而无需使数据穿过主机系统。一旦主机  
给出一 DMA 命令，数据传输的即独立于主机系统完  
成，除了在直接与卡进行的这种数据传输期间所述  
主机提供电力及可能提供一时钟信号及其他类似支  
持。供传输的数据可通过无线途径或电连接途径在  
所述输入输出模块与外部装置之间传送。



- 1、一种可连接至一主机系统的电子电路卡，所述卡包括：
  - 一存储器模块，其包括一非易失性大量数据存储部分；及
  - 一输入输出模块，其用于在所述卡与一外部装置之间传送数据，其中，响应一来自与所述卡相连的一主机的命令，所述卡使用所述数据在所述输入输出模块与所述大量数据存储部分之间的一直接存储器存取型传输，在所述外部装置与所述非易失性大容量存储器之间实施一数据传输。
- 2、如权利要求1所述的卡，其中所述存储器模块进一步包括一存储器控制器且所述输入输出模块进一步包括一输入输出控制器，所述卡进一步包括：
  - 一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述存储器控制器及所述输入输出控制器二者均独立地连接至所述总线结构，且其中所述直接存储器存取型传输是使用所述总线结构来实施的。
- 3、如权利要求2所述的卡，其中在所述直接存储器存取型传输期间，所述主机通过所述总线结构将一时钟信号提供至所述卡。
- 4、如权利要求1所述的卡，其中所述存储器模块进一步包括一组合存储器及输入输出控制器，所述卡进一步包括：
  - 一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述组合控制器连接至所述总线结构且其中所述直接存储器存取型传输的实施不使用所述总线结构。
- 5、如权利要求4所述的卡，其中所述直接存储器存取型传输的实施与所述主机的时钟无关。
- 6、如权利要求4所述的卡，其中在所述直接存储器存取型传输期间，所述主机可存取所述数据。
- 7、如权利要求1所述的卡，其中所述卡符合所述SD卡标准。
- 8、如权利要求1所述的卡，其中所述输入输出模块包括一红外收发机。

9、如权利要求 1 所述的卡，其中所述输入输出模块包括一射频收发机。

10、如权利要求 1 所述的卡，其中所述输入输出模块包含用于一与所述外部装置的电缆连接的端口。

11、一种系统，其包括：

一主机；

一外部通信装置；及

一可连接至一主机系统的电子电路卡，所述卡包括；

一存储器模块，其包括一非易失性大量数据存储部分；及

一输入输出模块，其用于在所述卡与所述外部装置之间传送数据，其中，响应一来自所述主机的命令，所述卡使用所述数据在所述输入输出模块与所述大量数据存储部分之间的一直接存储器存取型传输，在所述外部装置与所述存储器之间实施一数据传输。

12、如权利要求 11 所述的系统，其中所述存储器模块进一步包括一存储器控制器且所述输入输出模块进一步包括一输入输出控制器，所述卡进一步包括：

一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述存储器控制器及所述输入输出控制器二者均独立地连接至所述总线结构，且其中所述直接存储器存取型传输是使用所述总线结构来实施的。

13、如权利要求 12 所述的系统，其中在所述直接存储器存取型传输期间，所述主机通过所述总线结构将一时钟信号提供至所述卡。

14、如权利要求 11 所述的系统，其中所述存储器模块进一步包括一组合存储器及输入输出控制器，所述卡进一步包括：

一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述组合控制器连接至所述总线结构且其中所述直接存储器存取型传输的实施不使用所述总线结构。

15、如权利要求 14 所述的系统，其中所述直接存储器存取型传输的实施与所述主机的时钟无关。

16、如权利要求 14 所述的系统，其中在所述直接存储器存取型传输期间，所述主机可存取所述数据。

17、如权利要求 11 所述的系统，其中所述卡符合所述 SD 卡标准。

18、如权利要求 11 所述的系统，其中所述输入输出模块包括一红外收发机。

19、如权利要求 11 所述的系统，其中所述输入输出模块包括一射频收发机。

20、如权利要求 11 所述的系统，其中所述输入输出模块包含用于一与所述外部装置的电缆连接的端口。

21、如权利要求 11 所述的系统，其进一步包括：

一插孔结构，所述卡可借助所述插孔结构附接至所述主机。

22、如权利要求 21 所述的系统，其中所述插孔结构是所述主机的一部分。

23、一种在与一主机系统相连的一电子电路卡的一非易失性存储器模块与一外部装置之间传送数据的方法，其包括自所述主机发出一命令至所述卡，且响应此，使用所述非易失性存储器与所述卡的一输入输出模块之间的一直接存储器存取传输来通过所述输入输出模块而非通过所述主机系统在所述存储器模块与所述外部装置之间传送数据。

24、如权利要求 23 所述的方法，其中通过一包含于所述输入输出模块内的天线在所述输入输出模块与所述外部装置之间以无线方式传送数据。

25、如权利要求 23 所述的方法，其中通过所述输入输出模块在所述存储器与所述外部装置之间传送数据利用所述卡中的一控制器，所述控制器还控制所述存储器与所述主机系统之间的所述数据传输。

26、如权利要求 25 所述的方法，其中通过所述输入输出模块在所述主机与所述外部装置之间传送数据是利用所述卡中的一控制器，所述控制器还控制所述输入输出模块与所述主机系统之间的数据传输。

27、如权利要求 26 所述的方法，其中在所述直接存储器存取传输期间，所述主机可存取所述数据。

28、一种可连接至一主机系统的电子电路卡，所述卡包括：

一包含一非易失性大量数据存储部分的存储器模块；及

一输入输出模块，其用于实施一外部数据传输，包括自所述主机-卡系统接收数据及/或将数据向外传输至所述主机-卡系统，其中，响应一来自与所述卡相连的一主机的命令，所述卡使用所述数据在所述输入输出模块与所述大量数据存储部分之间的一直接存储器存取型传输，实施至/自所述非易失性大量数据存储部分的所述外部数据传输。

29、如权利要求 28 所述的卡，其中所述数据为图像信息。

30、如权利要求 29 所述的卡，其中所述输入输出模块包括一图像传感器。

31、如权利要求 29 所述的卡，其中所述输入输出模块包括一透镜。

32、如权利要求 28 所述的卡，其中所述存储器模块进一步包括一存储器控制器且所述输入输出模块进一步包括一输入输出控制器，所述卡进一步包括：

一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述存储器控制器及所述输入输出控制器二者均独立地连接至所述总线结构，且其中所述直接存储器存取型传输是使用所述总线结构来实施的。

33、如权利要求 32 所述的卡，其中在所述直接存储器存取型传输期间，所述主机通过所述总线结构将一时钟信号提供至所述卡。

34、如权利要求 28 所述的卡，其中所述存储器模块进一步包括一组合存储器及输入输出控制器，所述卡进一步包括：

一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述组合控制器连接至所述总线结构且其中所述直接存储器存取型传输的实施不使用所述总线结构。

35、如权利要求 34 所述的卡，其中所述直接存储器存取型传输的实施与所述主机的时钟无关。

36、如权利要求 34 所述的卡，其中在所述直接存储器存取型传输期间，所述主机可存取所述数据。

37、一种系统，其包括：

一主机；及

一可连接至一主机系统的电子电路卡，所述卡包括：

一包含一非易失性大量数据存储部分的存储器模块；及

一输入输出模块，其用于实施一外部数据传输，包括自所述系统接收数据及/或将数据向外传输至所述系统，其中，响应一来自所述主机的命令，所述卡使用所述数据在所述输入输出模块与所述大量数据存储部分之间的一直接存储器存取型传输，实施至/自所述非易失性大量数据存储部分的所述外部数据传输。

38、如权利要求 37 所述的系统，其中所述数据为图像信息。

39、如权利要求 38 所述的系统，其中所述输入输出模块包括一图像传感器。

40、如权利要求 38 所述的系统，其中所述输入输出模块包括一图像传感器。

41、如权利要求 37 所述的系统，其中所述存储器模块进一步包括一存储器控制器且所述输入输出模块进一步包括一输入输出控制器，所述卡进一步包括：

一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述存储器控制器及所述输入输出控制器二者均独立地连接至所述总线结构，且其中所述直接存储器存取型传输是使用所述总线结构来实施的。

42、如权利要求 38 所述的系统，其中在所述直接存储器存取型传输期间，所述主机通过所述总线结构将一时钟信号提供至所述卡。

43、如权利要求 37 所述的系统，其中所述存储器模块进一步包括一组合存储器及输入输出控制器，所述卡进一步包括：

一总线结构，数据及命令借助所述总线结构在所述主机与卡之间交换，其中所述组合控制器连接至所述总线结构且其中所述直接存储器存取型传输的实施不使用所述总线结构。

44、如权利要求 43 所述的系统，其中所述直接存储器存取型传输的实施与所述主机的时钟无关。

45、如权利要求 43 所述的系统，其中在所述直接存储器存取型传输期间，

所述主机可存取所述数据。

46、如权利要求 37 所述的系统，其进一步包括：

一插孔结构，所述卡借助所述插孔结构附接至所述主机。

47、如权利要求 46 所述的系统，其中所述插孔结构为所述主机的部分。

## 进行直接存储器存取的组合非易失性存储器及输入输出卡

### 技术领域

本发明大体而言涉及可拆式电子电路卡的使用及结构，更具体而言，涉及兼具有一非易失性存储器模块及一输入输出（“I-O”）模块的卡。

### 背景技术

各种正逐渐流行的市售非易失性存储卡非常小并具有不同的机械及/或电气接口。其实例包括相关的多媒体卡（MultiMediaCard，“MMC”）及安全数字（Secure Digital，“SD”）存储卡，其可自位于 Sunnyvale California 的 Sandisk 公司 - 本发明的受让人购得。还存在其他符合国际标准化组织（“ISO”）及国际电工技术委员会（“IEC”）标准（其一得到广泛实施的实例称作 ISO/IEC 7816 标准）的卡。

MMC 的实体及电气规范在“多媒体卡系统规范（The MultiMedia Card System Specification）”中给出，该规范由位于 Cupertino, California 的多媒体卡协会（MultiMediaCard Association，“MMCA”）不时地更新及出版。日期分别为 1999 年 6 月及 2000 年 1 月的该规范的 2.11 版及 2.2 版以引用方式明确地并入本文中。目前，可自 SanDisk 公司购得在一单一卡中具有最高达 64 兆字节的不同存储容量的 MMC 产品，且在不久的将来有望得到 128 兆字节的容量。这些产品在由 SanDisk 公司出版的“多媒体卡产品手册（MultiMediaCard Product Manual）”（修订版 2，日期为 2000 年 4 月）中加以说明，该手册以引用方式明确地并入本文中。在 Thomas N. Toombs 及 Micky Holtzman 的同在申请中的专利申请案第 09/185,649 号及第 09/186,064 号中也说明了 MMC 产品的电气运行的某些方面，这两个专利申请案均在 1998 年 11 月 4 日提出申请，并受让于 SanDisk 公司。实体卡结构及其制造方法在受让于 SanDisk 公司的美国专利第 6,040,622 号中加以说明。这些申请案及专利均以引用方式明确地并入本文中。



更新的 SD 卡类似于 MMC 卡，其具有相同的尺寸，只是厚度增大，因而可容纳一附加存储器芯片。它们之间的主要差别在于，SD 卡包含附加的数据接点，以使卡与主机之间的数据传输更快。SD 卡的其他接点与 MMC 卡的接点相同，以使设计用于接纳 SD 卡的插孔也将接纳 MMC 卡。与 SD 卡的电气接口进一步制作成多半与在上文所提及的 MCC 产品规范的 2.11 版中所述的 MCC 产品向后兼容，以便几乎无需改变主机的工作即可容纳两种类型的卡。在美国专利申请案第 09/641,023 号中说明了 SD 卡的某些方面，该申请案以引用方式并入本文中。

根据 ISO/IEC 7816 标准制成的卡与 MMC 及 SD 卡具有不同的性质、具有处于不同位置的表面接点、并具有不同的电气接口。ISO/IEC 7816 标准的总标题为“识别卡 - 具有接点的积体电路卡 (Identification cards-Integrated Circuit(s) cards with Contacts)”，其由日期分别自 1994 年至 2000 年的第 1-10 部分组成。该标准（其副本可自位于瑞士，日内瓦的 ISO/IEC 得到）以引用方式明确地并入本文中。ISO/IEC 7816 卡尤其适用于其中必须以安全方式存储数据以便非常难以或不可能以未经授权方式读取数据的应用中。小的 ISO/IEC 7816 卡通常用于蜂窝电话及其他应用中。

目前，数据是通过存储卡所连接的主机系统在存储卡与某些外部装置之间传输。然而，并非与此等存储卡一起使用的所有主机系统均特别适于以快速、有效且便捷的方式如此传输某些类型的或大量的数据。

## 发明内容

因此，简要且大体地说，本发明利用一兼具有一具有一非易失性大容量存储器的存储器模块及一单独的输入输出模块的可拆式电子电路卡，以在该卡插入至主机系统内时在一直接存储器存取 (DMA) 类型的传输中通过该输入输出模块直接向及自该大容量存储器传输数据，而无需通过主机系统传递数据。在主机给出 DMA 命令后，即会与主机无关地实现数据传输，而只是在直接与卡进行此一数据传输期间由主机供电及可能提供时钟信号及其他类似支持。存储卡

的控制器结构被修改成也可用作存储器模块与输入输出模块之间的此一 DMA 传输的控制器。用于传输的数据可通过无线或电气连接方法在输入输出模块与外部装置之间传送。例如，输入输出模块可具有一天线或其他类型的收发机。

在单一卡中在输入输出模块与存储器模块之间引入 DMA 机理会具有若干优点。由于主机仅启动数据传输，因而其可最少地牵扯入实际数据传输中，因而其可在输入输出模块及存储器模块在其自身之间传输数据的同时处理其他任务。此外，由于在数据传输期间总线可闲置，因而会降低功率消耗。另外，DMA 机理所要求的命令及响应事务减少，因而数据传输变得快于传统方式。

在第一组实施例组中，存储器模块及输入输出模块分别具有其自身的控制器，以通过卡总线单独地与主机进行通信。在此种情形中，DMA 传输可使用该总线，且由主机提供一时钟信号。在第一组实施例组中，则对两个模组使用单个控制器，且 DMA 传输使用一与控制器所用总线不同的路径将数据及命令传输至主机及自主机传输数据及命令。

通过结合附图阅读下文说明，本发明的其他细节、特征及优点将变得显而易见。

## 附图说明

图 1 显示一其中利用一非易失性存储器模块及一输入输出模块的组组合的系统；

图 2 显示一实例性卡及一插入有该卡的系统插孔的引脚布置；

图 3 是图 1 及 2 所示卡的第一实施例的运行方块图；

图 4 是图 3 所示卡的更详细的电子方块图；

图 5 是图 1 及 2 所示卡的第二实施例的运行方块图；

图 6 是图 5 所示卡的更详细的电子方块图；

图 7 是一说明本发明的 DMA 运行的流程图；

图 8 是一显示一实例性命令结构的表。

## 具体实施方式

参照图 1，图中显示一主机电子系统 31 包括一插孔 22，使用者可在该插孔 33 内插入及拆下一或多种类型的市售可拆式电子电路卡，例如在上文“背景技术”中所归纳的存储卡。插孔 33 可内置于主机 31 内或在实体上独立并由电缆或无电缆方法连接。主机 31 可为包含可接纳此一卡的插孔 33 的台式或笔记本形式的个人计算机。包含此一卡插孔的主机系统的其他实例包括各种便携式电子装置，例如手持式计算机、个人组织器、其他个人数字助理 (PDA)、蜂窝电话、音乐播放器、及类似装置。另外，汽车收音机及全球定位系统 (“GPS”) 也可具有此一存储卡插孔。本发明的改进可应用于众多种包含存储卡插孔的主机系统。

在本文所述的各实例中，是说明 SD 卡，但应了解，本发明并不限于仅使用任一特定类型的可拆式电子电路卡来实施。在图 2 中，显示一 SD 卡 35 及一配合插孔 33 的实体构造。该 SD 卡为矩形形状，其尺寸为 24 毫米×32 毫米、厚度为 2.1 毫米，且沿卡的较长侧具有 1.4 毫米厚的窄轨 (图 2 中未显示)。本发明可使用具有众多种尺寸中一种尺寸的卡来实施，但高度适用于长度小于 50 毫米、宽带小于 40 毫米且厚度小于 3 毫米的卡。

SD 卡 35 包含九个表面电气接点 10-18。在插入至主机系统插孔 33 内时，接点 13、14 及 16 连接至电源 ( $V_{SS}$ ,  $V_{DD}$  及  $V_{SS2}$ )。卡接点 15 自主机接收一时钟信号 (CLK)。接点 12 自主机接收命令 (CMD) 并将响应及状态信号发送至主机。其余接点 10、11、17 及 18 (分别为 DAT 2, DAT 3, DAT 0 及 DAT 1) 并行地接收数据以供存储在其非易失性存储器中，并将数据自存储器并行地发送至主机。可选择使用更少数量的数据接点，例如单个数据节点 17。主机与卡之间的最大数据传输速率受限于所用并行数据路径的数量。在上文“背景技术”中所说明的 MMC 卡具有一类似的接点布局及接口，但省去了数据引脚 10 及 18 且未使用接点 11 - 其被设置为一备用接点。MMC 卡与 SD 卡具有相同的尺寸并

以类似于 SD 卡的方式工作，只是该卡仅厚 1.4 毫米并具有单个数据节点 17。卡 37 的接点通过插孔 33 的相应引脚 20-28 连接至其主机系统。在 2001 年 8 月 2 日提出申请的美国专利申请案 09/924,185 中说明了与本发明相兼容的存储卡的其他扩展件，该专利申请案以引用方式并入本文中。

本发明是基于可拆式电子电路卡，例如卡 35，其被修改成除一存储器模块（例如 36 处所示）外还包括一输入输出模块 37。输入输出模块 37 通过一通信路径 41 直接与某个其他系统 39 进行通信。通信路径 41 可为无线通信路径，例如借助红外或射频信号，或者可包括一有线连接。如果借助导线，则卡 35 包括一外部插孔以用于以可拆方式接纳一连接至这些导线的插头。而如果为无线通信路径，则卡 35 内包括一天线（如果使用射频通信）或一红外发射器及检测器（如果使用红外通信）。一正在出现的射频数据通信标准已经公布 - 蓝牙规范（Bluetooth Specifications），其由 Wilson 及 Kronz 论述于两篇题为“内部蓝牙第一部分（Inside Bluetooth Part I）”及“内部蓝牙第二部分（Inside Bluetooth Part II）”的文章中，这两篇文章发表于 2000 年 3 月刊（起始于第 62 页）及 2000 年 4 月刊（起始于第 58 页）的 Dr. Dobb's Journal 中，并以引用方式并入本文中。其他无线方案包括基于 802.11 协定的无线方案，例如 WiFi，以及基于超宽频（UWB）技术的无线方案。通过通信路径 41 进行的数据传输通常沿两个方向进行，但对于特定应用而言，当然也可将其限定于其中一个方向上。

在某些应用中，入射信号 41 可能并非明确地起源于一外部系统 39。举例而言，输入输出模块 37 可包含一集成于卡内的光传感器或透镜以使用作一数据机模块。在此种情形中，信号 41 将为入射辐射，且该卡将形成一独立的单元而无需通过电缆或天线与除主机外的任何实体进行相互作用。

在实例性实施例中，包含输入输出模块 37 的组合卡 35 是基于在“背景技术”中所述的 SD 存储卡并与 SD 存储卡相兼容。此种兼容性包括机械、电、电力、发信号及软件的兼容。组合卡 35 的目的在于为移动电子装置提供低功耗的高速数据 I/O。主要目标在于，将组合卡插入一无组合卡意识的主机内将不会导

致该装置或其软件出现物理损坏或破坏。在此种情形中，应仅仅忽略组合卡。在插入一具有组合卡意识的主机内后，可通过在 2.11 版的 MMC 规范或在美国专利申请案第 09/641,023 号中所述的通常方法来检测卡，2.11 版的 MMC 规范和美国专利申请案第 09/641,023 号均以引用的方式并入本文中并具有一定的延伸。在此种状态中，组合卡将闲置并占用少量的功率（在 1 秒钟内平均为 15mA）。在然后由主机对卡进行的正常初始化及询问中，卡将其自身标识为一组合卡装置。然后，主机软件将获得元组（链接表）格式的卡资讯并确定是否可接受启用该卡的 I/O 功能。该个决定将基于功率需求或适当软件驱动程序的可用性等参数。如果该卡是可接受的，那么将允许将该卡完全加电并起动 I/O 及内置于该卡内的功能。

在一个实施例中，I/O 存取与存储器存取的不同之处在于：无需 FAT（文件存取表）文件结构或块的概念（尽管支持块存取）即可单独、直接地写入及读取寄存器。这些寄存器允许存取 I/O 数据、控制 I/O 功能、报告状态或向/自主机传输 I/O 数据。SD 存储器通常依赖于固定块长度的概念，其中各命令会读取/写入这些固定大小块的中的多个。I/O 既可具有亦可不具有固定块长度，且读取大小可不同于写入大小。因此，I/O 作业既可基于长度（字节数）也可基于块大小。

在欧洲专利申请案 EP 0891047 与国际专利申请案第 WO 02/19266 号中介绍了能够经由一卡插孔在一外部通信系统与一主机系统之间实现数据传输的系统。然而，这两种系统均依赖两卡式结构，其中一输入输出卡附装至另一卡，该另一卡又附装至卡插孔。欧洲专利申请案 EP 1 001 348 介绍了一种包含一数据通信特征的存储型卡结构，但其具有相当有限的存储功能及其他功能。

在卡 35 中可包含若干输入输出功能中的一或多种功能，卡 35 可形成一单一 IO 模块 37 或具有数个模块。调制解调器即为一个实例，其中通信系统 39 为一电话系统。一般的数据传输功能可能具有高度的实用性，因为用户会希望传输众多种类型的数据。此包括传输声频及视频数据、大的数据库文件、游戏及

各种其他计算机程序。根据本发明的一主要方面，此种数据直接在远程系统 39 与存储器模块 36 之间传输，而无需经过主机系统 31。这是一种直接存储器存取 (“DMA”) 形式，当正在传输长的数据流时，其会具有特别的优点。主机 31 不需要具有用于处理此等数据及通信功能的硬件或软件。此完全由卡 35 执行。主机系统 31 对处理高速数据传输的任何限制、有限的内部存储容量或类似限制条件等不会限制直接与存储器模块 36 进行的数据传输。然而，主机 31 可向卡 35 提供电力及时钟信号。

尽管在本实例性实施例中，组合存储器及输入输出卡 35 的配合于卡插孔 33 内的部分应符合适当的标准，例如 MMC 卡或 SD 卡标准（在 2.11 版的 MMC 规范或美国专利申请案第 09/641,023 中加以说明，其二者均以在上文中引用的方式并入本文中），然而对组合卡 35 的延伸于插孔之外的尺寸并无特别限制，尽管较佳是将其制作得尽可能小且轻。详言之，SD 卡规范考虑到了此种延伸。该延伸的实际尺寸通常取决于 I/O 模块 37 或多个模块的性质。例如，I/O 模块 37 可包含一光传感器，以使卡 35 能在存储器模块中存储照片，该应用可能要求 I/O 模块 37 的实体尺寸大于某些先前的实例。

一般而言，在平面图中一长度小于 50 毫米、宽度小于 40 毫米的延伸尺寸在与一也小于该尺寸的可插入部分一起形成时会相当方便。为容纳一额外数量的集成电路芯片及/或一用于射频通信的天线，可能需要将卡的更大的外部部分的厚度制作得大于标准 SD 存储卡的厚度。但该延伸的卡部分的厚度可制作成小于 6 毫米，且通常小于 4 毫米。

组合卡 35 的本实例性实施例显示两个单独的模块 - 一个存储器 36 及一个 I/O 37，其一同驻存于一 SD 卡形状因数内。主机 31 能够分别通过一存储卡协议及一 I/O 协议单独地存取这两个模块中的每一模块。两个实例性实施例的方块图显示于图 3 及 5 中。（在图 3 及 5 中，可将图 1 所示的卡插孔 33 视为主机 31 的一部分。）

图 3 同样显示主机 31 连接至一组合卡 35。在本实施例中，存储器模块（图

1 中的 36) 由存储器控制器 101 及存储器 103 构成, 且 IO 模块 (图 1 中的 37) 由 IO 控制器 105 及 IO 元件 107 构成。这两个控制器 101 及 105 均连接至 SD 卡总线 43, 该 SD 卡总线 43 除其他特征外, 还具有可选的长度, 在美国专利申请案第 09/641,023 号中对此进行了更全面的说明。IO 元件 107 同样通过一通信路径 41 与外部系统 39 (此处将其视为一局域网 (LAN)) 进行通信。如上文所述, 卡 35 上的各单独的模块 (存储器模块及 IO 模块) 可通过 SD 卡总线 43 自主地与主机 31 进行通信。

首先, 考虑如下情形: 尽管存储器模块及 IO 模块为同一卡的一部分, 但除通过集中的主机干预后, 未定义用于在这两个模块之间传输数据的途径。在此种情形中, 对于在这些模块之间传输的每一位数据, 主机均必须首先自源模块 (存储器/IO) 进行读取, 然后将其写入至目标模块 (分别为 IO/存储器)。此会耗用时间、造成会吸取电流的 SD 卡总线活动、并使主机处于忙状态。其还将要求主机具有足够的 RAM 存储器来缓冲正传输的数据, 而在某些应用中可能并非如此。主机可能具有一相对有限的 RAM 容量, 但可使用所述 DMA 过程在存储器模块的大容量存储器中存储大量数据以供将来在主机中使用, 而无需其通过主机。例如, 可在主机处理其他正在运行的过程的同时, 通过 IO 模组将来自因特网的大量文件下载至存储器模块。

更具体而言, 考虑主机 31 如何可使用一组合卡 35 既自 LAN 39 下载信息又将其存储至存储器 103 的一大容量快闪存储器内、但不在存储器模块与输入输出模块之间进行直接存储器存取 (DMA) 的情形。该情形类似于当这两个模块未合并成单个卡时的情形。在此种情形中, 主机 31 希望通过一 IO 协议自 LAN 39 下载、并通过 SD 存储卡协议 (此处为 SD 协议) 存储至非易失性存储器 103 内的每一位信息均须由主机 31 直接处理。尤其对于大量数据, 例如音乐或视频内容, 此会变得特别低效。本发明的一主要方面是在组合卡内的这两个模块之间引入一 DMA 机理, 从而大大减少了主机在此等作业中的参与。

在一 SD 或其他组合卡 35 中的 IO 与存储器模块之间引入一 DMA 机理具有

若干优点。由于主机 31 仅启动数据传输，因而其可最少地参与实际的数据传输，因此在 IO 与存储器模块在其自身之间传输数据的同时，主机可处理其他任务。同样，当在数据传输期间 SD 总线 43 闲置时，功率消耗会得到降低。此外，该 DMA 机理所需要的命令及响应事务减少，因此数据传输变得快于传统方式。

所提出的 DMA 机理的基本概念是使主机启动 DMA 数据传输，并在这些卡模块在其自身之间传输数据的同时等待 DMA 结束。提供有一 SD 组合卡的实例性实施例的两个版本。在第一版本中 - 其是参照图 3 及 4 来说明并在此处称作“总线 DMA”，这两个模块的控制器之间具有最少的链接且这两个模块的控制器均钩挂至 SD 总线。在第二版本中 - 其是参照图 5 及 6 来说明且在此处称作“因特网 DMA”，这两个功能（存储器及 IO）由一个控制器管理，该控制器是位于卡的直接与 SD 总线接口的侧上的唯一实体。

图 3 为总线 DMA 实施例的方块图。在卡内存在两个控制器 102 及 105，这两个控制器均具有一与 SD 总线 43 的接口。数据通过 SD 总线 43 在存储器 103 与 IO 107 之间传输。在该实施例中，主机提供时钟信号，但除此之外其并不参与数据传输。在该种模式中，尽管在 SD 单总线模式、宽总线模式或 SPI 模式中可支持 DMA 传输，但较佳在 DMA 作业之前以在美国专利申请案第 09/641,023 号中所更全面说明的方式将总线宽度设定为 1。（由于 SD 卡使用 DAT1（在 2.11 版的 MMC 规范或美国专利申请案第 09/641,023 号中加以说明）在 DMA 传输结束时产生一中断，且在宽总线模式中主机可能不跟踪总线事务来确定合法中断周期。）

在该实施例中，当自 LAN 39 向存储器 103 中的非易失性大容量存储器传输数据时，数据首先通过通信路径 41 传输至 IO 107。自此，数据自 IO 控制器 105 经 SD 总线 43 传输至存储器控制器 101，然后传输至存储器 103 上。由于数据是通过 SD 总线 43 传输，因而在 DMA 传输期间，主机也可存取该数据。该过程由虚线示意性地指示。一旦主机指令该卡执行传输，除主机提供一时钟信号外，该过程即与主机无关地加以执行。自存储器进行的传输则以对应的反向方



式进行。

参加图 4, 该图以更详细的形式在方块图中显示一根据图 3 的经修改的 SD 卡 35 内的电子系统。一存储器控制器 101 通过线 104 与一或多个存储器单元 103 进行通信。控制器 101 包括一微处理器 106 及其接口电路 109。这些接口电路 109 又与一存储器 111、SD 总线/主机接口电路 113、及存储器接口电路 115 互连。存储器单元 103 包括一连接至线 104 的控制器接口 119 及一快闪存储器或非易失性大容量存储器阵列 121。控制器 101 及每一存储器单元 103 通常设置于单独的集成电路芯片上, 这些单独的集成电路芯片附装至卡的印刷电路板并在卡的印刷电路板上互连, 但随着处理技术的不断改进, 其趋势是将更多的集成电路芯片组合至单一芯片上。

在 123 处示意性地显示一通过总线 43 连接至接口 113 的连接器, 其包括 SD 卡的插入至卡插孔 33 (图 1 及 2) 内的表面接点。控制器 101 控制命令及数据在存储器单元 103 与卡所连接至的主机之间的流动。控制器 101 以与其在当前 SD 卡中所作的大体相同的方式管理存储器单元 103 的作业及其与主机的通信。

在 IO 模块中, IO 控制器 105 通过线 145 与一或多个 IO 单元 107 进行通信。IO 控制器同样包括一微处理器 147 及其接口电路 149。这些接口电路 149 又互连一存储器 151、SD 总线/主机接口电路 153、及与输入输出单元 107 相接口的电路 155。同样, 控制器 105 及每一 IO 单元 107 通常设置于单独的集成电路芯片上, 这些单独的集成电路芯片附装至卡的印刷电路板并在卡的印刷电路板上互连, 但随着处理技术的不断改进, 其趋势是将更多的集成电路芯片组合至单个芯片上。这些线 145 与一控制器接口电路 133 相连, 控制器接口电路 133 又与一处理器接口电路 135 相连。一控制输入输出卡的作业的微处理器 137 及一存储器 139 也与处理器接口 135 相连。其他实施方案在 IO 单元 107 中将不具有微处理器 137, 而是将具有某些专用逻辑加上一组由 I/O 控制器 105 管理的寄存器。一般而言, 由于存储器控制器 101 及 I/O 控制器 105 二者均将知晓 DMA 协议, 因而不需要具体的 DMA 元件。最后, 电路 141 进一步与处理器接口 135

相连，以在该处理器与通过一传输装置 143 所发送及/或接收的信号或数据之间进行接口。如果使用有线通信，则装置 143 为一用于一插头的插座。如果为使用射频的无线通信，则装置 143 为一天线。而如果为使用红外通信的无线通信，则装置 143 包括一红外辐射信号发射机及/或检测器。总之，微处理器 137 控制数据在装置 143 与连接器 131 之间的传输。

参照图 5 及 6 显示一内部 DMA。单一控制器 101' 执行 IO 单元 107 与存储器单元 103 之间的内部数据传输。在 DMA 传输期间，SD 总线 43 可完全闲置，从而降低功率消耗。因此，这是更为有效的方法。在一内部 DMA 作业期间，主机可读取正在该内部 DMA 作业中传输的数据，在此情形下，其中一个模块为数据源。为实现平行性，主机应支持宽总线模式中断，或者在 DMA 作业之前将卡切换至单总线模式，这是因为卡使用 DAT1 在内部 DMA 作业结束时产生一中断。（关于总线模式的详细说明，同样参见美国专利申请案第 09/641,023 号。）

在支持内部 DMA 的实施例 中，当自 LAN 39 向存储器 103 中的非易失性大容量存储器传输数据时，数据再次首先通过通信路径 41 传输至 IO 107。然而，现在，其直接通过控制器 101' 传输至存储器 103 而不使用 SD 总线 43。该过程由虚线示意性地显示。一旦主机指示该卡执行传输，SD 总线 43 即会闲置（除非主机 31 也自 IO 模块进行读取数据），且该过程与主机无关地加以执行。自存储器 103 至 LAN 39 的传输是以对应的反向方式执行的。自控制器 101' 至主机 31 的浅虚线显示在内部 DMA 处理中可选的数据读取。倘若在反向处理期间进行数据写入，那么该箭头也将反向。

图 6 更详细地显示一根据图 5 的经修改的 SD 卡 35 内的电子系统。一单一控制器 101' 通过线 104 与一或多个存储器单元 103 进行通信并通过线 145 与一或多个 IO 单元 107 进行通信。存储器单元 103 与 IO 单元 107 与上文参照图 4 所述的相同。控制器 101' 类似于图 4 所示的存储器控制器 101，且同样包括一微处理器 106' 及其接口电路 109'，这些接口电路 109' 又与一存储器 111'、SD 总线/主机接口电路 113' 及存储器接口电路 115' 互连。控制器 101' 现在也将包括用于

与一输入输出卡对接的电路 117。撇号用于表示图 6 所示控制器 101' 中的元件可能有别于图 4 中的相同编号元件，这是因为其可能会因先前在图 4 所示 IO 控制器 105 中处理的功能现在转移至组合控制器 101' 而略有不同。

控制器 101'、每一存储器单元 103 及每一 IO 单元 107 同样通常设置于单独的集成电路芯片上，这些集成电路芯片附装至卡的印刷电路板并在卡的印刷电路板上互连，但随着处理技术的不断改进，其趋势是将更多的集成电路芯片组合至单一芯片上。在 123 处示意性地显示一通过总线 43 连接至接口 113 的连接器，其包括 SD 卡插入至卡插孔 33（图 1 及 2）内的表面接点。控制器 101' 控制命令及数据在存储器单元 103 及 IO 单元 107 与和该卡相连的主机之间的流动。

一般而言，一既定卡将仅支持这两种 DMA 方法中的一种。尽管图 3 及 4 所示实施例显示两个控制器而图 5 及 6 所示实施例具有单个控制器，然而在实际中，此种划分多少有点人为性质，可在卡的不同芯片之间以各种方式分配各种功能。当将各元件组合于单个芯片上时，各控制器之间的划分将变得更加成为一习惯问题。总线 DMA 与内部 DMA 过程的主要的区别特征是在 IO 模块与大容量存储模块之间所使用的路径；即在本实例性实施例中，是否使用 SD 总线。

现在将更详细地说明本实例性 SD 卡实施例内的实施方案。为使本论述更为具体，将引用在“多媒体卡系统规范” 2.11 及 2.2 版中及在美国专利申请案第 09/185,649 号、第 09/186,064 号及第 09/641,023 号中所更全面解释的各种命令、结构及寄存器，所有这些申请案均以上述引用方式并入本文中。

为指示支持 DMA，可为一卡控制寄存器分配两个位用于确定 DMA 方法。例如，在那些位中为 '00' 值可意味着不支持 DMA，为 '01' 意味着支持总线 DMA，为 '10' 则意味着支持内部 DMA。主机只需读取一次这些位，并将其应用于所有后续与该卡的 DMA 事务中。

在 SD 卡命令结构内，为 DMA 过程定义一新的命令 DMA\_CMD。主机在希望调用一 DMA 作业时使用该命令。一实例性命令结构为图 8 所示的表。该表中的第一行为专用于第二行中每一项的位数，在本实例中第二行中的各项定

义如下:

S (start bit): 开始位。始终为'0'。

D (irection): 方向。始终为'1', 表示自主机传输至卡。

DMA 方向: '1'意味着数据自 IO 传输至存储器, '0'意味着数据自存储器传输至 IO

IO 功能编号: 主机希望自/向存储器模块读取/写入的 IO 模块内的功能编号。

OP 码: 将 IO 地址定义为'0' - 固定地址, '1' - 递增地址。

IO 寄存器地址: IO 寄存器读取或写入的开始地址。

块计数: 在 DMA 作业中将传输的数据块的数量。

填充位 (stuff bit): 无意义, 始终为'0'。

CRC 7: 7 位的命令循环冗余校验 (CRC)。

E (nd bit): 结尾位, 始终为'1'。

在 SD 或 MMC 命令结构中, 当卡处于传输状态或准备自主机得到数据事务命令时, 该命令合法, 此后卡将以一与模式相适合的响应做出回应。

图 7 为一说明本发明的 DMA 作业的流程图。在步骤 701 中, 主机读取卡控制寄存器中的 DMA 标识位, 以确定是否支持及支持何种 DMA 方法。尽管一卡可同时支持两种 DMA 模式, 但较佳实施例被限定为每一卡支持单种模式, 因为这会既简化技术规范又简化实施方案。在步骤 703 中, 主机向卡发送 DMA 命令 DMA\_CMD。其包括 DMA 方向 (如果需要自存储器模块向 IO 功能传输, 则 = '0', 反之 = '1')、设定至所需 IO 功能的 IO 功能编号、OP 码 (如果 IO 地址固定, 则 = '0', 或者如果 IO 地址递增, 则 = '1')、IO 寄存器地址 (设定为反映 IO 寄存器开始地址)、及块计数。块计数被设定成反映数据块的数量, 数据块的大小预先通过 SD/MMC 命令结构中的 CMD16 (对于存储器) 及 CMD52/53 (对于 IO) 加以设定。

在步骤 705 中, 卡对 DMA\_CMD 作出响应。如果存在任何问题 (例如非法命令), 则该流程终止。在步骤 707 中, 主机向存储器模块发送一写入/读取命令

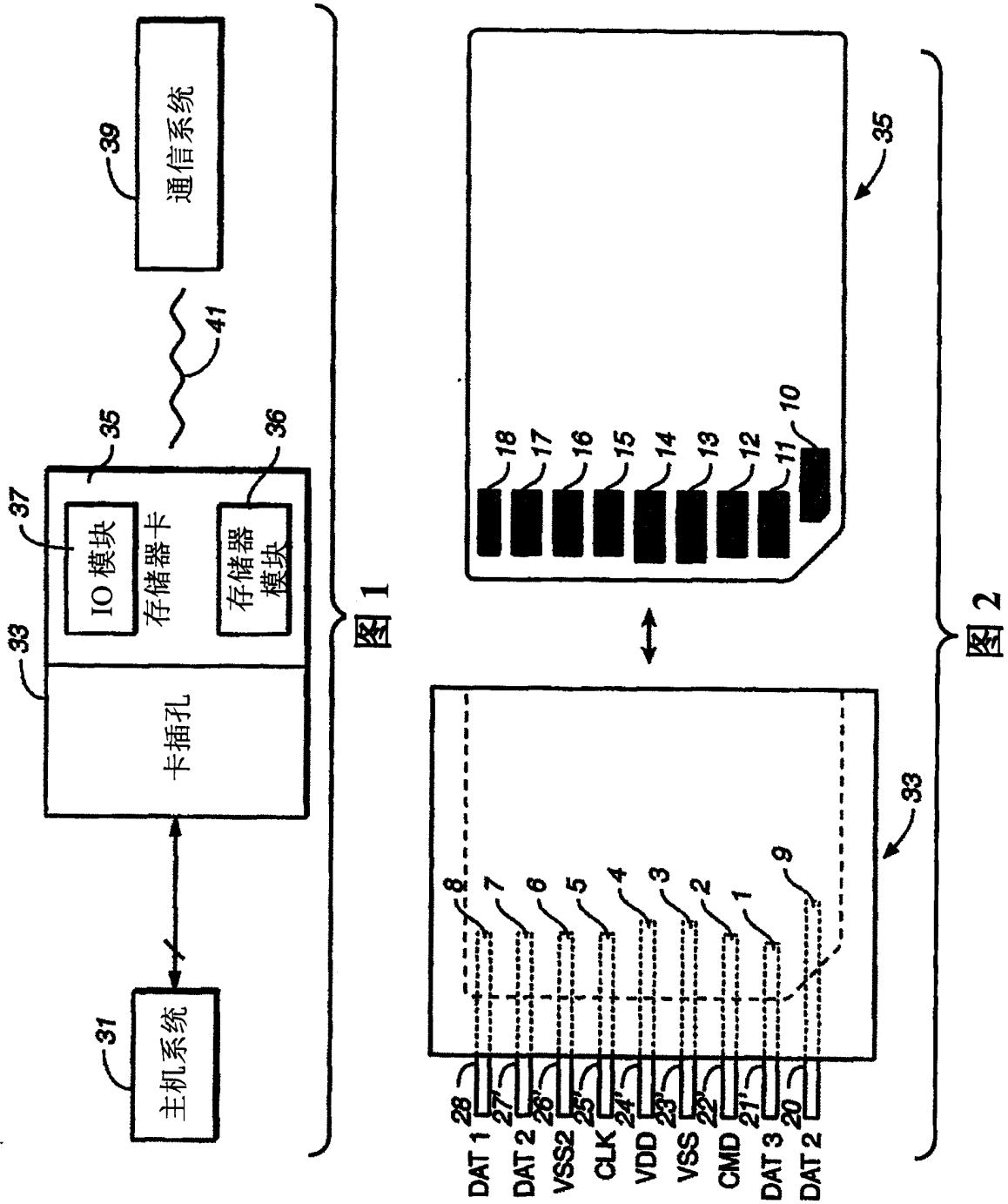
(SD/MMC 命令结构中的 CMD 17/18 或 24/25)。根据 DMA 类型，主机确定出在传输期间其需要为卡提供何种信号。例如，如果该方法为总线 DMA，则主机继续为 SD 总线提供一时钟信号，否则，其可停止这些时钟。

然后，在步骤 711 中，这两个模块在其自身之间传输数据，且在步骤 713 中该卡指示该过程结束。在 SD 卡情形下，在 DMA 作业结束时，卡将在 DAT1 线上产生一中断（置为'0'）。最后，作为步骤 715，主机读取正常存储器及 IO 状态（SD/MMC 命令结构中的 CMD13 及 CMD52）来确定该结束状态。

在基于 SD 卡命令结构的总线 DMA 实施例中，这两个模块之间的信号交换就循环冗余校验（CRC）、CRC 响应及忙指示而言，与在正常作业中主机与卡之间的信号交换相同。源模块在数据线上显示数据，随后是一 CRC16 及结尾位。目标模块则以一 CRC 响应及忙指示作出响应。所有总线定时定义均遵守正常的 SD 总线定时。

如上文所述，尽管上文是就 SD 卡实施例而言来说明本发明，然而其可扩展至任一组合存储器/IO 卡。例如，可将本发明扩展至一使用内部文件系统的组合卡标准，例如容纳智能卡控制器的卡。在此一系统中，可大大减少主机参与，因为主机可为整个文件规定一 DMA 作业而无需针对文件的每一组块（例如，一磁盘群集或操作系统的其他适当单元）启动一 DMA 传输。

尽管上文是参照具体实施例来说明本发明的各个方面，然而应了解，本发明在随附权利要求书的整个范围内受到保护。



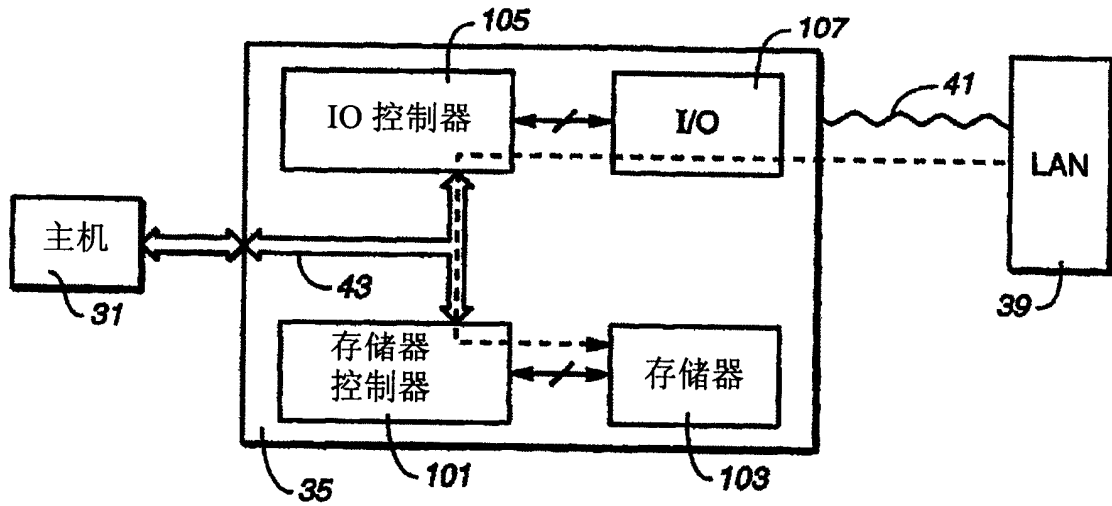


图 3

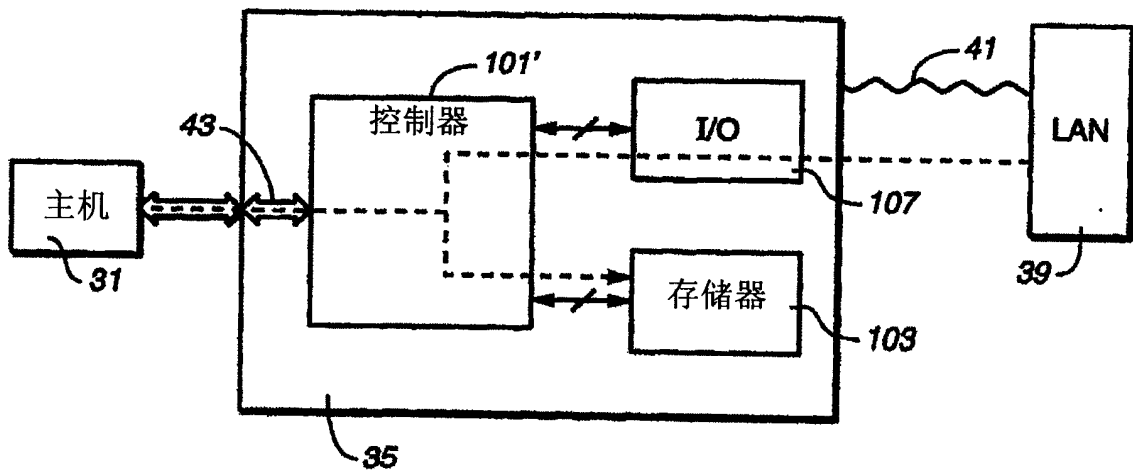


图 5

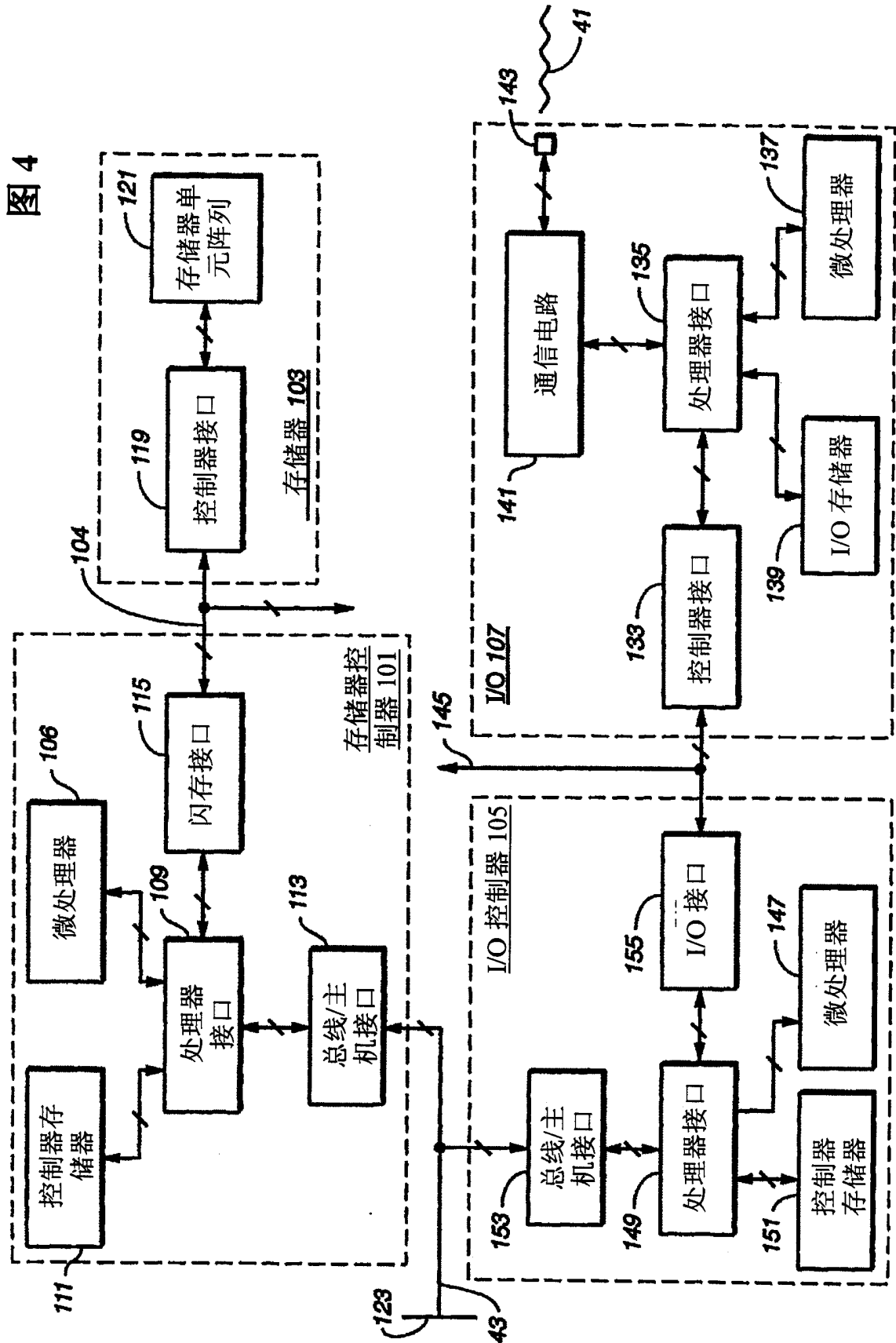


图 4



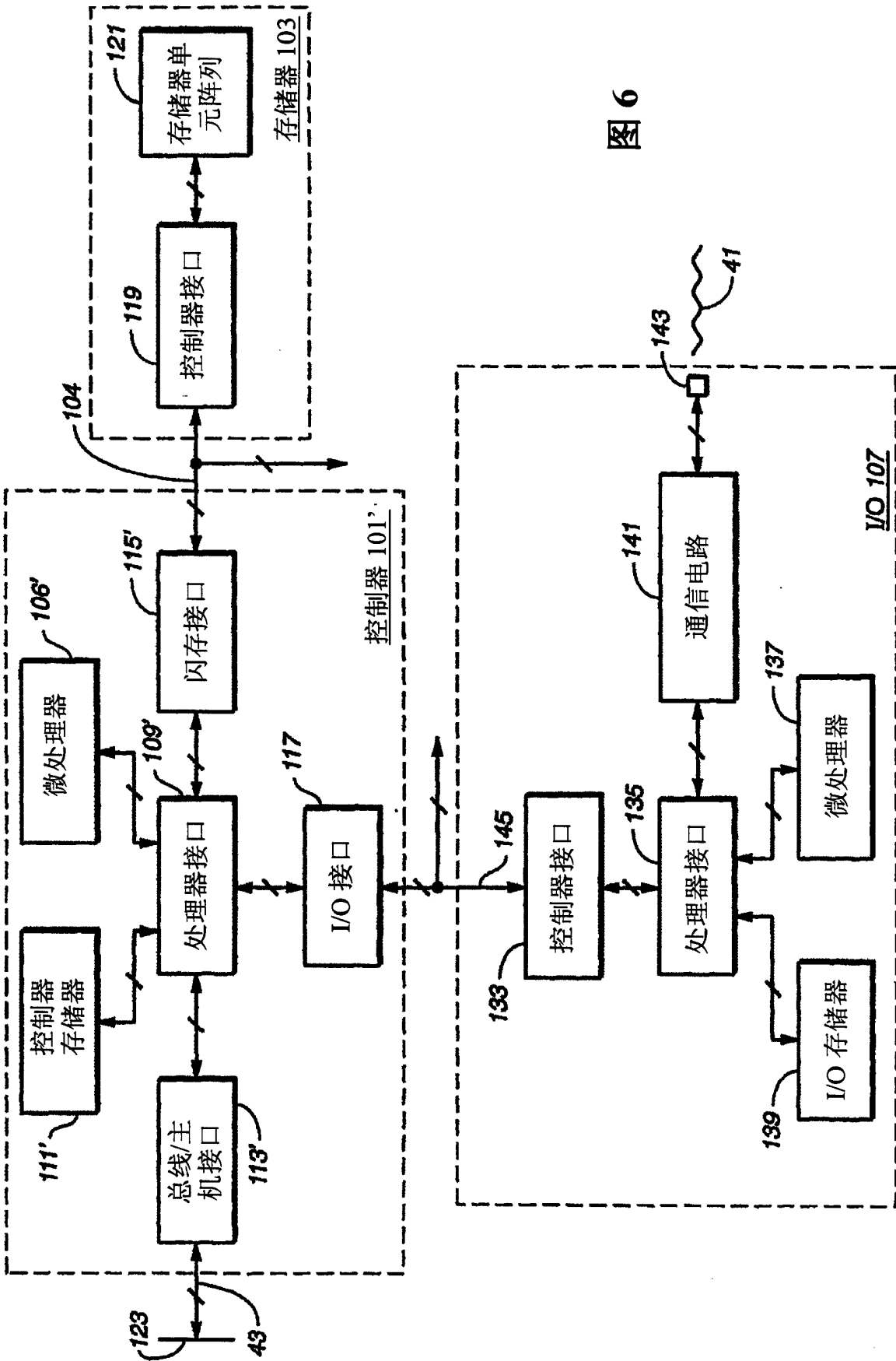


图 6

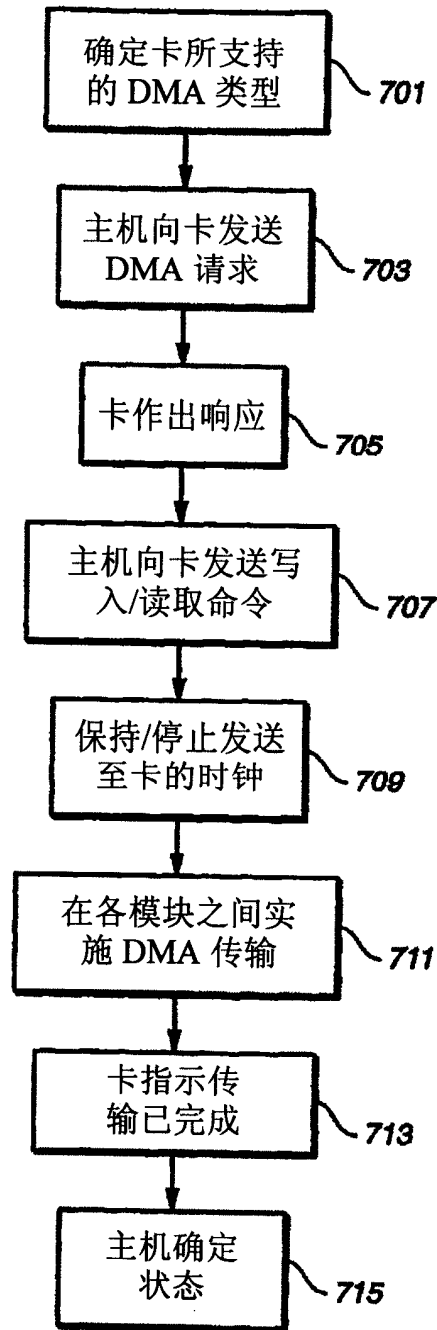


图 7

1	1	6	1	3	1	17	9	1	7	1
S	D	命令索引	DMA方向	IO功能编号	OP码	IO寄器地址	块计数	填充位 '0'	CRC7	E

图 8