



## (12) 发明专利

(10) 授权公告号 CN 109378311 B

(45) 授权公告日 2023.06.16

(21) 申请号 201811195340.9

(74) 专利代理机构 上海专利商标事务所有限公

(22) 申请日 2014.08.21

司 31100

(65) 同一申请的已公布的文献号

专利代理人 唐杰敏

申请公布号 CN 109378311 A

(51) Int.CI.

(43) 申请公布日 2019.02.22

H01L 27/092 (2006.01)

(30) 优先权数据

H01L 23/482 (2006.01)

13/975,185 2013.08.23 US

H01L 23/522 (2006.01)

(62) 分案原申请数据

H01L 27/02 (2006.01)

201480046244.1 2014.08.21

H01L 21/8238 (2006.01)

(73) 专利权人 高通股份有限公司

H03K 17/16 (2006.01)

地址 美国加利福尼亚州

H03K 17/687 (2006.01)

(72) 发明人 S·H·拉苏里 M·J·布鲁诺利

(56) 对比文件

C·S-A·霍-里格 M·马拉布里

US 5903019 A, 1999.05.11

S·K·哈里什

CN 102624377 A, 2012.08.01

P·巴拉苏布拉马尼恩

US 6339235 B1, 2002.01.15

K·麦迪赛蒂 N·伯什泰恩

TW 508798 B, 2002.11.01

A·达塔 O·翁

US 6252427 B1, 2001.06.26

CN 101231993 A, 2008.07.30

审查员 董巍

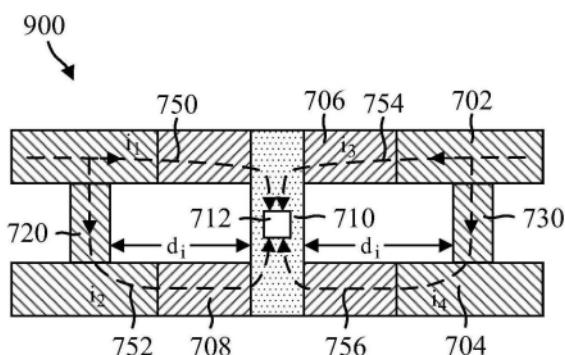
权利要求书3页 说明书15页 附图19页

## (54) 发明名称

用于解决电迁移的布局构造

## (57) 摘要

本发明涉及用于解决电迁移的布局构造。具有各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管的CMOS器件包括一互连级上的在长度方向上延伸以将PMOS漏极连接在一起的第一互连。该互连级上的第二互连在长度方向上延伸以将NMOS漏极连接在一起。至少一个附加互连级上的一互连集合将第一互连和第二互连耦合在一起。该互连级上的第三互连垂直于长度方向延伸并且偏离该互连集合以将第一互连和第二互连连接在一起。



1. 一种CMOS器件，包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管，所述CMOS器件包括：

一互连级上的将所述PMOS漏极的第一子集连接在一起的第一互连；

所述互连级上的将所述PMOS漏极的第二子集连接在一起的第二互连，所述PMOS漏极的第二子集不同于所述PMOS漏极的第一子集，所述第一互连和所述第二互连在所述互连级上断开连接；

所述互连级上的将所述NMOS漏极的第一子集连接在一起的第三互连；

所述互连级上的将所述NMOS漏极的第二子集连接在一起的第四互连，所述NMOS漏极的第二子集不同于所述NMOS漏极的第一子集，所述第三互连和所述第四互连在所述互连级上断开连接，其中所述第一互连、所述第二互连、所述第三互连和所述第四互连通过至少一个其他互连级来耦合在一起；以及

所述互连级上的一个或多个附加互连，所述一个或多个附加互连将至少所述第一互连与所述第三互连连接在一起并且将所述第二互连与所述第四互连连接在一起以提供与通过所述至少一个其他互连级的电流路径并联的一个或多个电流路径。

2. 如权利要求1所述的CMOS器件，其特征在于，所述第一互连、所述第二互连、所述第三互连和所述第四互连通过所述至少一个其他互连级经由一互连集合来耦合在一起。

3. 如权利要求2所述的CMOS器件，其特征在于，所述一个或多个附加互连包括所述互连级上的第五互连和所述互连级上的第六互连，所述第五互连偏离所述互连集合以将所述第一互连和所述第三互连连接在一起，所述第六互连偏离所述互连集合以将所述第二互连和所述第四互连连接在一起，其中所述第五互连和所述第六互连在所述互连集合的相对侧上。

4. 如权利要求2所述的CMOS器件，其特征在于，所述至少一个其他互连级包括第二互连级和第三互连级，且所述互连集合包括：

所述第二互连级上的第七互连，所述第七互连将所述第一互连和所述第二互连耦合在一起；

所述第二互连级上的第八互连，所述第八互连将所述第三互连和所述第四互连耦合在一起；以及

所述第三互连级上的将所述第七互连和所述第八互连耦合在一起的第九互连。

5. 如权利要求1所述的CMOS器件，其特征在于，所述第一互连、所述第二互连、所述第三互连和所述第四互连各自在长度上小于2μm。

6. 如权利要求4所述的CMOS器件，其特征在于，所述第七互连和所述第八互连各自在长度上小于2μm。

7. 一种CMOS器件，包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管，所述CMOS器件包括：

用于在一互连级上将所述PMOS漏极的第一子集与第一互连相连接的装置；

用于在所述互连级上将所述PMOS漏极的第二子集与第二互连相连接的装置，所述PMOS漏极的第二子集在所述互连级上与所述PMOS漏极的第一子集断开连接；

用于在所述互连级上将所述NMOS漏极的第一子集与第三互连相连接的装置；

用于在所述互连级上将所述NMOS漏极的第二子集与第四互连相连接的装置，所述NMOS

漏极的第二子集在所述互连级上与所述NMOS漏极的第一子集断开连接；

用于通过至少一个其他互连级来将所述第一互连、所述第二互连、所述第三互连和所述第四互连耦合在一起的装置；以及

用于通过所述互连级上的一个或多个附加互连来将至少所述第一互连和所述第三互连连接在一起并且将所述第二互连和所述第四互连连接在一起以提供与通过所述至少一个其他互连级的电流路径并联的一个或多个电流路径的装置。

8. 如权利要求7所述的CMOS器件，其特征在于，所述用于通过至少一个其他互连级来将所述第一互连、所述第二互连、所述第三互连和所述第四互连耦合在一起的装置包括：用于通过所述至少一个其他互连级经由一互连集合来耦合所述第一互连、所述第二互连、所述第三互连和所述第四互连的装置。

9. 如权利要求8所述的CMOS器件，其特征在于，所述用于通过所述互连级上的一个或多个附加互连来将至少所述第一互连和所述第三互连连接在一起并且将所述第二互连和所述第四互连连接在一起的装置包括：用于通过所述互连级上的偏离所述互连集合的第五互连来将所述第一互连和所述第三互连连接在一起的装置，以及用于通过所述互连级上的偏离所述互连集合的第六互连来将所述第二互连和所述第四互连连接在一起的装置，所述第五互连和所述第六互连在所述互连集合的相对侧上。

10. 如权利要求8所述的CMOS器件，其特征在于，所述至少一个其他互连级包括第二互连级和第三互连级，且所述互连集合包括：

用于通过所述第二互连级上的第七互连来将所述第一互连和所述第二互连耦合在一起的装置；

用于通过所述第二互连级上的第八互连来将所述第三互连和所述第四互连耦合在一起的装置；以及

用于通过所述第三互连级上的第九互连来将所述第七互连和所述第八互连耦合在一起的装置。

11. 如权利要求7所述的CMOS器件，其特征在于，所述第一互连、所述第二互连、所述第三互连和所述第四互连各自在长度上小于2μm。

12. 如权利要求10所述的CMOS器件，其特征在于，所述第七互连和所述第八互连各自在长度上小于2μm。

13. 一种布置CMOS器件的方法，所述CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管，所述方法包括：

在一互连级上将所述PMOS漏极的第一子集与第一互连互连；

在所述互连级上将所述PMOS漏极的第二子集与第二互连互连，所述PMOS漏极的第二子集在所述互连级上与所述PMOS漏极的第一子集断开连接；

在所述互连级上将所述NMOS漏极的第一子集与第三互连互连；

在所述互连级上将所述NMOS漏极的第二子集与第四互连互连，所述NMOS漏极的第二子集在所述互连级上与所述NMOS漏极的第一子集断开连接；

通过至少一个其他互连级来将所述第一互连、所述第二互连、所述第三互连和所述第四互连互连在一起；以及

通过所述互连级上的一个或多个附加互连来将至少所述第一互连和所述第三互连互

连在一起并且将所述第二互连和所述第四互连互连在一起以提供与通过所述至少一个其他互连级的电流路径并联的一个或多个电流路径。

14. 如权利要求13所述的方法,其特征在于,通过至少一个其他互连级来将所述第一互连、所述第二互连、所述第三互连和所述第四互连互连在一起包括:通过所述至少一个其他互连级经由一互连集合来互连所述第一互连、所述第二互连、所述第三互连和所述第四互连。

15. 如权利要求14所述的方法,其特征在于,通过所述互连级上的一个或多个附加互连来将至少所述第一互连和所述第三互连互连在一起并且将所述第二互连和所述第四互连互连在一起包括:通过所述互连级上的偏离所述互连集合的第五互连来将所述第一互连和所述第三互连互连在一起,以及通过所述互连级上的偏离所述互连集合的第六互连来将所述第二互连和所述第四互连互连在一起,所述第五互连和所述第六互连在所述互连集合的相对侧上。

16. 如权利要求14所述的方法,其特征在于,所述至少一个其他互连级包括第二互连级和第三互连级,并且通过所述至少一个其他互连级经由一互连集合来互连所述第一互连、所述第二互连、所述第三互连和所述第四互连包括:

通过所述第二互连级上的第七互连来将所述第一互连和所述第二互连耦合在一起;

通过所述第二互连级上的第八互连来将所述第三互连和所述第四互连耦合在一起;以及

通过所述第三互连级上的第九互连来将所述第七互连和所述第八互连耦合在一起。

17. 如权利要求13所述的方法,其特征在于,所述第一互连、所述第二互连、所述第三互连和所述第四互连各自在长度上小于2μm。

18. 如权利要求16所述的方法,其特征在于,所述第七互连和所述第八互连各自在长度上小于2μm。

## 用于解决电迁移的布局构造

[0001] 本申请是国际申请号为PCT/US2014/052015,国际申请日为2014年8月21日,进入中国国家阶段的申请号为201480046244.1,名称为“用于解决电迁移的布局构造”的发明专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求于2013年8月23日提交的题为“LAYOUT CONSTRUCTION FOR ADDRESSING ELECTROMIGRATION(用于解决电迁移的布局构造)”的美国非临时申请S/N.13/975,185的优先权,其通过援引全部明确纳入于此。

[0004] 背景

[0005] 领域

[0006] 本公开一般涉及布局构造,尤其涉及用于解决互补金属氧化物半导体(CMOS)器件中的电迁移(EM)的布局构造。

### 背景技术

[0007] EM是由于导电电子与漫射金属原子之间的动量转移通过导体中的离子的逐步移动而导致的材料运送。EM可导致连接的最终丢失或者集成电路(IC)的故障,并因此降低IC的可靠性。因此,需要布置CMOS器件以用于解决EM的方法。此外,需要具有用于解决EM的布局构造的CMOS器件。

[0008] 概述

[0009] 在本公开的一方面,提供了一种CMOS器件,该CMOS器件包括各自具有p型金属氧化物半导体(PMOS)漏极的多个PMOS晶体管以及各自具有n型金属氧化物半导体(NMOS)漏极的多个NMOS晶体管。CMOS器件包括一互连级上的将PMOS漏极的第一子集连接在一起的第一互连。CMOS器件进一步包括该互连级上的将PMOS漏极的第二子集连接在一起的第二互连。PMOS漏极的第二子集不同于PMOS漏极的第一子集。第一互连和第二互连在该互连级上断开连接。该CMOS器件在该互连级上还包括将NMOS漏极的第一子集连接在一起的第三互连。该CMOS器件在该互连级上还包括将NMOS漏极的第二子集连接在一起的第四互连。NMOS漏极的第二子集不同于NMOS漏极的第一子集。第三互连和第四互连在该互连级上断开连接。第一互连、第二互连、第三互连和第四互连通过至少一个其它互连级耦合在一起。

[0010] 在本公开的一方面,提供了一种布置CMOS器件的方法,该CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。PMOS漏极的第一子集在一互连级上与第一互连互连。PMOS漏极的第二子集在该互连级上与第二互连互连。PMOS漏极的第二子集在该互连级上与PMOS漏极的第一子集断开连接。NMOS漏极的第一子集在该互连级上与第三互连互连。NMOS漏极的第二子集在该互连级上与第四互连互连。NMOS漏极的第二子集在该互连级上与NMOS漏极的第一子集断开连接。第一互连、第二互连、第三互连和第四互连通过至少一个其它互连级耦合在一起。

[0011] 在本公开的一方面,提供了一种操作CMOS器件的方法,该CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。第一电流从在一互

连级上与第一互连互连的PMOS漏极的第一子集流动。第二电流从在该互连级上与第二互连互连的PMOS漏极的第二子集流动。PMOS漏极的第二子集在该互连级上与PMOS漏极的第一子集断开连接。第三电流流动至在该互连级上与第三互连互连的NMOS漏极的第一子集。第四电流流动至在该互连级上与第四互连互连的NMOS漏极的第二子集。NMOS漏极的第二子集在该互连级上与NMOS漏极的第一子集断开连接。第一互连、第二互连、第三互连和第四互连通过至少一个其它互连级耦合在一起。在CMOS器件接收到低输入之际，该第一电流和第二电流经过至少一个其它互连级流动至CMOS器件的输出端。在CMOS器件接收到高输入之际，该第三电流和第四电流经过该至少一个其它互连级从CMOS器件的输出端流动。

[0012] 在本公开的一方面，提供了一种CMOS器件，该CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。该CMOS器件包括一互连级上的在长度方向上延伸以将PMOS漏极连接在一起的第一互连。该CMOS器件在该互连级上还包括在长度方向上延伸以将NMOS漏极连接在一起的第二互连。该CMOS器件在至少一个附加互连级上还包括将第一互连和第二互连耦合在一起的一互连集合。该CMOS器件在该互连级上还包括第三互连，该第三互连垂直于长度方向地延伸并且偏离该互连集合以将第一互连和第二互连连接在一起。

[0013] 在本公开的一方面，提供了一种布置CMOS器件的方法，该CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。PMOS漏极在一互连级上与在长度方向上延伸的第一互连互连。NMOS漏极在该互连级上与在长度方向上延伸的第二互连互连。第一互连和第二互连与至少一个附加互连级上的一互连集合互连。第一互连和第二互连在该互连级上与垂直于长度方向延伸并且偏离该互连集合的第三互连互连。

[0014] 在本公开的一方面，提供了一种操作CMOS器件的方法，该CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。第一电流流经在长度方向上延伸并在一互连级上将PMOS漏极互连的第一互连。第二电流流经在长度方向上延伸并在该互连级上将NMOS漏极互连的第二互连。第三电流流经至少一个附加互连级上的将第一互连和第二互连互连的一互连集合。第四电流流经第三互连，该第三互连垂直于长度方向延伸并且偏离该互连集合并且在该互连级上将第一互连和第二互连互连。第五电流流经第四互连，该第四互连在该互连级上将第一互连和第二互连互连，垂直于长度方向延伸，并且偏离该互连集合。第三互连和第四互连在该互连集合的相对侧。在CMOS器件接收到低输入之际，第一电流经过第一互连流动至该互连集合的第一子集，第二电流从第三互连和第四互连经过第二互连流动至该互连集合的第二子集，第三电流从第一互连和第二互连流动经过该互连集合，第四电流从第一互连经过第三互连流动至第二互连，而第五电流从第一互连经过第四互连流动至第二互连。在CMOS器件接收到高输入之际，第一电流从该互连集合的第一子集经过第一互连流动至第三互连和第四互连，第二电流从该互连集合的第二子集流动经过第二互连，第三电流从该互连集合流动至第一互连和第二互连，第四电流从第一互连经过第三互连流动至第二互连，而第五电流从第一互连经过第四互连流动到第二互连。

[0015] 在本公开的一方面，提供了一种CMOS器件，该CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。CMOS器件包括一互连级上的将PMOS漏极的第一子集连接在一起的第一互连。CMOS器件包括该互连级上的将PMOS漏极的第

二子集连接在一起的第二互连。PMOS漏极的第二子集不同于PMOS漏极的第一子集。第一互连和第二互连在该互连级上断开连接。该CMOS器件在该互连级上还包括将NMOS漏极的第一子集连接在一起的第三互连。该CMOS器件在该互连级上还包括将NMOS漏极的第二子集连接在一起的第四互连。NMOS漏极的第二子集不同于NMOS漏极的第一子集。第三互连和第四互连在该互连级上断开连接。第一互连、第二互连、第三互连和第四互连通过至少一个其它互连级耦合在一起。CMOS器件在第二互连级上还包括第五互连。第五互连将第一互连和第二互连耦合在一起。CMOS器件在第二互连级上还包括第六互连。第六互连将第三互连和第四互连耦合在一起。CMOS器件在第三互连级上还包括第七互连。第七互连将第五互连和第六互连耦合在一起。CMOS器件还包括该互连级上的将第一互连和第三互连连接在一起的第八互连。CMOS器件还包括该互连级上的将第二互连和第四互连连接在一起的第九互连。

[0016] 在本公开的一方面,提供了一种布置CMOS器件的方法,该CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。PMOS连接的第一子集在一互连级上与第一互连互连。PMOS漏极的第二子集在该互连级上与第二互连互连。PMOS漏极的第二子集在该互连级上与PMOS漏极的第一子集断开连接。NMOS漏极的第一子集在该互连级上与第三互连互连。NMOS漏极的第二子集在该互连级上与第四互连互连。NMOS漏极的第二子集在该互连级上与NMOS漏极的第一子集断开连接。第一互连和第二互连在第二互连级上与第五互连互连。第三互连和第四互连在第二互连级上与第六互连互连。第五互连和第六互连在第三互连级上与第七互连互连。第一互连和第三互连在该互连级上与第八互连互连。第二互连和第四互连在该互连级上与第九互连互连。

[0017] 附图简述

- [0018] 图1是解说CMOS反相器的示图。
- [0019] 图2是解说CMOS反相器的示例性布局的第一示图。
- [0020] 图3是解说CMOS反相器的示例性布局的第二示图。
- [0021] 图4是解说CMOS器件的第一组示例性布局的第一示图。
- [0022] 图5是解说CMOS器件的第一组示例性布局的第二示图。
- [0023] 图6是解说CMOS器件的第一组示例性布局的第三示图。
- [0024] 图7A是解说CMOS器件的互连内的电流流动的示图。
- [0025] 图7B是图7A的示图的互连内的电流流动的图示。
- [0026] 图8是解说CMOS器件的第二组示例性布局的第一示图。
- [0027] 图9A是解说示例性CMOS器件的互连内的电流流动的第一图示。
- [0028] 图9B是解说示例性CMOS器件的互连内的电流流动的第二图示。
- [0029] 图9C是图9A和图9B的示图的互连内的电流流动的示图。
- [0030] 图10是解说CMOS器件的第二组示例性布局的第二示图。
- [0031] 图11是解说CMOS器件的第三组示例性布局的第一示图。
- [0032] 图12是解说CMOS器件的第三组示例性布局的第二示图。
- [0033] 图13是解说CMOS器件的第三组示例性布局的第三示图。
- [0034] 图14是用于布置CMOS器件的第一方法的流程图。
- [0035] 图15是用于操作CMOS器件的第一方法的流程图。
- [0036] 图16是用于布置CMOS器件的第二方法的流程图。

[0037] 图17是用于操作CMOS器件的第二方法的流程图。

[0038] 详细描述

[0039] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文所描述的概念的仅有配置。本详细描述包括具体细节以提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以便避免淡化此类概念。装置和方法将在以下详细描述中进行描述并可以在附图中由各种框、模块、组件、电路、步骤、过程、算法、元件等来解说。

[0040] 图1是解说CMOS反相器的示图100。CMOS反相器包括PMOS晶体管102和NMOS晶体管104。PMOS晶体管102的源极连接到 $V_{DD}$ 。PMOS晶体管的栅极连接到 $V_{in}$ 以及NMOS晶体管104的栅极。PMOS晶体管的漏极连接到 $V_{out}$ 以及NMOS晶体管104的漏极。NMOS晶体管104的源极连接到 $V_{SS}$ 。NMOS晶体管104的栅极连接到 $V_{in}$ 以及PMOS晶体管102的栅极。NMOS晶体管104的漏极连接到 $V_{out}$ 以及PMOS晶体管102的漏极。PMOS晶体管102可包括并联的多个PMOS晶体管,而NMOS晶体管104可包括并联的多个NMOS晶体管。PMOS和NMOS晶体管可通过互连集合来连接在一起,如上所述。当输入 $V_{in}$ 是时钟时,CMOS反相器可被称为时钟单元。时钟单元能够以作为 $V_{in}$ 处的时钟输入的频率的操作时钟频率 $f$ 来操作。

[0041] 当 $V_{in}$ 从高转变至低、PMOS晶体管102被导通且NMOS晶体管104被截止时的电流 $i_p$ 的均值以及当 $V_{in}$ 从低转变至高、PMOS晶体管102被截止且NMOS晶体管104被导通时的电流 $i_n$ 的均值可被称为 $I_{ave}$ 。平均电流 $I_{ave} \propto C(V_{DD} - V_{SS}) f_{max}$ ,其中C是 $V_{out}$ 处的负载电容C 106,而 $f_{max}$ 是时钟单元的最大操作时钟频率。为了维持EM遵从性,经过互连的平均电流 $I_{avg}$ 应小于 $I_{max}$ 。值 $I_{max}$ 是经过或接触金属互连所允许的最大平均直流电(DC)以维持EM遵从性。值 $I_{max}$ 取决于互连的宽度和长度以及晶体管技术(例如,28nm工艺技术、20nm片上(SoC)工艺技术或者16nm鳍式场效应晶体管(FinFET)工艺技术)。值 $I_{max}$ 由于晶体管技术变化以及更短的互连宽度而随缩放(即,更小的工艺技术)减小。另一方面,值 $I_{ave}$ 由于FinFET中的更高的最大操作时钟频率 $f_{max}$ 和更高的输入电容而随着从20SoC工艺技术到16nm FinFET工艺技术的缩放增大。时钟单元与相同的工艺技术的其它时钟单元串联地利用。由此,FinFET中的更高输入电容导致更高的负载电容C。

[0042] EM可通过增加互连宽度或者通过包括有效地增加互连宽度的并联互连来减少,但此类方法增加时钟单元的输入电容。如上所述,EM是由于导电电子与漫射金属原子之间的动量转移通过导体中的离子的逐步移动而导致的材料运送。来自动量交换的力是由被称为电子风的事物导致的。EM通过导致原子回流过程的机械应力累积(也被称为反向应力)来抵消。反向应力可通过缩短互连长度来增大。在第一组示例性方法和装置中,EM通过经由减小时钟单元内的互连长度增大值 $I_{max}$ 来减少。在一个示例中,值 $I_{max}$ 可以增大2.4-3倍,这允许高2.4-3倍的 $f_{max}$ 或者导出高2.4-3倍的负载而不违背EM的能力。在第二组示例性方法和装置中,EM通过在操作期间在特定互连内提供相对方向的电流的互连布局来减少。对于其中输入电容和 $f_{max}$ 比20SoC工艺技术更高的FinFET工艺技术,值 $I_{max}$ 的增大可允许时钟单元是遵从EM的。

[0043] 图2是解说CMOS反相器的示例性布局的第一示图200。如图2所示,CMOS反相器包括多个PMOS和NMOS晶体管。PMOS晶体管的源极202在第一金属层(也被称为第一互连级)上通

过互连222连接在一起。PMOS晶体管的第一子集的漏极204在该第一金属层上通过互连224来连接在一起。PMOS晶体管的第二子集的漏极206在该第一金属层上通过互连226来连接在一起。互连224和226在该第一金属层上断开连接。NMOS晶体管的源极212在该第一金属层上通过互连232连接在一起。NMOS晶体管的第一子集的漏极214在该第一金属层上通过互连234来连接在一起。NMOS晶体管的第二子集的漏极216在该第一金属层上通过互连236来连接在一起。互连234和236在该第一金属层上断开连接。

[0044] 互连224、226经由通孔242、244在第二金属层(也被称为第二互连级)上通过互连240来连接。互连234、236经由通孔252、254在第二金属层上通过互连250来连接。互连240、250经由通孔262、264在第三金属层(也被称为第三互连级)上通过互连260来连接。PMOS和NMOS晶体管的栅极270全都被连接在一起。CMOS反相器的输入连接到栅极270。CMOS反相器的输出连接到互连260。

[0045] 图3是解说CMOS反相器的示例性布局的第二示图300。如图3所示,第一金属层上的互连224以及第一金属层上的互连226在第一金属层上断开连接。互连224、226可被断开连接以使得互连224、226中的每一者的长度小于 $x\mu\text{m}$ 。此外,如图3所示,第一金属层上的互连234以及第一金属层上的互连236在第一金属层上断开连接。互连234、236可被断开连接以使得互连234、236中的每一者的长度小于 $x\mu\text{m}$ 。互连224、226通过互连240连接。互连240可具有小于 $x\mu\text{m}$ 的长度。互连234、236通过互连250连接。互连250可具有小于 $x\mu\text{m}$ 的长度。互连240、250通过作为CMOS反相器的输出的互连260来连接。在一种配置中, $x=2$ 且互连224、226、234、236、240、250中的每一者都小于 $2\mu\text{m}$ 。通过使第一金属层上的互连224、226断开连接并且在第二金属层上通过互连240来连接互连224、226,以及通过使第一金属层上的互连234、236断开连接并且在第二金属层上通过互连250来连接互连234、236,在互连240、250在第三金属层上通过互连260来连接的情况下,互连224、226、234、236中的每一者的长度都可被减小,由此增大互连224、226、234、236中的每一者上的反向应力。通过增大互连224、226、234、236中的每一者上的反向应力,互连224、226、234、236中的每一者中的EM被减少并且值 $I_{\max}$ 被增大。

[0046] 图4是解说CMOS器件的第一组示例性布局的第一示图400。CMOS器件可包括多个PMOS和NMOS晶体管并且可以是反相器。第一金属层M1(即,第一互连级)上的第一互连402可将PMOS漏极的第一子集连接在一起。第一金属层M1上的第二互连404可将PMOS漏极的第二子集连接在一起。PMOS漏极的第二子集不同于PMOS漏极的第一子集。第一互连402和第二互连404在该第一金属层M1上断开连接。由此,第一互连402和第二互连404在第一金属层M1上不是直接连接在一起的。第一金属层M1上的第三互连406将NMOS漏极的第一子集连接在一起。第一金属层M1上的第四互连408将NMOS漏极的第二子集连接在一起。NMOS漏极的第二子集不同于NMOS漏极的第一子集。第三互连406和第四互连408在该第一金属层M1上断开连接。由此,第三互连406和第四互连408在第一金属层M1上不是直接连接在一起的。然而,如图4所示,第一互连402、第二互连404、第三互连406和第四互连408通过至少一个其它互连级耦合在一起。第一互连402、第二互连404、第三互连406和第四互连408各自可以在长度上小于 $x\mu\text{m}$ 。在一种配置中, $x=2$ 且第一互连402、第二互连404、第三互连406和第四互连408各自在长度上小于 $2\mu\text{m}$ 。

[0047] 如图4所示,第二金属层M2(即,第二互连级)上的第五互连410经由通孔412、414将

第一互连402和第二互连404耦合在一起。第二金属层M2上的第六互连420经由通孔422、424将第三互连406和第四互连408耦合在一起。第五互连410和第六互连420各自可以在长度上小于 $x\mu\text{m}$ 。在一种配置中， $x=2$ 且第五互连410和第六互连420各自在长度上小于 $2\mu\text{m}$ 。第三金属层M3上的第七互连430经由通孔432、434将第五互连410和第六互连420耦合在一起。该器件的输出端连接到第七互连430。

[0048] 图5是解说CMOS器件的第一组示例性布局的第二示图500。CMOS器件可包括多个PMOS和NMOS晶体管并且可以是反相器。为了增加CMOS反相器中的PMOS和NMOS晶体管的数量而不将互连长度增加超过阈值(例如,  $2\mu\text{m}$ )，CMOS反相器可以并联地利用图4的多个器件。第一金属层M1上的第一互连502可将PMOS漏极的第一子集连接在一起。第一金属层M1上的第二互连504可将PMOS漏极的第二子集连接在一起。PMOS漏极的第二子集不同于PMOS漏极的第一子集。第一互连502和第二互连504在该第一金属层M1上断开连接。由此，第一互连502和第二互连504在第一金属层M1上不是直接连接在一起的。第一金属层M1上的第三互连506可将NMOS漏极的第一子集连接在一起。第一金属层M1上的第四互连508可将NMOS漏极的第二子集连接在一起。NMOS漏极的第二子集不同于NMOS漏极的第一子集。第三互连506和第四互连508在该第一金属层M1上断开连接。由此，第三互连506和第四互连508在第一金属层M1上不是直接连接在一起的。第二金属层M2上的第五互连510经由通孔512、514将第一互连502和第二互连504耦合在一起。第二金属层M2上的第六互连520经由通孔522、524将第三互连506和第四互连508耦合在一起。

[0049] 第一金属层M1上的第七互连532将PMOS漏极的第三子集连接在一起。第一金属层M1上的第八互连534将PMOS漏极的第四子集连接在一起。PMOS漏极的第四子集不同于PMOS漏极的第三子集。第七互连532和第八互连534在该第一金属层M1上断开连接。由此，第七互连532和第八互连534在第一金属层M1上不是直接连接在一起的。第一金属层M1上的第九互连536将NMOS漏极的第三子集连接在一起。第一金属层M1上的第十互连538将NMOS漏极的第四子集连接在一起。NMOS漏极的第四子集不同于NMOS漏极的第三子集。第九互连536和第十互连538在该第一金属层M1上断开连接。由此，第九互连536和第十互连538在第一金属层M1上不是直接连接在一起的。第二金属层M2上的第十一互连540经由通孔542、544将第七互连532和第八互连534耦合在一起。第二金属层M2上的第十二互连550经由通孔552、554将第九互连536和第十互连538耦合在一起。第三金属层M3上的第十三互连560经由通孔562、564、566、568将第五互连510、第六互连520、第十一互连540和第十二互连550耦合在一起。

[0050] 如图5所示，第一金属层M1上的互连502、504、532、534的第一集合可将PMOS漏极的不同子集连接在一起。互连502、504、532、534的第一集合中的每一互连在第一金属层M1上与互连502、504、532、534的第一集合中的其它互连断开连接。第一金属层M1上的互连506、508、536、538的第二集合将NMOS漏极的不同子集连接在一起。互连506、508、536、538的第二集合中的每一互连在第一金属层M1上与互连506、508、536、538的第二集合中的其它互连断开连接。互连510、540的第三集合的第一子集510将互连502、504、532、534的第一集合的第一子集502、504中的不同的毗邻互连对耦合在一起。互连510、540的第三集合的第二子集540将互连502、504、532、534的第一集合的第二子集532、534中的不同的毗邻互连对耦合在一起。互连520、550的第四集合的第一子集520将互连506、508、536、538的第二集合的第一子集506、508中的不同的毗邻互连对耦合在一起。互连520、550的第四集合的第二子集550

将互连506、508、536、538的第二集合的第二子集536、538中的不同的毗邻互连对耦合在一起。第三金属层M3上的第五互连560将互连510、540的第三集合中的每一互连耦合到互连520、550的第四集合中的每一互连。

[0051] 互连502、504、532、534的第一集合以及互连506、508、536、538的第二集合中的每一互连在长度上可以小于 $x\mu\text{m}$ 。此外,互连510、540的第三集合以及互连520、550的第四集合中的每一互连在长度上可以小于 $x\mu\text{m}$ 。在一种配置中, $x=2$ 。

[0052] 图6是解说CMOS器件的第一组示例性布局的第三示图600。CMOS器件可包括多个PMOS和NMOS晶体管并且可以是反相器。为了增加CMOS反相器中的PMOS和NMOS晶体管的数量而不将互连长度增加超过阈值(例如, $2\mu\text{m}$ ),CMOS反相器可以串联地利用图4的多个器件。第一金属层M1上的第二互连602可将PMOS漏极的第一子集连接在一起。第一金属层M1上的第二互连604可将PMOS漏极的第二子集连接在一起。PMOS漏极的第二子集不同于PMOS漏极的第一子集。第一互连602和第二互连604在该第一金属层M1上断开连接。由此,第一互连602和第二互连604在第一金属层M1上不是直接连接在一起的。第一金属层M1上的第三互连612可将NMOS漏极的第一子集连接在一起。第一金属层M1上的第四互连614可将NMOS漏极的第二子集连接在一起。NMOS漏极的第二子集不同于NMOS漏极的第一子集。第三互连612和第四互连614在该第一金属层M1上断开连接。由此,第三互连612和第四互连614在第一金属层M1上不是直接连接在一起的。

[0053] 第一金属层M1上的第五互连606可将PMOS漏极的第三子集连接在一起。PMOS漏极的第三子集不同于PMOS漏极的第一和第二子集。第三互连606和第二互连604在该第一金属层M1上断开连接。由此,第三互连606和第二互连604在第一金属层M1上不是直接连接在一起的。第一金属层M1上的第六互连616可将NMOS漏极的第三子集连接在一起。NMOS漏极的第三子集不同于NMOS漏极的第一和第二子集。第六互连616和第四互连614在该第一金属层M1上断开连接。由此,第六互连616和第四互连614在第一金属层M1上不是直接连接在一起的。

[0054] 如图6所示,第一金属层M1上的互连602、604、606的第一集合可将PMOS漏极的不同子集连接在一起。互连602、604、606的第一集合中的每一互连在第一金属层M1上与互连602、604、606的第一集合中的其它互连断开连接。第一金属层M1上的互连612、614、616的第二集合将NMOS漏极的不同子集连接在一起。互连612、614、616的第二集合中的每一互连在第一金属层M1上与互连612、614、616的第二集合中的其它互连断开连接。第二金属层M2上的互连620、622的第三集合经由通孔630、632、634和636将互连602、604、606的第一集合中的不同的毗邻互连对耦合在一起。第二金属层M2上的互连624、626的第四集合经由通孔640、642、644和646将互连612、614、616的第二集合中的不同的毗邻互连对耦合在一起。第三金属层M3上的互连660、670的第五集合经由通孔662和672耦合包括来自互连620、622的第三集合的互连在内的不同的毗邻互连对,并且经由通孔664和674耦合包括来自互连624、626的第四集合的互连在内的不同的毗邻互连对互连660、670的第五集合中的每一互连被耦合在一起。

[0055] 第一互连集合以及第二互连集合中的每一互连在长度上可以小于 $x\mu\text{m}$ 。此外,第三互连集合以及第四互连集合中的每一互连在长度上可以小于 $x\mu\text{m}$ 。在一种配置中, $x=2$ 。

[0056] 图7A是解说CMOS器件的互连内的电流流动的示图700。图7B是图7A的示图的互连内的电流流动的图示750。在图7B中,时段 $\tau$ 是NMOS晶体管被导通与随后在被截止后被再次

导通之间的时间段或者PMOS晶体管被导通与随后在被截止后被再次导通之间的时间段。假定CMOS器件是反相器并且第一金属层M1上的互连702将多个PMOS漏极连接在一起，并且第一金属层M1上的互连704将多个NMOS漏极连接在一起。第二金属层M2上的互连706连接到互连702。第二金属层M2上的互连708连接到互连704。第三金属层M3上的互连710连接到互连706、708。CMOS器件的输出712位于互连710上。当NMOS晶体管被截止并且PMOS晶体管被导通时，电流714从PMOS晶体管的源极流动至PMOS晶体管的漏极并且经过互连702、706、710流动至输出712。当NMOS晶体管被截止并且NMOS晶体管被导通时，电流716从输出712经过互连710、708、704流动至NMOS晶体管的漏极并且然后流动到NMOS晶体管的源极。经过互连702、704、706、708的电流714、716是单向的，如图7B所示。

[0057] 图8是解说CMOS器件的第二组示例性布局的第一示图800。假定第一金属层M1上的互连702将多个PMOS漏极连接在一起，并且第一金属层M1上的互连704将多个NMOS漏极连接在一起。第二金属层M2上的互连706连接到互连702。第二金属层M2上的互连708连接到互连704。第三金属层M3上的互连710连接到互连706、708。在一示例性布局中，第一金属层M1上的互连720在互连710的一侧将互连702、704连接在一起，并且第一金属层M1上的互连730在互连710的另一侧将互连702、704连接在一起。示图800示出了互连718在互连710下面将互连702、704连接在一起。然而，该布局可以不包括互连718。

[0058] 图9A是解说示例性CMOS器件的互连内的电流流动的第一图示900。图9B是解说示例性CMOS器件的互连内的电流流动的第二图示930。图9C是图9A和图9B的示图的互连内的电流流动的示图960。在图9C中，时段 $\tau$ 是NMOS晶体管被导通与随后在被截止后被再次导通之间的时间段或者PMOS晶体管被导通与随后在被截止后被再次导通之间的时间段。假定第一金属层M1上的互连702将多个PMOS漏极连接在一起，并且第一金属层M1上的互连704将多个NMOS漏极连接在一起。第二金属层M2上的互连706连接到互连702。第二金属层M2上的互连708连接到互连704。第三金属层M3上的互连710连接到互连706、708。CMOS器件的输出712位于互连710上。当NMOS晶体管被截止且PMOS晶体管被导通时，电流750、754经过互连702、706、710流动到输出712；电流752经过互连702、720、704、708、710流动到输出712；而电流756经过互连702、730、704、708、710流动到输出712。然而，当NMOS晶体管被导通且PMOS晶体管被截止时，电流762、766从输出712流动经过互连710、708、704；电流760从输出712流动经过互连710、706、702、720、704；而电流764从输出712流动经过互连710、706、702、730、704。

[0059] 如图9A、9B所示，在CMOS器件的操作期间，电流在互连720、710之间的互连706、702中；在互连730、710之间的互连706、702中；在互连720、710之间的互连708、704中；以及在互连730、710之间的互连708、704中在相对方向上流动。因此，通过包括互连720、730（如图9C所示），电流在CMOS器件的操作期间在互连702、704、706、708中在相对方向上流动。因为电流在CMOS器件的操作期间在互连702、704、706、708中在相对方向上流动，所以EM互连降级被有效地减少，因为电子风在相对方向上流经互连。

[0060] 再次参照图9A、9B，互连720、730与互连710并联并且偏离互连710达距离 $d_i$ 。距离 $d_i \geq d$ ，其中距离d近似等于一距离以使得电流 $i_1$  750近似等于电流 $i_5$  760，电流 $i_2$  752近似等于电流 $i_6$  762，电流 $i_3$  754近似等于电流 $i_7$  764，和/或电流 $i_4$  756近似等于电流 $i_8$  766。

[0061] 图10是解说CMOS器件的第二组示例性布局的第二示图1000。假定第一金属层M1上的互连702将多个PMOS漏极连接在一起，并且第一金属层M1上的互连704将多个NMOS漏极连

接在一起。第二金属层M2上的互连706连接到互连702。第二金属层M2上的互连708连接到互连704。第三金属层M3上的互连710连接到互连706、708。第一金属层M1上的互连720在互连710的一侧将互连702、704连接在一起，并且第一金属层M1上的互连730在互连710的另一侧将互连702、704连接在一起。如以上参照图8讨论的，互连718可以在互连710下面将互连702、704连接在一起。

[0062] 图11是解说CMOS器件的第三组示例性布局的第一示图1100。CMOS器件可包括多个PMOS和NMOS晶体管并且可以是反相器。第一金属层M1(即，第一互连级)上的互连402可将PMOS漏极的第一子集连接在一起。第一金属层M1上的互连404可将PMOS漏极的第二子集连接在一起。互连402、404在第一金属层M1上断开连接。第一金属层M1上的互连406可将NMOS漏极的第一子集连接在一起。第一金属层M1上的互连408可将NMOS漏极的第二子集连接在一起。互连406、408在第一金属层M1上断开连接。第二金属层M2(即，第二互连级)上的互连410将互连402、404耦合在一起。第二金属层M2上的互连420将互连406、408耦合在一起。第三金属层M3上的互连430将互连410、420耦合在一起。第一金属层M1上的互连470将互连402、406耦合在一起。第一金属层M1上的互连480将互连404、408耦合在一起。如参照图4讨论的，互连402、404、406、408、410、420各自在长度上可以小于 $x\mu\text{m}$ 。在一种配置中， $x=2$ 且互连402、404、406、408、410、420各自在长度上小于 $2\mu\text{m}$ 。在互连402、404、406、408、410、420在长度上小于 $2\mu\text{m}$ 的情况下，互连402、404、406、408、410、420中的EM互连降级被减少。此外，在互连470、480提供与互连430的并联电流路径的情况下，EM互连降级通过互连402、404、406、408、410、420被进一步减少，如以上参照图9A、9B、9C讨论的。

[0063] 图12是解说CMOS器件的第三组示例性布局的第二示图1200。CMOS器件可包括多个PMOS和NMOS晶体管并且可以是反相器。为了增加CMOS反相器中的PMOS和NMOS晶体管的数量而不将互连长度增加超过阈值(例如， $2\mu\text{m}$ )，CMOS反相器可以并联地利用图11的多个器件。第一金属层M1上的互连502可将PMOS漏极的第一子集连接在一起。第一金属层M1上的互连504可将PMOS漏极的第二子集连接在一起。互连502、504在第一金属层M1上断开连接。第一金属层M1上的互连506可将NMOS漏极的第一子集连接在一起。第一金属层M1上的互连508可将NMOS漏极的第二子集连接在一起。互连506、508在第一金属层M1上断开连接。第二金属层M2上的互连510将互连502、504耦合在一起。第二金属层M2上的互连520将互连506、508耦合在一起。

[0064] 第一金属层M1上的互连532可将PMOS漏极的第三子集连接在一起。第一金属层M1上的互连534可将PMOS漏极的第四子集连接在一起。互连532、534在第一金属层M1上断开连接。第一金属层M1上的互连536可将NMOS漏极的第三子集连接在一起。第一金属层M1上的互连538可将NMOS漏极的第四子集连接在一起。互连536、538在第一金属层M1上断开连接。第二金属层M2上的互连540将互连532、534耦合在一起。第二金属层M2上的互连550将互连536、538耦合在一起。第三金属层M3上的互连560将互连510、520、540、550耦合在一起。

[0065] 第一金属层M1上的互连570将互连502、506耦合在一起。第一金属层M1上的互连572将互连504、508耦合在一起。第一金属层M1上的互连574将互连532、536耦合在一起。第一金属层M1上的互连576将互连534、538耦合在一起。如参照图5讨论的，互连502、504、506、508、510、520、532、534、536、538、540、550各自在长度上可以小于 $x\mu\text{m}$ 。在一种配置中， $x=2$ 且互连502、504、506、508、510、520、532、534、536、538、540、550各自在长度上小于 $2\mu\text{m}$ 。在互

连502、504、506、508、510、520、532、534、536、538、540、550在长度上小于 $2\mu\text{m}$ 的情况下,互连502、504、506、508、510、520、532、534、536、538、540、550中的EM互连降级被减少。此外,在互连570、572、574、576提供与互连560的并联电流路径的情况下,EM互连降级通过互连502、504、506、508、510、520、532、534、536、538、540、550被进一步减少,如以上参照图9A、9B、9C讨论的。

[0066] 图13是解说CMOS器件的第三组示例性布局的第三示图1300。CMOS器件可包括多个PMOS和NMOS晶体管并且可以是反相器。为了增加CMOS反相器中的PMOS和NMOS晶体管的数量而不将互连长度增加超过阈值(例如, $2\mu\text{m}$ ),CMOS反相器可以串联地利用图11的多个器件。第一金属层M1上的互连602可将PMOS漏极的第一子集连接在一起。第一金属层M1上的互连604可将PMOS漏极的第二子集连接在一起。互连602、604在第一金属层M1上断开连接。第一金属层M1上的互连612可将NMOS漏极的第一子集连接在一起。第一金属层M1上的互连614可将NMOS漏极的第二子集连接在一起。互连612、614在第一金属层M1上断开连接。

[0067] 第一金属层M1上的互连606可将PMOS漏极的第三子集连接在一起。互连606、604在第一金属层M1上断开连接。第一金属层M1上的互连616可将NMOS漏极的第三子集连接在一起。互连616、614在第一金属层M1上断开连接。如图13所示,第一金属层M1上的互连602、604、606的第一集合可将PMOS漏极的不同子集连接在一起。互连602、604、606的第一集合中的每一互连在第一金属层M1上与互连602、604、606的第一集合中的其它互连断开连接。第一金属层M1上的互连612、614、616的第二集合将NMOS漏极的不同子集连接在一起。互连612、614、616的第二集合中的每一互连在第一金属层M1上与互连612、614、616的第二集合中的其它互连断开连接。第二金属层M2上的互连620、622的第三集合将互连602、604、606的第一集合中的不同的毗邻互连对耦合在一起。第二金属层M2上的互连624、626的第四集合将互连612、614、616的第二集合中的不同的毗邻互连对耦合在一起。第三金属层M3上的互连660、670的第五集合耦合包括来自互连620、622的第三集合的互连在内的不同的毗邻互连对,并且耦合包括来自互连624、626的第四集合的互连在内的不同的毗邻互连对互连660、670的第五集合中的每一互连被耦合在一起。

[0068] 互连680将互连602、612耦合在一起,互连682将互连604、614耦合在一起,且互连684将互连606、616耦合在一起。第一、第二、第三和第四互连集合中的每一互连602、604、606、612、614、616、620、622、624、626在长度上可以小于 $x\mu\text{m}$ 。在一种配置中, $x=2$ 。在互连602、604、606、612、614、616、620、622、624、626在长度上小于 $2\mu\text{m}$ 的情况下,这些互连中的EM互连降级被减少。此外,在互连680、682、684提供与互连660、670的并联电流路径的情况下,EM互连降级通过互连602、604、606、612、614、616、620、622、624、626被进一步减少,如以上参照图9A、9B、9C讨论的。

[0069] 图14是用于布置CMOS器件的第一方法的流程图1400。CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。在步骤1402,在一互连级上将PMOS漏极的第一子集与第一互连互连。在步骤1404,在该互连级上将PMOS漏极的第二子集与第二互连互连。PMOS漏极的第二子集在该互连级上与PMOS漏极的第一子集断开连接。在步骤1406,在该互连级上将NMOS漏极的第一子集与第三互连互连。在步骤1408,在该互连级上将NMOS漏极的第二子集与第四互连互连。NMOS漏极的第二子集在该互连级上与NMOS漏极的第一子集断开连接。第一互连、第二互连、第三互连和第四互连通过至少一个其

它互连级耦合在一起。

[0070] 例如,参照图4,PMOS漏极的第一子集在第一金属层M1上与第一互连402互连。PMOS漏极的第二子集在第一金属层M1上与第二互连404互连。PMOS漏极的第二子集在第一金属层M1上与PMOS漏极的第一子集断开连接,因为互连402、404在第一金属层M1上断开连接。NMOS漏极的第一子集在第一金属层M1上与第三互连406互连。NMOS漏极的第二子集在第一金属层M1上与第四互连408互连。NMOS漏极的第二子集在第一金属层M1上与NMOS漏极的第一子集断开连接,因为互连406、408在第一金属层M1上断开连接。第一互连402、第二互连404、第三互连406以及第四互连408通过至少一个其它金属层(诸如第二金属层M2和第三金属层M3)耦合在一起。

[0071] 如图4所示,第一互连402、第二互连404、第三互连406和第四互连408可以各自在长度上小于2μm。第一互连402和第二互连404可以在第二互连级(例如,第二金属层M2)上与第五互连410互连。第三互连406和第四互连408可以在第二互连级上与第六互连420互连。第五互连410和第六互连420各自可以在长度上小于2μm。第五互连410和第六互连420可以在第三互连级(例如,第三金属层M3)上与第七互连430互连。该器件的输出可连接到第七互连430。CMOS器件可以是反相器。PMOS晶体管各自可具有PMOS栅极和PMOS源极。NMOS晶体管各自可具有NMOS栅极和NMOS源极。NMOS晶体管的NMOS源极可以耦合在一起。PMOS晶体管的PMOS源极可以耦合在一起。PMOS晶体管的PMOS栅极以及NMOS晶体管的NMOS栅极可以耦合在一起。

[0072] 图15是用于操作CMOS器件的第一方法的流程图1500。CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。在步骤1502,第一电流从在一互连级上与第一互连互连的PMOS漏极的第一子集流动。在步骤1504,第二电流从在该互连级上与第二互连互连的PMOS漏极的第二子集流动。PMOS漏极的第二子集在该互连级上与PMOS漏极的第一子集断开连接。在步骤1506,第三电流流动至在该互连级上与第三互连互连的NMOS漏极的第一子集。在步骤1508,第四电流流动至在该互连级上与第四互连互连的NMOS漏极的第二子集。NMOS漏极的第二子集在该互连级上与NMOS漏极的第一子集断开连接。第一互连、第二互连、第三互连和第四互连通过至少一个其它互连级耦合在一起。在CMOS器件接收到低输入之际,该第一电流和第二电流经过至少一个其它互连级流动至CMOS器件的输出。在CMOS器件接收到高输入之际,该第三电流和第四电流经过至少一个其它互连级从CMOS器件的输出流出。

[0073] 例如,参照图4,第一电流从在第一金属层M1上与第一互连402互连的PMOS漏极的第一子集流动。第二电流从在该第一金属层M1上与第二互连404互连的PMOS漏极的第二子集流动。PMOS漏极的第二子集在第一金属层M1上与PMOS漏极的第一子集断开连接,因为互连402、404在第一金属层M1上断开连接。第三电流流动至在该第一金属层M1上与第三互连406互连的NMOS漏极的第一子集。第四电流流动至在该第一金属层M1上与第四互连408互连的NMOS漏极的第二子集。NMOS漏极的第二子集在第一金属层M1上与NMOS漏极的第一子集断开连接,因为互连406、408在第一金属层M1上断开连接。第一互连402、第二互连404、第三互连406以及第四互连408通过至少一个其它互连级(诸如第二金属层M2和第三金属层M3)耦合在一起。在CMOS器件接收到低输入之际,该第一电流和第二电流经过至少一个其它互连级流动至CMOS器件的输出。在CMOS器件接收到高输入之际,该第三电流和第四电流经过至

少一个其它互连级从CMOS器件的输出流出。

[0074] 第一互连402、第二互连404、第三互连406和第四互连408各自可以在长度上小于2 $\mu\text{m}$ 。第一互连402和第二互连404可以在第二互连级(例如,第二金属层M2)上与第五互连410互连,且第三互连406和第四互连408可以在第二互连级上与第六互连420互连。第五互连410和第六互连420各自可以在长度上小于2 $\mu\text{m}$ 。第五互连410和第六互连420可以在第三互连级(例如,第三金属层M3)上与第七互连430互连。该器件的输出可连接到第七互连430。CMOS器件可以是反相器。PMOS晶体管各自可具有PMOS栅极和PMOS源极。NMOS晶体管各自可具有NMOS栅极和NMOS源极。NMOS晶体管的NMOS源极可以耦合在一起。PMOS晶体管的PMOS源极可以耦合在一起。PMOS晶体管的PMOS栅极以及NMOS晶体管的NMOS栅极可以耦合在一起。

[0075] 图16是用于布置CMOS器件的第二方法的流程图1600。CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。在步骤1602,在一互连级上将PMOS漏极与在长度方向上延伸的第一互连互连。在步骤1604,在该互连级上将NMOS漏极与在长度方向上延伸的第二互连互连。在步骤1606,在至少一个附加互连级上将第一互连和第二互连与一互连集合互连。在步骤1608,在该互连级上将第一互连和第二互连与垂直于长度方向延伸并且偏离该互连集合的第三互连互连。

[0076] 例如,参考图9A、9B,PMOS漏极在第一金属层M1上与在长度方向上延伸的第一互连702互连。NMOS漏极在第一金属层M1上与在长度方向上延伸的第二互连704互连。第一互连702和第二互连704在至少一个附加互连级(诸如第二金属层M2和第三金属层M3)上与互连706、708、710的集合互连。第一互连702和第二互连704在第一金属层M1上与垂直于长度方向延伸并且偏离互连706、708、710集合的第三互连720互连。

[0077] 第一互连702和第二互连704可以在该互连级(例如第一金属层M1)上与垂直于长度方向延伸并且偏离互连706、708、710集合的第四互连730互连。第三互连720和第四互连730在互连706、708、710集合的相对侧。该至少一个附加互连级(例如,第二金属层M2和第三金属层M3)可包括第二互连级(例如,第二金属层M2)和第三互连级(例如,第三金属层M3),并且互连706、708、710的集合可包括第二互连级上的耦合到第一互连702的第五互连706、第二互连级上的耦合到第二互连704的第六互连708、以及第三互连级上的将第五互连706和第六互连708耦合在一起的第七互连710。第七互连710可以是器件的输出。第三互连720和第四互连730可以与第七互连710并联,并且可以偏离第七互连710达至少一距离d。该距离d可以近似等于一距离以使得在导通PMOS晶体管并截止NMOS晶体管之际在第三互连720与第七互连710之间的第一互连702中流动的电流i<sub>1</sub>近似等于在截止PMOS晶体管并导通NMOS晶体管之际在第七互连710与第三互连720之间的第一互连702中流动的电流i<sub>5</sub>。该距离d可以近似等于一距离以使得在导通PMOS晶体管并截止NMOS晶体管之际在第四互连730与第七互连710之间的第一互连702中流动的电流i<sub>3</sub>近似等于在截止PMOS晶体管并导通NMOS晶体管之际在第七互连710与第四互连730之间的第一互连702中流动的电流i<sub>7</sub>。该距离d可以近似等于一距离以使得在导通PMOS晶体管并截止NMOS晶体管之际在第三互连720与第七互连710之间的第二互连704中流动的电流i<sub>2</sub>近似等于在截止PMOS晶体管并导通NMOS晶体管之际在第七互连710与第三互连720之间的第二互连704中流动的电流i<sub>6</sub>。该距离d可以近似等于一距离以使得在导通PMOS晶体管并截止NMOS晶体管之际在第四互连730与第七互连710之间的第二互连704中流动的电流i<sub>4</sub>近似等于在截止PMOS晶体管并导通

NMOS晶体管之际在第七互连710与第四互连730之间的第二互连704中流动的电流 $i_8$ 。CMOS器件可以是反相器。PMOS晶体管各自可具有PMOS栅极和PMOS源极。NMOS晶体管各自可具有NMOS栅极和NMOS源极。NMOS晶体管的NMOS源极可以耦合在一起。PMOS晶体管的PMOS源极可以耦合在一起。PMOS晶体管的PMOS栅极以及NMOS晶体管的NMOS栅极可以耦合在一起。

[0078] 图17是用于操作CMOS器件的第二方法的流程图1700。CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。在步骤1702, 第一电流流经在长度方向上延伸并在一互连级上将PMOS漏极互连的第一互连。在步骤1704, 第二电流流经在长度方向上延伸并在该互连级上将NMOS漏极互连的第二互连。在步骤1706, 第三电流流经至少一个附加互连级上的将第一互连和第二互连互连的一互连集合。在步骤1708, 第四电流流经第三互连, 该第三互连垂直于长度方向延伸、偏离该互连集合并且在该互连级上将第一互连和第二互连互连。在步骤1710, 第五电流流经第四互连, 该第四互连在该互连级上将第一互连和第二互连互连、垂直于长度方向延伸、并且偏离该互连集合。第三互连和第四互连在该互连集合的相对侧。

[0079] 例如, 参考图9A、9B, 第一电流 $i_1+i_3$ 或 $i_5+i_7$ 流经在长度方向上延伸并且在第一金属层M1上将PMOS漏极互连的第一互连702。第二电流 $i_2+i_4$ 或 $i_6+i_8$ 流经在长度方向上延伸并在第一金属层M1上将NMOS漏极互连的第二互连704。第三电流 $i_1+i_2+i_3+i_4$ 或 $i_5+i_6+i_7+i_8$ 流经在第二金属层M2和第三金属层M3上将第一互连702和第二互连704互连的互连706、708、710的集合。第四电流 $i_2$ 或 $i_5$ 流经第三互连720, 该第三互连720垂直于长度方向延伸、偏离互连706、708、710的集合、并且在第一金属层M1上将第一互连702和第二互连704互连。第四电流 $i_4$ 或 $i_8$ 流经第四互连730, 该第四互连730在第一金属层M1上将第一互连702和第二互连704互连、垂直于长度方向延伸、并且偏离互连706、708、710的集合。第三互连720和第四互连730在互连706、708、710集合的相对侧。

[0080] 在CMOS器件接收到低输入之际, 第一电流 $i_1+i_3$ 经过第一互连702流动至互连706、708、710的集合的第一子集706、710, 第二电流 $i_2+i_4$ 从第三互连720和第四互连730经过第二互连704流动至互连706、708、710的集合的第二子集708、710, 第三电流 $i_1+i_2+i_3+i_4$ 从第一互连702和第二互连704流动经过互连706、708、710的集合, 第四电流 $i_2$ 从第一互连702经过第三互连720流动至第二互连704, 而第五电流 $i_4$ 从第一互连702经过第四互连730流动至第二互连704。在CMOS器件接收到高输入之际, 第一电流 $i_5+i_7$ 从互连706、708、710的集合的第一子集706、710经过第一互连702流动至第三互连720和第四互连730, 第二电流 $i_6+i_8$ 从互连706、708、710的集合的第二子集708、710流动经过第二互连704, 第三电流 $i_5+i_6+i_7+i_8$ 从互连706、708、710的集合流动至第一互连702和第二互连704, 第四电流 $i_5$ 从第一互连702经过第三互连720流动至第二互连704, 而第五电流 $i_8$ 从第一互连702经过第四互连730流动到第二互连704。

[0081] 该至少一个附加互连级可包括第二互连级(例如, 第二金属层M2)和第三互连级(例如, 第三金属层M3), 并且互连706、708、710的集合可包括第二互连级上的耦合到第一互连702的第五互连706、第二互连级上的耦合到第二互连704的第六互连708以及第三互连级上的将第五互连706和第六互连708耦合在一起的第七互连710。第七互连710可以是器件的输出。

[0082] 在一种配置中, CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有

NMOS漏极的多个NMOS晶体管。该器件包括用于在一互连级(例如,第一金属层M1)上将PMOS漏极的第一子集与第一互连(例如,互连402)互连的装置。该器件还包括用于在该互连级上将PMOS漏极的第二子集与第二互连(例如,互连404)互连的装置。PMOS漏极的第二子集在该互连级上与PMOS漏极的第一子集断开连接。该器件还包括用于在该互连级上将NMOS漏极的第一子集与第三互连(例如,互连406)互连的装置。该器件还包括用于在该互连级上将NMOS漏极的第二子集与第四互连(例如,互连408)互连的装置。NMOS漏极的第二子集在该互连级上与NMOS漏极的第一子集断开连接。第一互连、第二互连、第三互连和第四互连通过至少一个其它互连级耦合在一起。该器件还可包括用于在第二互连级(例如,第二金属层M2)上将第一互连和第二互连与第五互连(例如,互连410)互连的装置以及用于在第二互连级上将第三互连和第四互连与第六互连(例如,互连420)互连的装置。该器件还可包括用于在第三互连级(例如,第三金属层M3)上将第五互连和第六互连与第七互连(例如,互连430)互连的装置。CMOS器件可以是反相器,PMOS晶体管各自可具有PMOS栅极和PMOS源极,且NMOS晶体管各自可具有NMOS栅极和NMOS源极。该器件还可包括用于将NMOS晶体管的NMOS源极耦合在一起的装置、用于将PMOS晶体管的PMOS源极耦合在一起的装置以及用于将PMOS晶体管的PMOS栅极和NMOS晶体管的NMOS栅极耦合在一起的装置(例如,参见图2)。

[0083] 在一种配置中,CMOS器件包括各自具有PMOS漏极的多个PMOS晶体管以及各自具有NMOS漏极的多个NMOS晶体管。该器件包括用于在一互连级(例如,第一金属层M1)上将PMOS漏极与在长度方向上延伸的第一互连(例如,互连702)互连的装置。该器件还包括用于在该互连级上将NMOS漏极与在长度方向上延伸的第二互连(例如,互连704)互连的装置。该器件还包括用于在至少一个附加互连级(例如,第二金属层M2和第三金属层M3)上将第一互连和第二互连与互连(例如,互连706、708、708)的集合互连的装置。该器件还包括用于在该互连级上将第一互连和第二互连与垂直于长度方向延伸且偏离互连集合的第三互连(例如,互连720)互连的装置。该器件还可包括用于在该互连级上将第一互连和第二互连与垂直于长度方向延伸且偏离互连集合的第四互连(例如,互连730)互连的装置。第三互连和第四互连在该互连集合的相对侧。

[0084] 以上提供了布置CMOS器件以用于解决EM的方法以及具有用于解决EM的布局构造的CMOS器件。这些示例性方法和CMOS器件通过限制互连集合的长度(增加机械应力累积/反向应力)和/或提供导致经过互连集合的双向电流(双向电子风)的附加电流路径来减少互连集合中的EM。

[0085] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。此外,一些步骤可被组合或被略去。所附方法权利要求以示例次序呈现各种步骤的要素,且并不意味着被限定于所呈现的具体次序或层次。

[0086] 提供之前的描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示出的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实现不必然被解释为优于或

胜过其他实现。除非特别另外声明,否则术语“一些”指的是一个或多个。诸如“A、B或C中的至少一者”、“A、B和C中的至少一者”以及“A、B、C或其任何组合”之类的组合包括A、B和/或C的任何组合,并且可包括多个A、多个B或者多个C。具体地,诸如“A、B或C中的至少一者”、“A、B和C中的至少一者”以及“A、B、C或其任何组合”之类的组合可以是仅A、仅B、仅C、A和B、A和C、B和C、或者A和B和C,其中任何此类组合可包含A、B或C中的一个或多个成员。本公开通篇描述的各种方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于...的装置”来明确叙述的。

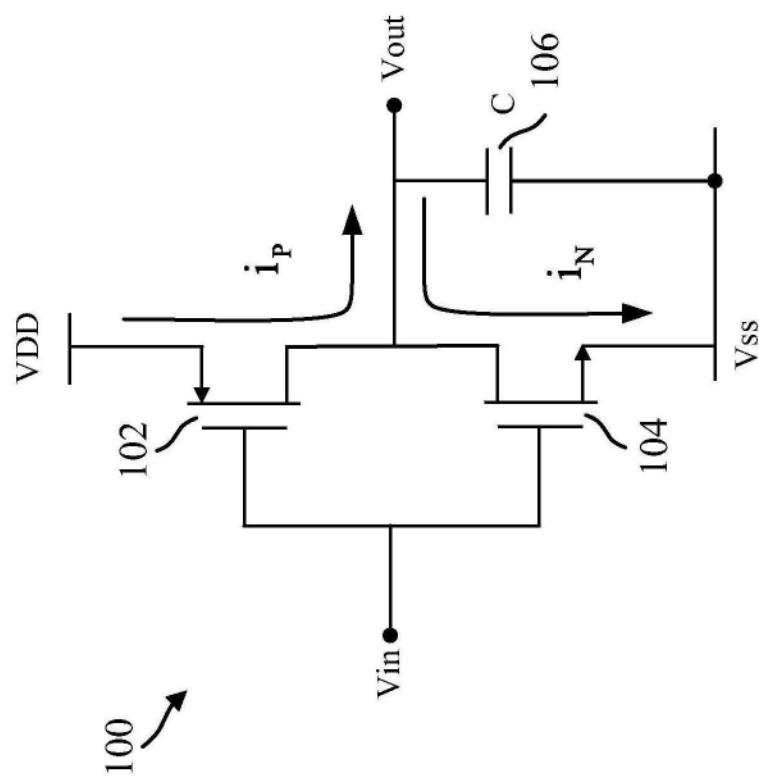


图1

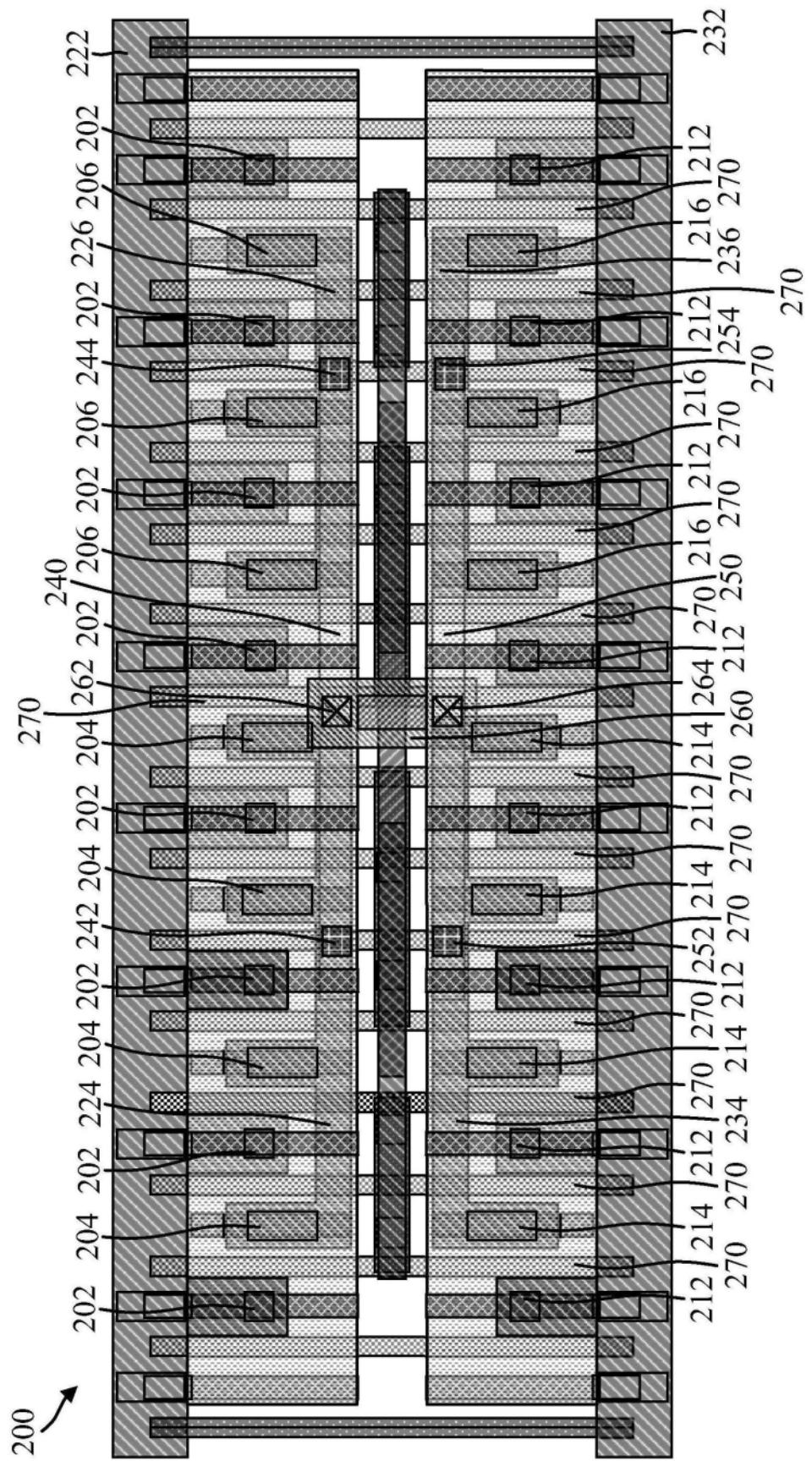


图2

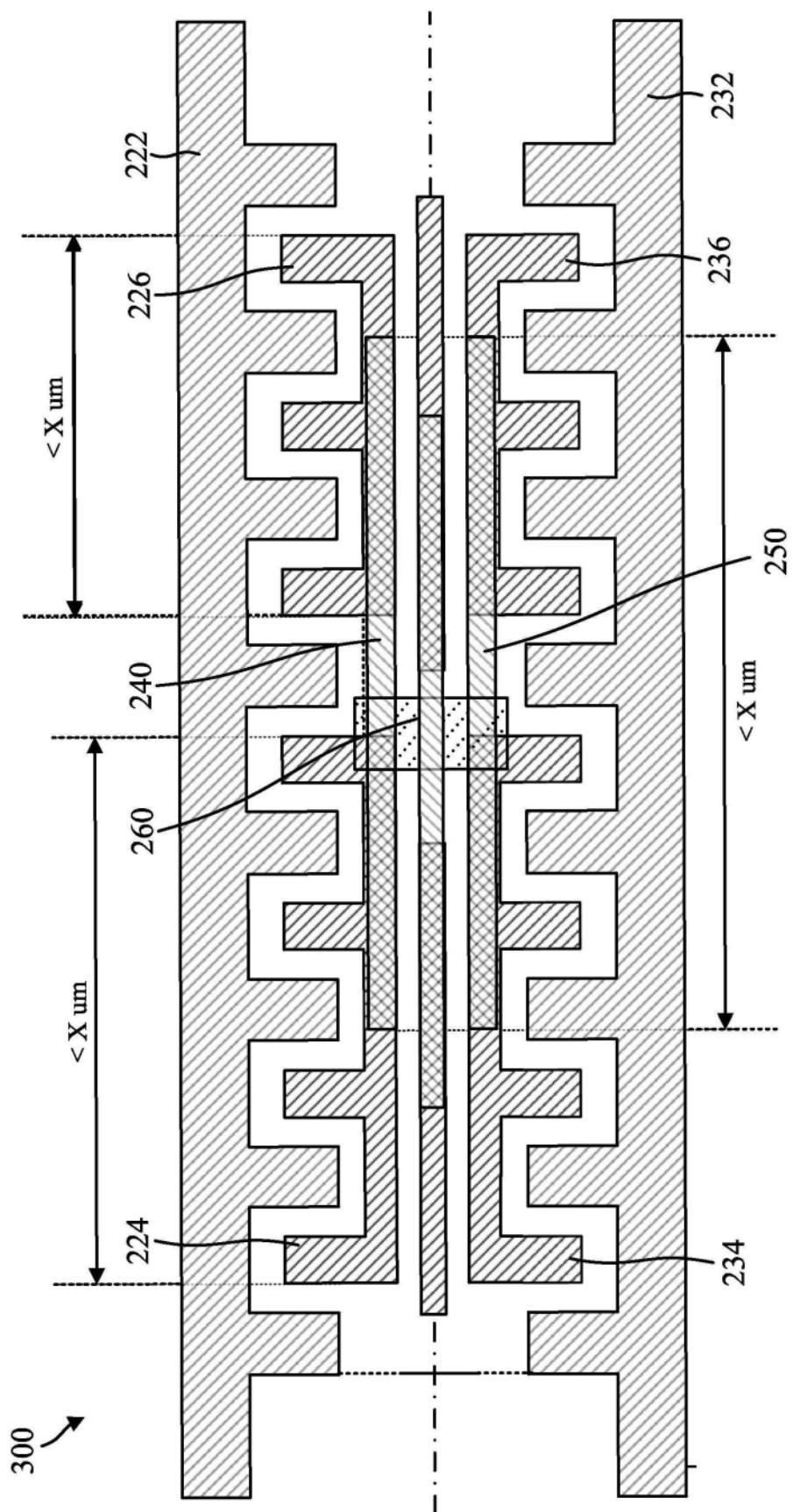


图3

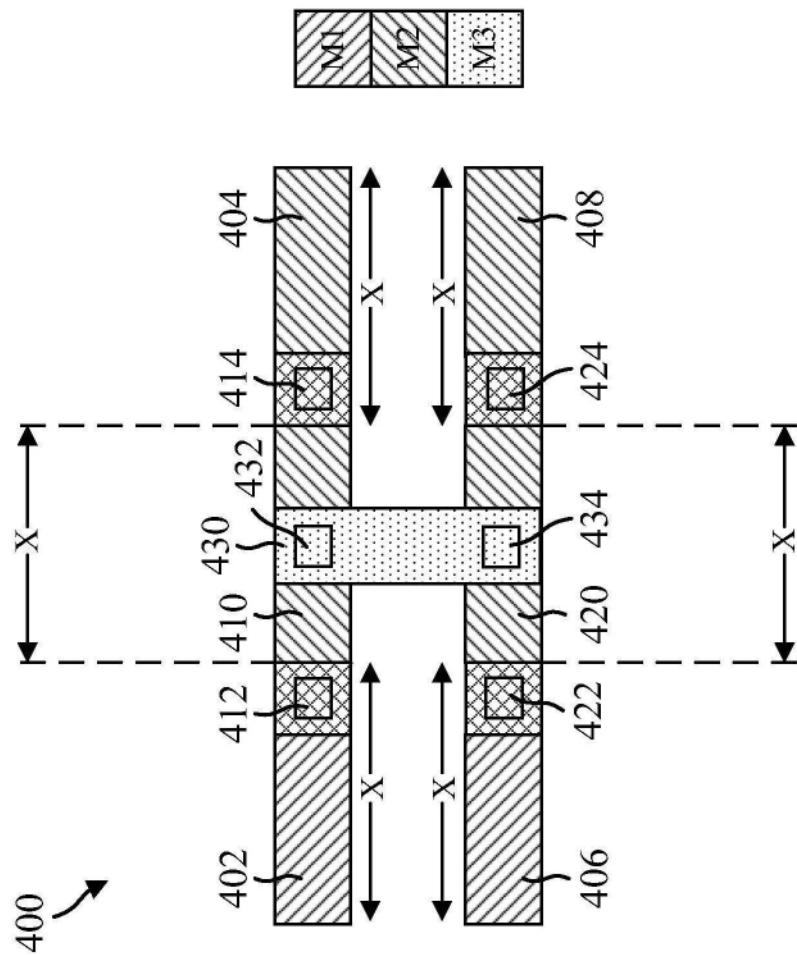


图4

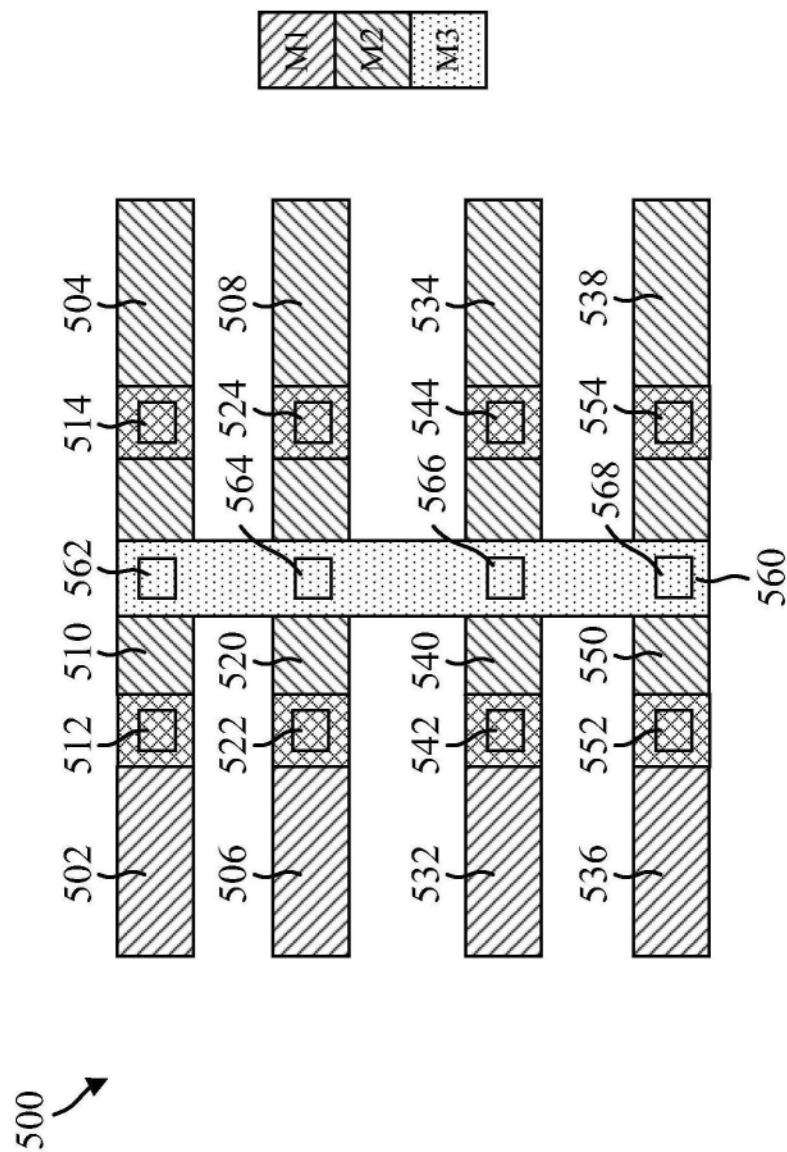


图5

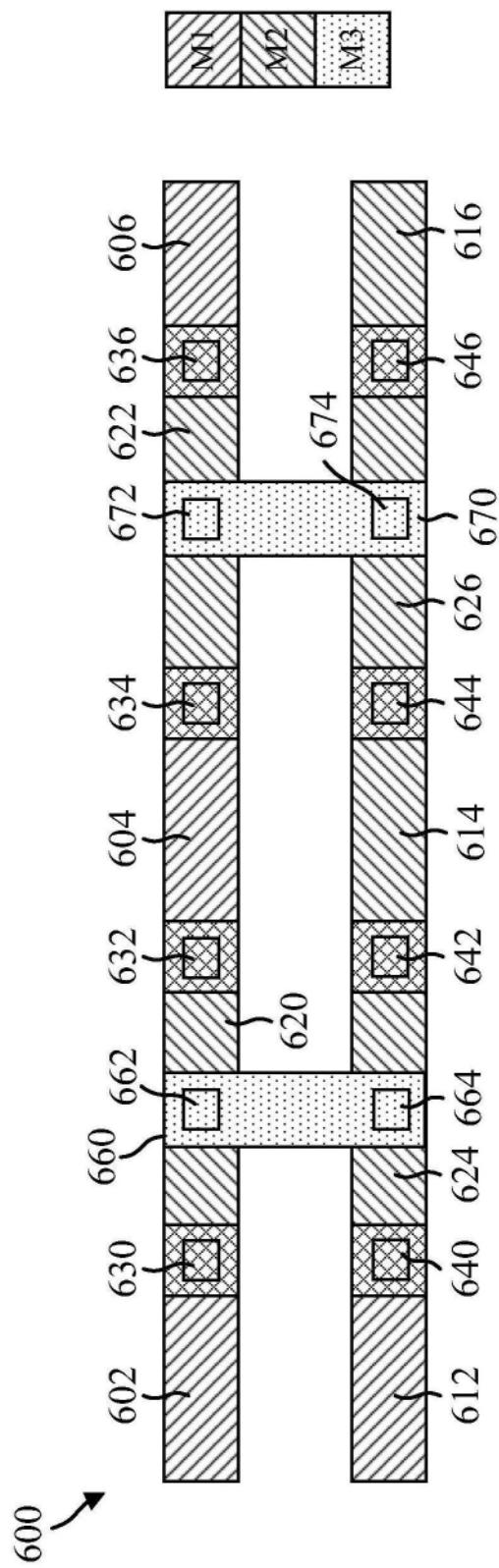


图6

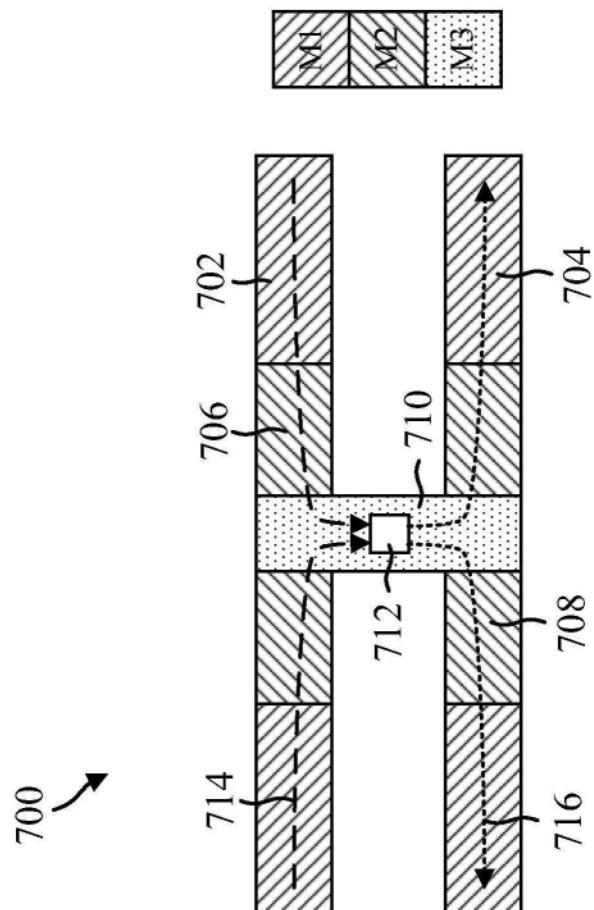


图7A

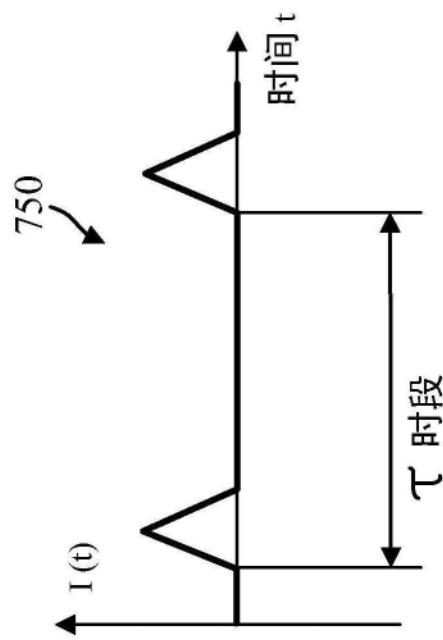


图7B

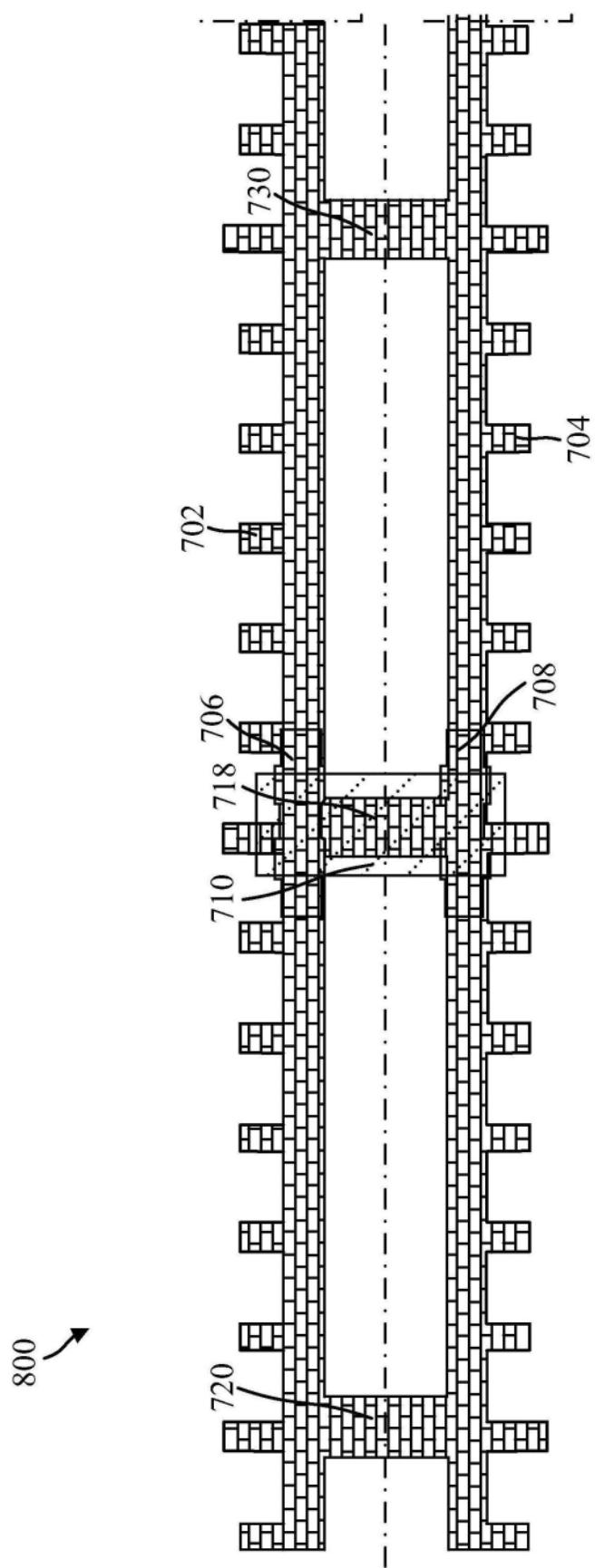


图8

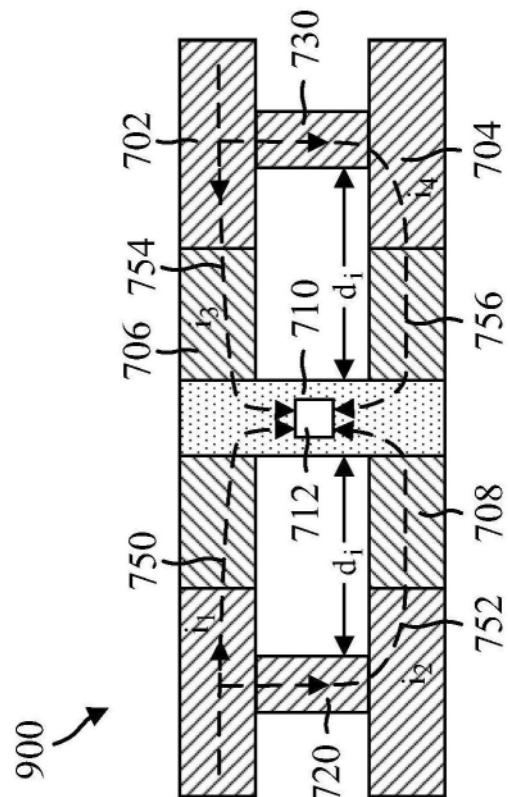


图9A

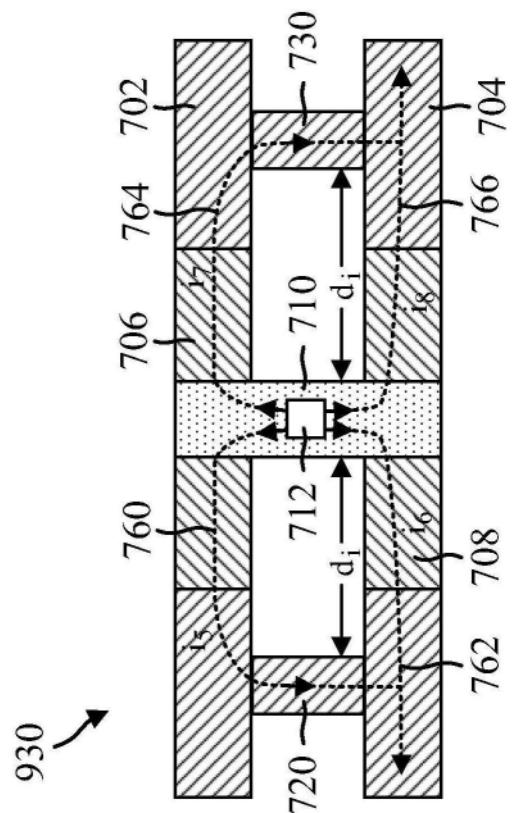


图9B

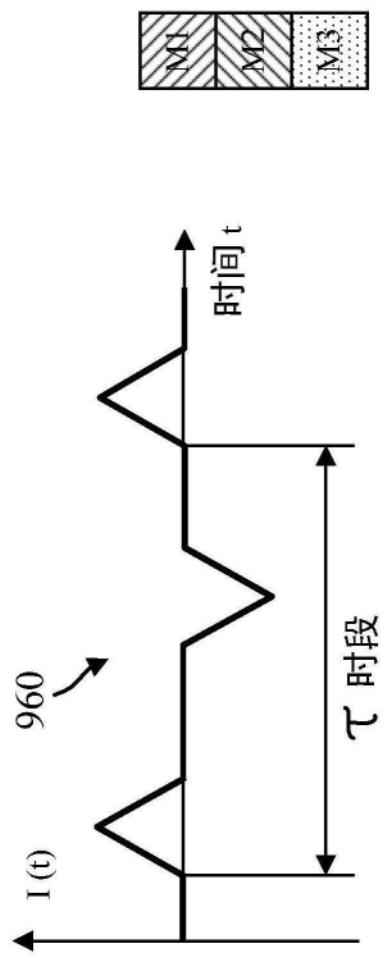


图9C

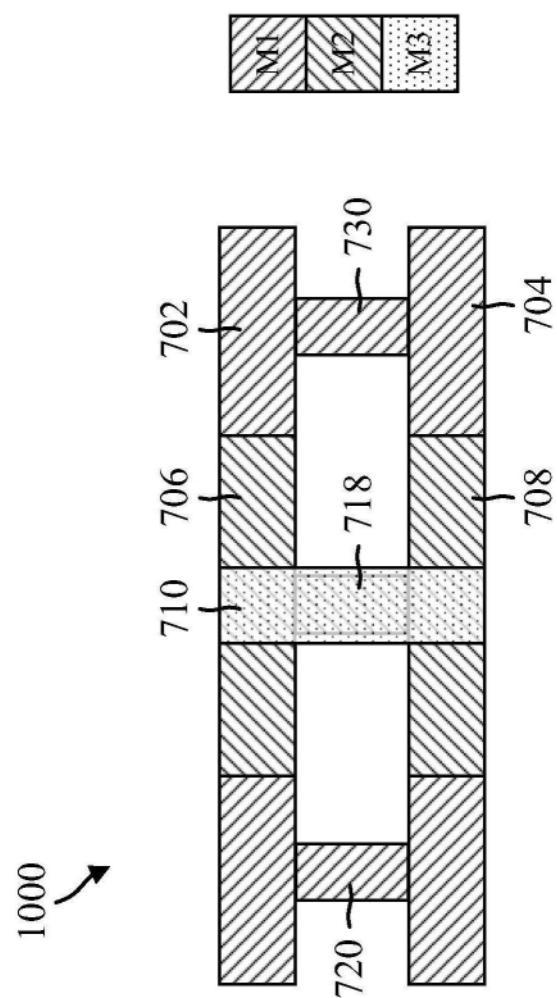


图10

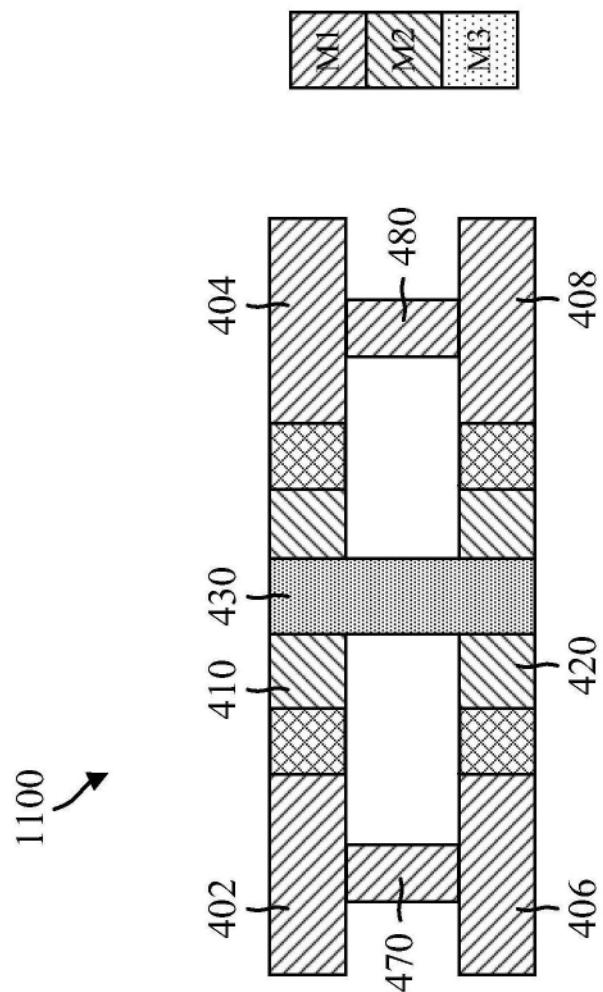


图11

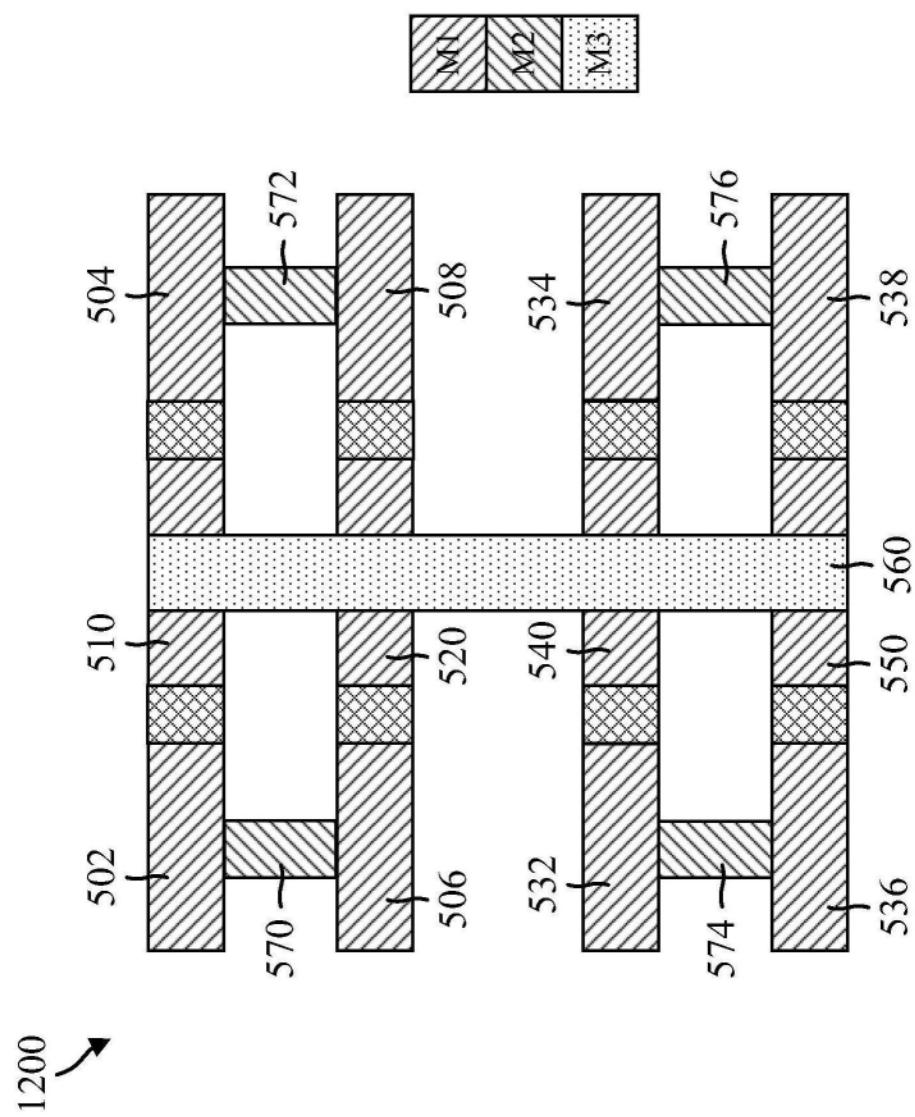


图12

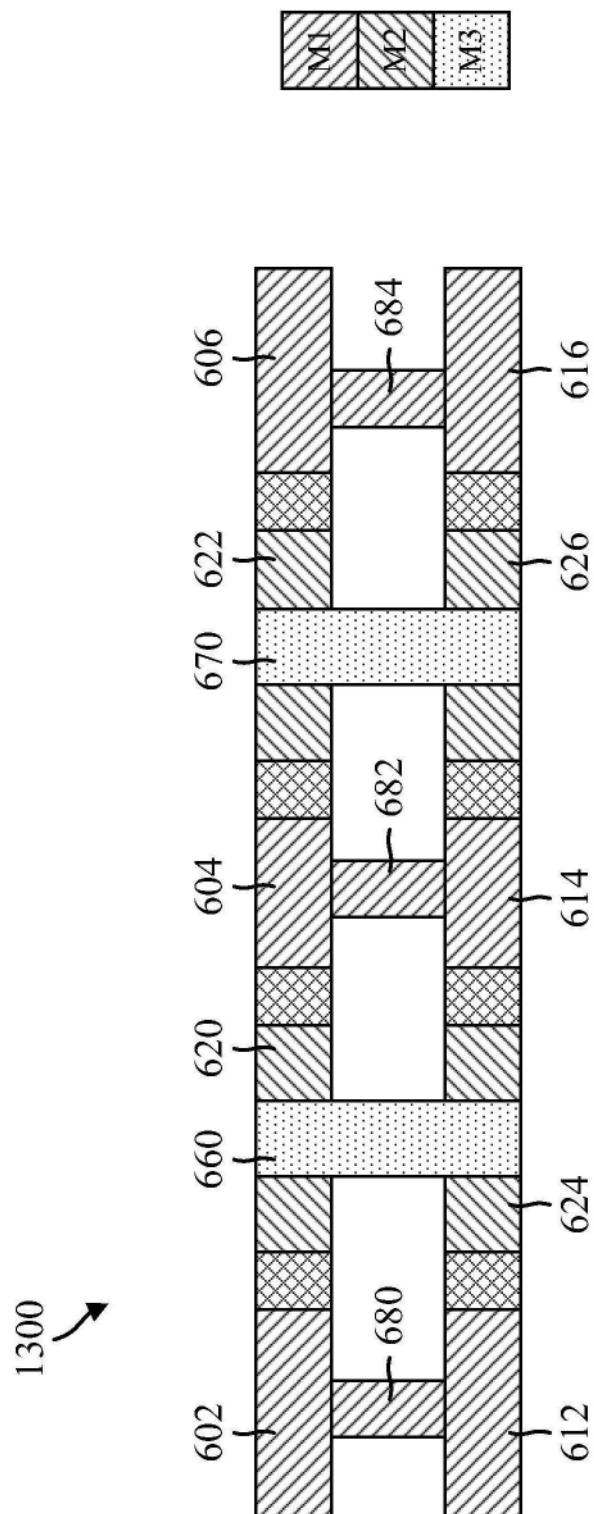


图13

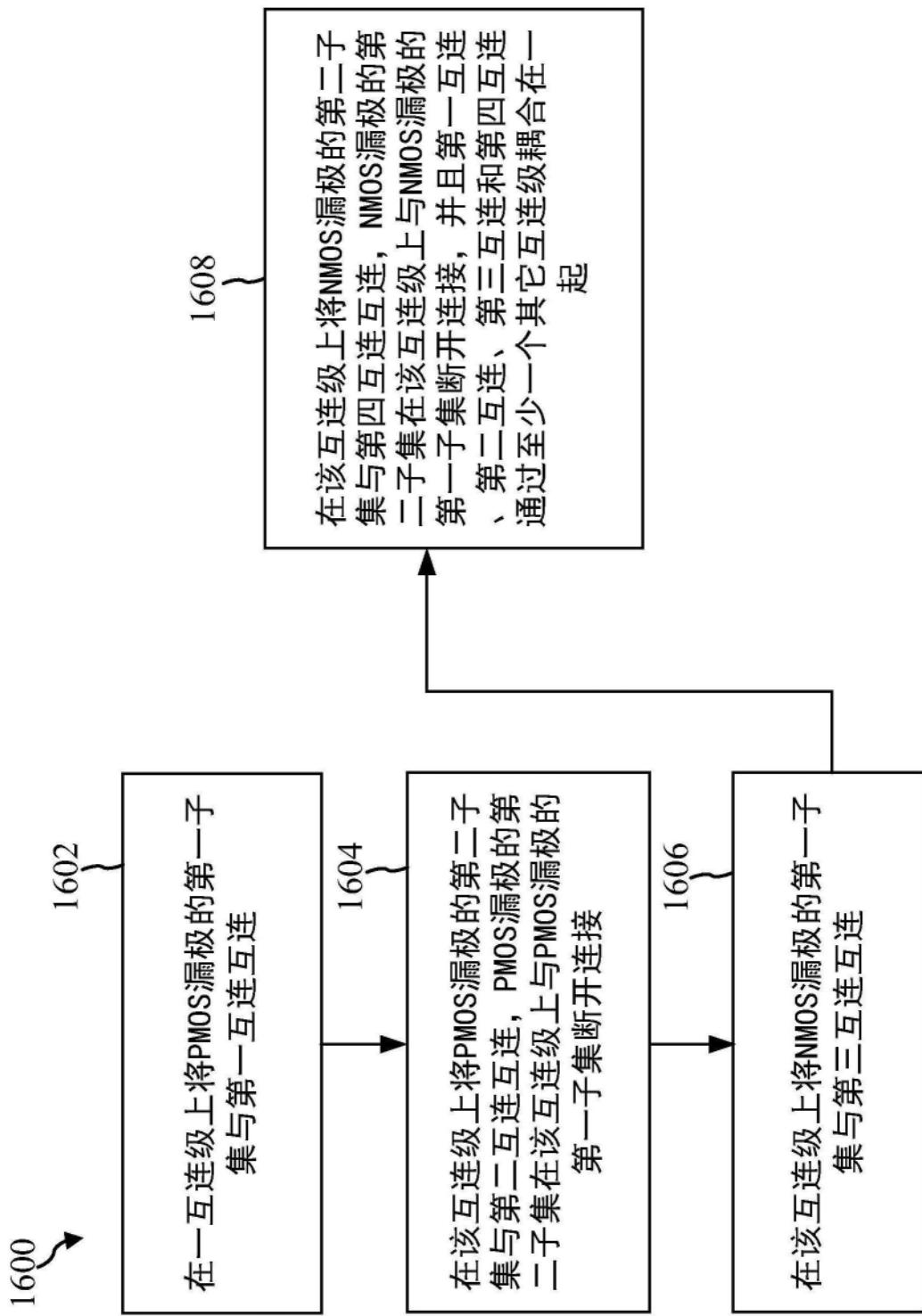


图14

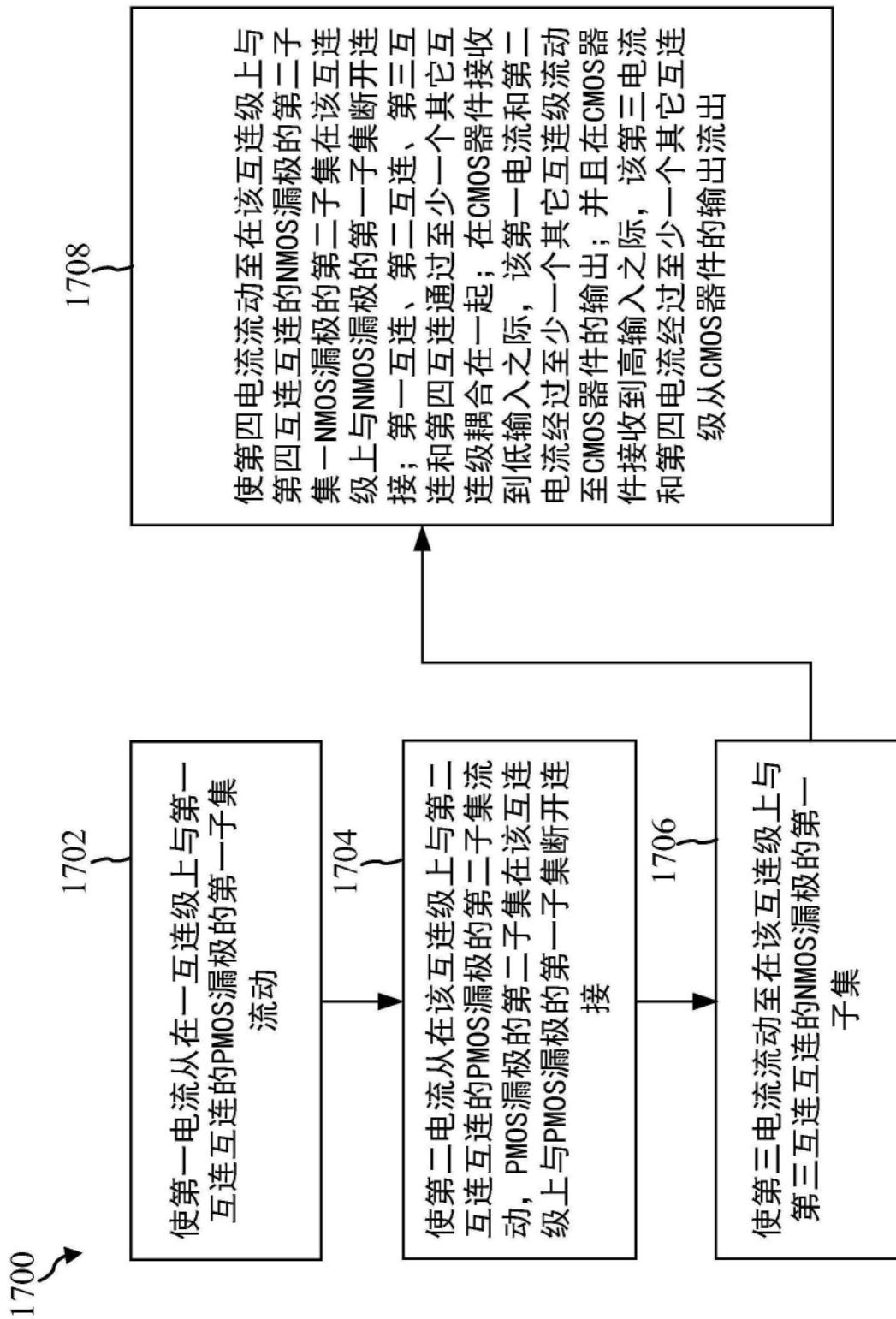


图15

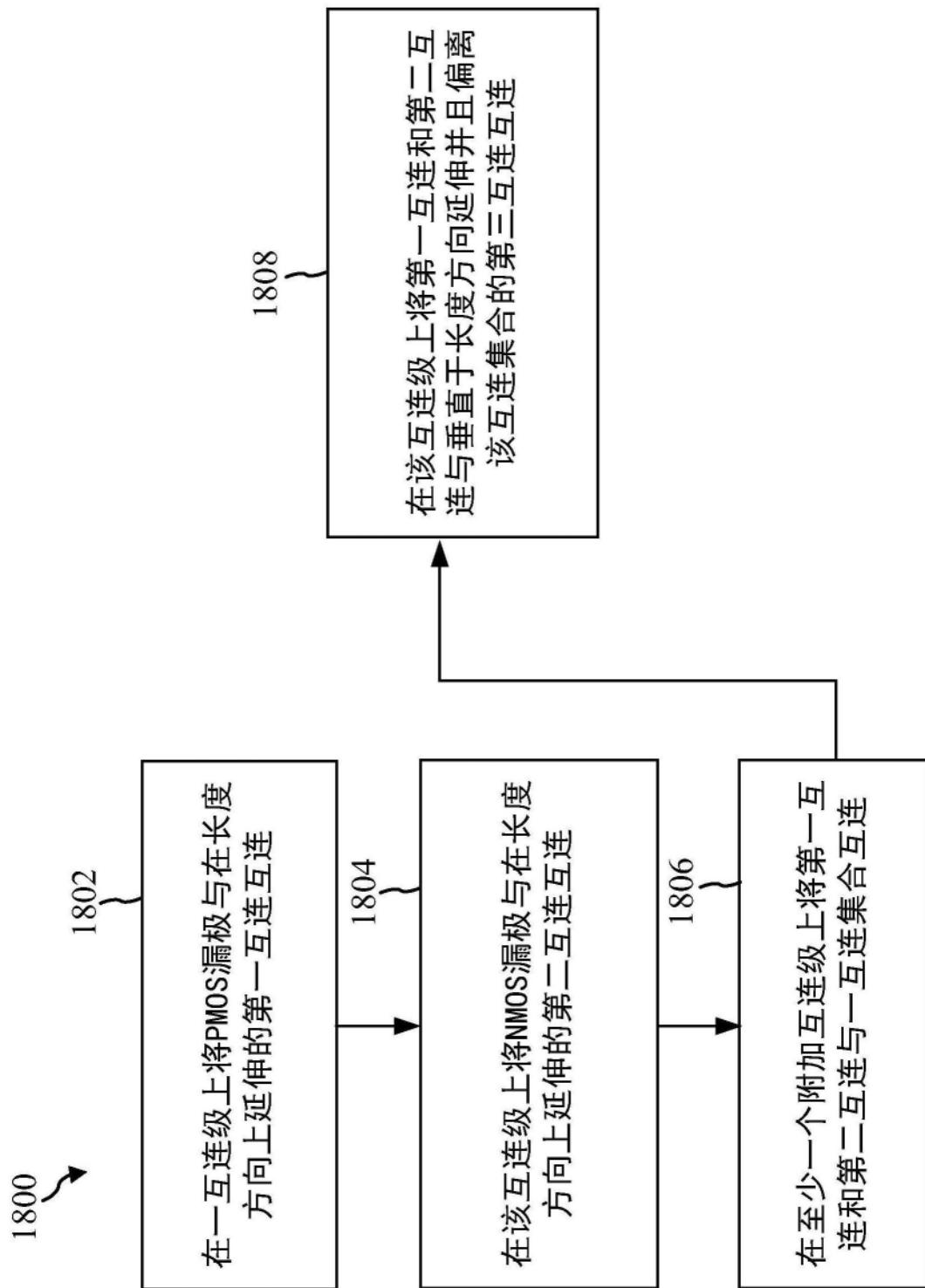


图16

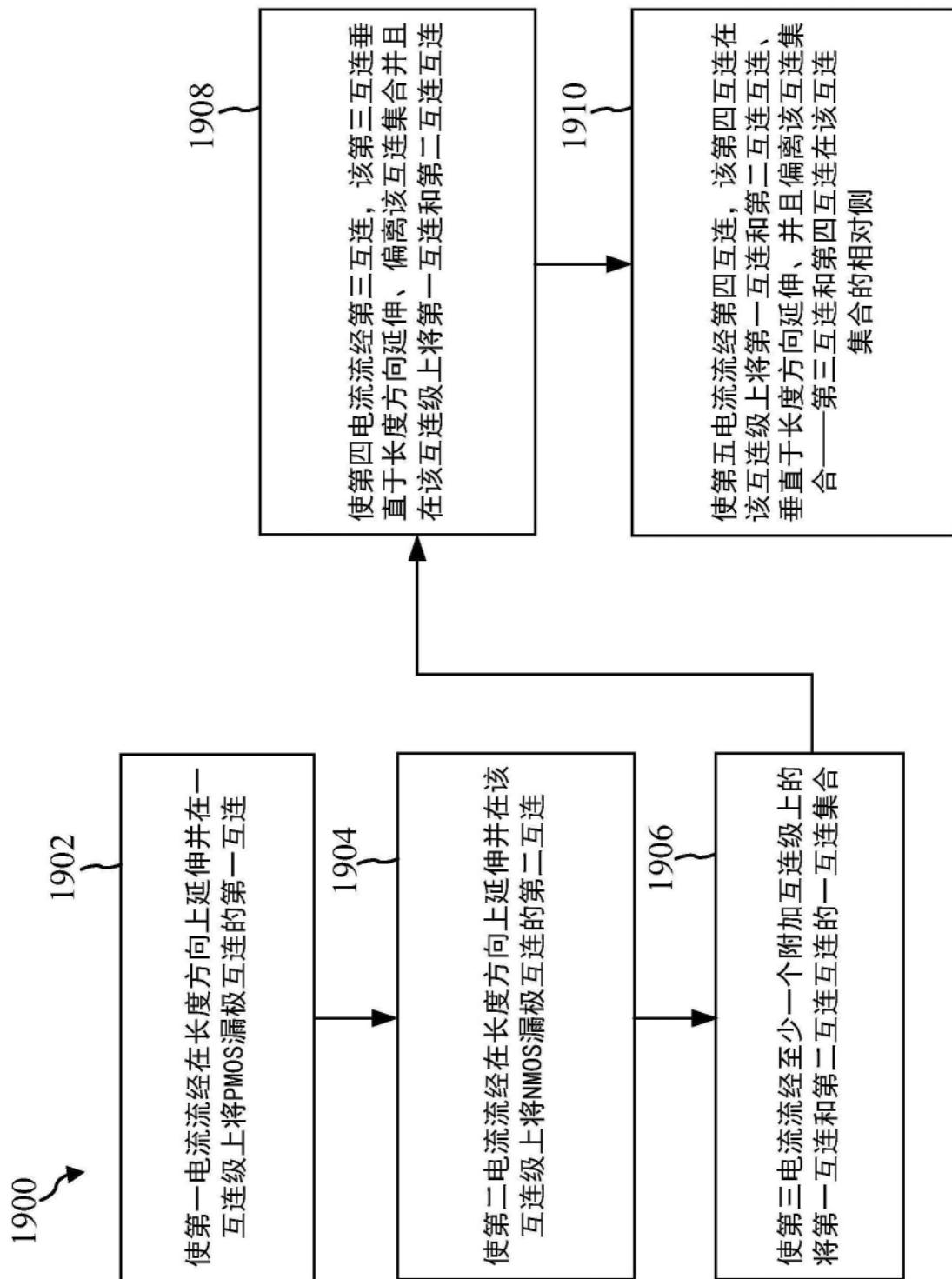


图17