

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2017-40580

(P2017-40580A)

(43) 公開日 平成29年2月23日 (2017.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
G O 1 R 19/255 (2006.01)	G O 1 R 19/255	2 G O 3 5
G O 1 R 19/00 (2006.01)	G O 1 R 19/00	B

審査請求 未請求 請求項の数 5 O L (全 30 頁)

(21) 出願番号	特願2015-162964 (P2015-162964)	(71) 出願人	395011665
(22) 出願日	平成27年8月20日 (2015.8.20)		株式会社オートネットワーク技術研究所
		(71) 出願人	000183406
			住友電装株式会社
		(71) 出願人	000002130
			住友電気工業株式会社
		(74) 代理人	100114557
			弁理士 河野 英仁
		(74) 代理人	100078868
			弁理士 河野 登夫

最終頁に続く

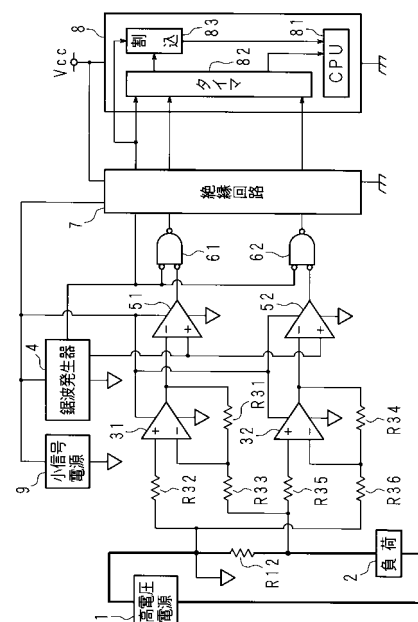
(54) 【発明の名称】 電流検出回路

(57) 【要約】

【課題】 広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能な電流検出回路を提供する。

【解決手段】 高電圧電源 1 及び負荷 2 の間に接続された抵抗器 R 1 2 の両端間に生じる電圧を増幅器 3 1 , 3 2 で増幅して比較器 5 1 , 5 2 で鋸波信号の電圧と比較し、鋸波信号の電圧が直線的に漸増又は漸減する傾斜期間における比較器 5 1 , 5 2 の比較結果を示す信号の長さ T 2 , T 3 と、上記傾斜期間の長さ T 1 とを検知し、検知した長さの比率に基づいて抵抗器 R 1 2 に流れる電流を検出する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

電源及び負荷の間で抵抗器を介して流れる電流を検出する電流検出回路において、
三角波信号又は鋸波信号を発生する発生部と、
該発生部で発生する信号の電圧が直線的に漸増又は漸減する期間を示す信号を生成する
第 1 生成部と、
前記抵抗器の両端間の電圧を増幅する増幅部と、
該増幅部で増幅した信号の電圧及び前記発生部で発生した電圧を比較する比較部と、
前記期間における前記比較部の比較結果を示す信号を生成する第 2 生成部と、
前記第 1 生成部からの信号の信号幅に対する前記第 2 生成部からの信号の信号幅の比に
基づいて前記抵抗器に流れる電流を検出する検出部と
を備えることを特徴とする電流検出回路。

10

【請求項 2】

前記検出部は、周期信号を計数するカウンタの計数値を、信号幅を検知すべき信号の前
縁及び後縁で保持して差分をとることにより、前記第 1 及び第 2 生成部夫々からの信号の
信号幅を検知することを特徴とする請求項 1 に記載の電流検出回路。

【請求項 3】

前記第 1 及び第 2 生成部と前記検出部とを電氣的に絶縁して前記第 1 及び第 2 生成部か
ら前記検出部に信号を伝達する絶縁部を備えることを特徴とする請求項 1 又は 2 に記載の
電流検出回路。

20

【請求項 4】

前記抵抗器の端子の何れか一方の電位を、前記第 1 及び第 2 生成部の基準電位とす
ることを特徴とする請求項 3 に記載の電流検出回路。

【請求項 5】

前記第 1 及び第 2 生成部からの信号を選択的に切り替えて前記検出部に伝達する選択部
を備え、

前記検出部は、前記選択部を介して伝達された前記第 1 生成部からの信号の周期に応じ
て前記選択部を切り替える

ことを特徴とする請求項 1 から 4 の何れか 1 項に記載の電流検出回路。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明は、電源及び負荷の間で抵抗器を介して流れる電流を検出する電流検出回路に関
する。

【背景技術】**【0002】**

従来、バッテリー、モータ等の負荷に流れる電流を検出する方法が数多く提案されている。
一般的に直流電流を検出するための電流センサには、ホール素子又はシャント抵抗器が
用いられている。電流センサによるアナログの検出結果は、必要に応じてデジタル値に変
換される。

40

【0003】

例えば、特許文献 1 には、車両のバッテリーが充放電する電流の値を、ホール素子を備え
る電流センサで検出する制御装置が記載されている。この電流センサは鉄心を有しており
、残留磁気及びヒステリシスの影響で検出結果にオフセット誤差が含まれるため、特許文
献 1 では、電流センサによる検出結果がオフセット補正装置で補正されるようになっている。

【0004】

一方、電流センサによる検出結果を A / D 変換してデジタル値に変換する場合、例えば
マイコン内蔵の A / D 変換器ではビット数が不足することがあり、外付けの高価な A / D
変換器を用いずに高精度に電流を検出してデジタル値に変換することが望まれる。

50

【 0 0 0 5 】

これに対し、特許文献 2 には、P M モータ（永久磁石電動機）に流れる電流を電流センサで検出し、検出結果を（デルタ・シグマ）変調器で 1 ビット信号（ビットストリーム）に変換するモータ制御装置が記載されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 1 3 - 9 2 1 4 0 号公報

【 特許文献 2 】 特許第 4 8 9 9 8 4 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、特許文献 1 に記載のホール素子を備える電流センサは、広いダイナミックレンジで高精度に電流を検出することが難しく、構造が複雑で比較的高価であるという問題があった。また、特許文献 2 に記載の変調器は、逐次比較方式の A / D 変換器と比較して、オーバーサンプリングを行うために消費電力が大きく、且つステップ応答に劣るために変換のセトリング時間が長いという問題があった。

【 0 0 0 8 】

本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能な電流検出回路を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明に係る電流検出回路は、電源及び負荷の間で抵抗器を介して流れる電流を検出する電流検出回路において、三角波信号又は鋸波信号を発生する発生部と、該発生部で発生する信号の電圧が直線的に漸増又は漸減する期間を示す信号を生成する第 1 生成部と、前記抵抗器の両端間の電圧を増幅する増幅部と、該増幅部で増幅した信号の電圧及び前記発生部で発生した電圧を比較する比較部と、前記期間における前記比較部の比較結果を示す信号を生成する第 2 生成部と、前記第 1 生成部からの信号の信号幅に対する前記第 2 生成部からの信号の信号幅の比に基づいて前記抵抗器に流れる電流を検出する検出部とを備えることを特徴とする。

【 0 0 1 0 】

本発明に係る電流検出回路は、前記検出部は、周期信号を計数するカウンタの計数値を、信号幅を検知すべき信号の前縁及び後縁で保持して差分をとることにより、前記第 1 及び第 2 生成部夫々からの信号の信号幅を検知することを特徴とする。

【 0 0 1 1 】

本発明に係る電流検出回路は、前記第 1 及び第 2 生成部と前記検出部とを電氣的に絶縁して前記第 1 及び第 2 生成部から前記検出部に信号を伝達する絶縁部を備えることを特徴とする。

【 0 0 1 2 】

本発明に係る電流検出回路は、前記抵抗器の端子の何れか一方の電位を、前記第 1 及び第 2 生成部の基準電位とすることを特徴とする。

【 0 0 1 3 】

本発明に係る電流検出回路は、前記第 1 及び第 2 生成部からの信号を選択的に切り替えて前記検出部に伝達する選択部を備え、前記検出部は、前記選択部を介して伝達された前記第 1 生成部からの信号の周期に応じて前記選択部を切り替えることを特徴とする。

【 0 0 1 4 】

本発明にあつては、電源及び負荷の間に接続された抵抗器の両端間に生じる電圧を増幅部で増幅して鋸波信号又は三角波信号の電圧と比較し、鋸波信号又は三角波信号の電圧が直線的に漸増又は漸減する傾斜期間における比較結果を示す信号の長さと、上記傾斜期間

10

20

30

40

50

を示す信号の長さとを検知し、検知した長さの比率に基づいて上記抵抗器に流れる電流を検出する。

これにより、鋸波信号又は三角波信号のピーク電圧に対する増幅部の出力電圧の比率が算出され、この比率と、上記ピーク電圧の値、増幅部の増幅率及び抵抗器の抵抗値とに基づいて電流値が検出される。

【0015】

本発明にあつては、例えば所謂インプットキャプチャ機能を有するタイマに上記傾斜期間を示す信号及び上記比較結果を示す信号を入力し、夫々の信号の前縁及び後縁で保持されたカウンタの計数値の差分に応じてこれらの信号の長さを検知する。

これにより、例えば信号の前縁及び後縁における割込処理で逐次変化するカウンタの計数値を読み出して時間差を検知する場合と比較して、上記傾斜期間を示す信号の長さ及び上記比較結果を示す信号の長さが高精度に検知される。

【0016】

本発明にあつては、上記傾斜期間を示す信号及び上記比較結果を示す信号を生成する生成回路部分と、これらの信号に基づいて電流を検出する検出回路部分とを電氣的に絶縁して分離しつつ、上記生成回路部分から上記検出回路部分に信号を伝達する。

これにより、上記検出回路部分を除くその他の回路部分の基準電位の如何にかかわらず、上記抵抗器に流れる電流が検出される。

【0017】

本発明にあつては、抵抗器の両端のうちの何れか一方の電位を基準電位として、上記傾斜期間を示す信号及び上記比較結果を示す信号を生成する。

これにより、上記抵抗器の両端間の微少な電圧が低ノイズで安定に増幅されるため、上記抵抗器に流れる電流が高精度に検出される。

【0018】

本発明にあつては、上記傾斜期間を示す信号及び上記比較結果を示す信号を選択的に切り替えて上記生成回路部分から検出回路部分に伝達する。この切り替えは、上記傾斜期間を示す信号が伝送されているときの信号周期に応じて行われる。

これにより、上記傾斜期間を示す信号の信号幅及び上記比較結果を示す信号の信号幅が時系列的に検知される。また、上記比較結果を示す信号が伝達されている間に信号幅が検知されない場合は、値が0の信号幅に対応して値が0の電流が検出される。

【発明の効果】

【0019】

本発明によれば、鋸波信号又は三角波信号のピーク電圧に対する増幅部の出力電圧の比率が算出され、この比率と、上記ピーク電圧の値、増幅部の増幅率及び抵抗値とに基づいて、時間遅れを伴うフィードバック無しに電流値が検出される。

従って、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能となる。

【図面の簡単な説明】

【0020】

【図1】本発明の実施の形態1に係る電流検出回路の構成例を示すブロック図である。

【図2】絶縁回路の構成例を示す回路図である。

【図3】鋸波発生器の構成例を示す回路図である。

【図4】本発明の実施の形態1に係る電流検出回路の動作を説明するためのタイミング図である。

【図5】周期信号割込処理におけるCPUの処理手順を示すフローチャートである。

【図6】第1タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

【図7】第2タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

【図8】第3タイマ割込処理におけるCPUの処理手順を示すフローチャートである。

【図9】本発明の実施の形態1の変形例に係る電流検出回路の構成例を示すブロック図である。

10

20

30

40

50

【図 1 0】本発明の実施の形態 2 に係る電流検出回路の構成例を示すブロック図である。

【図 1 1】本発明の実施の形態 2 に係る電流検出回路の動作を説明するためのタイミング図である。

【図 1 2】第 2 タイマ割込処理における CPU の処理手順を示すフローチャートである。

【図 1 3】周期タイマ割込処理における CPU の処理手順を示すフローチャートである。

【図 1 4】第 1 タイマ割込処理における CPU の処理手順を示すフローチャートである。

【図 1 5】前縁値・後縁値読出のサブルーチンに係る CPU の処理手順を示すフローチャートである。

【発明を実施するための形態】

【0021】

10

以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に係る電流検出回路の構成例を示すブロック図である。電流検出回路は、高圧のバッテリーを含む高電圧電源（電源に相当）1 及び負荷 2 の間に接続された抵抗器 R 1 2 の両端間の電圧を増幅する増幅器（増幅部に相当）3 1, 3 2 と、鋸波信号を発生する鋸波発生器（発生部に相当）4 と、鋸波発生器 4 が発生した鋸波信号の電圧及び増幅器 3 1, 3 2 が増幅した電圧を各別に比較する比較器（比較部に相当）5 1, 5 2 とを備える。鋸波発生器 4 は、三角波信号を発生する三角波発生器であってもよい。

【0022】

20

電流検出回路は、また、鋸波発生器 4 からの第 2 の信号（詳細については後述する）及び比較器 5 1, 5 2 の出力信号について負論理の AND を各別にとる AND 回路（第 2 生成部に相当）6 1, 6 2 と、鋸波発生器 4 及び AND 回路 6 1, 6 2 を後段の回路から電氣的に絶縁して分離しつつ、入力された信号を後段に伝達する絶縁回路（絶縁部に相当）7 と、絶縁回路 7 を介して入力された信号に基づいて抵抗器 R 1 2 に流れる電流を検出するマイクロコンピュータ（検出部に相当、以下マイコンという）8 とを備える。

【0023】

増幅器 3 1, 3 2、鋸波発生器 4、比較器 5 1, 5 2 及び AND 回路 6 1, 6 2 は、抵抗器 R 1 2 の一端、即ち高電圧電源 1 及び抵抗器 R 1 2 の接続点を基準電位としており、この基準電位に対する電源電圧を発生する小信号電源 9 から電源が供給されている。小信号電源 9 が供給する電源の電圧は、例えば 5 V である。ここでは、抵抗器 R 1 2 の他端を基準電位にしてもよいが、抵抗器 R 1 2 に流れる電流が大 / 小に変化したときに、基準電位が高電圧電源 1 のマイナス側に対して低 / 高に変動することに不都合がある場合は、抵抗器 R 1 2 の一端を基準電位とすることが好ましい。マイコン 8 及び絶縁回路 7 は、接地電位を基準電位としており、+ 5 V の Vcc が供給されている。

30

【0024】

増幅器 3 1 は、アナログの演算増幅器を含み、出力端子及び反転入力端子の間に抵抗器 R 3 1 が、非反転入力端子及び抵抗器 R 1 2 の一端の間に抵抗器 R 3 2 が、反転入力端子及び抵抗器 R 1 2 の他端の間に抵抗器 R 3 3 が夫々接続されている。増幅器 3 2 は、演算増幅器を含み、出力端子及び反転入力端子の間に抵抗器 R 3 4 が、非反転入力端子及び抵抗器 R 1 2 の他端の間に抵抗器 R 3 5 が、反転入力端子及び抵抗器 R 1 2 の一端の間に抵抗器 R 3 6 が夫々接続されている。

40

【0025】

これにより、増幅器 3 1 は、抵抗器 R 1 2 の一端に対する他端の負の電圧信号を反転増幅して正の電圧信号を出力する反転増幅器として動作する。また、増幅器 3 2 は、抵抗器 R 1 2 の一端に対する他端の正の電圧信号を反転せずに増幅して正の電圧信号を出力する非反転増幅器として動作する。なお、本実施の形態 1 のように、増幅器 3 1 及び 3 2 を基準電位に対する単一電源で駆動する場合、抵抗器 R 1 2 の一端に対する他端の電圧が正であるときは、増幅器 3 1 の出力信号の電圧（以下、出力電圧という）が 0 となり、抵抗器 R 1 2 の一端に対する他端の電圧が負であるときは、増幅器 3 2 の出力電圧が 0 となる。

50

【 0 0 2 6 】

ここでは、増幅器 3 1 及び 3 2 夫々の入力オフセット電流を打ち消すために、抵抗器 R 3 2 の抵抗値は、抵抗器 R 3 1 及び R 3 3 の並列抵抗値と一致させ、抵抗器 R 3 5 の抵抗値は、抵抗器 R 3 4 及び R 3 6 の並列抵抗値と一致させることが好ましい。また、増幅器 3 1 及び 3 2 夫々の入力オフセット電圧を打ち消すために、それ自体公知のオフセット補償回路を設けてもよい。更に、抵抗器 R 2 1 の両端間の電圧をサンプル & ホールドする回路を追加してもよい。

【 0 0 2 7 】

比較器 5 1 及び 5 2 の夫々は、反転入力端子に増幅器 3 1 及び 3 2 の出力端子が接続されており、非反転入力端子に鋸波発生器 4 からの鋸波信号が入力されている。これにより、鋸波信号の電圧が増幅器 3 1 及び 3 2 夫々の出力電圧を下回る場合（又は上回る場合）、比較器 5 1 及び 5 2 の出力信号が L（ロウ）レベル（又は H（ハイ）レベル）となる。

10

【 0 0 2 8 】

A N D 回路 6 1 及び 6 2 の夫々は、一の入力端子に比較器 5 1 及び 5 2 の出力信号が入力されており、他の入力端子に鋸波発生器 4 からの第 2 の信号が入力されている。A N D 回路 6 1 及び 6 2 の夫々は、第 2 の信号が L レベルである期間（発生部で発生する信号の電圧が直線的に漸増又は漸減する期間に相当）における比較器 5 1 及び 5 2 の比較結果を示す信号を出力する。

【 0 0 2 9 】

鋸波信号の立ち下がり時間が無視できる場合は、A N D 回路 6 1 及び 6 2 を用いなくてもよい。この場合は、比較器 5 1 , 5 2 が比較部及び第 2 生成部に相当する。上記第 2 の信号及び A N D 回路 6 1 , 6 2 の出力信号は、絶縁回路 7 を介して、所謂インプットキャプチャ機能を有するマイコン 8 のタイマ用の入力端子に各別に入力される。マイコン 8 のタイマ用の入力端子に入力される信号のうち、第 2 の信号は、マイコン 8 の割込用の入力端子にも入力されており、割込要求を発生する。

20

【 0 0 3 0 】

ここで、絶縁回路 7 について説明する。

図 2 は、絶縁回路 7 の構成例を示す回路図である。絶縁回路 7 は、L E D（Light Emitting Diode）及び該 L E D が発光したときにオンするフォトトランジスタを含むフォトカプラ 7 1 , 7 2 , 7 3 を有する。各フォトカプラ 7 1 , 7 2 , 7 3 について、L E D のアノードは小信号電源 9 に接続されており、フォトトランジスタのエミッタは接地電位に接続されている。各フォトカプラ 7 1 , 7 2 , 7 3 は、デジタルアイソレータ、パルストランス等の他のアイソレータに置き換えてもよい。

30

【 0 0 3 1 】

フォトカプラ 7 1 に含まれる L E D のカソードは、抵抗器 R 7 1 を介して鋸波発生器 4（より詳しくはインバータ I V 4 2 の出力端子）に接続されている。フォトカプラ 7 2 及び 7 3 夫々に含まれる L E D のカソードは、抵抗器 R 7 2 及び R 7 3 を介して A N D 回路 6 1 及び 6 2 の出力端子に接続されている。フォトカプラ 7 1 に含まれるフォトトランジスタのコレクタは、抵抗器 R 7 4 により V c c にプルアップされると共にマイコン 8 のタイマ用の入力端子及び割込用の入力端子に接続されている。フォトカプラ 7 2 及び 7 3 夫々に含まれるフォトトランジスタのコレクタは、抵抗器 R 7 5 及び R 7 6 により V c c にプルアップされると共にマイコン 8 のタイマ用の入力端子に接続されている。

40

【 0 0 3 2 】

上述の構成を有する絶縁回路 7 において、入力側の抵抗器 R 7 1 , 7 2 , 7 3 を介して H レベル（又は L レベル）の信号が入力された場合、各 L E D が発光せず（又は発光し）、各フォトトランジスタがオフする（又はオンする）ため、マイコン 8 に H レベル（又は L レベル）の信号が入力される。

【 0 0 3 3 】

図 1 に戻って、マイコン 8 は、C P U（Central Processing Unit）8 1、タイマ 8 2 及び割込コントローラ 8 3 を有し、これらが不図示の R O M（Read Only Memory）及び

50

R A M (Random Access Memory) と共に互いにバス接続されている。タイマ 8 2 には、第 1 タイマ、第 2 タイマ及び第 3 タイマが含まれている。

【 0 0 3 4 】

タイマ 8 2 に含まれる第 1、第 2 及び第 3 タイマは、クロック (周期信号に相当) を計数するカウンタの計数値を、夫々のタイマ用の入力端子に入力された信号の立ち下がり及び立ち上がり (信号幅を検知すべき信号の前縁及び後縁に相当) でキャプチャレジスタに保持して割込要求を発生する。C P U 8 1 は、キャプチャレジスタに保持された計数値の差分を割込処理で算出して、L レベルの信号の信号幅を正確に検知することができる。

【 0 0 3 5 】

割込コントローラ 8 3 は、割込用の入力端子からの割込要求及びタイマ 8 2 からの割込要求を受け付けて C P U 8 1 に割込を発生させる。本実施の形態 1 では、割込用の入力端子に入力された第 2 の信号の立ち上がりを割込要求として受け付けるが、これに限定されるものではない。

【 0 0 3 6 】

次に、鋸波発生器 4 について説明する。

図 3 は、鋸波発生器 4 の構成例を示す回路図である。鋸波発生器 4 は、小信号電源 9 からの電源電圧を分圧する抵抗器 R 4 0 及び R 4 1 からなる分圧器 4 1 と、カレントミラー回路 4 2 と、小信号電源 9 からカレントミラー回路 4 2 を介して一定の電流で充電されるコンデンサ C 4 1 と、分圧器 4 1 で分圧された電圧及びコンデンサ C 4 1 の電圧を比較する比較器 4 3 と、比較器 4 3 の出力信号の立ち上がりを遅延させる遅延器 4 4 とを有する。コンデンサ C 4 1 の電圧は、上述した比較器 5 1 及び 5 2 の非反転入力端子に入力されている。

【 0 0 3 7 】

カレントミラー回路 4 2 は、小信号電源 9 に抵抗器 R 4 2 及び R 4 3 夫々を介してエミッタが接続された P N P 型のトランジスタ Q 4 1 及び Q 4 2 を含む。トランジスタ Q 4 1 のコレクタ及びベースとトランジスタ Q 4 2 のベースとは、抵抗器 R 4 4 を介して基準電位に接続されている。トランジスタ Q 4 2 のコレクタは、一端が基準電位に接続されたコンデンサ C 4 1 の他端に接続されている。この構成により、コンデンサ C 4 1 の他端には、電圧が直線的に漸増する傾斜期間を有する信号が発生する。

【 0 0 3 8 】

比較器 4 3 は、小信号電源 9 から電源が供給されており、出力端子が抵抗器 R 4 5 により小信号電源 9 にプルアップされている。比較器 4 3 は、反転入力端子が分圧器 4 1 の分圧点に接続されており、非反転入力端子が抵抗器 R 4 6 を介してコンデンサ C 4 1 の他端に接続されている。この構成により、コンデンサ C 4 1 の他端の電圧が分圧器 4 1 の分圧電圧を上回った場合、比較器 4 3 の出力信号が H レベルとなる。

【 0 0 3 9 】

遅延器 4 4 は、比較器 4 3 の出力端子に入力端子が接続されたインバータ I V 4 1 と、インバータ I V 4 1 の出力電圧を積分する抵抗器 R 4 7 及びコンデンサ C 4 2 の直列回路と、抵抗器 R 4 7 及びコンデンサ C 4 2 の接続点に入力端子が接続されたシュミットトリガ型のインバータ (第 1 生成部に相当) I V 4 2 とを含む。インバータ I V 4 1 の出力端子及びインバータ I V 4 2 の入力端子の間には、カソードがインバータ I V 4 1 の出力端子側に向けられたショットキバリア型のダイオード D 4 1 及び抵抗器 R 4 8 の直列回路が接続されている。抵抗器 R 4 7 及び R 4 8 夫々の抵抗値は、例えば 4 . 7 k 及び 1 0 0 であり、コンデンサ C 4 2 の容量値は、例えば 4 7 0 p F である。この構成により、比較器 4 3 の出力電圧の立ち下がりが遅延器 4 4 の積分回路により遅延される。

【 0 0 4 0 】

インバータ I V 4 2 の出力信号は、上述した第 2 の信号であり、A N D 回路 6 1 及び 6 2 の一の入力端子並びに絶縁回路 7 の入力側に入力されると共に、N チャネル型の F E T (Field Effect Transistor) であるトランジスタ Q 4 3 のゲートに抵抗器 R 4 9 を介して印加される。この構成により、比較器 4 3 の出力信号が H レベルとなった場合、トラン

10

20

30

40

50

ジスタQ 4 3 がオンとなり、コンデンサC 4 1 に蓄積された電荷が放電する。

【 0 0 4 1 】

次に、高電圧電源 1 から負荷 2 に正の電流が流れる場合を例にして、鋸波発生器 4 を中心に電流検出回路の動作をより詳細に説明する。高電圧電源 1 から負荷 2 に負の電流が流れる場合は、以下の説明における増幅器 3 1、比較器 5 1 及び A N D 回路 6 1 の夫々を増幅器 3 2、比較器 5 2 及び A N D 回路 6 2 と読み替えればよい。

【 0 0 4 2 】

図 4 は、本発明の実施の形態 1 に係る電流検出回路の動作を説明するためのタイミング図である。図 4 に示す 7 つのタイミング図は、何れも同一の時間軸を横軸としてあり、縦軸には、図の上段から、鋸波信号の電圧（即ちコンデンサC 4 1 の電圧）、比較器 4 3 の出力信号のレベル、コンデンサC 4 2 の電圧、第 2 の信号（即ちインバータI V 4 2 の出力信号）のレベル、トランジスタQ 4 3 のオン / オフ状態、比較器 5 1 の出力信号のレベル、及び A N D 回路 6 1 の出力信号のレベルを示してある。図中の V_{th} は、分圧器 4 1 の分圧電圧であり、鋸波信号のピーク電圧を V_p とする。

10

【 0 0 4 3 】

図 4 の最上段に示す鋸波信号の電圧が直線的に漸増して時刻 t_1 （又は t_{11} ）で V_{th} を上回った場合、比較器 4 3 の出力信号が H レベルに立ち上がり、この出力信号がインバータI V 4 1 で L レベルに反転されるため、C 4 2 の電荷がダイオードD 4 1 及び抵抗器R 4 8 を介して急速に放電する。その結果、時刻 t_2 （又は t_{12} ）でコンデンサC 4 2 の電圧がインバータI V 4 2 の下側の閾値電圧を下回った場合、インバータI V 4 2 の出力信号（即ち第 2 の信号）が H レベルに立ち上がり、この信号によってトランジスタQ 4 3 がオンする。このため、コンデンサC 4 1 の電荷が急速に放電して鋸波信号の電圧が急激に低下する。トランジスタQ 4 3 がオンする直前の鋸波信号の電圧が V_p である。時刻 t_1 から t_2 （又は t_{11} から t_{12} ）までの期間におけるコンデンサC 4 1 の電圧の上昇分は、 V_p と比較して無視できるほどである。

20

【 0 0 4 4 】

時刻 t_2 （又は t_{12} ）でコンデンサC 4 1 の電圧が低下し始めると直ちに比較器 4 3 の出力信号が L レベルに立ち下がり、この出力信号がインバータI V 4 1 で H レベルに反転されるため、C 4 2 が抵抗器R 4 7 を介して徐々に充電される。その結果、時刻 t_3 （又は t_{13} ）でコンデンサC 4 2 の電圧がインバータI V 4 2 の上側の閾値電圧を上回った場合、インバータI V 4 2 の出力信号（即ち第 2 の信号）が L レベルに立ち下がり、この信号によってトランジスタQ 4 3 がオフする。このため、コンデンサC 4 1 への充電が再び開始されて鋸波信号の電圧が直線的に漸増する。なお、コンデンサC 4 1 の電荷は、時刻 t_2 から t_3 （又は t_{12} から t_{13} ）までの期間中に完全に放電するように調整される。

30

【 0 0 4 5 】

一方、鋸波発生器 4 からの鋸波信号が非反転入力端子に入力される比較器 5 1 では、抵抗器R 1 2 の両端間の電圧を増幅する増幅器 3 1 の出力信号が反転入力端子に入力されているため、鋸波信号の電圧が V_p から 0 に低下する時刻 t_2 から t_3 （又は t_{12} から t_{13} ）までの期間中の何れかの時点で、出力信号が H レベルから L レベルに変化する。これとは逆に、鋸波信号の電圧が 0 から V_p に直線的に漸増する時刻 t_3 から t_{12} までの期間中の例えば時刻 t_4 で、比較器 5 1 の出力信号が L レベルから H レベルに変化する。

40

【 0 0 4 6 】

第 2 の信号及び比較器 5 1 の出力信号について負論理の A N D をとる A N D 回路 6 1 の出力信号は、時刻 t_3 （又は t_{13} ）で L レベルとなり、時刻 t_4 で H レベルとなる。時刻 t_3 （又は t_{13} ）は、鋸波信号の電圧が直線的に漸増する期間の始点である。つまり、A N D 回路 6 1 は、第 2 の信号が L レベルである期間だけ比較器 5 1 からの L レベルの信号を通過させることにより、比較器 5 1 からの信号の立ち下がり（前縁）を第 2 の信号の前縁まで遅らせて出力する。

【 0 0 4 7 】

50

さて、第 2 の信号が L レベルである期間、即ち鋸波信号の電圧が直線的に漸増する時刻 t_3 から t_{12} までの期間の長さを T_1 とし、AND 回路 61 の出力信号が L レベルである時刻 t_3 から t_4 までの期間の長さを T_2 とした場合、時刻 t_4 における鋸波信号の電圧は $V_p \times (T_2 / T_1)$ である。この電圧は、時刻 t_4 で比較器 51 の反転入力端子に入力される電圧、即ち増幅器 31 の出力電圧に等しいので、抵抗器 R_{12} を介して高電圧電源 1 から負荷 2 に流れる電流 i は、以下の式 (1) により算出される。なお、負荷 2 から高電圧電源 1 に流れる電流 i を検出する場合は、AND 回路 62 の出力信号が L レベルである期間の長さ T_3 を検知し、式 (1) における T_2 を T_3 に、増幅器 32 の増幅率の絶対値に夫々置き換えればよい。

【0048】

$i = V_p \times (T_2 / T_1) / (r \times \dots \dots \dots (1)$
但し、

r : 抵抗器 R_{12} の抵抗値

: 増幅器 31 の増幅率の絶対値

【0049】

次に、電流 i の検出精度について説明する。上述したように、第 2 の信号及び AND 回路 61 の出力信号は、絶縁回路 7 を介してマイコン 8 のタイマ用の入力端子に各別に入力されており、キャプチャレジスタに保持されたカウンタの計数値の差分に基づいて T_1 及び T_2 が各別に検知される。 T_1 及び T_2 は、式 (1) で用いられる数値であるから、必ずしも時間に換算して検知する必要はない。

【0050】

タイマ 82 のカウンタが計数するクロックの周波数を f とした場合、 T_1 及び T_2 はクロックの周期に相当する $1/f$ の精度で検知される。この場合、 T_1 を n ビット (n は自然数) 以上の数値として、所謂 n ビット以上の分解能で検知するには、第 2 の信号が L レベルである期間、即ち鋸波信号の電圧が直線的に漸増する期間の長さ t が、以下の式 (2) で表されるようにすればよい。

【0051】

$t = 2^{n/f} \dots \dots \dots (2)$
但し、「 \wedge 」は冪乗を表す。

【0052】

一方、CPU 81 が並列処理可能なビット数が m (m は n 以上の自然数) である場合、 t は式 (2) を考慮して以下の式 (3) で示される範囲内の長さにすればよい。

【0053】

$2^{n/f} \leq t \leq 2^{m/f} \dots \dots \dots (3)$

【0054】

例えば上述のクロックの周波数が 32 MHz である場合、 T_1 を 15 ビットの分解能で検知するには、式 (2) における境界値として $t = 1024 \mu s$ とすればよい。また例えば、鋸波信号のピーク電圧 V_p が 2.0 V となるように調整し、コンデンサ C_{41} の容量値を $C = 0.1 \mu F$ とした場合、カレントミラー回路 42 がコンデンサ C_{41} に流入させるべき一定の電流 I は、 $I \times t = C \times V_p$ の関係式より、 $I = 195 \mu A$ となる。

【0055】

電流 i の検出精度を低下させる要因としては、小信号電源 9 の電圧変動、分圧器 41 の分圧比を決定する抵抗器 R_{40} 及び R_{41} の抵抗値の変動、高電圧電源 1 及び負荷 2 の間に接続された抵抗器 R_{12} の抵抗値の変動、増幅器 31 及び 32 の増幅率の変動等が挙げられる。なお、その電圧が鋸波信号の電圧となるコンデンサ C_{41} については、容量値の変動が式 (1) における T_1 の変動となって現れるが、 T_2 も同率で変動するため、式 (1) の算出結果に影響を与えることはない。

【0056】

一方、抵抗器 R_{40} 及び R_{41} については、抵抗値の変動が分圧比に影響を与えないように温度特性等を選択することが好ましい。また、増幅器 31 の増幅率の絶対値は、抵抗

10

20

30

40

50

器 R 3 3 の抵抗値に対する抵抗器 R 3 1 の抵抗値の比の値であり、増幅器 3 2 の増幅率の絶対値は、抵抗器 R 3 6 の抵抗値に対する抵抗器 R 3 4 の抵抗値の比の値に 1 を加算した値であって、これらの増幅率についても抵抗値の変動の影響が相殺するようにしておくことが好ましい。

【 0 0 5 7 】

以下では、上述したマイコン 8 の動作を、それを示すフローチャートを用いて詳述する。以下に示す処理は、不図示の R O M に予め格納されている制御プログラムに従って、C P U 8 1 により実行される。

図 5 は、周期信号割込処理における C P U 8 1 の処理手順を示すフローチャートであり、図 6、図 7 及び図 8 の夫々は、第 1 タイマ割込処理、第 2 タイマ割込処理及び第 3 タイマ割込処理における C P U 8 1 の処理手順を示すフローチャートである。図 5 の割込処理は、第 2 の信号の立ち上がりで実行される。図 6、図 7 及び図 8 夫々の割込処理は、第 2 の信号、A N D 回路 6 1 の出力信号及び A N D 回路 6 2 の出力信号により、第 1 タイマ、第 2 タイマ及び第 3 タイマのキャプチャレジスタに計数値が保持された時に実行される。

【 0 0 5 8 】

図 5 の処理で用いる r 及び 夫々は、既に述べたとおり抵抗器 R 1 2 の抵抗値及び増幅器 3 1 , 3 2 の増幅率の絶対値である。また、 $T 3$ は、A N D 回路 6 2 の出力信号が L レベルである期間の長さである。図 6、図 7 及び図 8 夫々の処理で用いる前縁フラグ 1、前縁フラグ 2 及び前縁フラグ 3 は、信号幅を検知すべき信号の前縁における割込処理であることを示すフラグであり、不図示の R A M に記憶される。 $T 2$ 及び $T 3$ は処理値を 0 として R A M に記憶される。 $T 1$ は、直前に検知された値が R A M に記憶されている。図 5 の処理で算出される電流 i は、高電圧電源 1 から負荷 2 に向けて流れる電流を正の電流とする。

【 0 0 5 9 】

図 5 の周期信号割込処理が実行された場合、C P U 8 1 は、R A M に記憶した $T 3$ が 0 であるか否かを判定する (S 1 1)。 $T 3$ が 0 である場合 (S 1 1 : Y E S)、即ち第 2 の信号による前回の周期信号割込処理以降に $T 3$ が検知されていない場合、C P U 8 1 は、 $T 2$ を $T 1$ で除算して D U T Y とし (S 1 2)、次回の周期信号割込処理のために $T 2$ を 0 とする (S 1 3)。その後、C P U 8 1 は、 $V p$ を $r \times$ で除算した結果に D U T Y を乗算して電流 i を算出し (S 1 4)、割り込まれたルーチンにリターンする。なお、第 2 の信号による前回の周期信号割込処理以降に $T 2$ 及び $T 3$ が共に検知されていない場合、 $i = 0$ と算出される。

【 0 0 6 0 】

一方、ステップ S 1 1 で $T 3$ が 0 ではない場合 (S 1 1 : N O)、C P U 8 1 は、 $T 3$ を $T 1$ で除算して D U T Y とし (S 1 5)、次回の周期信号割込処理のために $T 3$ を 0 とする (S 1 6)。その後、C P U 8 1 は、 $V p$ を $r \times$ で除算した結果に D U T Y を乗算して負の電流 i を算出し (S 1 7)、割り込まれたルーチンにリターンする。

【 0 0 6 1 】

次に、図 6 に示す第 1 タイマ割込処理が実行された場合、C P U 8 1 は、前縁フラグ 1 が 1 であるか否かを判定し (S 2 1)、1 である場合 (S 2 1 : Y E S)、C P U 8 1 は、キャプチャレジスタの内容を前縁値 1 として読み出して (S 2 2) R A M に記憶する (S 2 3)。その後、C P U 8 1 は、前縁フラグ 1 を 0 にクリアして (S 2 4)、割り込まれたルーチンにリターンする。

【 0 0 6 2 】

一方、ステップ S 2 1 で前縁フラグ 1 が 1 ではない場合 (S 2 1 : N O)、C P U 8 1 は、キャプチャレジスタの内容を後縁値 1 として読み出し (S 2 5)、後縁値 1 から R A M に記憶した前縁値 1 を減算して $T 1$ を算出する (S 2 6)。算出された $T 1$ は R A M に記憶される (図示を省略、以下同様)。その後、C P U 8 1 は、 $T 1$ が所定値より大きいか否かを判定し (S 2 7)、大きくない場合 (S 2 7 : N O)、ステップ S 2 8 以降をスキップして割り込まれたルーチンにリターンする。

【 0 0 6 3 】

ステップ S 2 7 で T 1 と所定値とを比較するのは、算出された T 1 が、図 4 に示す時刻 t 2 から t 3 までの期間（即ち第 2 の信号が H レベルである期間）の長さであった場合の T 1 を廃棄するためである。所定値は、時刻 t 3 から t 1 2 までの期間の長さより小さく、時刻 t 2 から t 3 までの期間の長さより大きい値にしておく。ステップ S 2 7 から直ちにリターンした場合に、次の第 1 タイマ割込処理で算出される T 1 は、時刻 t 2 から t 1 2 までの期間の長さであり、実際の T 1 より大きい。但し、その後の第 1 タイマ割込処理にて、時刻 t 3 から t 1 2 までの期間の長さが T 1 として正しく算出される。

【 0 0 6 4 】

ステップ S 2 7 で T 1 が所定値より大きい場合（S 2 7：YES）、CPU 8 1 は、次の第 1 タイマ割込処理のために前縁フラグ 1 を 1 にセットし（S 2 8）、更に第 2 タイマ割込処理のために前縁フラグ 2 を 1 にセットする（S 2 9）と共に、第 3 タイマ割込処理のために前縁フラグ 3 を 1 にセットして（S 3 0）、割り込まれたルーチンにリターンする。

【 0 0 6 5 】

次の図 7 に示す第 2 タイマ割込処理におけるステップ S 3 1 から S 3 5 までの処理は、図 6 に示した第 1 割込処理におけるステップ S 2 1 から S 2 5 までの処理における前縁フラグ 1、前縁値 1 及び後縁値 1 の夫々を、前縁フラグ 2、前縁値 2 及び後縁値 2 に置き換えたものであるため、その説明を省略する。

【 0 0 6 6 】

ステップ S 3 5 で、キャプチャレジスタの内容を後縁値 2 として読み出した CPU 8 1 は、後縁値 2 から RAM に記憶した前縁値 2 を減算して T 2 を算出する（S 3 6）。その後、CPU 8 1 は、次の第 2 タイマ割込処理のために前縁フラグ 2 を 1 にセットして（S 3 7）、割り込まれたルーチンにリターンする。

【 0 0 6 7 】

次の図 8 に示す第 3 タイマ割込処理におけるステップ S 4 1 から S 4 5 までの処理は、図 7 に示した第 2 割込処理におけるステップ S 3 1 から S 3 5 までの処理における前縁フラグ 2、前縁値 2 及び後縁値 2 の夫々を、前縁フラグ 3、前縁値 3 及び後縁値 3 に置き換えたものであるため、その説明を省略する。

【 0 0 6 8 】

ステップ S 4 5 で、キャプチャレジスタの内容を後縁値 3 として読み出した CPU 8 1 は、後縁値 3 から RAM に記憶した前縁値 3 を減算して T 3 を算出する（S 4 6）。その後、CPU 8 1 は、次の第 3 タイマ割込処理のために前縁フラグ 3 を 1 にセットして（S 4 7）、割り込まれたルーチンにリターンする。

【 0 0 6 9 】

以上のように本実施の形態 1 によれば、高電圧電源 1 及び負荷 2 の間に接続された抵抗器 R 1 2 の両端間に生じる電圧を増幅器 3 1、3 2 で増幅して比較器 5 1、5 2 で鋸波信号の電圧と比較し、鋸波信号の電圧が直線的に漸増する傾斜期間における比較器 5 1、5 2 の比較結果を示す信号の長さ T 2、T 3 と、上記傾斜期間を示す信号の長さ T 1 とを検知し、検知した長さの比率に基づいて抵抗器 R 1 2 に流れる電流を検出する。

これにより、鋸波信号のピーク電圧 V_p に対する増幅器 3 1、3 2 の出力電圧の比率が算出され、この比率と、ピーク電圧 V_p 、増幅器 3 1、3 2 の増幅率の絶対値 及び抵抗器 R 1 2 の抵抗値 r とに基づいて電流値 i が検出される。

従って、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能となる。

【 0 0 7 0 】

また、実施の形態 1 によれば、所謂インプットキャプチャ機能を有するタイマ 8 2 に上記傾斜期間を示す第 2 の信号及び上記比較結果を示す AND 回路 6 1、6 2 の出力信号を入力し、夫々の信号の前縁及び後縁で保持されたカウンタの計数値の差分に応じてこれらの信号の長さを検知する。

10

20

30

40

50

従って、例えば信号の前縁及び後縁における割込処理で逐次変化するカウンタの計数値を読み出して時間差を検知する場合と比較して、上記傾斜期間を示す信号の長さ及び上記比較結果を示す信号の長さを高精度に検知することが可能となる。

【0071】

更に、実施の形態1によれば、上記傾斜期間を示す信号及び上記比較結果を示す信号を夫々生成する鋸波発生器4及びAND回路61, 62と、これらの信号に基づいて電流を検出するマイコン8とを絶縁回路7で電氣的に絶縁して分離しつつ、鋸波発生器4及びAND回路61, 62からマイコン8に信号を伝達する。

従って、マイコン8を除くその他の回路部分の基準電位の如何にかかわらず、抵抗器R12に流れる電流を検出することが可能となる。

【0072】

更にまた、実施の形態1によれば、抵抗器R12の両端間の微少な電圧が低ノイズで安定に増幅されるため、抵抗器R12に流れる電流を高精度に検出することが可能となる。

【0073】

なお、実施の形態1にあつては、鋸波信号における電圧が直線的に漸増する期間を傾斜期間としたが、これに限定されるものではない。例えば、図4に示す時刻t3からt12までの期間に対応する期間中に鋸波信号の電圧が右肩下がりに漸減する場合は、この期間を傾斜期間としてもよい。この場合、AND回路61は、第2の信号がLレベルである期間だけ比較器51からのLレベルの信号を通過させることにより、比較器51からの信号の立ち上がり（後縁）を第2の信号の後縁まで早めて出力する。

【0074】

また例えば、図4に示す時刻t2からt3までの期間中に鋸波信号の電圧が直線的に漸減する場合は、この期間を傾斜期間としてもよいし、鋸波信号の電圧が直線的に漸増及び漸減する両期間を連結して傾斜期間としてもよい。

【0075】

上記の2つの場合のうち、前者の場合は、第2の信号がHレベルである期間により上述の傾斜期間が示されるから、第2の信号を反転させた信号をAND回路61, 62の他の入力端子及び絶縁回路7に入力すればよい。後者の場合は、傾斜期間の長さとは鋸波信号の周期とが実質的に一致するため、図4に示す第2の信号を、時刻t2で立ち上がって直ぐに立ち下がる細いパルスにすればよい。この場合は更に、不要なAND回路61, 62を削減して、比較器51, 52の出力信号を絶縁回路7に入力すればよい。AND回路61, 62を削減した場合は、比較器51, 52が比較部及び第2生成部に相当する。

【0076】

更に例えば、鋸波信号に代えて三角波信号を用いてもよい。この場合、三角波信号の電圧が漸増する期間、漸減する期間及び両期間を連結した期間のうち、何れの期間を傾斜期間にしてもよい。何れの期間を傾斜期間とする場合であっても、電流検出回路の動作は、前述の内容で説明し尽くされている。

【0077】

（変形例）

実施の形態1が、比較器51, 52の出力信号をAND回路61, 62及び絶縁回路7を介してマイコン8に伝達する形態であるのに対し、実施の形態1の変形例は、比較器51, 52の出力信号のORをとった信号をAND回路61及び絶縁回路7を介してマイコン8に伝達する形態である。

【0078】

図9は、本発明の実施の形態1の変形例に係る電流検出回路の構成例を示すブロック図である。図9に示す電流検出回路は、実施の形態1の図1に示す電流検出回路と比較して、AND回路62が削減されており、且つ、比較器51及び52の出力信号について負論理のORをとるOR回路63が追加されており、OR回路63の出力端子がAND回路61の一の入力端子に接続されている点が異なる。従って、絶縁回路7は2つのフォトカプラ71, 72を含む2回路があれば十分であり、マイコン8のタイマ82には第3タイマ

10

20

30

40

50

が含まれていなくてもよい。

【0079】

本変形例では、実施の形態1におけるT2及びT3が区別されることなく検知されるため、図4に示したタイミング図と同じタイミング図を用いて電流検出回路の動作を説明することができる。また、図5に示した周期信号割込処理では、ステップS11の判定処理及びステップS15からS17までの処理が不要となる。更に、図8に示した第3タイマ割込処理の全体が不要となる。その他については、実施の形態1の場合と同様である。

【0080】

以上のように本実施の形態1の変形例によれば、検出される電流の正負が区別されない点を除けば、内蔵するタイマ数が少ないマイコンを用いた場合であっても、実施の形態1と同様の効果を奏する。

【0081】

(実施の形態2)

実施の形態1が、マイコン8のタイマ82にて3つの信号(第2の信号及びAND回路61, 62の出力信号)の信号幅を並列的に検知する形態であるのに対し、実施の形態2は、タイマ82にて上記3つの信号の信号幅を時系列的に検知する形態である。

【0082】

図10は、本発明の実施の形態2に係る電流検出回路の構成例を示すブロック図である。図10に示す電流検出回路は、実施の形態1の図1に示す電流検出回路と比較して、絶縁回路7及びマイコン8の間にマルチプレクサ(選択部に相当、以下MUXという)85が接続されており、マイコン8に出力ポート84が追加されている点が異なる。MUX85からの出力信号は、マイコン8の第1及び第2タイマ用の入力端子に入力されている。マイコン8の割込用入力端子には、信号が入力されていない。

【0083】

タイマ82は、第1タイマにより、第1タイマ用の入力端子に入力された信号の信号幅を検知し、第2タイマにより、第2タイマ用の入力端子に入力された第2の信号の周期を検知するか、又はMUX85の選択を切り替える周期を計時する。マイコン8のタイマ82には第3タイマが含まれていなくてもよい。第1タイマは、実施の形態1と同様に第1タイマ用の入力端子に入力された信号の立ち下がり及び立ち上がりでカウンタの計数値をキャプチャレジスタに保持して割込要求を発生する。第2タイマは、第2タイマ用の入力端子に入力された第2の信号の周期を検知する場合に、第2の信号の立ち上がりでカウンタの計数値をキャプチャレジスタに保持して割込要求を発生する。第2タイマが周期を計時する場合は、インプットキャプチャ機能が解除される。

【0084】

MUX85は、Vccから電源が供給されており、4つの被選択入力端子に入力された信号を、マイコン8からの2ビットの選択信号の組み合わせにより選択的に切り替えて、マイコン8の第1及び第2タイマ用の入力端子に伝達すべく出力する。

【0085】

MUX85の第1から第3の被選択入力端子には、前述の第2の信号及びAND回路61, 62の出力信号が、絶縁回路7を介して各別に入力されている。MUX85の第4の被選択入力端子は、接地電位に接続されている。MUX85の2つの選択入力端子には、マイコン8が有する出力ポート84から2ビットの選択信号が入力される。この構成により、CPU81が第2の信号及びAND回路61, 62の出力信号のうち、何れの信号をも選択しない場合(以下、この状態を非選択という)は、MUX85から強制的にLレベルの信号が出力される。

【0086】

次に、高電圧電源1から負荷2に正の電流が流れる場合を例にして、鋸波発生器4の動作をより詳細に説明する。

図11は、本発明の実施の形態2に係る電流検出回路の動作を説明するためのタイミング図である。図11に示す6つのタイミング図は、何れも同一の時間軸を横軸としてあり

10

20

30

40

50

、縦軸には、図の上段から、第 2 の信号のレベル、A N D 回路 6 1 の出力信号のレベル、A N D 回路 6 2 の出力信号のレベル、タイマ 8 2 に含まれる第 1 タイマによる検知フェーズの区別、M U X 8 5 の出力信号のレベル、及びタイマ 8 2 に含まれる第 2 タイマによる周期タイマの動作期間を示してある。

【 0 0 8 7 】

図 1 1 で、第 1 タイマによる検知フェーズに示された T 1 検知フェーズ、T 2 検知フェーズ及び T 3 検知フェーズの夫々は、C P U 8 1 が、第 2 の信号、A N D 回路 6 1 の出力信号及び A N D 回路 6 2 の出力信号を選択すべく選択信号を出力しているフェーズを表す。検知フェーズの区別は不図示の R A M に記憶されており、初期状態は T 1 検知フェーズである。

10

【 0 0 8 8 】

T 1 検知フェーズが継続している状態では、M U X 8 5 の被選択入力端子に入力される信号のうち第 2 の信号が選択されているから、時刻 t_2 及び t_{12} における第 2 の信号の立ち上がりで第 2 タイマのカウンタの計数値がキャプチャレジスタに保持されて割込要求が発生する。C P U 8 1 は、この割込要求に対する割込処理にて、第 2 の信号の周期 T 0 を検知する。

【 0 0 8 9 】

その後、C P U 8 1 は、検知フェーズを T 2 検知フェーズに更新すると共に、M U X 8 5 の被選択入力端子に入力される信号のうち A N D 回路 6 1 の出力信号を選択すべく出力ポート 8 4 から選択信号を出力する。C P U 8 1 は、更に、第 2 タイマを用いて周期 T 0 の周期タイマを起動する。

20

【 0 0 9 0 】

T 1 検知フェーズでは、更に、時刻 t_3 及び t_{12} における第 2 の信号の立ち下がり及び立ち上がりで第 1 タイマのカウンタの計数値がキャプチャレジスタに保持されて割込要求が発生する。C P U 8 1 は、この割込要求に対する割込処理にて、第 2 の信号が L レベルである期間の長さ T 1 を検知する。

【 0 0 9 1 】

続く T 2 検知フェーズでは、M U X 8 5 の被選択入力端子に入力される信号のうち A N D 回路 6 1 の出力信号が選択されているから、時刻 t_{13} 及び t_{14} における A N D 回路 6 1 の出力信号の立ち下がり及び立ち上がりで第 1 タイマのカウンタの計数値がキャプチャレジスタに保持されて割込要求が発生する。C P U 8 1 は、この割込要求に対する割込処理にて、A N D 回路 6 1 の出力信号が L レベルである期間の長さ T 2 を検知する。

30

【 0 0 9 2 】

時刻 t_{22} で第 2 タイマによる周期タイマがタイムアップして割込要求が発生した場合、C P U 8 1 は、この割込要求に対する割込処理にて、検知フェーズを T 3 検知フェーズに更新すると共に、M U X 8 5 の被選択入力端子に入力される信号のうち A N D 回路 6 2 の出力信号を選択すべく出力ポート 8 4 から選択信号を出力する。C P U 8 1 は、更に、第 2 タイマを用いて周期 T 0 の周期タイマを再起動する。

【 0 0 9 3 】

続く T 3 検知フェーズでは、M U X 8 5 の被選択入力端子に入力される信号のうち A N D 回路 6 2 の出力信号が選択されているが、本実施の形態 2 ではこの出力信号が H レベルに維持されているため、A N D 回路 6 2 の出力信号が L レベルである期間の長さ T 3 が検知されることはない。それにもかかわらず、第 2 タイマによる周期タイマが時刻 t_{32} でタイムアップすることにより、C P U 8 1 は、T 3 検知フェーズを時刻 t_{32} で終了させることができる。

40

【 0 0 9 4 】

時刻 t_{32} で第 2 タイマによる周期タイマがタイムアップして割込要求が発生した場合、C P U 8 1 は、この割込要求に対する割込処理にて、検知フェーズを T 1 検知フェーズに更新した後、第 2 タイマをインプットキャプチャの設定に変更する。C P U 8 1 は、更に、M U X 8 5 の被選択入力端子に入力される信号のうち接地電位の信号を極く短時間だ

50

け選択した後、第2の信号を選択すべく出力ポート84から選択信号を出力する。これにより、MUX85の出力信号が、時刻 t_{32} で必ず立ち上がることとなる。つまり、時刻 t_{32} 以降のT1検知フェーズでは、時刻 t_2 以降のT1検知フェーズと全く同じ動作が繰り返される。

【0095】

以下では、上述したマイコン8の動作を、それを示すフローチャートを用いて詳述する。以下に示す処理は、不図示のROMに予め格納されている制御プログラムに従って、CPU81により実行される。

図12は、第2タイマ割込処理におけるCPU81の処理手順を示すフローチャートであり、図13は、周期タイマ割込処理におけるCPU81の処理手順を示すフローチャートであり、図14は、第1タイマ割込処理におけるCPU81の処理手順を示すフローチャートであり、図15は、前縁値・後縁値読出のサブルーチンに係るCPU81の処理手順を示すフローチャートである。図12及び14の割込処理は、夫々第2タイマ及び第1タイマのキャプチャレジスタに計数値が保持された時に実行される。図13の割込処理は、第2タイマによる周期タイマがタイムアップした時に実行される。

【0096】

図12の処理で用いる開始フラグは、周期を検知すべき信号の開始時点における割込処理であることを示すフラグであり、不図示のRAMに記憶される。図14の処理で用いる前縁フラグは、信号幅を検知すべき信号の前縁における割込処理であることを示すフラグであり、RAMに記憶される。検知フェーズの区別もRAMに記憶される。T2及びT3は処理値を0としてRAMに記憶される。T1は、直前に検知された値がRAMに記憶されている。第2タイマは、インプットキャプチャの設定になっている。

【0097】

図12の第2タイマ割込処理が実行された場合、CPU81は、現在がT1検知フェーズであるか否かを判定し(S51)、T1検知フェーズではない場合(S51:NO)、何も処理せずに割り込まれたルーチンにリターンする。一方、現在がT1検知フェーズである場合(S51:YES)、CPU81は、開始フラグが1であるか否かを判定し(S52)、1である場合(S52:YES)、キャプチャレジスタの内容を開始値として読み出して(S53)RAMに記憶する(S54)。

【0098】

その後、CPU81は、前縁フラグを0にクリアし(S55)、電流検出に係るサブルーチン呼び出して実行した(S56)後、割り込まれたルーチンにリターンする。

なお、電流検出に係るサブルーチンの処理内容は、時刻 t_2 より前に検知されたT1、T2及びT3に基づいて電流 i を検出するものであり、実施の形態1の図5に示す周期信号割込処理におけるステップS11からS17までの内容と全く同一であるため、フローチャートの図示及びその説明を省略する。

【0099】

ステップS52で、開始フラグが1ではない場合(S52:NO)、CPU81は、キャプチャレジスタの内容を終了値として読み出し(S57)、終了値からRAMに記憶した開始値を減算してT0を算出する(S58)。算出されたT0はRAMに記憶される(図示を省略、以下同様)。その後、CPU81は、次の第2タイマ割込処理のために開始フラグを1にセットし(S59)、検知フェーズをT2検知フェーズに更新した(S60)後、MUX85の被選択入力端子に入力される信号のうちAND回路61の出力信号を選択すべく出力ポート84から選択信号を出力する(S61)。

【0100】

次いで、CPU81は、第2タイマについて、インプットキャプチャの設定を解除すべく設定変更し(S62)、第2タイマによる周期タイマをスタートさせて(S63)割り込まれたルーチンにリターンする。この場合に周期タイマに設定される周期は、ステップS58で算出したT0である。

【0101】

10

20

30

40

50

次に、図 13 に示す周期タイマ割込処理が実行された場合、CPU 81 は、現在が T2 検知フェーズであるか否かを判定し (S71)、T2 検知フェーズである場合 (S71: YES)、検知フェーズを T3 検知フェーズに更新する (S72)。その後、CPU 81 は、MUX 85 の被選択入力端子に入力される信号のうち AND 回路 62 の出力信号を選択すべく出力ポート 84 から選択信号を出力し (S73)、第 2 タイマによる周期タイマを再スタートさせて (S74) 割り込まれたルーチンにリターンする。

【0102】

ステップ S71 で、現在が T2 検知フェーズではない場合 (S71: NO)、即ち T3 検知フェーズである場合、CPU 81 は、検知フェーズを T1 検知フェーズに更新した (S75) 後、第 2 タイマを再びインプットキャプチャに設定変更する (S76)。更に、CPU 81 は、一旦 MUX 85 を非選択にした (S77) 後、MUX 85 の被選択入力端子に入力される信号のうち、第 2 の信号を選択すべく出力ポート 84 から選択信号を出力して (S78)、割り込まれたルーチンにリターンする。

10

【0103】

次に、図 14 に示す第 1 タイマ割込処理が実行された場合、CPU 81 は、現在が T1 検知フェーズであるか否かを判定し (S81)、T1 検知フェーズである場合 (S81: YES)、前縁値・後縁値読出に係るサブルーチンを呼び出して実行し (S82)、サブルーチンで算出された Tx を T1 に代入して (S83) 割り込まれたルーチンにリターンする。

【0104】

20

ステップ S81 で、現在が T1 検知フェーズではない場合 (S81: NO)、CPU 81 は、現在が T2 検知フェーズであるか否かを判定し (S84)、T2 検知フェーズである場合 (S84: YES)、前縁値・後縁値読出に係るサブルーチンを呼び出して実行し (S85)、サブルーチンで算出された Tx を T2 に代入して (S86) 割り込まれたルーチンにリターンする。

【0105】

ステップ S84 で、現在が T2 検知フェーズではない場合 (S84: NO)、即ち T3 検知フェーズである場合、CPU 81 は、前縁値・後縁値読出に係るサブルーチンを呼び出して実行し (S87)、サブルーチンで算出された Tx を T3 に代入して (S88) 割り込まれたルーチンにリターンする。

30

【0106】

次に、図 15 に示す前縁値・後縁値読出に係るサブルーチンが呼び出された場合、CPU 81 は、前縁フラグが 1 であるか否かを判定する (S91)。前縁フラグが 1 である場合 (S91: YES)、CPU 81 は、キャプチャレジスタの内容を前縁値として読み出して (S92) RAM に記憶し (S93)、前縁フラグを 0 にクリアして (S94)、呼び出されたルーチンにリターンする。

【0107】

一方、ステップ S91 で前縁フラグが 1 ではない場合 (S91: NO)、CPU 81 は、キャプチャレジスタの内容を後縁値として読み出し (S95)、後縁値から RAM に記憶した前縁値を減算して Tx を算出する (S96)。算出された Tx は RAM に記憶される (図示を省略)。その後、CPU 81 は、前縁フラグを 1 にセットして (S97)、呼び出されたルーチンにリターンする。

40

【0108】

以上のように本実施の形態 2 によれば、上述の傾斜期間を示す信号及び比較結果を示す信号を MUX 85 で選択的に切り替えて鋸波発生器 4 及び AND 回路 61, 62 からマイコン 8 に伝達する。この切り替えは、上記傾斜期間を示す信号が伝送されているときの信号周期 T0 に応じて行われる。

従って、上記傾斜期間を示す信号の信号幅及び上記比較結果を示す信号の信号幅を時系列的に検知することが可能となり、マイコン 8 で使用するタイマ数が 1 つ削減される。なお、上記比較結果を示す信号が伝送されている間に信号幅が検知されない場合は、値が 0

50

の信号幅に対応して値が 0 の電流を検出することが可能となる。

【 0 1 0 9 】

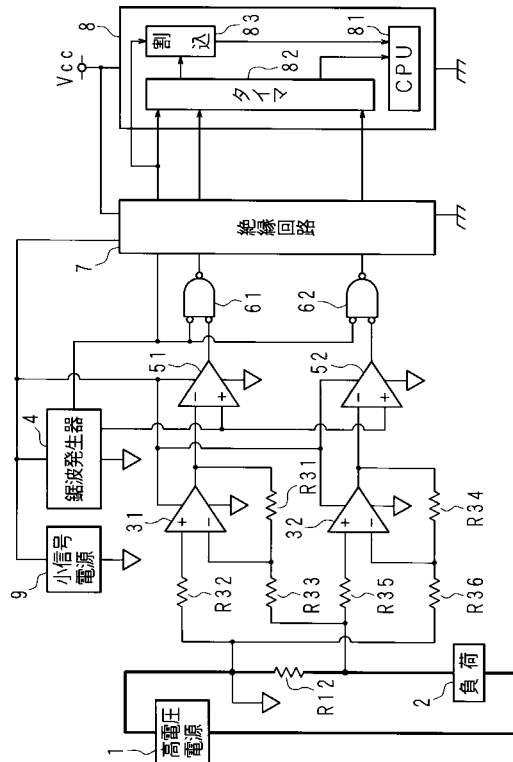
今回開示された実施の形態は、全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。また、各実施の形態で記載されている技術的特徴は、お互いに組み合わせることが可能である。

【符号の説明】

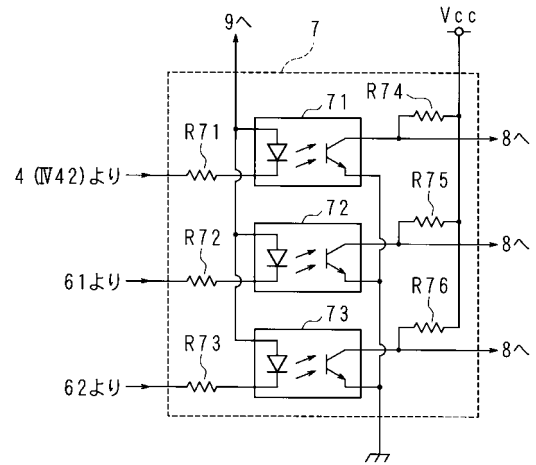
【 0 1 1 0 】

1	高電圧電源	10
2	負荷	
3 1、3 2	増幅器	
4	鋸波発生器	
4 1	分圧器	
4 2	カレントミラー回路	
4 4	遅延器	
5 1、5 2	比較器	
6 1、6 2	A N D 回路	
6 3	O R 回路	
7	絶縁回路	20
7 1、7 2、7 3	フォトカブラ	
8	マイコン	
8 1	C P U	
8 2	タイマ	
8 3	割込コントローラ	
8 4	出力ポート	
8 5	M U X	
9	小信号電源	
C 4 1、C 4 2	コンデンサ	
I V 4 1、I V 4 2	インバータ	30
Q 4 3	トランジスタ	

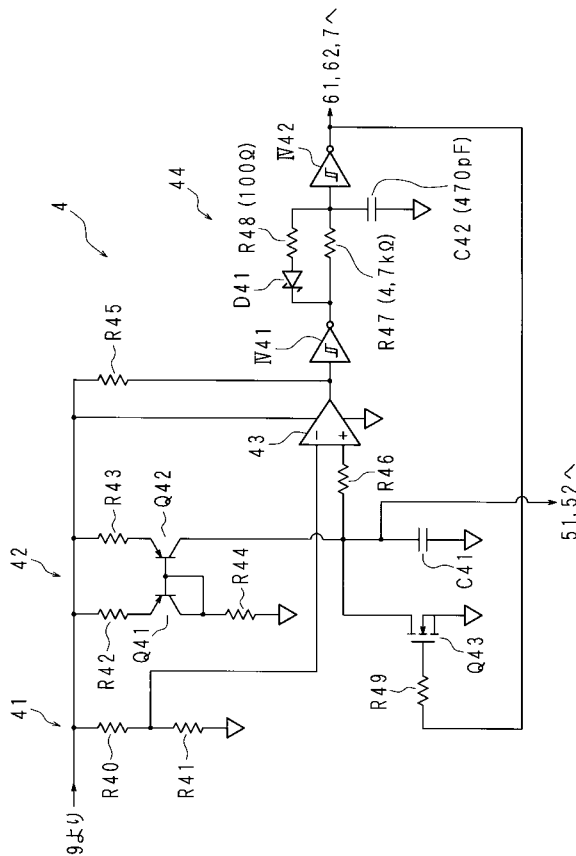
【図 1】



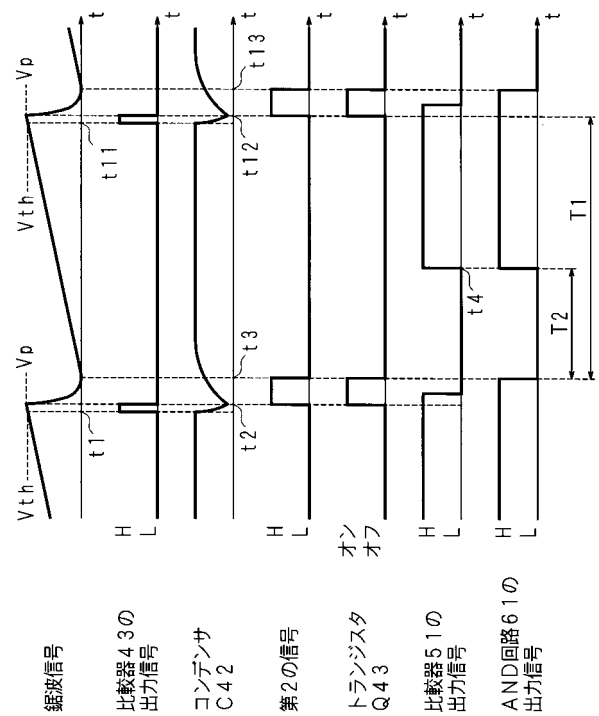
【図 2】



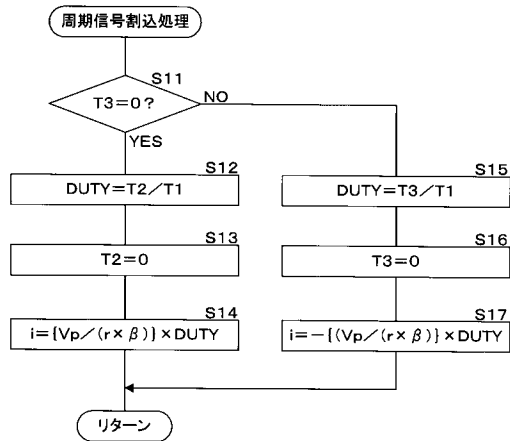
【図 3】



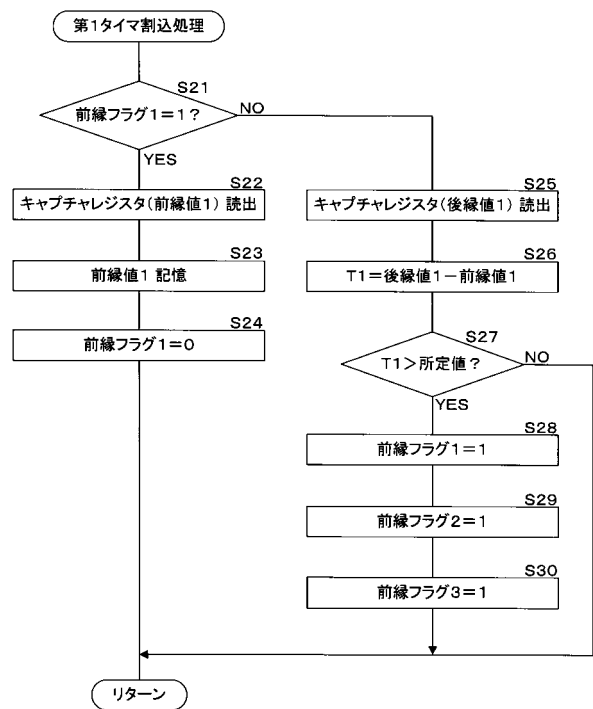
【図 4】



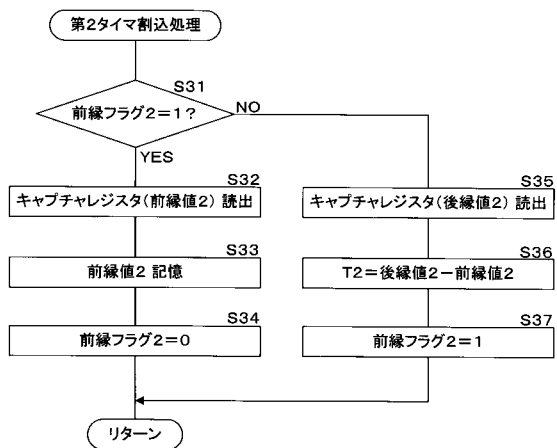
【図 5】



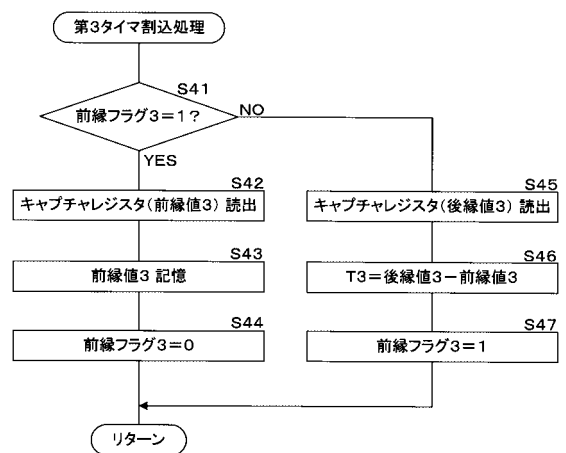
【図 6】



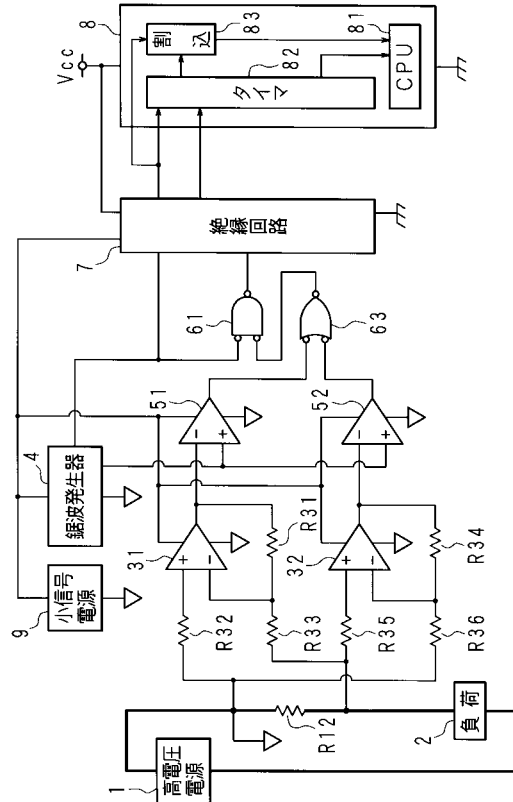
【図 7】



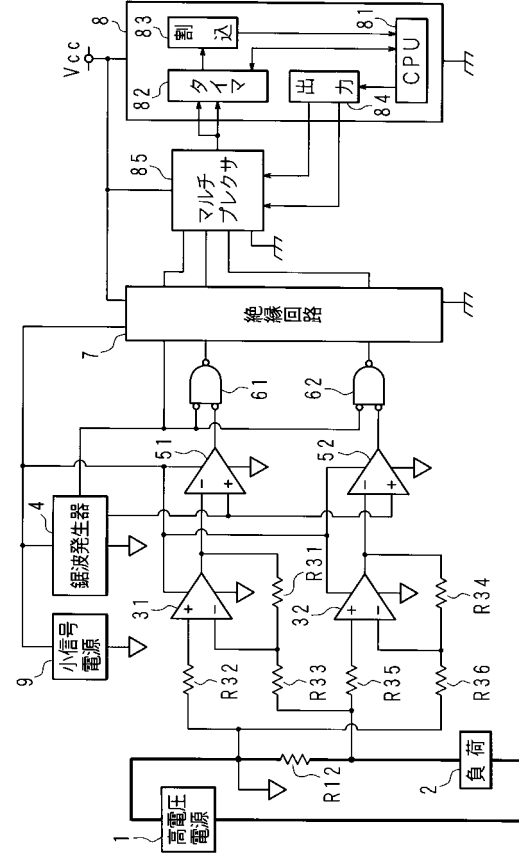
【図 8】



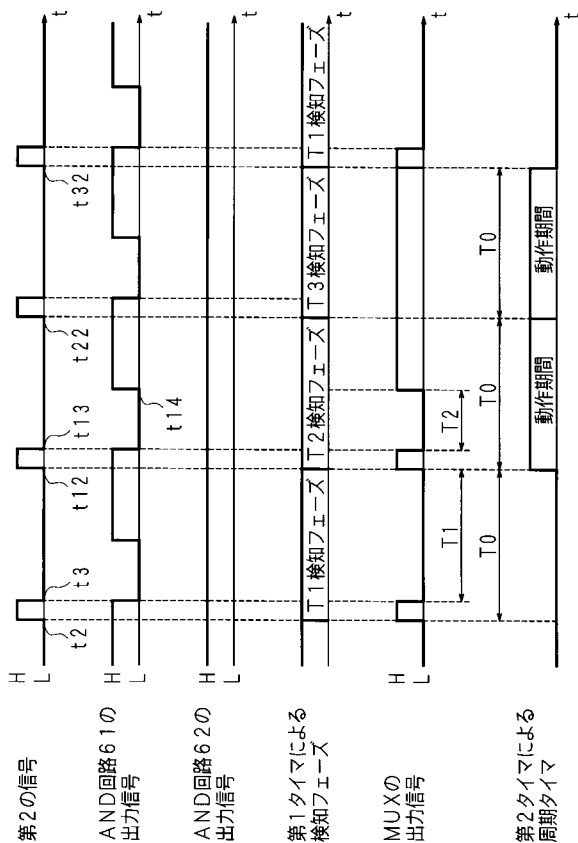
【図 9】



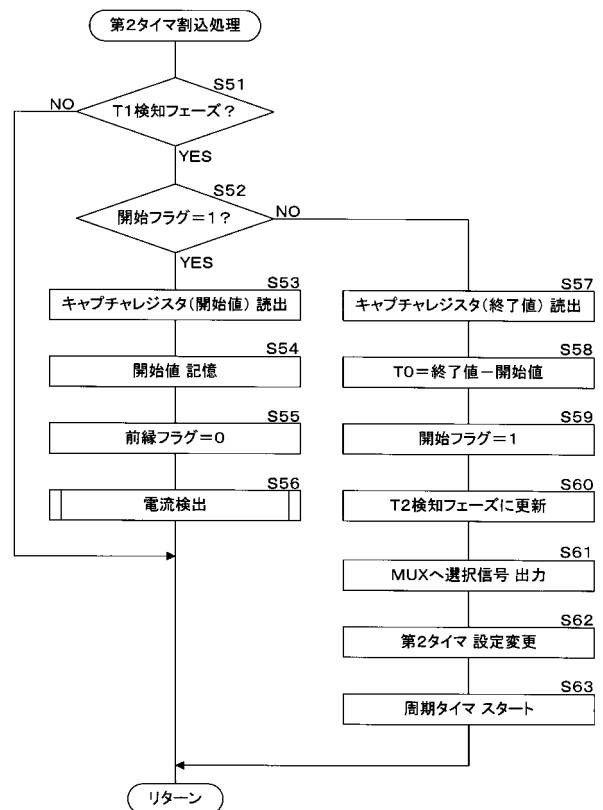
【図 10】



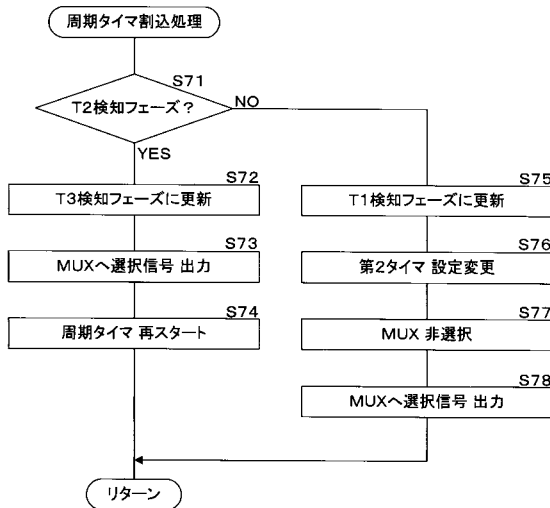
【図 11】



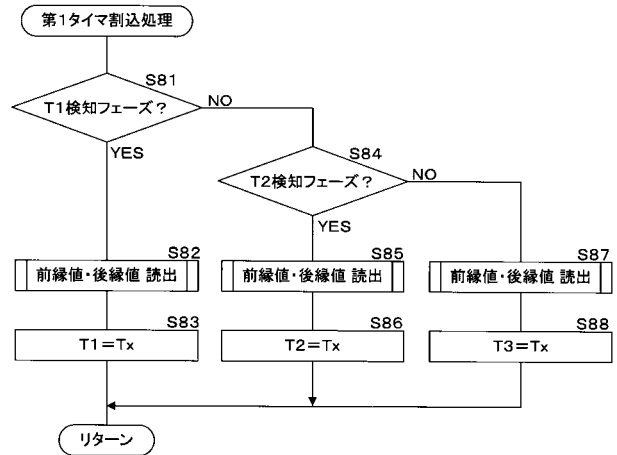
【図 12】



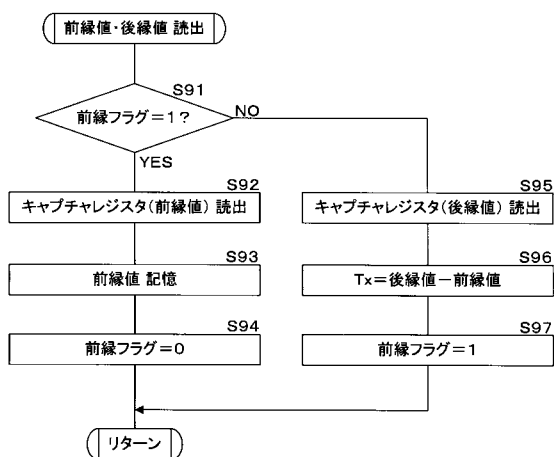
【図 13】



【図 14】



【図 15】



【手続補正書】

【提出日】平成28年7月1日(2016.7.1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明の一態様に係る電流検出回路は、電源及び負荷の間で抵抗器を介して流れる電流を検出する電流検出回路において、三角波信号又は鋸波信号を発生する発生部と、該発生部で発生する信号の電圧が直線的に漸増又は漸減する期間を示す信号を生成する第1生成部と、前記抵抗器の両端間の電圧を増幅する増幅部と、該増幅部で増幅した信号の電圧及び前記発生部で発生した電圧を比較する比較部と、前記期間における前記比較部の比較結果を示す信号を生成する第2生成部と、前記第1生成部からの信号の信号幅に対する前記第2生成部からの信号の信号幅の比に基づいて前記抵抗器に流れる電流を検出する検出部とを備えることを特徴とする。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の一態様に係る電流検出回路は、前記検出部は、周期信号を計数するカウンタの計数値を、信号幅を検知すべき信号の前縁及び後縁で保持して差分をとることにより、前記第1及び第2生成部夫々からの信号の信号幅を検知することを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

本発明の一態様に係る電流検出回路は、前記第1及び第2生成部と前記検出部とを電氣的に絶縁して前記第1及び第2生成部から前記検出部に信号を伝達する絶縁部を備えることを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明の一態様に係る電流検出回路は、前記抵抗器の端子の何れか一方の電位を、前記第1及び第2生成部の基準電位とすることを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明の一態様に係る電流検出回路は、前記第1及び第2生成部からの信号を選択的に切り替えて前記検出部に伝達する選択部を備え、前記検出部は、前記選択部を介して伝達

された前記第 1 生成部からの信号の周期に応じて前記選択部を切り替えることを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本態様にあつては、電源及び負荷の間に接続された抵抗器の両端間に生じる電圧を増幅部で増幅して鋸波信号又は三角波信号の電圧と比較し、鋸波信号又は三角波信号の電圧が直線的に漸増又は漸減する傾斜期間における比較結果を示す信号の長さ、上記傾斜期間を示す信号の長さを検知し、検知した長さの比率に基づいて上記抵抗器に流れる電流を検出する。

これにより、鋸波信号又は三角波信号のピーク電圧に対する増幅部の出力電圧の比率が算出され、この比率と、上記ピーク電圧の値、増幅部の増幅率及び抵抗器の抵抗値とに基づいて電流値が検出される。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

本態様にあつては、例えば所謂インプットキャプチャ機能を有するタイマに上記傾斜期間を示す信号及び上記比較結果を示す信号を入力し、夫々の信号の前縁及び後縁で保持されたカウンタの計数値の差分に応じてこれらの信号の長さを検知する。

これにより、例えば信号の前縁及び後縁における割込処理で逐次変化するカウンタの計数値を読み出して時間差を検知する場合と比較して、上記傾斜期間を示す信号の長さ及び上記比較結果を示す信号の長さが高精度に検知される。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

本態様にあつては、上記傾斜期間を示す信号及び上記比較結果を示す信号を生成する生成回路部分と、これらの信号に基づいて電流を検出する検出回路部分とを電氣的に絶縁して分離しつつ、上記生成回路部分から上記検出回路部分に信号を伝達する。

これにより、上記検出回路部分を除くその他の回路部分の基準電位の如何にかかわらず、上記抵抗器に流れる電流が検出される。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

本態様にあつては、抵抗器の両端のうちの何れか一方の電位を基準電位として、上記傾斜期間を示す信号及び上記比較結果を示す信号を生成する。

これにより、上記抵抗器の両端間の微少な電圧が低ノイズで安定に増幅されるため、上記抵抗器に流れる電流が高精度に検出される。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本態様にあつては、上記傾斜期間を示す信号及び上記比較結果を示す信号を選択的に切り替えて上記生成回路部分から検出回路部分に伝達する。この切り替えは、上記傾斜期間を示す信号が伝送されているときの信号周期に応じて行われる。

これにより、上記傾斜期間を示す信号の信号幅及び上記比較結果を示す信号の信号幅が時系列的に検知される。また、上記比較結果を示す信号が伝達されている間に信号幅が検知されない場合は、値が0の信号幅に対応して値が0の電流が検出される。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

上記によれば、鋸波信号又は三角波信号のピーク電圧に対する増幅部の出力電圧の比率が算出され、この比率と、上記ピーク電圧の値、増幅部の増幅率及び抵抗値とに基づいて、時間遅れを伴うフィードバック無しに電流値が検出される。

従って、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能となる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

増幅器31、32、鋸波発生器4、比較器51、52及びAND回路61、62は、抵抗器R12の一端、即ち高電圧電源1の一端及び抵抗器R12の接続点を基準電位としており、この基準電位に対する電源電圧を発生する小信号電源9から電源が供給されている。小信号電源9が供給する電源の電圧は、例えば5Vである。ここでは、抵抗器R12の他端を基準電位にしてもよいが、抵抗器R12に流れる電流が大／小に変化したときに、基準電位が高電圧電源1の一端に対して低／高に変動することに不都合がある場合は、抵抗器R12の一端を基準電位とすることが好ましい。マイコン8及び絶縁回路7は、接地電位を基準電位としており、+5VのVccが供給されている。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

フォトカプラ71に含まれるLEDのカソードは、抵抗器R71を介して鋸波発生器4（より詳しくは後述するインバータIV42の出力端子：図3参照）に接続されている。フォトカプラ72及び73夫々に含まれるLEDのカソードは、抵抗器R72及びR73を介してAND回路61及び62の出力端子に接続されている。フォトカプラ71に含まれるフォトリンジスタのコレクタは、抵抗器R74によりVccにプルアップされると共にマイコン8のタイマ用の入力端子及び割込用の入力端子に接続されている。フォトカプラ72及び73夫々に含まれるフォトリンジスタのコレクタは、抵抗器R75及び76によりVccにプルアップされると共にマイコン8のタイマ用の入力端子に接続されて

いる。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 1

【補正方法】変更

【補正の内容】

【0 0 4 1】

次に、高電圧電源 1 の一端から抵抗器 R 1 2 を介して負荷 2 に正の電流が流れる場合を例にして、鋸波発生器 4 を中心に電流検出回路の動作をより詳細に説明する。高電圧電源 1 の一端から抵抗器 R 1 2 を介して負荷 2 に負の電流が流れる場合は、以下の説明における増幅器 3 1、比較器 5 1 及び A N D 回路 6 1 の夫々を増幅器 3 2、比較器 5 2 及び A N D 回路 6 2 と読み替えればよい。

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 3

【補正方法】変更

【補正の内容】

【0 0 4 3】

図 4 の最上段に示す鋸波信号の電圧が直線的に漸増して時刻 t_1 (又は t_{11}) で V_{th} を上回った場合、比較器 4 3 の出力信号が H レベルに立ち上がり、この出力信号がインバータ I V 4 1 で L レベルに反転されるため、コンデンサ C 4 2 の電荷がダイオード D 4 1 及び抵抗器 R 4 8 を介して急速に放電する。その結果、時刻 t_2 (又は t_{12}) でコンデンサ C 4 2 の電圧がインバータ I V 4 2 の下側の閾値電圧を下回った場合、インバータ I V 4 2 の出力信号 (即ち第 2 の信号) が H レベルに立ち上がり、この信号によってトランジスタ Q 4 3 がオンする。このため、コンデンサ C 4 1 の電荷が急速に放電して鋸波信号の電圧が急激に低下する。トランジスタ Q 4 3 がオンする直前の鋸波信号の電圧が V_p である。時刻 t_1 から t_2 (又は t_{11} から t_{12}) までの期間におけるコンデンサ C 4 1 の電圧の上昇分は、 V_p と比較して無視できるほどである。

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 4

【補正方法】変更

【補正の内容】

【0 0 4 4】

時刻 t_2 (又は t_{12}) でコンデンサ C 4 1 の電圧が低下し始めると直ちに比較器 4 3 の出力信号が L レベルに立ち下がり、この出力信号がインバータ I V 4 1 で H レベルに反転されるため、コンデンサ C 4 2 が抵抗器 R 4 7 を介して徐々に充電される。その結果、時刻 t_3 (又は t_{13}) でコンデンサ C 4 2 の電圧がインバータ I V 4 2 の上側の閾値電圧を上回った場合、インバータ I V 4 2 の出力信号 (即ち第 2 の信号) が L レベルに立ち下がり、この信号によってトランジスタ Q 4 3 がオフする。このため、コンデンサ C 4 1 への充電が再び開始されて鋸波信号の電圧が直線的に漸増する。なお、コンデンサ C 4 1 の電荷は、時刻 t_2 から t_3 (又は t_{12} から t_{13}) までの期間中に完全に放電するように調整される。

【手続補正 1 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 6

【補正方法】変更

【補正の内容】

【0 0 4 6】

第 2 の信号及び比較器 5 1 の出力信号について負論理の A N D をとる A N D 回路 6 1 の

出力信号は、時刻 t_3 (又は t_{13}) で L レベルとなり、時刻 t_4 で H レベルとなる。時刻 t_3 (又は t_{13}) は、鋸波信号の電圧が直線的に漸増する期間の始点である。つまり、AND 回路 61 は、第 2 の信号が L レベルである期間だけ比較器 51 からの L レベルの信号を通過させることにより、比較器 51 からの信号の立ち下がり (前縁) を アクティブロウ の第 2 の信号の前縁まで遅らせて出力する。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

さて、第 2 の信号が L レベルである期間、即ち鋸波信号の電圧が直線的に漸増する時刻 t_3 から t_{12} までの期間の長さを T_1 とし、AND 回路 61 の出力信号が L レベルである時刻 t_3 から t_4 までの期間の長さを T_2 とした場合、時刻 t_4 における鋸波信号の電圧は $V_p \times (T_2 / T_1)$ である。この電圧は、時刻 t_4 で比較器 51 の反転入力端子に入力される電圧、即ち増幅器 31 の出力電圧に等しいので、高電圧電源 1 から抵抗器 R12 を介して 負荷 2 に流れる電流 i は、以下の式 (1) により算出される。なお、負荷 2 から 抵抗器 R12 を介して 高電圧電源 1 に流れる電流 i を検出する場合は、AND 回路 62 の出力信号が L レベルである期間の長さ T_3 を検知し、式 (1) における T_2 を T_3 に、
を増幅器 32 の増幅率の絶対値に夫々置き換えればよい。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

図 5 の処理で用いる r 及び r_2 夫々は、既に述べたとおり抵抗器 R12 の抵抗値及び増幅器 31, 32 の増幅率の絶対値である。また、 T_3 は、AND 回路 62 の出力信号が L レベルである期間の長さである。図 6、図 7 及び図 8 夫々の処理で用いる前縁フラグ 1、前縁フラグ 2 及び前縁フラグ 3 は、信号幅を検知すべき信号の前縁における割込処理であることを示すフラグであり、不図示の RAM に記憶される。 T_2 及び T_3 は初期値を 0 とし RAM に記憶される。 T_1 は、直前に検知された値が RAM に記憶されている。図 5 の処理で算出される電流 i は、高電圧電源 1 から 抵抗器 R12 を介して 負荷 2 に流れる電流を正の電流とする。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

以上のように本実施の形態 1 によれば、高電圧電源 1 の一端及び負荷 2 の間に接続された抵抗器 R12 の両端間に生じる電圧を増幅器 31, 32 で増幅して比較器 51, 52 で鋸波信号の電圧と比較し、鋸波信号の電圧が直線的に漸増する傾斜期間における比較器 51, 52 の比較結果を示す信号の長さ T_2 , T_3 と、上記傾斜期間を示す信号の長さ T_1 とを検知し、検知した長さの比率に基づいて抵抗器 R12 に流れる電流を検出する。

これにより、鋸波信号のピーク電圧 V_p に対する増幅器 31, 32 の出力電圧の比率が算出され、この比率と、ピーク電圧 V_p 、増幅器 31, 32 の増幅率の絶対値 及び抵抗器 R12 の抵抗値 r とに基づいて電流値 i が検出される。

従って、広いダイナミックレンジで高精度に、且つ良好なステップ応答で電流を検出することが可能となる。

【手続補正 2 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 3

【補正方法】変更

【補正の内容】

【0 0 7 3】

なお、実施の形態 1 にあっては、鋸波信号における電圧が直線的に漸増する期間を傾斜期間としたが、これに限定されるものではない。例えば、図 4 に示す時刻 t_3 から t_{12} までの期間に対応する期間中に鋸波信号の電圧が右肩下がりに漸減する場合は、この期間を傾斜期間としてもよい。この場合、AND 回路 6 1 は、第 2 の信号が L レベルである期間だけ比較器 5 1 からの L レベルの信号を通過させることにより、比較器 5 1 からの信号の立ち上がり（後縁）を アクティブロウ の第 2 の信号の後縁まで早めて出力する。

【手続補正 2 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 6

【補正方法】変更

【補正の内容】

【0 0 9 6】

図 1 2 の処理で用いる開始フラグは、周期を検知すべき信号の開始時点における割込処理であることを示すフラグであり、不図示の R A M に記憶される。図 1 4 の処理で用いる前縁フラグは、信号幅を検知すべき信号の前縁における割込処理であることを示すフラグであり、R A M に記憶される。検知フェーズの区別も R A M に記憶される。T 2 及び T 3 は初期値を 0 として R A M に記憶される。T 1 は、直前に検知された値が R A M に記憶されている。第 2 タイマは、インプットキャプチャの設定になっている。

【手続補正 2 3】

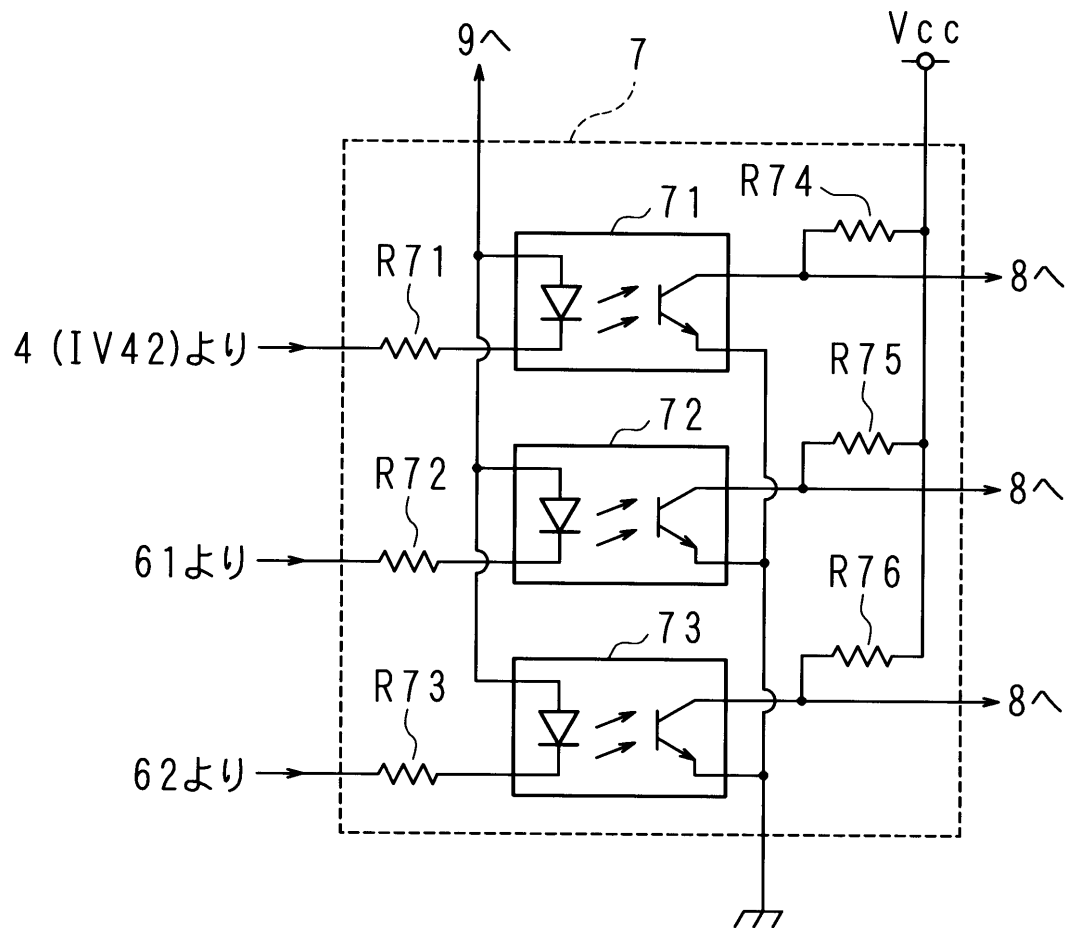
【補正対象書類名】図面

【補正対象項目名】図 2

【補正方法】変更

【補正の内容】

【図 2】



【手続補正 2 4】

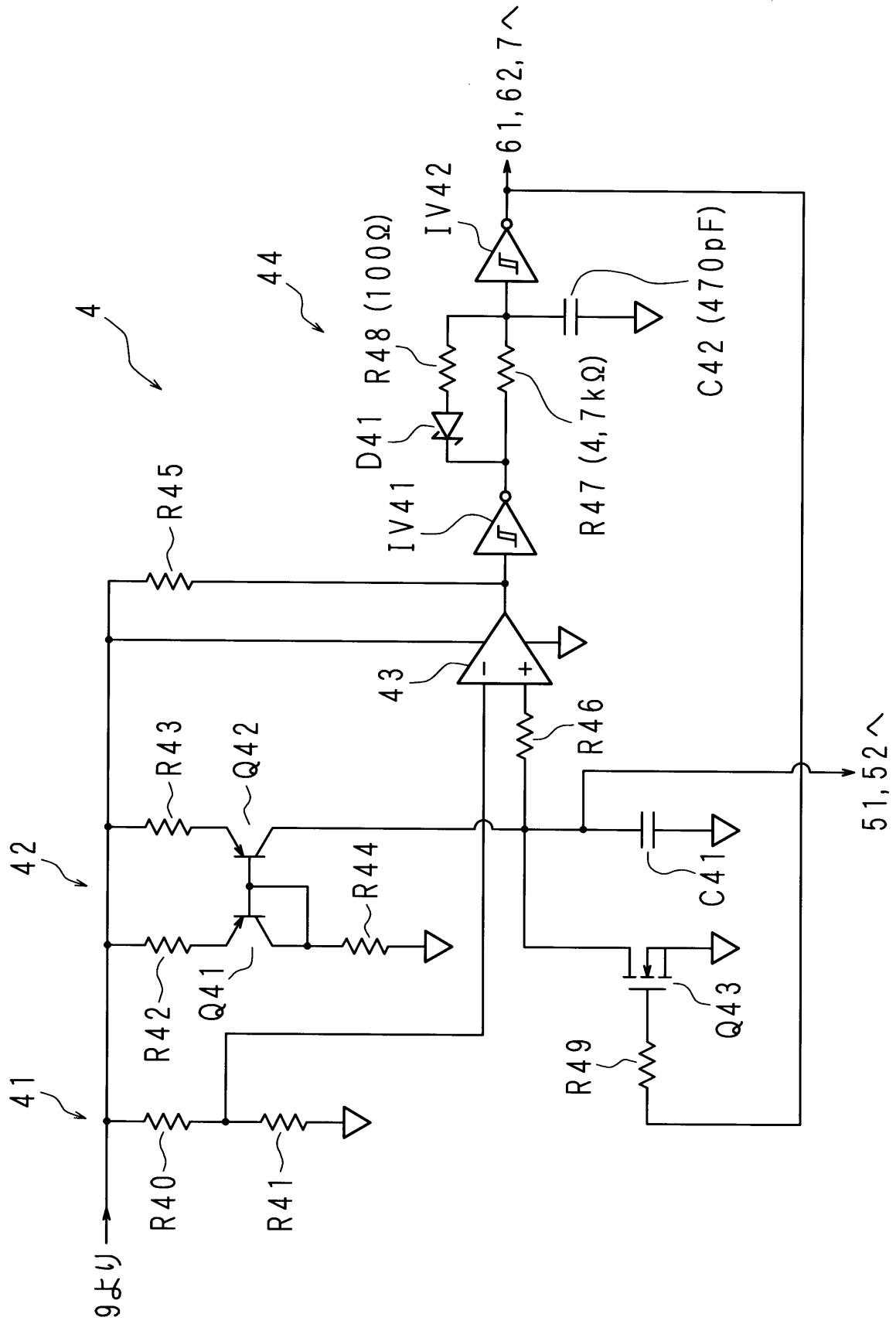
【補正対象書類名】図面

【補正対象項目名】図 3

【補正方法】変更

【補正の内容】

【 図 3 】



フロントページの続き

(72)発明者 杉沢 佑樹

三重県四日市市西末広町 1 番 1 4 号 株式会社オートネットワーク技術研究所内

F ターム(参考) 2G035 AA01 AA17 AB02 AC02 AD02 AD03 AD08 AD10 AD11 AD13

AD20 AD27 AD28 AD47 AD49 AD56