



SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約: 動作速度が速い半導体装置を提供する。半導体装置は、第1乃至第3の絶縁体と、容量素子と、容量素子の上のトランジスタと、を有し、容量素子は、第1の導電体と、第1の導電体上の第4の絶縁体と、第4の絶縁体上の第2の導電体と、を有し、第1の絶縁体は、第2の導電体上に配置され、第2の絶縁体には、第1の開口部が設けられ、第1の導電体、第4の絶縁体、第2の導電体、及び第1の絶縁体は、第1の開口部の中に配置され、トランジスタは、第1の絶縁体上の第3の導電体と、第3の導電体上の第4の導電体と、第1の絶縁体上の酸化物半導体と、酸化物半導体上の第5の絶縁体と、第5の絶縁体上の第5の導電体と、を有し、第3の導電体、第3の絶縁体、及び第4の導電体には、第2の開口部が設けられ、酸化物半導体、第5の絶縁体、及び第5の導電体は、第2の開口部の中に配置され、第3の導電体は、第2の導電体の上面に接し、酸化物半導体は、第3の導電体の側面及び第4の導電体の側面に接し、第5の導電体は、第1の絶縁体に重ねて配置される。

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、上記半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有するといえる場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI (Large Scale Integration)、CPU (Central Processing Unit)、メモリなどが主に半導体装置に用いられている。CPUは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPU、メモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）、画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっ

ている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献3及び非特許文献1では、酸化物半導体膜を用いる第1のトランジスタと、酸化物半導体膜を用いる第2のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。また、例えば、特許文献4のように、酸化物半導体膜を用いるトランジスタのチャネルを縦方向に配置し、集積回路の高密度化を図る技術も開示されている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0010]

[非特許文献1] M. Oota et al., “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72 nm”, IEDM Tech. Dig., 2019, pp. 50-53

[非特許文献2] 舟窪浩、三村和仙、清水荘雄、木口賢紀、「酸化ハフニウム基強誘電体の基礎特性の解明」、応用物理、第87巻、第12号、pp. 921-925、(2018)

発明の概要

発明が解決しようとする課題

[0011]

本発明の一態様は、動作速度が速い半導体装置を提供することを課題の一とする。本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一とする。本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一とする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一とする。本発明の一態様は、信頼性が高い半導体装置を提供することを課題の一とする。本発明の一態様は、トランジスタの電気特性のばらつきが少ない半導体装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない半導体装置を提供することを課題の一とする。本発明の一態様は、新規の半導体装置を提供することを課題の一とする。本発明の一態様は、生産性の高い半導体装置の作製方法を提供することを課題の一とする。本発明の一態様は、新規の半導体装置の作製方法を提供することを課題の一とする。

[0012]

または、本発明の一態様は、動作速度が速い記憶装置を提供することを課題の一とする。本発明の一態様は、微細化または高集積化が可能な記憶装置を提供することを課題の一とする。本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない記憶装置を提供することを課題の一とする。本発明の一態様は、新規な記憶装置を提供することを課題の一とする。

[0013]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これ

ら以外の課題を抽出することが可能である。

課題を解決するための手段

[0014]

本発明の一態様は、第1乃至第3の絶縁体と、容量素子と、容量素子の上のトランジスタと、を有し、容量素子は、第1の導電体と、第1の導電体上の第4の絶縁体と、第4の絶縁体上の第2の導電体と、を有し、第1の絶縁体は、第2の導電体上に配置され、第2の絶縁体には、第1の開口部が設けられ、第1の導電体、第4の絶縁体、第2の導電体、及び第1の絶縁体のそれぞれは、少なくとも一部が、第1の開口部の中に配置され、トランジスタは、第1の絶縁体上の第3の導電体と、第3の導電体及び第3の絶縁体上の第4の導電体と、第1の絶縁体上の酸化物半導体と、酸化物半導体上の第5の絶縁体と、第5の絶縁体上の第5の導電体と、を有し、第3の導電体、第3の絶縁体、及び第4の導電体には、第1の絶縁体に達する第2の開口部が設けられ、酸化物半導体、第5の絶縁体、及び第5の導電体のそれぞれは、少なくとも一部が、第2の開口部の中に配置され、第3の導電体は、第2の導電体の上面に接し、酸化物半導体は、第3の導電体の側面及び第4の導電体の側面に接し、第5の導電体は、第1の絶縁体に重ねて配置される、半導体装置である。

[0015]

上記において、酸化物半導体は、第2の開口部の中において底面の少なくとも一部が除去されている、ことが好ましい。

[0016]

また、上記において、第5の絶縁体は、第1の絶縁体の上面に接する、ことが好ましい。

[0017]

また、上記において、第4の導電体は、第1の層と、第1の層上の第2の層と、を有し、第1の層は、第2の層より導電性が高く、第2の層は、金属酸化物を有する、ことが好ましい。

[0018]

また、上記において、第1の層は、タングステンを有する、ことが好ましい。上記において、第2の層は、インジウムを有する、ことが好ましい。

[0019]

また、上記において、第2の層と第5の導電体の間に、第6の絶縁体が配置される、ことが好ましい。

[0020]

また、上記において、第3の導電体は、金属酸化物を有する、ことが好ましい。

[0021]

また、上記において、第3の導電体は、インジウムを有する、ことが好ましい。

[0022]

また、上記において、第4の絶縁体は、ハフニウム及びジルコニウムを含む金属酸化物を有する、構成にすることができる。

[0023]

また、上記において、第1の開口部は、第1の絶縁体の上面近傍における幅が、第1の絶縁体の下面近傍における幅より大きい、ことが好ましい。

[0024]

また、上記において、第1の開口部の深さは、第2の開口部の深さより大きい、ことが好ましい。

[0025]

また、上記において、第1の絶縁体の上面と、第2の導電体の上面が面一である、ことが好ましい。

[0026]

また、上記において、第2の導電体の側面と、第4の絶縁体の側面と、第3の導電体の側面が面一である、ことが好ましい。

発明の効果

[0027]

本発明の一態様により、動作速度が速い半導体装置を提供できる。本発明の一態様により、オン電流が大きい半導体装置を提供できる。本発明の一態様により、微細化または高集積化が可能な半導体装置を提供できる。本発明の一態様により、良好な電気特性を有する半導体装置を提供できる。本発明の一態様により、信頼性が高い半導体装置を提供できる。本発明の一態様により、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。本発明の一態様により、消費電力が少ない半導体装置を提供できる。本発明の一態様により、新規の半導体装置を提供できる。本発明の一態様により、生産性の高い半導体装置の作製方法を提供できる。本発明の一態様により、新規の半導体装置の作製方法を提供できる。

[0028]

または、本発明の一態様により、動作速度が速い記憶装置を提供できる。本発明の一態様により、微細化または高集積化が可能な記憶装置を提供できる。本発明の一態様により、記憶容量が大きい記憶装置を提供できる。本発明の一態様により、消費電力が少ない記憶装置を提供できる。本発明の一態様により、新規な記憶装置を提供できる。

[0029]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0030]

図1A及び図1Bは、半導体装置の一例を示す断面図である。

図2Aは、半導体装置の一例を示す平面図である。図2B及び図2Cは、半導体装置の一例を示す断面図である。図2Dは、半導体装置の一例に係る回路図である。

図3A及び図3Bは、半導体装置の一例を示す断面図である。

図4は、半導体装置の一例を示す断面図である。

図5A乃至図5Dは、半導体装置の作製方法の一例を示す断面図である。

図6A乃至図6Dは、半導体装置の作製方法の一例を示す断面図である。

図7A乃至図7Fは、半導体装置の作製方法の一例を示す断面図である。

図8A乃至図8Fは、半導体装置の作製方法の一例を示す断面図である。

図9A及び図9Bは、半導体装置の一例を示す断面図である。

図10A及び図10Bは、半導体装置の一例を示す断面図である。

図11A及び図11Bは、半導体装置の一例を示す断面図である。

図12A及び図12Bは、半導体装置の一例を示す断面図である。

図13Aは、半導体装置の一例を示す平面図である。図13Bは、半導体装置の一例を示す断面図で

ある。

図 1 4 A、図 1 4 B、図 1 4 C、及び図 1 4 D は、酸化物半導体層の断面を説明する概念図である。

図 1 5 は、非特許文献 2 に開示されている、 HfO_2 の結晶構造を説明する図である。

図 1 6 は、半導体装置の構成例を説明するブロック図である。

図 1 7 A 乃至図 1 7 E は、メモリセルの回路構成例を説明する図である。

図 1 8 A 及び図 1 8 B は、半導体装置の構成例を説明する斜視図である。

図 1 9 は、半導体装置の一例を示す断面図である。

図 2 0 は、半導体装置の一例を示す断面図である。

図 2 1 は、CPU を説明するブロック図である。

図 2 2 A 及び図 2 2 B は、半導体装置の斜視図である。

図 2 3 A 及び図 2 3 B は、半導体装置の斜視図である。

図 2 4 A 及び図 2 4 B は、各種の記憶装置を階層ごとに示す図である。

図 2 5 A 及び図 2 5 B は、電子機器の一例を示す図であり、図 2 5 C 乃至図 2 5 E は、大型計算機の一例を示す図である。

図 2 6 は、宇宙用機器の一例を示す図である。

図 2 7 は、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

[0031]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0032]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0033]

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0034]

また、特に平面図または斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線の記載を省略する場合がある。

[0035]

なお、本明細書等において、「第 1」、「第 2」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0036]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互い

に入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。また、「導電体」という用語は、場合によっては、または、状況に応じて、「導電層」という用語、または「導電膜」という用語に、互いに入れ替えることが可能である。また、「絶縁体」という用語は、場合によっては、または、状況に応じて、「絶縁層」という用語、または「絶縁膜」という用語に、互いに入れ替えることが可能である。また、「酸化物半導体」という用語は、場合によっては、または、状況に応じて、「酸化物半導体層」という用語、または「酸化物半導体膜」という用語に、互いに入れ替えることが可能である。

[0037]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0038]

開口とは、例えば、溝、スリット、凹部なども含まれる。また、開口が形成された領域を開口部と記す場合がある。

[0039]

また、本明細書で用いる図面において、絶縁体の開口部における、絶縁体の側壁が、基板面または被形成面に対して垂直、または概略垂直である場合を示すが、テーパ形状であってもよい。

[0040]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（以下、テーパ角と呼ぶ場合がある）が 90° 未満である領域を有する。なお、構造の側面及び基板面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。また、本明細書等において、逆テーパ形状とは、底部よりも基板に平行な方向にせり出した側部、または上部を有した形状である。

[0041]

なお、本明細書等において、「高さが一致」とは、断面視において、基準となる面（例えば、基板表面などの平坦な面）からの高さが等しい構成を示す。例えば、記憶装置の製造プロセスにおいて、平坦化处理（代表的には化学機械研磨（CMP: Chemical Mechanical Polishing）処理）を行うことで、単層または複数の層の表面を露出する場合がある。この場合、CMP処理の被処理面は、基準となる面からの高さが等しい構成となる。ただし、CMP処理の際の処理装置、処理方法、または被処理面の材料によって、複数の層の高さが異なる場合がある。本明細書等においては、この場合も「高さが一致」として扱う。例えば、基準面に対して、2つの高さを有する層（ここでは第1の層と、第2の層とする）を有する場合であって、第1の層の上面の高さと、第2の層の上面の高さとの差が、 20 nm 以下である場合も、「高さが一致」という。

[0042]

なお、本明細書等において、「側端部が一致」とは、平面視において、積層した層と層との間で少

なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重ならず、上層の輪郭が下層の輪郭より内側に位置すること、または、上層の輪郭が下層の輪郭より外側に位置することもあり、この場合も「側端部が一致」という。

[0043]

なお、一般に、「完全一致」と「概略一致」の差を明確に区分けするのは困難である。このため、本明細書等において「一致」とは、完全に一致している場合と、概略一致している場合のいずれも含むものとする。

[0044]

なお本明細書等において、第1の膜厚と第2の膜厚が一致するとは、第1の膜厚と第2の膜厚との差の絶対値を、第1の膜厚で除した値が0.1以下であることをいう。または、第1の膜厚と第2の膜厚との差の絶対値を、第2の膜厚で除した値が0.1以下であることをいう。

[0045]

なお本明細書等において、距離Aと距離Bが一致するとは、距離Aと距離Bとの差の絶対値を、距離Aで除した値が0.1以下であることをいう。または、距離Aと距離Bとの差の絶対値を、距離Bで除した値が0.1以下であることをいう。

[0046]

(実施の形態1)

本実施の形態では、図1A乃至図13Bを用いて、本発明の一態様である、記憶装置として用いることが可能な半導体装置の一例について説明する。

[0047]

<半導体装置の構成例>

図1A乃至図4を用いて、本発明の一態様である半導体装置の構成の一例を説明する。図1A乃至図2Cは、トランジスタ200及び容量素子400を有する半導体装置の平面図及び断面図である。図2Aは、当該半導体装置の平面図である。ここで、図1Aは、図2AにA1-A2の一点鎖線で示す部位の断面図である。また、図1Bは、図2AにA3-A4の一点鎖線で示す部位の断面図である。また、図2Bは、図2AのXY平面における、トランジスタ200の一部の断面図である。また、図2Cは、図2AのXY平面における、容量素子400の一部の断面図である。なお、図1Aの平面図では、図の明瞭化のために一部の要素を省いている。また、図3A及び図3Bに、図1Aに示すトランジスタ200に対応する拡大図を示す。また、図4に、図1Bに示す容量素子400に対応する拡大図を示す。また、図2Dに図1及び図2に示す半導体装置に対応する回路図を示す。

[0048]

なお、本明細書に係る図面等において、X方向、Y方向、及びZ方向を示す矢印を付す場合がある。なお、本明細書等において、「X方向」とはX軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Y方向」及び「Z方向」についても同様である。また、X方向、Y方向、及びZ方向は、それぞれが互いに交差する方向である。例えば、X方向、Y方向、及びZ方向は、それぞれが互いに直交する方向である。本明細書等では、X方向、Y方向、又はZ方向の1つを「第1方向」又は「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」又は「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」又は「第3の方向」と呼ぶ場合がある。

[0049]

図1 A及び図1 Bに示す半導体装置は、基板（図示せず）上の絶縁体440と、絶縁体440上の絶縁体485及び導電体410と、絶縁体485及び導電体410上の絶縁体480及び容量素子400と、容量素子400上のトランジスタ200と、絶縁体480上の絶縁体280と、絶縁体280上の絶縁体270と、トランジスタ200上の絶縁体283と、を有する。絶縁体440、絶縁体485、絶縁体480、絶縁体280、及び絶縁体270は、層間絶縁膜として機能する。また、絶縁体440は、下地絶縁体としても機能する。

[0050]

トランジスタ200は、容量素子400上の導電体220と、絶縁体280上の導電体240と、導電体220及び導電体240に接する酸化半導体230と、酸化半導体230及び絶縁体270上の絶縁体250と、絶縁体250上の導電体260と、を有する。また、導電体240は、導電体240aと導電体240a上の導電体240bとを有する。容量素子400は、導電体410上の導電体415と、導電体415上の絶縁体430と、絶縁体430上の導電体420と、を有する。また、導電体420上に絶縁体425が設けられている。

[0051]

トランジスタ200において、導電体260はゲート電極として機能し、絶縁体250はゲート絶縁体として機能し、導電体220はソース電極及びドレイン電極の一方として機能し、導電体240はソース電極及びドレイン電極の他方として機能する。

[0052]

トランジスタ200は、チャネル形成領域を含む酸化半導体230に、半導体として機能する金属酸化物（酸化半導体ともいう）を用いることが好ましい。以下では、トランジスタ200のように、チャネル形成領域に酸化半導体を用いたトランジスタをOSトランジスタと記す場合がある。

[0053]

図1 A及び図1 Bに示すように、絶縁体280、導電体240a、導電体240b、及び導電体220には、絶縁体425及び導電体420に達する開口部290が設けられている。ここで、開口部290の底部は、絶縁体425及び導電体420の上面である。また、開口部290の側壁は、絶縁体280の側面、導電体240aの側面、導電体240bの側面、及び導電体220の側面である。開口部290は、絶縁体280が有する開口部と、導電体240aが有する開口部と、導電体240bが有する開口部と、導電体220が有する開口部と、を含む。別言すると、絶縁体280が絶縁体425及び導電体420と重なる領域に有する開口部は、開口部290の一部であり、導電体240aが絶縁体425及び導電体420と重なる領域に有する開口部は、開口部290の別の一部であり、導電体240bが絶縁体425及び導電体420と重なる領域に有する開口部は、開口部290の別の一部であり、導電体220が絶縁体425及び導電体420と重なる領域に有する開口部は、開口部290の別の一部である。

[0054]

トランジスタ200の構成要素の少なくとも一部は、開口部290に配置される。具体的には、酸化半導体230、絶縁体250、及び導電体260のそれぞれは、少なくとも一部が開口部290に位置するように配置される。

[0055]

また、酸化半導体230、絶縁体250、及び導電体260の、開口部290に配置される部分は、開口部290の形状の少なくとも一部を反映して設けられる。つまり、開口部290の側壁に接

して酸化物半導体 230 が設けられ、酸化物半導体 230 を覆うように絶縁体 250 が設けられ、開口部 290 の形状を反映した絶縁体 250 の凹部を埋め込むように導電体 260 が設けられる。

[0056]

ここで、トランジスタ 200 は、ソース電極及びドレイン電極の一方（ここでは導電体 220）が下方に位置し、ソース電極及びドレイン電極の他方（ここでは導電体 240）が上方に位置することから、電流が上下方向に流れる構成を有する。つまり、トランジスタ 200 では、絶縁体 280 が有する開口部 290 の側面に沿って、チャネルが形成される。そのため、本発明の一態様であるトランジスタは、縦チャネル型トランジスタ、または VFET (Vertical Field Effect Transistor) ということができる。

[0057]

容量素子 400 において、導電体 420 は一对の電極の一方（上部電極と呼ぶ場合がある）として機能し、導電体 415 は一对の電極の他方（下部電極と呼ぶ場合がある）として機能し、絶縁体 430 は誘電体として機能する。つまり、容量素子 400 は、MIM (Metal-Insulator-Metal) 容量を構成している。

[0058]

図 1A 及び図 1B に示すように、絶縁体 480 には、導電体 410 に達する開口部 490 が設けられている。導電体 415、絶縁体 430、導電体 420、及び絶縁体 425 のそれぞれは、少なくとも一部が開口部 490 の中に配置されている。ここで、導電体 415、絶縁体 430、及び導電体 420 は、開口部 490 の形状に沿って積層して設けられている。このような構成を有する容量素子 400 は、トレンチ型容量またはトレンチ容量ということができる。なお、絶縁体 425 は、図 1A 及び図 1B に示すように、導電体 420 の開口部 490 の形状を反映した凹部を埋め込むように設けることが好ましい。

[0059]

容量素子 400 は、開口部 490 において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口部 490 の深さを深くするほど、容量素子 400 の静電容量を大きくすることができる。このように容量素子 400 の単位面積当たりの静電容量を大きくすることにより、記憶装置の読み出し動作を安定にすることができる。また、記憶装置の微細化または高集積化を推し進めることができる。

[0060]

図 1A 及び図 1B に示すように、トランジスタ 200 は、容量素子 400 と重なるように設けられる。また、トランジスタ 200 の構造の一部が設けられる開口部 290 は、容量素子 400 の構造の一部が設けられる開口部 490 と重なる領域を有する。ここで、導電体 260 が絶縁体 425 に重なることが好ましい。また、絶縁体 250 の下面が、絶縁体 425 の上面に接することが好ましい。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ 200 及び容量素子 400 を設けることができる。よって、半導体装置の占有面積を低減し、高集積化を図ることができる。

[0061]

ここで、開口部 290 と重ならない領域において、導電体 220 の下面が導電体 420 の上面に接する。これにより、トランジスタ 200 のソース電極及びドレイン電極の一方と、容量素子 400 の

上部電極を電氣的に接続することができる。

[0062]

本実施の形態に示す、トランジスタ200と容量素子400は、記憶装置のメモリセルとして用いることができる（以下、メモリセル450と呼ぶ場合がある。）。メモリセル450の回路図を図2Dに示す。図2Dに示すように、メモリセル450において、トランジスタ200のソース及びドレインの一方は、容量素子400の一方の電極に接続される。トランジスタ200のソース及びドレインの他方は、配線BILに接続される。トランジスタ200のゲートは、配線WOLに接続される。容量素子400の他方の電極は、配線CALに接続される。

[0063]

配線BILは導電体240（導電体240a及び導電体240b）に対応し、配線WOLは導電体260に対応し、配線CALは導電体410に対応する。図2Aなどに示すように、導電体260はY方向に延伸して設けられ、導電体240はX方向に延伸して設けられることが好ましい。このような構成にすることで、配線BILと、配線WOLは互いに交差して設けられる。また、図2Aでは、配線CAL（導電体410）がX方向に延伸して設けられているが、本発明はこれに限られるものではない。例えば、配線CALは、Y方向に延伸して設けられてもよいし、面状に設けられてもよい。

[0064]

メモリセル450は、トランジスタ200と容量素子400を重ねて設けることで、占有面積の低減を図っている。このように、トランジスタと容量素子を重ねて設けると、トランジスタと容量素子の構成が重ねて配置され、寄生容量が発生し、メモリ素子の動作速度が低減する恐れがある。そこで、本実施の形態では、導電体260と導電体420の間に絶縁体425を設けることで、導電体260と導電体420が重なる領域の大部分において、導電体260と導電体420の距離を大きくしている。これにより、トランジスタ200のゲートと、容量素子400の上部電極の寄生容量を低減することができる。よって、トランジスタ200と容量素子400からなるメモリセル450の動作速度を向上させることができる。

[0065]

[トランジスタの構成例]

図1A及び図1Bに示すように、トランジスタ200が有する酸化物半導体230は、開口部290の側壁に沿って形成されている。酸化物半導体230は、導電体240aの開口部290側の側面、導電体240bの開口部290側の側面、絶縁体280の開口部290側の側面、及び導電体220の開口部290側の側面に接している。また、酸化物半導体230は開口部290の底面を覆うように形成されておらず、酸化物半導体230は中央に開口を有する円筒状の形状を有する。開口部290の中において、酸化物半導体230の底面の少なくとも一部が除去されている、ということができる。

[0066]

このように、酸化物半導体230は開口部290に対して、サイドウォール状に形成されている。よって、酸化物半導体230の内側の側面に接して絶縁体250が配置され、開口部290の底面では、絶縁体250が導電体420の上面及び絶縁体425の上面に接している。また、酸化物半導体230は、導電体240bを覆って形成されず、導電体240bの上面に接しない。ここで、酸化物半導体230の上端部は、導電体240bの上面と一致または概略一致する場合がある。

[0067]

酸化物半導体を開口部 290 の底面まで形成すると、開口部 290 底部の酸化物半導体と導電体 420 の間に寄生容量が形成される。また、開口部 290 底部の酸化物半導体と導電体 260 の間にも寄生容量が形成される。これに対して、上記のように酸化物半導体 230 をサイドウォール状に形成することで、開口部 290 の底部に酸化物半導体 230 は形成されない。よって、酸化物半導体 230 と導電体 420 の間の寄生容量、及び酸化物半導体 230 と導電体 260 の間の寄生容量を抑制することができる。これにより、周波数特性の良好なトランジスタを形成し、半導体装置の動作速度の向上を図ることができる。

[0068]

酸化物半導体 230 は、チャネル形成領域を挟むようにソース領域及びドレイン領域が形成される。ここで、ソース領域及びドレイン領域の一方は、酸化物半導体 230 の導電体 240 と接する領域の少なくとも一部を含む。また、ソース領域及びドレイン領域の他方は、酸化物半導体 230 の導電体 220 と接する領域の少なくとも一部を含む。つまり、トランジスタ 200 のチャネル形成領域は、酸化物半導体 230 の、導電体 220 と導電体 240 の間の領域に位置する。また、トランジスタ 200 のチャネル形成領域は、酸化物半導体 230 の、絶縁体 280 と接する領域またはその近傍の領域に位置する、ということもできる。

[0069]

トランジスタ 200 のチャネル長は、ソース領域とドレイン領域の間の距離となる。つまり、トランジスタ 200 のチャネル長は、導電体 220 上の絶縁体 280 の厚さによって決定される、ということができる。図 1A は、トランジスタ 200 のチャネル長 L を破線の両矢印で示している。チャネル長 L は、断面視において、酸化物半導体 230 と導電体 220 が接する領域の端部と、酸化物半導体 230 と導電体 240 が接する領域の端部との距離となる。チャネル長 L は、断面視における導電体 220 の上面と導電体 240 a の下面の距離に相当する、ということもできる。

[0070]

導電体 220 と導電体 240 の間の領域における、XY 平面の断面図を、図 2B に示す。図 2B に示すように、絶縁体 280 の開口部 290 の内側に、酸化物半導体 230、絶縁体 250、及び導電体 260 は、同心円状に設けられる。よって、中心に設けられた導電体 260 の側面は、絶縁体 250 を介して、酸化物半導体 230 の側面と対向する。つまり、導電体 220 と導電体 240 の間の領域において、酸化物半導体 230 の周全体がチャネル形成領域になる。

[0071]

このとき、導電体 220 を開口部 290 が貫通する形状にせず、導電体 220 の上面を平坦な形状にしていると、導電体 220 の上に絶縁体 250 が形成され、導電体 260 の下面が導電体 220 の上面より高くなる。このとき、酸化物半導体 230 と導電体 220 のコンタクトは、主に酸化物半導体 230 の下面で行われるボトムコンタクトになる。導電体 220 近傍では、図 2B に示す酸化物半導体 230、絶縁体 250、及び導電体 260 の同心円状の構造が形成されなくなる。これにより、導電体 220 近傍の酸化物半導体 230 にオフセット領域が形成されるため、トランジスタの、オン電流、サブスレッショルドスイング値（以下 S 値と表記することがある）、電界効果移動度、周波数特性などの電気特性が低下する恐れがある。

[0072]

これに対して、上記のように導電体 220 を貫通して開口部 290 を形成し、導電体 220 の開口部 290 に埋め込むように導電体 260 及び酸化物半導体 230 を設ける構成にすることが好まし

い。このような構成にすることで、図3Aに示すように、導電体260の下面の高さが、開口部290と重畳していない領域の導電体220の上面の高さより、低くなる。このとき、酸化物半導体230と導電体220のコンタクトは、主に酸化物半導体230の側面で行われるサイドコンタクトになる。さらに、上記のように、絶縁体250が絶縁体425及び導電体420に接する構造にすることで、導電体260の下面の高さをより低くすることができる。

[0073]

上記のような構成にすることで、導電体220近傍の領域においても、酸化物半導体230、絶縁体250、及び導電体260を同心円状に設けることができる。つまり、導電体220近傍の領域において、絶縁体250を介して、導電体260と酸化物半導体230の側面を対向して設けることができる。よって、導電体220の近傍においても、ゲート電極として機能する導電体260の電界を、酸化物半導体230に十分に印加することができる。これにより、導電体220近傍の酸化物半導体230にオフセット領域が形成されることを抑制することができる。このようにして、トランジスタ200の、オン電流、S値、電界効果移動度、周波数特性などの電気特性を良好にすることができる。

[0074]

また、プレーナ型のトランジスタでは、チャネル長がリソグラフィの露光限界で制限されており、さらなる微細化は困難であった。本発明においては、導電体220上の絶縁体280の膜厚でチャネル長を設定することができる。よって、トランジスタ200のチャネル長Lを、例えば、1 μ m以下、500nm以下、100nm以下、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下であって、0.1nm以上、1nm以上、または5nm以上にすることができる。例えば、チャネル長Lを、リソグラフィの露光限界以下の非常に微細な構造にすることで、トランジスタ200のオン電流、S値、周波数特性などの向上を図ることができる。また、例えば、チャネル長Lを大きくすることで、トランジスタ200において、DIBL (Drain Induced Barrier Lowering)を抑制し、電気特性の向上を図ることができる。

[0075]

さらに、上記のように、開口部290に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられていた、プレーナ型のトランジスタと比較して、トランジスタ200の占有面積を低減できる。例えば、トランジスタ200の占有面積を低減した状態で、トランジスタ200のX方向の幅及びY方向の幅より、チャネル長Lを大きくすることができる。これにより、半導体装置を高集積化することができる。また、本発明の一態様の半導体装置を記憶装置に用いる場合、単位面積当たりの記憶容量を大きくすることができる。

[0076]

図2Bに示すように、導電体220と導電体240の間の領域において、酸化物半導体230の周全体がチャネル形成領域になる。このとき、例えば、酸化物半導体230の外周の長さによって、トランジスタ200のチャネル幅が決まる。つまり、トランジスタ200のチャネル幅は、開口部290の最大幅(平面視において開口部290が円形である場合は最大径)の大きさによって決定される、ということができる。図2Bでは、開口部290の最大幅Dを二点鎖線の両矢印で示している。図2Bでは、トランジスタ200のチャネル幅Wを一点鎖線の両矢印で示している。開口部290の最大幅Dの大きさを大きくすることで、単位面積当たりのチャネル幅を大きくし、オン電流を大きくすることができる。

[0077]

リソグラフィ法を用いて開口部290を形成する場合、開口部290の最大幅Dはリソグラフィの露光限界で制限される。また、開口部290の最大幅Dは、開口部290に設ける、酸化物半導体230、絶縁体250、及び導電体260それぞれの膜厚によって設定される。開口部290の最大幅Dは、例えば、5nm以上、10nm以上、又は20nm以上であって、100nm以下、60nm以下、50nm以下、40nm以下、又は30nm以下が好ましい。なお、平面視において開口部290が円形である場合、開口部290の最大幅Dは開口部290の直径に相当し、チャネル幅Wは“ $D \times \pi$ ”と算出することができる。

[0078]

また、平面視で円形になるように開口部290を形成することで、酸化物半導体230、絶縁体250、及び導電体260は、同心円状に設けられる。これにより、導電体260と酸化物半導体230の距離が概略均一になるため、酸化物半導体230にゲート電界を概略均一に印加することができる。

[0079]

なお、本実施の形態では、平面視において開口部290が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部290が、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。このとき、開口部290の最大幅は、開口部290の最上部の形状に合わせて適宜算出することができる。例えば、平面視において開口部が四角形である場合、開口部290の最大幅は、開口部290の最上部の対角線の長さとし、みなすことができる。

[0080]

また、開口部290の側壁は、絶縁体440の上面に対して垂直、または概略垂直であることが好ましい。このような構成にすることで、半導体装置の微細化または高集積化を図ることができる。

[0081]

なお、図1A及び図1Bでは、開口部290の側壁が導電体220の上面に対して垂直となるように、開口部290を設けているが、本発明はこれに限られるものではない。例えば、開口部290の側壁が厳密に垂直にならず、テーパ形状になる場合もある。開口部290の側壁の一部である、絶縁体280の側面と導電体220の上面（絶縁体480の上面、または絶縁体440の上面としてもよい。）とのなすテーパ角は、90度、または90度の近傍の角度であることが好ましい。例えば、当該テーパ角が、75度以上90度以下であることが好ましい。

[0082]

また、上記テーパ角は、75度未満、70度未満、65度未満、または60度未満となる場合もある。開口部290の側壁をテーパ形状にすることで、酸化物半導体230及び絶縁体250を被覆性良く成膜することができる。

[0083]

酸化物半導体230としては、後述する〔金属酸化物〕の項目に記載の金属酸化物を、単層または積層で用いることができる。

[0084]

酸化物半導体230として、具体的には、 $I_n : M : Z_n = 1 : 3 : 2$ 〔原子数比〕もしくはその近傍の組成、 $I_n : M : Z_n = 1 : 3 : 4$ 〔原子数比〕もしくはその近傍の組成、 $I_n : M : Z_n =$

1 : 1 : 0.5 [原子数比] もしくはその近傍の組成、 $I n : M : Z n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成、 $I n : M : Z n = 1 : 1 : 1.2$ [原子数比] もしくはその近傍の組成、 $I n : M : Z n = 1 : 1 : 2$ [原子数比] もしくはその近傍の組成、または $I n : M : Z n = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素Mとして、ガリウム、アルミニウム、及び錫の一または複数を用いることが好ましい。

[0085]

酸化物半導体230は、元素Mを含まない構成としてもよい。例えば、酸化物半導体230として用いる金属酸化物を $I n - Z n$ 酸化物としてもよい。酸化物半導体230として、具体的には、 $I n : Z n = 1 : 1$ [原子数比] もしくはその近傍の組成、 $I n : Z n = 2 : 1$ [原子数比] もしくはその近傍の組成、または $I n : Z n = 4 : 1$ [原子数比] もしくはその近傍の組成とすることができる。または、酸化物半導体230として、インジウム酸化物を用いてもよい。また、上記の酸化物半導体230が元素Mを微量に含む構成にしてもよい。例えば、酸化物半導体230として、具体的には、 $I n : S n : Z n = 4 : 0.1 : 1$ [原子数比] もしくはその近傍の組成とすることができる。

[0086]

酸化物半導体230に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型X線分光法 (EDX: Energy Dispersive X-ray Spectroscopy)、X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy)、誘導結合プラズマ質量分析法 (ICP-MS: Inductively Coupled Plasma-Mass Spectrometry)、または誘導結合高周波プラズマ発光分光法 (ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry) を用いることができる。または、これらの手法を複数組み合わせ分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0087]

金属酸化物の形成には、スパッタリング法、または原子層堆積 (ALD: Atomic Layer Deposition) 法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0088]

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、及び、プラズマ励起されたリアクタントを用いるプラズマALD (PEALD: Plasma Enhanced ALD) 法などが挙げられる。

[0089]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造、又は段差の大きい表面への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能、などの効果がある。また、PEALD法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプ

リカーサには炭素または塩素などの元素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素または塩素などの元素を多く含む場合がある。なお、これらの元素の定量は、XPSまたはSIMSを用いて行うことができる。なお、本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるが、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方または双方を適用するため、これらを適用せずにALD法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量が少ないことがある。

[0090]

ALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法、またはCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、金属酸化物を第1の金属酸化物と第2の金属酸化物の積層構造とする場合、スパッタリング法を用いて第1の金属酸化物を成膜し、当該第1の金属酸化物上にALD法を用いて第2の金属酸化物を成膜する方法などが挙げられる。例えば、上記第1の金属酸化物が結晶部を有する場合、上記第2の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

[0091]

ALD法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、ALD法では、原料ガスの導入量、導入回数（パルス回数ともいう）、1パルスに要する時間（パルス時間ともいう）などを調節することによって、任意の組成の膜を成膜することができる。また、例えば、ALD法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0092]

なお、酸化物半導体230となる酸化物半導体膜の成膜方法は特に限定されない。例えば、酸化物半導体膜の成膜は、CVD法、MBE法、PLD法などを用いて行ってもよい。

[0093]

酸化物半導体230に用いる半導体材料の結晶性は特に限定されず、非晶質（アモルファス）半導体（非晶質構造を有する半導体）、単結晶半導体（単結晶構造を有する半導体）、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0094]

酸化物半導体230は、結晶性を有する金属酸化物層を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、CAAC（c-axis aligned crystal）構造、多結晶（Polycrystal）構造、及び、微結晶（nc:nano-crystal）構造が挙げられる。結晶性を有する金属酸化物層を酸化物半導体230に用いることにより、酸化物半導体230中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。なお、CAAC

構造とは、複数の微結晶（代表的には、複数の I G Z O の微結晶）が c 軸配向を有し、かつ a - b 面においては、上記複数の微結晶が配向せずに連結した結晶構造である。また、高分解能 T E M 像を用いて、C A A C 構造を有する O S 膜の断面を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。よって、C A A C 構造を有する O S 膜は、層状の結晶部を有する構造ともいえる。

[0095]

多結晶構造は、結晶粒界（グレインバウンダリ）を有する。また、多結晶構造の酸化物半導体層を形成したのち熱処理を行うと、結晶部と、結晶部との、間に微小な隙間（ナノクラックあるいはマイクロクラックともいう）または微小な空間（ナノスペースあるいはマイクロスペースともいう）が形成される。酸化物半導体層内に微小な隙間または微小な空間が形成されると、酸化物半導体層の電気抵抗が高くなる。これは、微小な隙間または微小な空間の電気抵抗が非常に高く、例えば無限大であることに起因する。微小な隙間または微小な空間を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いる場合、酸化物半導体層と、ソース電極及びドレイン電極の一方または双方との接触抵抗が高くなる。そのため、トランジスタの初期特性または信頼性に悪影響を与えてしまう。C A A C 構造は、多結晶構造よりも a - b 面において結晶粒界（グレインバウンダリ）が少ないため信頼性の高い半導体装置を実現できる。

[0096]

酸化物半導体 2 3 0 に用いる金属酸化物層の結晶性が高いほど、酸化物半導体 2 3 0 中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0097]

金属酸化物層の形成時の基板温度（ステージ温度）が高いほど、結晶性の高い金属酸化物層を形成することができる。また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物層を形成することができる。

[0098]

酸化物半導体 2 3 0 の結晶性は、例えば、X 線回折（X R D : X - R a y D i f f r a c t i o n）、透過型電子顕微鏡（T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e）、または電子線回折（E D : E l e c t r o n D i f f r a c t i o n）により解析できる。または、これらの手法を複数組み合わせることで分析を行ってもよい。

[0099]

なお、図 1 A 及び図 1 B では、酸化物半導体 2 3 0 を単層で示したが、本発明はこれに限られるものではない。酸化物半導体 2 3 0 は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、後述する〔金属酸化物〕の項目に記載の金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

[0100]

酸化物半導体 2 3 0 は、結晶性が異なる 2 以上の金属酸化物層の積層構造とすることができる。このとき、2 以上の金属酸化物層は、互いに異なる組成であってもよく、同じまたは概略同じ組成であってもよい。例えば、図 3 A に示すように、酸化物半導体 2 3 0 は、酸化物半導体 2 3 0 a と、酸化物半導体 2 3 0 a の内側の酸化物半導体 2 3 0 b との 2 層構造を有してもよい。当該 2 層構造は、酸化物半導体 2 3 0 a となる金属酸化物膜を成膜し、その上に酸化物半導体 2 3 0 b となる金属酸化

膜を成膜することで形成することができる。ここで、酸化物半導体 230b は、酸化物半導体 230a より結晶性が高い領域を有する構成とすることができる。または、酸化物半導体 230b は、酸化物半導体 230a より結晶性が低い領域を有する構成とすることができる。なお、酸化物半導体 230b が酸化物半導体 230a よりも結晶性が低い領域を有する場合、酸化物半導体 230b を形成したのち、熱処理（結晶化処理ともいう）を行い、酸化物半導体 230b の結晶性を高めることができる。

[0101]

例えば、酸化物半導体 230a として、 $In:M:Zn=1:3:2$ [原子数比] またはその近傍の組成である金属酸化物、または $In:M:Zn=1:3:4$ [原子数比] またはその近傍の組成である金属酸化物を用い、酸化物半導体 230b として、 $In:M:Zn=1:1:1$ [原子数比] またはその近傍の組成である金属酸化物を用いることが好ましい。酸化物半導体 230a に、 In に対する Zn の割合が大きい金属酸化物を用いると、酸化物半導体 230a の結晶性を高めることができる。さらに、結晶性の高い酸化物半導体 230a 上に酸化物半導体 230b を形成することで、酸化物半導体 230b の結晶性を高めることも容易となる。これにより、酸化物半導体 230 全体の結晶性を高めることができ、好ましい。このとき、元素 M として、ガリウム、アルミニウム、またはスズを用いることが特に好ましい。例えば、互いに異なる組成を有する、 $IGZO$ を 2 層積層してもよい。また、例えば、インジウム酸化物、インジウムガリウム酸化物、及び $IGZO$ の中から選ばれるいずれかと、 $IAZO$ 、 $IAGZO$ 、及び $ITZO$ （登録商標）の中から選ばれるいずれかと、の積層構造を用いてもよい。

[0102]

また、酸化物半導体 230 は、3 層以上の積層構造であってもよい。図 3B に示すように、開口部 290 内部に配置された酸化物半導体 230 は、例えば、開口部 290 の側壁に接する酸化物半導体 230c と、酸化物半導体 230c の開口部 290 の中心側の側面に接する酸化物半導体 230a と、酸化物半導体 230a の開口部 290 の中心側の側面に接する酸化物半導体 230b と、を有する 3 層構造とすることができる。

[0103]

酸化物半導体 230a 及び酸化物半導体 230b には、前述の構成を適用できる。酸化物半導体 230a の外側に位置する酸化物半導体 230c には、酸化物半導体 230b に適用可能な構成と同様の構成を用いることができる。

[0104]

例えば、酸化物半導体 230a として、 $In:Zn=1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Zn=2:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Sn:Zn=2:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Zn=4:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Sn:Zn=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、またはインジウム酸化物を用いることが好ましい。また、酸化物半導体 230b 及び酸化物半導体 230c には、それぞれ、 $In:Ga:Zn=1:1:1$ [原子数比] もしくはその近傍の組成である金属酸化物、 $In:Ga:Zn=1:3:2$ [原子数比] もしくはその近傍の組成である金属酸化物、または $In:Ga:Zn=1:3:4$ [原子数比] もしくはその近傍の組成である金属酸化物を用いることが好ましい。

[0105]

酸化物半導体 230b 及び酸化物半導体 230c は、それぞれ、酸化物半導体 230a よりもバンドギャップが大きいことが好ましい。これにより、酸化物半導体 230a が、バンドギャップが大きい酸化物半導体 230b 及び酸化物半導体 230c に挟持され、酸化物半導体 230a が主に電流経路（チャネル）として機能することとなる。酸化物半導体 230a が酸化物半導体 230b 及び酸化物半導体 230c により挟持されることで、酸化物半導体 230a の界面及びその近傍のトラップ準位を少なくすることができる。これにより、チャネルが絶縁層界面から遠ざけられた埋め込みチャネル型のトランジスタを実現でき、電界効果移動度を高くすることができる。また、バックチャネル側に形成されうる界面準位の影響が低減され、トランジスタの光劣化（例えば、光負バイアス劣化）を抑制でき、トランジスタの信頼性を高めることができる。

[0106]

酸化物半導体 230 の厚さは、3 nm 以上 200 nm 以下が好ましく、3 nm 以上 100 nm 以下が好ましく、さらには 5 nm 以上 100 nm 以下が好ましく、さらには 10 nm 以上 100 nm 以下が好ましく、さらには 10 nm 以上 70 nm 以下が好ましく、さらには 15 nm 以上 70 nm 以下が好ましく、さらには 15 nm 以上 50 nm 以下が好ましく、さらには 20 nm 以上 50 nm 以下が好ましい。また、より微細な半導体装置に用いるトランジスタにおいては、酸化物半導体 230 の膜厚は、1 nm 以上、3 nm 以上、または 5 nm 以上であって、20 nm 以下、15 nm 以下、12 nm 以下、または 10 nm 以下であることが好ましい。

[0107]

また、酸化物半導体層の成膜時において、スパッタリング法と、ALD 法と、の 2 種の成膜方法を用いることが好ましい。例えば、スパッタリング法を用いて、CAAC 構造の第 1 の酸化物半導体層を形成したのち、ALD 法を用いて、CAAC 構造よりも結晶性の低い第 2 の酸化物半導体層を形成すると、第 2 の酸化物半導体層の原子層が、第 1 の酸化物半導体層の CAAC 構造が有する原子レベルの結晶部の隙間を、埋める、または修復することが期待される。また、ALD 法を用いて第 2 の酸化物半導体層を形成したのち、熱処理（例えば、100℃以上 500℃以下、好ましくは 200℃以上 450℃以下、さらに好ましくは、300℃以上 400℃以下）を行うことが好ましい。当該熱処理により、第 1 の酸化物半導体層の CAAC 構造が有する原子レベルの結晶部の隙間を、第 2 の酸化物半導体層（別言すると、ALD 法を用いて形成した各結晶分子）により修復することが期待される。また、上述の 2 種の成膜方法を用いて形成された酸化物半導体層を、Hybrid OS と呼称してもよい。

[0108]

ここで、酸化物半導体層の結晶性を高める熱処理の概念について、図 14A、図 14B、図 14C、及び図 14D を用いて説明を行う。なお、図 14A、図 14B、図 14C、及び図 14D は、CAAC 構造を有する酸化物半導体層の断面を説明する概念図である。またそれぞれの図中には、c 軸（c-axis）を矢印で示す。

[0109]

図 14A に示す酸化物半導体層 370a は、領域 372a と、領域 372a の間に位置する領域 372b と、を有する。領域 372a は CAAC 構造（すなわち層状の結晶部を有する構造）の領域に相当し、領域 372b は、CAAC 構造の間の領域に相当する。CAAC 構造は、多結晶構造よりも a-b 面において結晶粒界（グレインバウンダリ）が少ない。このように、CAAC 構造を有する酸化物半導体層 370a においても、結晶部と、結晶部との間に微小な隙間または微小な空間（図 14

Aにおける、領域372b)が存在しうる場合がある。

[0110]

そこで、酸化物半導体層の結晶性を高めるために、別言すると、図14Aに示す領域372bを低減させるために、第1の酸化物半導体層として、CAAC構造を有する酸化物半導体層をスパッタリング法にて形成したのち、第2の酸化物半導体層として、CAAC構造よりも結晶性の低い、微結晶構造または非晶質構造の酸化物半導体層をALD法により形成する。

[0111]

より具体的には、図14Bに示すように、第1の酸化物半導体層として、領域372aを有する酸化物半導体層をスパッタリング法により形成したのち、第2の酸化物半導体層として、CAAC構造よりも結晶性の低い領域372cを有する酸化物半導体層をALD法により形成する。なお、図14Bにおいては、酸化物半導体層370bは、領域372aと、領域372cと、を有する。ALD法は一層ずつ原子を堆積することができるため、領域372bを埋めるように第2の酸化物半導体層を形成することができる。

[0112]

その後、熱処理を行うことで第1の酸化物半導体層が有する領域372aを種とし、第2の酸化物半導体層が有する領域372cの結晶性を高める。別言すると、第1の酸化物半導体層が有する領域372aを種とし、第2の酸化物半導体層が有する領域372cを結晶成長させることができる。あるいは、CAAC構造を有する第1の酸化物半導体層の領域372aを核とし、非晶質（アモルファス）構造を有する第2の酸化物半導体層が有する領域372cを結晶成長させることができる。この結晶成長のモデルについては、ヘテロエピタキシーと同等の概念として捉えることができる。なお、図14Cにおいて、酸化物半導体層370cは、領域372aと、領域372cと、を有する。図14Cに示す領域372aは、図14Bに示す領域372aよりも結晶性が高い、または結晶部の密度が高い領域である。熱処理を行うことで、領域372a及び領域372cのいずれか一方または双方の結晶性を高めることができる。また、領域372cは例えば、領域372aが有する結晶部と同じ結晶構造である結晶部を有する。あるいは領域372cは例えば、領域372aが有する結晶部と連結する結晶部を有する。

[0113]

また、図14Dにおいて、酸化物半導体層370dは、領域372aを有する。領域372aは、図14B、及び図14Cに示す領域372aよりも、さらに結晶性が向上し、領域372aと領域372cとの境界がなくなる、または領域372aと領域372cとの境界が確認されなくなった領域である。そのため、酸化物半導体層370dの全体がCAAC構造を有する。図14Dに示すように、酸化物半導体層370dの全体がCAAC構造を有することで、信頼性の高い半導体装置を実現することができる。領域372aと領域372cとの境界の有無の確認は例えば、断面TEM、断面STEM、等を用いて行うことができる。

[0114]

なお、第1の酸化物半導体層に微小な隙間または微小な空間を有していた場合においても、第1の酸化物半導体層上に第2の酸化物半導体層を成膜する、あるいは第2の酸化物半導体層を成膜し、且つ熱処理を行うことで、第1の酸化物半導体層の微小な隙間または微小な空間を埋めることができる。このように第1の酸化物半導体層にCAAC構造の酸化物半導体層を用い、第2の酸化物半導体層に微結晶構造または非晶質構造の酸化物半導体層を用いることで、結晶性の密度が高められた緻

密な酸化物半導体層とすることができる。当該結晶性の密度が高められた緻密な酸化物半導体層を、トランジスタのチャネル形成領域に用いると、酸化物半導体層の電気抵抗の増加抑制、またはトランジスタの初期特性（特にオン電流）が向上し、高速駆動に適したトランジスタとすることが期待できる。

[0115]

なお、スパッタリング法と、ALD法と、の双方を用いて酸化物半導体層を形成する場合、ALD法にて形成する酸化物半導体層の膜厚が薄いと、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層と、の積層構造ではなく、単層構造の酸化物半導体層とみなすことができる。例えば、ALD法にて形成する酸化物半導体層の厚さが、0 nmを超えて3 nm以下、好ましくは0 nmを超えて2 nm以下、さらに好ましくは0 nmを超えて1 nm以下であるとき、スパッタリング法と、ALD法と、の2種の成膜方法を用いて形成した酸化物半導体層を、単層構造とみなすことができる。一方で、ALD法にて形成する酸化物半導体層の厚さが3 nmを超える場合、スパッタリング法を用いて形成した酸化物半導体層と、ALD法を用いて形成した酸化物半導体層との、積層構造、多層構造、または多重構造とみなせることがある。

[0116]

また、スパッタリング法と、ALD法と、の双方を用いて酸化物半導体層を形成する場合、それぞれ異なる組成とすることが好ましい。例えば、スパッタリング法を用いて形成する金属酸化物膜は、CAAC構造を形成するために好適な組成にすることが好ましい。これに対して、ALD法を用いて形成する金属酸化物膜は、スパッタリング法を用いて形成する金属酸化物膜よりインジウムの量が多い組成にすることが好ましい。代表的には、スパッタリング法を用いて、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を成膜し、次いでALD法を用いて、 $\text{In}:\text{Ga}:\text{Zn}=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を成膜することができる。上述の組成の酸化物半導体層とすることで、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] の金属酸化物層により高い信頼性を有し、 $\text{In}:\text{Ga}:\text{Zn}=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物により、高いオン電流または高い電界効果移動度を有する構造とすることができる。例えば、図3Aに示す、酸化物半導体230aと酸化物半導体230bの2層構造の場合には、酸化物半導体230aにスパッタリング法で成膜した $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を用い、酸化物半導体230bにALD法で成膜した $\text{In}:\text{Ga}:\text{Zn}=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を用いればよい。

[0117]

また、図3Bに示す、酸化物半導体230c、酸化物半導体230a、及び酸化物半導体230bの3層構造の場合には、酸化物半導体230cをALD法で成膜することが好ましい。例えば、まず、酸化物半導体230cとして、ALD法を用いて $\text{In}:\text{Ga}:\text{Zn}=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を成膜する。次に、酸化物半導体230aとして、スパッタリング法を用いて $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を成膜する。それから、酸化物半導体230bとして、ALD法を用いて $\text{In}:\text{Ga}:\text{Zn}=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物を成膜する。このような構成にすることで、酸化物半導体230aの被形成面近傍がアロイ化することを防ぎ、酸化物半導体230aの結晶性をより高くすることができる。

[0118]

なお、上記において、 $\text{In}:\text{Ga}:\text{Zn}=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物の代わりに、 $\text{In}:\text{Ga}:\text{Zn}=1:0:0$ [原子数比]、すなわち酸化インジウム、または In の割合が多い金属酸化物を用いることができる。例えば、 $\text{In}:\text{Ga}:\text{Zn}=4:0.1:1$ [原子数比] もしくはその近傍の組成である金属酸化物の代わりに、 $\text{In}:\text{Zn}=4:1$ [原子数比]、もしくはその近傍の組成である金属酸化物を用いることもできる。

[0119]

上述の2種の成膜方法を用いて形成された酸化物半導体層は、CAAC構造が有する結晶部の隙間がALD法により形成された原子層で埋められた構造として捉えることができる。なお、当該構造は、断面SEM、断面STEM、断面TEM、SIMS、EDXなどの分析手法により解析することができる。

[0120]

また、上述の2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層は、1種の成膜方法を用いて形成されたCAAC構造の酸化物半導体層と比較して、膜の比誘電率、膜密度、及び膜の硬度のいずれか一または複数が高くなる場合がある。このように、2種の成膜方法を用いて形成されたCAAC構造を有する酸化物半導体層を、トランジスタのチャネル形成領域に用いることで、優れた特性を有するトランジスタ（例えば、オン電流が大きいトランジスタ、電界効果移動度が高いトランジスタ、 S 値が小さいトランジスタ、周波数特性（ f 特とも呼称する）が高いトランジスタ、信頼性の高いトランジスタなど）を実現することができる。

[0121]

OSトランジスタの電気特性及び信頼性を良好にするには、酸化物半導体中のチャネル形成領域の水素濃度を十分に低減することが重要となる。例えば、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満が好ましく、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満がより好ましく、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満がより好ましく、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満がより好ましく、 $1 \times 10^{18} \text{ atoms/cm}^3$ 未満がより好ましく、 $1 \times 10^{17} \text{ atoms/cm}^3$ 未満がさらに好ましい。

[0122]

ここで、容量素子400の下に設けられる絶縁体440、及びトランジスタ200の上に設けられる絶縁体283が、水素に対するバリア絶縁体を用いることが好ましい。このような構成にすることで、絶縁体440と絶縁体283を、メモリセル450を挟むように設けることができる。酸化物半導体230を含むトランジスタ200の外側に設けられる絶縁体440及び絶縁体283が水素に対するバリア性を有することで、酸化物半導体230中への水素の拡散を抑制できる。

[0123]

なお、本明細書等において、バリア絶縁体とは、バリア性を有する絶縁体のことを指す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、または、対応する物質の拡散を抑制する機能ともいう）とする。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及び OH^- などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域または半導体層における不純物を指し、例えば、水素原子、

水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。

[0124]

水素に対するバリア絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、窒化シリコン、または窒化酸化シリコン等が挙げられる。

[0125]

絶縁体440及び絶縁体283として、例えば、窒化シリコンを用いることが好ましい。このとき、絶縁体440及び絶縁体283は、シリコンと、窒素と、を有する。

[0126]

絶縁体440及び絶縁体283として適用可能な窒化シリコンは、膜厚が例えば2nm以上であれば水素に対するバリア性を有する。なお、水素に対するバリア性を高くする場合においては、窒化シリコンの膜厚は、3nm以上が好ましく、5nm以上がより好ましい。なお、窒化シリコンは、膜厚が例えば1nm以上であれば酸素に対するバリア性を有する。なお、酸素に対するバリア性を高くする場合においては、窒化シリコンの膜厚は、2nm以上が好ましい。つまり、水素に対するバリア性を有する膜厚で形成される窒化シリコンは、酸素に対するバリア性も有する。

[0127]

また、図4に示すように、絶縁体480の上部に、水素を捕獲する又は固着する機能を有する、絶縁体480bを用いることが好ましい。絶縁体480bが水素を捕獲する又は固着する機能を有することで、絶縁体440及び絶縁体283の内側に位置する酸化物半導体230中の水素濃度を低減できる。このとき、酸化物半導体230中の水素が、絶縁体480bで捕獲される又は固着されるため、絶縁体480bの水素濃度は高くなる。一例として、SIMSにより得られる絶縁体480bの水素濃度は、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上になる場合、または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上になる場合がある。この場合、絶縁体480bの少なくとも一部の水素濃度は、酸化物半導体230の水素濃度よりも高くなる。別言すると、酸化物半導体230は、水素濃度が絶縁体480bの水素濃度よりも低い領域を有する。

[0128]

なお、対応する物質を捕獲する又は固着する機能は、対応する物質が拡散し難い性質を有するともいえる。よって、対応する物質を捕獲する又は固着する機能を、バリア性と言い換えることができる。

[0129]

水素を捕獲する又は固着する機能を有する絶縁体としては、ハフニウムなどを含む金属酸化物（例えば、酸化ハフニウムなど）が好ましい。また、上記の金属酸化物は、ダングリングボンドを有する酸素原子を有することが好ましい。このような金属酸化物では、ダングリングボンドで水素を捕獲する又は固着する性質を有する場合がある。例えば、上記の金属酸化物は、アモルファス構造を有することが好ましい。アモルファス構造を有する金属酸化物では、一部の酸素原子がダングリングボンドを有しているためである。なお、上記の金属酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成される場合がある。また、上記の金属酸化物は、一部に結晶粒界を有する場合がある。

[0130]

ここで、酸化ハフニウムにシリコンを添加することで、酸化ハフニウムの結晶化を抑制できる。つ

まり、ハフニウム及びシリコンを含む酸化物（以下、ハフニウムシリケートと呼ぶ場合がある。）は、アモルファス構造を有しやすい。よって、ハフニウムシリケートは、水素を捕獲する又は固着する性質を有するため、絶縁体480bとして好適である。このとき、絶縁体480bは、ハフニウムと、シリコンと、酸素と、を有する。

[0131]

なお、上記において、水素を捕獲する又は固着する機能を有する絶縁体として、ハフニウムを含む酸化物を挙げたが、本発明はこれに限られるものではない。例えば、マグネシウムを含む酸化物、アルミニウムを含む酸化物、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等が挙げられる。また、上記の金属酸化物にさらにジルコニウムを含む酸化物にしてもよい。例えば、ハフニウム及びジルコニウムを含む酸化物等が挙げられる。また、これらの金属酸化物は、シリコンが添加され、アモルファス構造を有することが好ましい。

[0132]

絶縁体280は、導電体220、導電体420、及び絶縁体430を覆って設けられており、酸化物半導体230の側面、導電体240の下面に接する（図1A及び図1B参照）。絶縁体280としては、比誘電率が低い材料を用いて形成することが好ましい。これにより、絶縁体280が層間絶縁膜として機能するため、導電体240と導電体220の間の寄生容量を低減することができる。よって、トランジスタ200の周波数特性の向上を図ることができる。

[0133]

絶縁体280としては、後述する[絶縁体]の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。具体的には、絶縁体280として、酸化シリコン、又は酸化窒化シリコンを用いることができる。また、絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体230のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0134]

また、絶縁体280には、酸素を含む絶縁体を用いることが好ましい。絶縁体280の酸素の含有量を多くすることにより、絶縁体280に接する酸化物半導体230に酸素を供給し、酸素欠損を低減することが容易となる。

[0135]

絶縁体280には、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ200の作製工程中にかかる熱により、絶縁体280が酸素を放出することで、酸化物半導体230に酸素を供給することができる。絶縁体280から酸化物半導体230、特に酸化物半導体230のチャネル形成領域に酸素を供給することで、酸化物半導体230のチャネル形成領域の酸素欠損及び V_{th} の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0136]

一例として、絶縁体280bの酸素分子の放出量は、 $1.0 \times 10^{14} \text{ molecules/cm}^2$ 以上、 $1.0 \times 10^{15} \text{ molecules/cm}^2$ 未満であることが好ましい。なお、酸素分子の放出量は、昇温脱離ガス分析法によって測定することができる。

[0137]

特に、トランジスタ200のチャネル長が小さい場合、チャネル形成領域の酸素欠損及び V_{th} の電気特性及び信頼性への影響が特に大きくなる。したがって、酸化物半導体230中の水素濃度を十

分に低減した上で、酸化物半導体 230 に供給する酸素量を最適化することで、良好な電気特性及び高い信頼性を有するチャネル長の小さいトランジスタを実現できる。

[0138]

絶縁体 280 は、スパッタリング法、またはプラズマ化学気相堆積 (PECVD: Plasma Enhanced Chemical Vapor Deposition) 法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用いると、成膜ガスに水素ガスを用いなくてよい。そのため、酸素の含有量の極めて少ない膜とすることができる。そのため、酸化物半導体 230 に水素が供給されることを抑制し、トランジスタ 200 の電気特性の安定化を図ることができる。

[0139]

酸化物半導体 230 に供給する酸素量を多くする場合においては、例えば、絶縁体 280 を形成した後に、酸素を含む雰囲気下における加熱処理、または、酸素を含む雰囲気下におけるプラズマ処理を行うとよい。また、絶縁体 280 の上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。このような処理を行うことで、絶縁体 280 に酸素を供給し、酸化物半導体 230 に供給される酸素量を増やすことができる。

[0140]

また、絶縁体 280 も、水素に対するバリア絶縁体を用いる構成にすることもできる。例えば、絶縁体 280 に窒化シリコンを用いればよい。このような構成にすることで、酸化物半導体 230 への水素の拡散を抑制できる。また、絶縁体 280 中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体 230 のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

[0141]

なお、図 1A、及び図 1B において、絶縁体 280 を単層構造で例示したが、これに限定されず、積層構造とすることができる。例えば、絶縁体 280 を 2 層構造とし、1 層目の絶縁体の上面の高さを導電体 220 の上面の高さと同じとし、1 層目の絶縁体の上層に 2 層目の絶縁体を設けることができる。

[0142]

また、図 3A に示すように、絶縁体 280 は、絶縁体 280a と、絶縁体 280a 上の絶縁体 280b と、絶縁体 280b 上の絶縁体 280c との積層構造を有してもよい。

[0143]

絶縁体 280a は、絶縁体 480 の上面、絶縁体 430 の側面、導電体 420 の側面、導電体 220 の上面及び側面に接する。絶縁体 280b は、絶縁体 280a の上面、及び絶縁体 280c の下面に接する。絶縁体 280c は、導電体 240 の下面に接する。

[0144]

絶縁体 280b としては、上述の絶縁体 280 に適用できる絶縁性材料を用いればよい。具体的には、絶縁体 280b として、酸化シリコン、又は酸化窒化シリコンを用いることができる。また、絶縁体 280b 中の水、水素などの不純物濃度は低減されていることが好ましい。

[0145]

絶縁体 280b として酸素を含む絶縁体を用いる場合、絶縁体 280a 及び絶縁体 280c にはそれぞれ、後述する [絶縁体] の項目に記載の、酸素に対するバリア絶縁体を用いることが好ましい。

絶縁体 280b と導電体 220 及び導電体 420 との間に絶縁体 280a を設けることにより、導電体 220 及び導電体 420 が過剰に酸化され、導電体 220 及び導電体 420 の抵抗が高くなることを抑制できる。また、絶縁体 280b と導電体 240 との間に絶縁体 280c を設けることにより、導電体 240 が過剰に酸化され、導電体 240 の抵抗が高くなることを抑制できる。

[0146]

絶縁体 280a 及び絶縁体 280c にはそれぞれ、水素に対するバリア絶縁体を用いてもよい。これにより、絶縁体 280b を、水素に対するバリア絶縁体で挟みこむことができる。よって、絶縁体 280a の下方または絶縁体 280c の上方から、絶縁体 280b に水素が拡散することを抑制することができる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体 280a 及び絶縁体 280c に好適に用いることができる。なお、絶縁体 280a 及び絶縁体 280c は、互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0147]

また、絶縁体 280a 及び絶縁体 280c の一方または双方に、水素を捕獲する又は固着する機能を有する絶縁体を用いてもよい。このような構成にすることで、絶縁体 280a の下方または絶縁体 280c の上方から絶縁体 280b に水素が拡散することを抑制し、さらに絶縁体 280b に含まれる水素を捕獲させる又は固着させることができる。よって、酸化物半導体 230 及びその近傍の水素濃度を低減できる。絶縁体 280a としては、酸化マグネシウム、酸化アルミニウム、酸化ハフニウム、又はハフニウム及びシリコンを含む酸化物などを用いることができる。また、例えば、絶縁体 280a として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。また、例えば、絶縁体 280c として、窒化シリコンと、当該窒化シリコン上の酸化アルミニウムの積層膜を用いてもよい。

[0148]

一例として、絶縁体 280a 及び絶縁体 280c に窒化シリコンを用い、絶縁体 280b に酸化シリコンを用いることができる。このとき、絶縁体 280a 及び絶縁体 280c のそれぞれは、少なくともシリコンと、窒素と、を有する。また、絶縁体 280b は、少なくともシリコンと、酸素と、を有する。

[0149]

図 3A では、平坦化された絶縁体 280b 上に、絶縁体 280c を設ける構成を示しているが、本発明はこれに限られるものではない。例えば、絶縁体 280b の平坦化処理を行うことなく、絶縁体 280c を成膜してもよい。平坦化処理を行わないことにより、製造コストを低くできるとともに、生産性を高めることができる。また、絶縁体 280a、絶縁体 280b、及び絶縁体 280c を、大気環境に曝さずに連続して成膜することができる。大気開放せずに成膜することで、絶縁体 280a 乃至絶縁体 280c 上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体 280a と絶縁体 280b との界面近傍、及び絶縁体 280b と絶縁体 280c との界面近傍を清浄に保つことができる。

[0150]

また、酸化物半導体 230 の、絶縁体 280a に接する領域、及び絶縁体 280c に接する領域は、絶縁体 280b に接する領域と比較して、供給される酸素の量が少ない。よって、酸化物半導体 230 の、絶縁体 280a に接する領域、及び絶縁体 280c に接する領域は、低抵抗化する場合がある。

つまり、絶縁体 280 a の膜厚を調整することで、ソース領域及びドレイン領域の一方として機能する領域の範囲を制御できる。同様に、絶縁体 280 c の膜厚を調整することで、ソース領域及びドレイン領域の他方として機能する領域の範囲を制御できる。よって、絶縁体 280 a 及び絶縁体 280 c の膜厚は、トランジスタ 200 に求める特性に合わせて、適宜設定することができる。

[0151]

なお、図 3 A では絶縁体 280 が 3 層の積層構造である構成を示しているが、本発明はこれに限られるものではない。絶縁体 280 は、2 層、または 4 層以上の積層構造であってもよい。

[0152]

絶縁体 270 は、導電体 240 及び酸化物半導体 230 を覆って設けられる。絶縁体 270 としては、比誘電率が低い材料を用いて形成することが好ましい。これにより、絶縁体 270 が層間絶縁膜として機能するため、導電体 260 と導電体 240 の間の寄生容量を低減することができる。これにより、トランジスタ 200 の周波数特性の向上を図ることができる。絶縁体 270 には、上述の絶縁体 280 に適用できる絶縁性材料を用いてもよい。具体的には、絶縁体 270 として、酸化シリコン、又は酸化窒化シリコンを用いることができる。また、絶縁体 270 中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体 270 は、図 3 A に示すように、絶縁体 270 a と、絶縁体 270 b の積層構造にすることもできる。この場合、絶縁体 270 b の下面及び開口部 290 側の側面に接して、絶縁体 270 a が配置されることが好ましい。例えば、絶縁体 270 a に酸化アルミニウムを用い、絶縁体 270 b に酸化シリコンを用いればよい。

[0153]

図 1 B に示すように、絶縁体 270 は、酸化物半導体 230 の側面端部、導電体 240 a の側面端部、及び導電体 240 b の側面端部を覆うことが好ましい。これにより、導電体 260 と、酸化物半導体 230、導電体 240 a、及び導電体 240 b がショートすることを防ぐことができる。

[0154]

導電体 240 は、導電体 240 a と導電体 240 a 上の導電体 240 b を有していることが好ましい。導電体 240 a 及び導電体 240 b は、絶縁体 425 と重なる開口部 290 を有する。

[0155]

導電体 240 は、絶縁体 280 が有する開口部の内部に設けないことが好ましい。つまり、導電体 240 は、開口部 290 における絶縁体 280 の側面と接する領域を有さないことが好ましい。このような構成にすることで、導電体 240 が有する開口部、及び絶縁体 280 が有する開口部を、一括で形成することができる。また、開口部 290 における導電体 240 の側面と開口部 290 における絶縁体 280 の側面とが面一である構成とすることで、開口部 290 の内部に設ける酸化物半導体 230 の膜厚分布を均一にすることができる。また、酸化物半導体 230 が導電体 240 と絶縁体 280 の段差により分断されてしまうのを抑制できる。

[0156]

なお、図 1 A 及び図 1 B では、開口部 290 における導電体 240 の側面と、開口部 290 における絶縁体 280 の側面とが面一である構成を示しているが、本発明はこれに限られるものではない。例えば、開口部 290 における導電体 240 の側面と、開口部 290 における絶縁体 280 の側面とが不連続になってもよい。また、開口部 290 における導電体 240 の側面の傾きと、開口部 290 における絶縁体 280 の側面の傾きとが互いに異なってもよい。このとき、例えば、開口部 290 における導電体 240 の側面と絶縁体 440 の上面とがなす角度は、開口部 290 における絶縁体 2

80の側面と絶縁体440の上面とがなす角度よりも小さいことが好ましい。このような構成にすることで、開口部290における導電体240の側面への、酸化物半導体230の被覆性が向上し、鬆などの欠陥を低減できる。

[0157]

導電体240aは、下面が絶縁体280に接し、側面の一方が酸化物半導体230に接し、側面の他方が絶縁体270に接する。

[0158]

導電体240aは、導電体240bより導電性が高い金属を用いることが好ましい。また、導電体240aは、導電体240bよりシート抵抗が低い金属を用いることが好ましい。このような構成にすることで、導電体240aを含む導電体240をソース電極またはドレイン電極の一方に電氣的に接続された配線として機能させることができる。

[0159]

導電体240aとして、ルテニウム、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、アルミニウム、クロム、銅、銀、金、白金、亜鉛、マンガン、鉄、コバルト、マグネシウム、ジルコニウム、ベリリウム、インジウム、イリジウム、ストロンチウム、及びランタンの一または複数、並びに前述した金属の一または複数を成分とした合金等を用いることができる。例えば、導電体240aとしてタングステンを用いることが好ましい。

[0160]

また、導電体240aの一部が、上記金属の金属酸化物を含む場合もある。この場合、導電体240aの、導電体240bとの界面近傍及び酸化物半導体230との界面近傍に、当該金属酸化物の層が形成される場合がある。ここで、ルテニウム、及びルテニウムの合金は、酸化されても、比較的電気抵抗が低く保たれる材料であるため好ましい。

[0161]

導電体240bは、側面の一方が酸化物半導体230に接する。また、導電体240bの下面が導電体240aに接する。また、導電体240bの側面の他方が絶縁体270に接する。

[0162]

導電体240bは、酸化物半導体230とオーミック接触を行うことが好ましく、酸化物半導体230との接触抵抗が低いことが好ましい。例えば、導電体240bと酸化物半導体230の接触抵抗は、導電体240aに用いられる金属層と酸化物半導体230との接触抵抗より低いことが好ましい。このため、導電体240bは、導電性を有する金属酸化物（導電性酸化物と呼ぶ場合がある）を用いることが好ましい。導電体240bを上記のような構成にすることで、トランジスタ200の、オン電流、電界効果移動度、S値、及び周波数特性の向上を図ることができる。

[0163]

導電体240bに用いる導電性酸化物（OC: Oxide Conductor、酸素を含む導電性材料ともいう）としては、インジウムを含む導電性酸化物が好ましい。インジウムを含む導電性酸化物としては、酸化インジウム、インジウム錫酸化物（ITOという場合がある）、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物（ITSOともいう）等を用いることが好ましい。また、酸化インジウムに、タングステンまたはチタンなどを含有する構成にしてもよく、例えば、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物等を用いてもよい。また、亜鉛を含む導電性酸化物を用いてもよく、例えば、酸化亜鉛、ガリウムを添加した酸化亜

鉛、In-Ga-Zn酸化物等を用いることができる。また、導電性酸化物として、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、ランタン及びニッケルを含む酸化物等を用いることができる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0164]

例えば、導電体240bにシリコンを添加したインジウム錫酸化物を用いればよい。この場合、導電体240bは、インジウムと、錫と、シリコンと、酸素を有する。ここで、インジウム錫酸化物にシリコンを添加することで、インジウム錫酸化物の多結晶化を抑制できる。つまり、シリコンを添加したインジウム錫酸化物は、nc構造（ナノクリスタル構造）、またはアモルファス構造を有しやすい。なお、本発明は上記に限られるものではない。導電体240bに多結晶化したインジウム錫酸化物を用いることもできる。この場合、導電体240bは、インジウムと、錫と、酸素を有する。

[0165]

なお、上記において、導電体240が、導電体240aと導電体240bの2層の積層構造である例について説明したが、本発明はこれに限られるものではない。導電体240を3層以上の積層構造にしてもよい。また、上記において、導電体240aの上に導電体240bを積層する構成について示したが、本発明はこれに限られるものではない。導電体240bの上に導電体240aを積層する構成にすることもできる。

[0166]

導電体220は、導電体420及び絶縁体425の上に設けられ、図1A及び図1Bに示すように、島状の形状にすることができる。ここで、導電体220の下面は、導電体420の上面に接しており、トランジスタ200のソース及びドレインの一方と、容量素子400の上部電極を電氣的に接続することができる。導電体220としては、後述する[導電体]の項目に記載の導電体を、単層または積層で用いることができる。導電体220として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。

[0167]

酸化物半導体230に接する導電体220は、導電性酸化物を用いることが好ましい。よって、導電体220は、例えば導電体240bに用いることが可能な導電性酸化物を用いればよい。例えば、導電体220にシリコンを添加したインジウム錫酸化物を用いればよい。この場合、導電体220は、インジウムと、錫と、シリコンと、酸素を有する。これにより、導電体220は、酸化物半導体230とオーミック接触を行うことができ、導電体220と酸化物半導体230の接触抵抗を低減することができる。よって、トランジスタ200の、オン電流、電界効果移動度、S値、及び周波数特性の向上を図ることができる。

[0168]

また、図1A、図1B、図3A、及び図3Bに示すように、導電体220を貫通して開口部290が形成されることが好ましい。開口部290において、導電体220の側面と酸化物半導体230が接触する構成にすることで、導電体220と酸化物半導体230がオーミック接触する面積を大きくし、導電体220と酸化物半導体230の接触抵抗をさらに低減することができる。

[0169]

また、図3Bに示すように、導電体220を導電体220aと、導電体220a上の導電体220bの積層構造にすることもできる。ここで、導電体220aは、導電性の高い金属を用いることが好ましい。よって、導電体220aは、例えば導電体240aに用いることが可能な金属を用いればよ

い。例えば、導電体 220a にタングステンを用いればよい。また、導電体 220b には、上述の導電体 220 に用いることが可能な導電性材料を用いればよい。このような構成にすることで、導電体 220a を含む導電体 220 の導電性を向上させることができる。

[0170]

絶縁体 250 は、図 3A 等に示すように、絶縁体 270、酸化物半導体 230、導電体 420、及び絶縁体 425 に接して設けられる。開口部 290 の底面において、絶縁体 250 は、導電体 420 の上面及び絶縁体 425 の上面に接することが好ましい。このような構成にすることで、導電体 260 が絶縁体 425 と重畳するため、導電体 260 と導電体 420 の距離を大きくして、寄生容量を低減することができる。なお、開口部 490 が開口部 290 より十分大きい場合には、絶縁体 250 の下面全体が絶縁体 425 に接し、絶縁体 250 が導電体 420 に接しない場合がある。

[0171]

なお、図 3B に示すように、絶縁体 250 の上端部と絶縁体 270 の上面の高さが、一致または概略一致し、絶縁体 270 の上に絶縁体 250 が設けられない構成にすることもできる。

[0172]

絶縁体 250 は、図 3A に示すように、絶縁体 250a と絶縁体 250a 上の絶縁体 250b と、絶縁体 250b 上の絶縁体 250c の積層構造にしてもよい。絶縁体 250a は、導電体 220、酸化物半導体 230、及び絶縁体 270 に接する。絶縁体 250c は、導電体 260 及び絶縁体 283 に接する。絶縁体 250b は、絶縁体 250a と絶縁体 250c の間に設けられる。

[0173]

絶縁体 250a 及び絶縁体 250c は、酸素に対するバリア性を有する絶縁体を用いることが好ましい。さらに、絶縁体 250a 及び絶縁体 250c は、水素を捕獲する又は固着する機能を有する絶縁体を用いることが好ましい。絶縁体 250a 及び絶縁体 250c としては、絶縁体 480b に用いることが可能な絶縁性材料を用いればよい。このような絶縁体 250a 及び絶縁体 250c を設けることで、絶縁体 250a に接する導電体 220、及び絶縁体 250c に接する導電体 260 の酸化を抑制することができる。さらに、絶縁体 250a 及び絶縁体 250c に、酸化物半導体 230 及びその近傍に含まれる水素を、より効果的に捕獲させる又は固着させることができる。よって、酸化物半導体 230 中の水素濃度を低減できる。例えば、絶縁体 250a として酸化アルミニウムを用い、絶縁体 250c として酸化ハフニウムを用いることができる。なお、絶縁体 250a 及び絶縁体 250c としては、後述する「絶縁体」の項目に記載の絶縁体を、単層または積層で用いてもよい。

[0174]

また、酸化アルミニウム及び酸化ハフニウムは高誘電率 (high-k) 材料である。したがって、絶縁体 250a 及び絶縁体 250c をゲート絶縁体を用いる場合、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT: Equivalent Oxide Thickness) の薄膜化が可能となる。

[0175]

絶縁体 250b は、絶縁耐圧が高い酸化シリコンまたは酸化窒化シリコンなどを用いることが好ましい。また、絶縁耐圧を向上させるため、絶縁体 250b の膜厚を絶縁体 250a より大きくしてもよい。このような絶縁体 250b を設けることで、絶縁体 250 の耐圧を向上させ、リーク電流を低減させることができる。

[0176]

また、図3Bに示すように、絶縁体250cと導電体260の間に、水素に対するバリア性を有する、絶縁体250dを設ける構成にしてもよい。これにより、導電体260に含まれる水素などの不純物の、酸化物半導体230への拡散を抑制できる。水素に対するバリア性を有する絶縁体として、絶縁体440及び絶縁体283に適用可能な絶縁体を用いることができる。例えば、窒化シリコンは水素に対するバリア性が高いため好適である。絶縁体250dが水素に対するバリア性を有する場合、絶縁体250dは、酸素に対するバリア性も有する。よって、絶縁体250dを設けることで、導電体260が過剰に酸化されることを防ぐことができる。

[0177]

絶縁体250a乃至絶縁体250dの膜厚は、0.5nm以上15nm以下とすることが好ましく、0.5nm以上12nm以下とすることがより好ましく、0.5nm以上10nm以下とすることがさらに好ましい。絶縁体250a乃至絶縁体250dは、少なくとも一部において、上記のような膜厚の領域を有していればよい。例えば、絶縁体250aの膜厚を1nmにし、絶縁体250bの膜厚を2nmにし、絶縁体250cの膜厚を2nmにし、絶縁体250dの膜厚を1nmにすることができる。このように絶縁体250a乃至絶縁体250dの膜厚を薄くすることで、トランジスタ200のS値を小さくすることができる。絶縁体250を、絶縁体250a乃至絶縁体250dの4層構造にすることで、より絶縁体250の膜厚を薄くして、トランジスタ200のS値を小さくすることができる。ただし、絶縁体250a乃至絶縁体250dの膜厚は上記の膜厚に限られるものではない。例えば、絶縁体250a乃至絶縁体250dのいずれか一または複数が15nm以上の膜厚になる構成にすることもできる。

[0178]

導電体260は、絶縁体250の上面に接して設けられる。また、図1A及び図1Bに示すように、導電体260の絶縁体270より上の部位をY方向に延伸させて、当該部位を配線として機能させることもできる。

[0179]

導電体260としては、後述する[導電体]の項目に記載の導電体を、単層または積層で用いることができる。例えば、導電体260として、タングステンなどの導電性が高い導電性材料を用いることができる。

[0180]

また、導電体260として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料として、窒素を含む導電性材料（例えば、窒化チタンまたは窒化タンタルなど）、および酸素を含む導電性材料（例えば、酸化ルテニウムなど）などが挙げられる。これにより、導電体260の導電率が低下するのを抑制できる。

[0181]

なお、図1A及び図1Bでは、導電体260を単層で示したが、本発明はこれに限られるものではない。導電体260は、積層構造であってもよい。例えば、図3Aに示すように、導電体260は、導電体260aと、導電体260a上の導電体260bとの積層構造を有してもよい。このとき、例えば、導電体260aとして窒化チタンを用い、導電体260bとしてタングステンをを用いてもよい。このようにタングステンを含む層を設けることで、導電体260の導電性を向上させ、配線として十分に機能させることができる。

[0182]

図3Aには、導電体260が、導電体260aと導電体260bの2層の積層構造である構成を示しているが、本発明はこれに限られるものではない。導電体260は、3層以上の積層構造としてもよい。

[0183]

例えば、図3Bに示すように、導電体260a及び導電体260bを絶縁体270の上面より下の部分だけに設けて、導電体260a及び導電体260bの上に配線として機能する導電体260cを設ける構成にしてもよい。ここで、導電体260aの上端部、及び導電体260bの上面の高さは、絶縁体270の上面の高さと一致または概略一致する。導電体260cは、配線として機能するため、例えばY方向に延伸して形成することができる。導電体260cは、導電体260aまたは導電体260bとして用いることが可能な導電性材料を用いればよい。例えば、導電体260cにタングステンをを用いることができる。また、例えば、導電体260cを窒化チタンとタングステンの積層構造にすることもできる。

[0184]

絶縁体283には、水素に対するバリア絶縁体を用いることが好ましい。これにより、絶縁体283の上方から酸化物半導体230に水素が拡散することを抑制できる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体283に好適に用いることができる。

[0185]

絶縁体283としてスパッタリング法で成膜された窒化シリコンを用いることが特に好ましい。このとき、絶縁体283は、シリコンと、窒素と、を有する。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体283の水素濃度を低減できる。また、絶縁体283をスパッタリング法で成膜することで、密度が高い窒化シリコンを形成することができる。

[0186]

また、絶縁体283としてPEALD法で成膜された窒化シリコンを用いてもよい。PEALD法で絶縁体283を成膜することで、導電体260を被覆性良く覆うことができる。

[0187]

このような構成にすることで、絶縁体283の上方から酸化物半導体230に水素が拡散することを抑制できる。よって、酸化物半導体230の水素濃度を低減できる。

[0188]

[容量素子の構成例]

図1A及び図1Bに示すように、容量素子400は、絶縁体480に形成された開口部490の中に設けられている。容量素子400は、導電体410上の導電体415と、導電体415上の絶縁体430と、絶縁体430上の導電体420と、を有する。さらに導電体420の上に絶縁体425が形成される。また、導電体410は、絶縁体485に形成された開口の内部に埋め込まれるように設けることが好ましい。導電体410及び絶縁体485は、絶縁体440上に形成される。導電体410及び絶縁体440の上に、絶縁体480が形成される。

[0189]

絶縁体480には、導電体410に達する開口部490が設けられている。導電体415の少なくとも一部は、開口部490に配置されている。導電体415は、開口部490において導電体410

の上面に接する領域と、開口部４９０において絶縁体４８０の側面に接する領域と、絶縁体４８０の上面の少なくとも一部に接する領域と、を有する構成にすることができる。絶縁体４３０は、少なくとも一部が開口部４９０に位置するように配置されている。導電体４２０は、少なくとも一部が開口部４９０に位置するように配置されている。絶縁体４２５は、少なくとも一部が開口部４９０に位置するように配置されている。

[０１９０]

開口部４９０の側壁及び導電体４１０の上面に沿って導電体４１５、絶縁体４３０、及び導電体４２０が積層して設けられている。開口部４９０の形状を反映して形成された導電体４２０の凹部を埋めるように、絶縁体４２５が設けられている。

[０１９１]

開口部４９０の側壁は、導電体４１０の上面に対して垂直であることが好ましい。このとき、開口部４９０は円筒形状を有する。このような構成にすることで、半導体装置の微細化または高集積化を図ることができる。

[０１９２]

また、開口部４９０を深くすることで、容量素子４００の静電容量を大きくすることができる。開口部４９０の深さは、メモリセル４５０に要求する静電容量に合わせて適宜設定することができるが、開口部２９０の深さより大きいことが好ましい。例えば、開口部４９０の深さを、開口部２９０の深さの、１．１倍以上２０倍以下にすることができ、２倍以上１０倍以下にすることが好ましく、３倍以上５倍以下にすることがより好ましい。ここで、開口部４９０の深さは、導電体４１０の上面と絶縁体４８０の上面の距離で定義することができる。また、開口部２９０の深さは、絶縁体４２５の上面または導電体４２０の上面と導電体２４０ｂの上面の距離で定義することができる。

[０１９３]

図２Ｃに示すように、開口部４９０内において、導電体４１５、絶縁体４３０、導電体４２０、及び絶縁体４２５は、同心円状に設けられる。平面視で円形になるように開口部４９０を形成することで、導電体４１５と導電体４２０の距離が概略均一になるため、絶縁体４３０に電界を概略均一に印加することができる。

[０１９４]

なお、本実施の形態では、平面視において開口部４９０が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部４９０が、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

[０１９５]

また、図１Ａ及び図１Ｂでは、開口部４９０の側壁が導電体４１０の上面に対して垂直となるように、開口部４９０を設けているが、本発明はこれに限られるものではない。例えば、開口部４９０の側壁が厳密に垂直にならず、テーパ形状になる場合もある。開口部４９０の側壁の一部である、絶縁体４８０の側面と、導電体４１０の上面（絶縁体４４０の上面としてもよい。）とのなすテーパ角は、９０度、または９０度の近傍の角度であることが好ましい。例えば、当該テーパ角が、７５度以上９０度以下であることが好ましい。

[０１９６]

図１Ａ及び図１Ｂに示すように、容量素子４００は、トランジスタ２００と重なるように設けることが好ましい。例えば、開口部４９０は、開口部２９０と重なる領域を有することが好ましい。特に、

絶縁体425が、絶縁体250の下面に接するように設けられることが好ましい。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ200及び容量素子400を設けることができる。これにより、メモリセル450の占有面積を低減できるため、メモリセル450を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

[0197]

なお、図2Aでは、開口部490の径が、開口部290の径より大きい構成にしているが、これにかぎられることなく、開口部490の径を開口部290の径より小さくすることもできる。また、開口部490の径を開口部290の径と同じ、または概略同じにすることもできる。

[0198]

絶縁体440は、上述のように、水素に対するバリア絶縁体を用いることが好ましい。例えば、絶縁体440として、窒化シリコンを用いればよい。このような構成にすることで、絶縁体440下方から絶縁体480などに水素などの不純物が拡散することを抑制することができる。

[0199]

絶縁体485は、上述の絶縁体270に用いることができる絶縁体を用いればよい。例えば、絶縁体485に酸化シリコンを用いればよい。

[0200]

導電体410は、絶縁体440上に設けられる。導電体410としては、[導電体]の項目に記載の導電体を、単層または積層で用いることができる。例えば、導電体410として、タングステンなどの、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電体410の導電性を向上させ、配線として十分に機能させることができる。

[0201]

また、導電体410は、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを、単層または積層で用いることが好ましい。例えば、窒化チタン、又はシリコンを添加したインジウム錫酸化物などを用いてもよい。また、図4に示すように、導電体410を導電体410aと導電体410bの積層構造にしてもよい。このとき、導電体410aは、導電体410bの下面と側面に接して形成することができる。例えば、導電体410aに窒化チタンを用い、導電体410bにタングステンを用いればよい。さらに、導電体410bの上に窒化チタン膜を設ける構成にすることもできる。このような構造にすることで、絶縁体480及び絶縁体485に酸化物絶縁体を用いる場合、絶縁体480及び絶縁体485によって導電体410が酸化されるのを抑制できる。

[0202]

絶縁体480は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁体480としては、[絶縁体]の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。このとき、絶縁体480は、少なくともシリコンと、酸素と、を有する。

[0203]

絶縁体480は、図4に示すように、絶縁体480aと、絶縁体480a上の絶縁体480bの積層構造にすることもできる。絶縁体480aは、上述の比誘電率が低い材料を含む絶縁体（例えば、酸化シリコン）を用いればよい。絶縁体480bは、上述のように、水素を捕獲する又は固着する機

能を有する絶縁体を用いることが好ましい。例えば、絶縁体480bとして、ハフニウムシリケートを用いればよい。このような構成にすることで、酸化物半導体230及びその近傍の水素濃度の低減を図ることができる。

[0204]

また、絶縁体480を積層構造にする場合、絶縁体480の層の一つ以上に、[絶縁体]の項目に記載の、水素に対するバリア性を有する絶縁体を用いる構成にしてもよい。これにより、絶縁体480を介して、下方から絶縁体430に水素が拡散することを抑制できる。窒化シリコン、及び窒化酸化シリコンは、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁体480に好適に用いることができる。

[0205]

導電体415は、[導電体]の項目に記載の導電体を、単層または積層で用いることができる。導電体415として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。又は、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。このような構成にすることで、絶縁体430に酸化物絶縁体を用いる場合、絶縁体430によって導電体415が酸化されるのを抑制できる。また、絶縁体480に酸化物絶縁体を用いる場合、絶縁体480によって導電体415が酸化されるのを抑制できる。ただし、これに限られず、導電体415にタングステンなどを用いてもよい。例えば、導電体415を、窒化チタンの上にタングステンを積層した構造にしてもよい。

[0206]

絶縁体430は、導電体415上に設けられる。絶縁体430は、導電体415の上面及び側面に接するように設けられる。ここで、絶縁体430は、導電体415の側端部を覆う構造にすることが好ましい。これにより、導電体415と導電体420がショートするのを防ぐことができる。

[0207]

絶縁体430として、[絶縁体]の項目に記載の比誘電率が高い材料、所謂high-k材料を用いることが好ましい。絶縁体430としてhigh-k材料を用いることで、リーク電流を抑制できる程度に絶縁体430を厚くし、且つ容量素子400の静電容量を十分確保することができる。

[0208]

また、絶縁体430は、high-k材料からなる絶縁層を積層して用いることが好ましく、比誘電率が高い(high-k)材料と、当該high-k材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体430として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量素子400の静電破壊を抑制できる。

[0209]

また、絶縁体430として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、 HfZrO_x (Xは0よりも大きい実数とする) など

の金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素 J 1（ここでの元素 J 1 は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料が挙げられる。ここで、ハフニウム原子の原子数と元素 J 1 の原子数の比は適宜設定することができ、例えば、ハフニウム原子の原子数と元素 J 1 の原子数の比を 1 : 1 またはその近傍にすることができる。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素 J 2（ここでの元素 J 2 は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料、などが挙げられる。また、ジルコニウム原子の原子数と元素 J 2 の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の原子数と元素 J 2 の原子数の比を 1 : 1 またはその近傍にすることができる。また、強誘電性を有しうる材料として、チタン酸鉛（ $PbTiO_x$ ）、チタン酸バリウムストロンチウム（BST）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（PZT）、タンタル酸ビスマス酸ストロンチウム（SBT）、ビスマスフェライト（BFO）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0210]

また、強誘電性を有しうる材料としては、元素 M 1 と、元素 M 2 と、窒素と、を有する金属窒化物が挙げられる。ここで、元素 M 1 は、アルミニウム、ガリウム、インジウムなどから選ばれた一つまたは複数である。また、元素 M 2 は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロムなどから選ばれた一つまたは複数である。なお、元素 M 1 の原子数と元素 M 2 の原子数の比は適宜設定することができる。また、元素 M 1 と、窒素と、を有する金属酸化物は、元素 M 2 を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素 M 3 が添加された材料が挙げられる。なお、元素 M 3 は、マグネシウム、カルシウム、ストロンチウム、亜鉛、カドミウムなどから選ばれた一つまたは複数である。ここで、元素 M 1 の原子数、元素 M 2 の原子数、および元素 M 3 の原子数の比は適宜設定することができる。

[0211]

また、強誘電性を有しうる材料としては、 $SrTaO_2N$ 、 $BaTaO_2N$ などのペロブスカイト型酸窒化物、 κ アルミナ型構造の $GaFeO_3$ などが挙げられる。

[0212]

なお、上記の説明においては、金属酸化物、及び金属窒化物について例示したがこれに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、または上述の金属窒化物に酸素が添加された金属窒酸化物などを用いてもよい。

[0213]

また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物または化合物を用いることができる。または、絶縁体 430 を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、上記に列挙した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有しうる材料とも呼んでいる。

[0214]

ハフニウム及びジルコニウム的一方又は両方を含む金属酸化物は、数 nm といった薄膜であって

も強誘電性を有しうることができるため、好ましい。ここで、絶縁体430の膜厚は、100nm以下、好ましくは50nm以下、より好ましくは20nm以下、さらに好ましくは10nm以下（代表的には、2nm以上9nm以下）にすることができる。例えば、膜厚を、8nm以上12nm以下にすることが好ましい。薄膜化することができる強誘電体層とすることで、容量素子400を、微細化されたトランジスタなどの半導体素子に組み合わせて半導体装置を形成することができる。なお、本明細書等において、強誘電性を有しうる材料を層状にしたものを指して、強誘電体層、金属酸化物膜、または金属窒化物膜と呼ぶ場合がある。また、このような、強誘電体層、金属酸化物膜、または金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスと呼ぶ場合がある。

[0215]

また、ハフニウム及びジルコニウム的一方又は両方を含む金属酸化物は、微小な面積でも強誘電性を有しうることができるため、好ましい。例えば、強誘電体層の平面視における面積（占有面積）が、 $100\mu\text{m}^2$ 以下、 $10\mu\text{m}^2$ 以下、 $1\mu\text{m}^2$ 以下、又は $0.1\mu\text{m}^2$ 以下であっても、強誘電性を有することができる。また、 10000nm^2 以下、又は 1000nm^2 以下であっても、強誘電性を有する場合がある。面積が小さい強誘電体層とすることで、容量素子400の占有面積を小さくすることができる。

[0216]

強誘電体は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量素子（以下、強誘電体キャパシタと呼ぶ場合がある）を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた、不揮発性の記憶素子は、FeRAM（Ferroelectric Random Access Memory）、強誘電体メモリなどと呼ばれることがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタを有し、トランジスタのソースおよびドレインの一方が、強誘電体キャパシタの一方の端子に電気的に接続された構成を有する。よって、容量素子400として強誘電体キャパシタを用いる場合、本実施の形態で示す半導体装置は、強誘電体メモリとして機能する。

[0217]

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素又は窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁体430が強誘電性を発現するには、絶縁体430は結晶を含む必要がある。特に絶縁体430は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁体430に含まれる結晶の結晶構造としては、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一または複数であってもよい。また、絶縁体430は、アモルファス構造を有していてもよい。このとき、絶縁体430は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0218]

ここで、絶縁体430に用いることのできる材料の一つである、酸化ハフニウムの結晶構造について説明を行う。非特許文献2でも報告されているように、酸化ハフニウムは、多様な結晶構造をとることが知られている。例として、酸化ハフニウムが取りうる単斜晶系（monoclinic、空間群： $P2_1/c$ ）、直方晶系（orthorhombic、空間群： $Pbca$ 又は $Pca2_1$ ）、正方晶系（tetragonal、空間群： $P4_2/nmc$ ）、立方晶系（cubic、空間群： $Fm-3m$ ）

などの結晶構造と、それぞれの分極-電界特性を図15に示す。また、上述のそれぞれの結晶構造は、相変化しうる。なお、ハフニウムジルコニウム酸化物についても同様である。

[0219]

酸化ハフニウムにおいて、単斜晶系、正方晶系、及び立方晶系の結晶構造は反転中心を有する。そのため、これらの結晶構造を有する結晶を含む酸化ハフニウムは、残留分極を持たない常誘電体となる。一方、空間群が $Pca2_1$ である直方晶系の結晶構造は、中心対称を有さない。よって、空間群が $Pca2_1$ である直方晶系の結晶構造では、外部電場により酸素が変位するため、空間群が $Pca2_1$ である直方晶系の結晶構造を有する結晶を含む酸化ハフニウムでは、強誘電性が発現する。なお、ハフニウムジルコニウム酸化物についても同様である。

[0220]

導電体420は、絶縁体430の上面に接して設けられる。導電体420は、導電体415と同様に、[導電体]の項目に記載の導電体を、単層または積層で用いることができる。導電体420として、酸化されにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。又は、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。このような構造にすることで、絶縁体430及び絶縁体425に酸化物絶縁体を用いる場合、絶縁体430及び絶縁体425によって導電体420が酸化されるのを抑制できる。また、導電体220に酸化物導電体を用いる場合、導電体220によって導電体420が酸化されるのを抑制できる。ただし、これに限られず、導電体415にタングステンなどの導電体を用いてもよい。

[0221]

ここで、絶縁体430の側端部と導電体420の側端部が一致する構造にすることが好ましい。このような構造にすることで、絶縁体430と導電体420を同一のマスクを用いて形成することができる。さらに、導電体220の側端部と、絶縁体430の側端部と、導電体420の側端部が一致する構造にすることが好ましい。このような構造にすることで、導電体220、絶縁体430、及び導電体420を同一のマスクを用いて形成することができる。以上のような構成にすることで、半導体装置の作製工程を簡略化することができる。

[0222]

絶縁体425は、導電体420及び絶縁体250に接して設けられる。絶縁体425の上面は、導電体420の上面と面一であることが好ましい。このような構成にすることで、絶縁体250の被形成面の平坦性を良好にすることができ、絶縁体250に段切れまたは鬆などが発生することを抑制することができる。

[0223]

絶縁体425は、比誘電率が低いことが好ましい。絶縁体425としては、[絶縁体]の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。このとき、絶縁体425は、少なくともシリコンと、酸素と、を有する。

[0224]

比誘電率が低い絶縁体425を形成することで、導電体260と導電体420の間の距離を大きくすることができる。これにより、トランジスタ200のゲートと、容量素子400の上部電極の寄生容量を低減することができる。よって、トランジスタ200と容量素子400からなるメモリセル

450の動作速度を向上させることができる。

[0225]

＜半導体装置の作製方法例＞

次に、図1A乃至図2C等を示す、半導体装置の作製方法を、図5A乃至図8Fを用いて説明する。

[0226]

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、化学気相成長（CVD:Chemical Vapor Deposition）法、分子線エピタキシー（MBE:Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD:Pulsed Laser Deposition）法、ALD法などを適宜用いて成膜することができる。

[0227]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0228]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD）法、熱を利用する熱CVD（TCVD:Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD:Metal CVD）法、有機金属CVD（MOCVD:Metal Organic CVD）法に分けることができる。

[0229]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0230]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法などを用いることができる。

[0231]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0232]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送または圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0233]

また、ALD法では、異なる複数種のプリカーサを導入することで任意の組成の膜を成膜することができる。例えば、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

[0234]

また、ALD法にて、異なる複数種のプリカーサを導入する場合、各プリカーサに応じて、酸化剤の種類を変更してもよい。例えば、少なくとも第1のプリカーサと、第2のプリカーサと、を導入する場合、第1のプリカーサには、酸化剤としてオゾン (O_3) を用い、第2のプリカーサには、酸化剤として酸素 (O_2) を用いてもよい。

[0235]

なお、膜を成膜する前に、加熱処理を行なってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該膜を成膜してもよい。このような処理を行うことによって、当該膜の被形成面に吸着している水分および水素を除去し、さらに当該被形成面である構造体中の水分濃度及び水素濃度を低減できる。加熱処理の温度は、 $100^{\circ}C$ 以上 $600^{\circ}C$ 以下が好ましい。

[0236]

[容量素子の作製方法例]

まず、容量素子400の作製方法を、図5A乃至図6Dを用いて説明する。なお、図5A乃至図5D、及び図6A乃至図6Dは、図1Aの容量素子400に対応する。

[0237]

まず、基板（図示しない）を準備し、基板上に絶縁体440を成膜する（図5A参照）。絶縁体440の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体440として、スパッタリング法を用いて、窒化シリコンを成膜することができる。

[0238]

次に、絶縁体440上に、導電体410を形成する（図5A参照）。導電体410は、図1Bに示すように、絶縁体485に埋め込まれるように形成されることが好ましい。導電体410及び絶縁体485は、上述の材料を用いることができる。例えば、絶縁体485を成膜してから絶縁体485に開口を形成し、当該開口を埋め込むように導電体410となる導電膜を成膜し、当該導電膜の上部をCMP処理で除去して、当該開口内に導電体410を形成することができる。

[0239]

絶縁体485及び導電体410となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体485として、スパッタリング法を用いて、酸化シリコンを成膜することができる。また、図4に示すように、導電体410を導電体410aと導電体410bの積層構造にする場合、導電体410aとなる導電膜として、ALD法またはCVD法を用いて窒化チタンを成膜し、導電体410bとなる導電膜として、CVD法を用いて

タングステンを成膜することができる。

[0240]

次に、導電体410上に絶縁体480を形成する(図5A参照)。絶縁体480は上述の絶縁性材料を適宜用いればよい。絶縁体480の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体480は、有機シランガス(例えば、TEOS(Tetra-Ethyl-Ortho-Silicate))を用いて、CVD法で酸化シリコンを成膜し、その上にスパッタリング法で酸化シリコンを成膜することができる。ここで、成膜レートの高いCVD法を用いることで、膜厚の大きい絶縁体480を生産性良く成膜することができる。さらに、成膜ガスに水素を含む分子を用いなくてもよい、スパッタリング法を用いることで、絶縁体480の酸化物半導体230に近い層において、水素濃度を低減できる。

[0241]

また、図4に示すように、絶縁体480を、絶縁体480aと絶縁体480bの積層構造にする場合、絶縁体480aは、上記のように酸化シリコンを成膜することができ、絶縁体480bは、スパッタリング法を用いて、ハフニウムシリケートを成膜することができる。この場合、ハフニウム及びシリコンを有する成膜ターゲットなどを用いればよい。例えば、酸化シリコンターゲット及び酸化ハフニウムターゲットを用いた共スパッタリング法を用いればよい。このように、絶縁体480bに水素を捕獲または固着する機能を有する絶縁体を用いることで、絶縁体480中の水素濃度を低減し、酸化物半導体230のチャネル形成領域の酸素欠損及びV_oHの低減を図ることができる。

[0242]

次に、絶縁体480の一部を加工して、導電体410に達する開口部490を形成する(図5B参照)。開口部490の形成は、リソグラフィ法を用いて行えばよい。リソグラフィ法の詳細については、トランジスタ200の開口部290の作製方法を参照することができる。

[0243]

開口部490の形成には、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法は、異方性エッチングが可能なため、アスペクト比が高い、開口部490を形成するために、好適である。ただし、ドライエッチング法とウェットエッチング法を適宜用いて開口部490を形成することもできる。ドライエッチング法とウェットエッチング法の詳細については、トランジスタ200の開口部290の作製方法を参照することができる。

[0244]

また、絶縁体480は、成膜後にCMP処理を行なって、上面を平坦化させることが好ましい。絶縁体480の平坦化処理を行うことで、電極として機能する導電体420を好適に形成することができる。なお、上記CMP処理は、必ずしも行わなくてもよい。CMP処理を行わないことにより、半導体装置の製造工程を短縮し、製造コストの低減を図ることができる。

[0245]

次に、開口部490及び絶縁体480を覆って、導電体415となる導電膜を成膜する。導電体415となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。当該導電膜は、アスペクト比の大きい、開口部490の側壁および底面に接して形成されることが好ましい。このため、当該導電膜は、ALD法またはCVD法などの被覆性の良い成膜方法を用いて成膜することが好ましい。例えば、ALD法またはCVDを用いて窒化チタンを成膜することができる。

[0246]

次に上記導電膜を、リソグラフィ法を用いて加工し、導電体415を形成する（図5C参照）。これにより、導電体415は、開口部490の側壁及び底面に接して形成される。また、導電体415の一部が、開口部490の上に形成され、絶縁体480の上面の一部に接する。また、導電体415を形成する際に、絶縁体480の上面の一部が除去される場合がある。これにより、絶縁体480の導電体415と重なる部分の膜厚が、絶縁体480の導電体415と重ならない部分の膜厚より厚くなる場合がある。

[0247]

次に、導電体415及び絶縁体480上に、絶縁膜430Aを成膜する（図5D参照）。絶縁膜430Aは後の工程で絶縁体430になる絶縁膜である。絶縁膜430Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。絶縁膜430Aは、アスペクト比の大きい開口部490内部に成膜するため、ALD法またはCVD法などの被覆性の良い成膜方法を用いて成膜することが好ましい。例えば、ALD法を用いて、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順に成膜することができる。

[0248]

次に、絶縁膜430A上に、導電膜420Aを成膜する（図5D参照）。導電膜420Aは後の工程で導電体420になる導電膜である。導電膜420Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。導電膜420Aは、アスペクト比の大きい開口部490内部に成膜するため、ALD法またはCVD法などの被覆性の良い成膜方法を用いて成膜することが好ましい。例えば、ALD法またはCVDを用いて窒化チタンを成膜することができる。また、後の工程で、導電膜420AにCMP処理を行うため、導電膜420Aは、導電体415より膜厚が厚いことが好ましい。

[0249]

次に、導電膜420Aの凹部を埋め込むように、絶縁膜425Aを成膜する（図6A参照）。絶縁膜425Aは後の工程で絶縁体425になる絶縁膜である。絶縁膜425Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁膜425Aは、スパッタリング法を用いて酸化シリコンを成膜することができる。なお、絶縁体425は、上述の通り比誘電率の小さい層間膜として機能することができる。よって、絶縁膜425Aが開口部490の内部で被覆性良く成膜されず、開口部490の内部で絶縁膜425Aに空孔が形成されてもよい。

[0250]

次に、絶縁膜425AにCMP処理を行って、導電膜420Aより上の絶縁膜425Aを除去し、絶縁体425を形成する（図6B参照）。当該CMP処理によって、絶縁膜425Aのうち、開口部490内部のものだけが残存し、絶縁体425になる。当該CMP処理は、導電膜420Aの上面が露出するまで行えばよい。このとき、導電膜420Aの上面の一部が除去される場合がある。また、開口部490とは重ならない領域において、絶縁膜425Aの一部が残存する場合がある。

[0251]

次に、導電膜420A及び絶縁体425上に導電膜220Aを成膜する（図6C参照）。導電膜220Aは、後の工程で導電体220になる導電膜である。導電膜220Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、導電膜220

Aとして、スパッタリング法を用いてITOを成膜することができる。また、図3Bに示すように、導電体220を導電体220aと導電体220bの積層構造にする場合は、導電膜220Aとして、まずスパッタリング法を用いてタングステンを成膜し、それからスパッタリング法を用いてITOを成膜することができる。

[0252]

次に、導電膜220A、導電膜420A、及び絶縁膜430Aを、リソグラフィ法を用いて島状に加工して、導電体220、導電体420、及び絶縁体430を形成する（図6D参照）。導電膜220A、導電膜420A、及び絶縁膜430Aの加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。ただし、ドライエッチング法とウェットエッチング法を適宜用いて上記加工を行うこともできる。

[0253]

ここで、導電体220、導電体420、及び絶縁体430が、開口部490に重畳するように、上記加工を行うことが好ましい。このように、導電体220、導電体420、及び絶縁体430を形成することで、トランジスタ200を容量素子400に重ねて作製することができるため、半導体素子の高集積化を図ることができる。また上記のように、導電体220、導電体420、及び絶縁体430を一括して形成することで、導電体220の側面、導電体420の側面、及び絶縁体430の側面が面一になる。導電体220、導電体420、及び絶縁体430を一括して形成することで、半導体装置の製造工程を簡略化し、製造コストの低減を図ることができる。なお、これに限られず、導電体220、導電体420、及び絶縁体430を異なるマスクを用いて加工することもできる。

[0254]

[トランジスタの作製方法例]

続いて、トランジスタ200の作製方法を、図7A乃至図8Fを用いて説明する。なお、図7A乃至図7C、及び図7E乃至図8Fは、図1Aのトランジスタ200に対応する。また、図7Dは、図1Bのトランジスタ200に対応する。

[0255]

まず、絶縁体480及び導電体220上に絶縁体280を形成する（図7A参照）。絶縁体280は上述の絶縁性材料を適宜用いればよい。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体280を、図3Aに示す、絶縁体280a、絶縁体280b、及び絶縁体280cを有する構造にすることができる。この場合、絶縁体280aとして、PEALD法を用いて窒化シリコンを成膜し、絶縁体280bとして、スパッタリング法を用いて酸化シリコンを成膜し、絶縁体280cとして、スパッタリング法を用いて窒化シリコンを成膜することができる。なお、絶縁体280は、成膜後にCMP処理を行なって、上面を平坦化させることが好ましい。絶縁体280の平坦化処理を行うことで、配線として機能する導電体240を好適に形成することができる。

[0256]

なお、CMP処理を行わなくてもよい場合がある。このとき、絶縁体280の上面は、上に凸の曲面形状を有する。平坦化処理を行わないことにより、製造コストを低くできるとともに、生産歩留まりを高めることができる。

[0257]

なお、絶縁体280a乃至絶縁体280cを成膜した後に平坦化処理を行うとは限らない。例えば、

絶縁体 280a 及び絶縁体 280b を成膜した後で、平坦化処理を行い、それから絶縁体 280c を成膜してもよい。

[0258]

また、絶縁体 280 の成膜で、成膜ガスに水素を含む分子を用いなくてもよい、スパッタリング法を用いることで、絶縁体 280 中の水素濃度を低減できる。このように、絶縁体 280 を成膜することで、絶縁体 280 から酸化物半導体 230 に拡散する水素を低減し、チャネル形成領域の酸素欠損及び V_oH の低減を図ることができる。

[0259]

次に、絶縁体 280 上に導電膜 240A を成膜し、導電膜 240A 上に導電膜 240B を成膜する（図 7A 参照）。導電膜 240A は後の工程で導電体 240a となり、導電膜 240B は後の工程で導電体 240b になる。導電膜 240A 及び導電膜 240B には、上述の導電性材料を適宜用いればよい。導電膜 240A 及び導電膜 240B の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを適宜用いて行えばよい。例えば、導電膜 240A として、スパッタリングでタングステンを成膜することができる。また、導電膜 240B として、スパッタリング法で ITO を成膜することができる。

[0260]

次に、導電膜 240A の一部、導電膜 240B の一部、絶縁体 280 の一部、及び導電体 220 の一部を加工して、絶縁体 425 及び導電体 420 に達する開口部 290 を形成する（図 7B 参照）。開口部 290 の形成は、リソグラフィ法を用いて行えばよい。

[0261]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで、導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrF エキシマレーザ光、ArF エキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成することができる。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームまたはイオンビームを用いてもよい。なお、電子ビームまたはイオンビームを用いる場合には、マスクを用いなくてもよい場合がある。

[0262]

なお、加工後に不要になったレジストマスクは、酸素プラズマを用いたアッシング（以下、酸素プラズマ処理と呼ぶ場合がある。）などのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0263]

また、被加工物とレジストマスクの間に、SOC (Spin On Carbon) 膜、及び SOG (Spin On Glass) 膜を成膜する構成にしてもよい。SOC 膜及び SOG 膜をマスクとして用いることで、マスクパターンの耐久性を向上させることができる。例えば、被加工物の上に、SOC 膜、SOG 膜、レジストマスクの順に成膜してリソグラフィ法を行うことができる。また、被加工物と SOC 膜の間に、絶縁体または導電体からなるハードマスクを設ける構成にすることもできる。

[0264]

例えば、導電膜240B上にSOC膜、SOG膜、レジストマスクの順に成膜して、レジストマスクを開口部290の形にパターン形成することができる。

[0265]

開口部290の形成には、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法は、異方性エッチングが可能なため、アスペクト比が高い、開口部290を形成するために、好適である。ただし、ドライエッチング法とウェットエッチング法を適宜用いて開口部290を形成することもできる。

[0266]

ここで、ドライエッチング処理用のエッチングガスとしては、ハロゲンを含むエッチングガスを用いることができ、具体的には、フッ素、塩素、及び臭素のうち、一または複数を含むエッチングガスを用いることができる。例えば、エッチングガスとして、 C_4F_6 ガス、 C_5F_6 ガス、 C_4F_8 ガス、 CF_4 ガス、 SF_6 ガス、 CHF_3 ガス、 CH_2F_2 ガス、 CH_3F ガス、 Cl_2 ガス、 BCl_3 ガス、 $SiCl_4$ ガス、 CCl_4 ガス、 HBr ガス、または BBr_3 ガスなどを単独または2以上のガスを混合して用いることができる。また、上記のエッチングガスに酸素ガス、炭酸ガス、窒素ガス、ヘリウムガス、アルゴンガス、水素ガス、または炭化水素ガスなどを適宜添加することができる。また、ドライエッチング処理の被処理物によっては、ハロゲンガスを含まず、炭化水素ガスまたは水素ガスを含むガスを、エッチングガスとして用いることができる。エッチングガスに用いる炭化水素としては、メタン(CH_4)、エタン(C_2H_6)、プロパン(C_3H_8)、ブタン(C_4H_{10})、エチレン(C_2H_4)、プロピレン(C_3H_6)、アセチレン(C_2H_2)、およびプロピン(C_3H_4)の一または複数を用いることができる。エッチング条件は、エッチングする対象に合わせて適宜設定することができる。

[0267]

また、ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ(CCP: Capacitively Coupled Plasma)エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成にすることができる。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成にすることができる。また、平行平板型電極に複数の異なる高周波電圧を印加する構成にすることができる。このようなCCPエッチング装置を、二周波励起容量結合型プラズマ(DF-CCP: Dual Frequency Capacitively Coupled Plasma)エッチング装置と呼ぶ。DF-CCPエッチング装置では、平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成にすることができる。または平行平板型電極の一方の電極に複数の異なる高周波電圧を印加する構成にすることができる。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ(ICP: Inductively Coupled Plasma)エッチング装置などを用いることができる。エッチング装置は、エッチングする対象に合わせて適宜設定することができる。なお、上記のドライエッチング装置で、基板側の電極に高周波電圧を印加して、自己バイアス電位を生じさせることで、反応性イオンエッチングを行うことができる。反応性イオンエッチングでは、プラズマ中のイオン種を加速させて被加工物に衝突させることでエッチングを行うため、異方性の高いエッチング処理を行うことができる。

[0268]

なお、以下の開口部 290 の形成工程は、外気に曝さず連続して行うことが好ましい。例えば、マルチチャンバー方式のエッチング装置を用いて、外気に曝さず処理を行えばよい。

[0269]

SOG 膜、SOC 膜、導電膜 240B、導電膜 240A、絶縁体 280 の構成に合わせて、上記のエッチングガス、及びエッチング装置を適宜選択することができる。例えば、導電膜 240B に ITSO 膜を用いる場合、 CH_4 とアルゴンガスをエッチングガスとして用いて、DF-CCP エッチング装置で処理することができる。例えば、導電膜 240A にタングステン膜を用いる場合、 Cl_2 と CF_4 と酸素ガスをエッチングガスとして用いて、DF-CCP エッチング装置で処理することができる。例えば、絶縁体 280 に酸化シリコンと窒化シリコンの積層膜を用いる場合、 C_4F_8 と C_4F_6 と酸素ガスとアルゴンガスをエッチングガスとして用いて、DF-CCP エッチング装置で処理することができる。また、導電体 220 は、上記絶縁体 280 のエッチングガスに曝されることになる。

[0270]

また、上記エッチング工程で開口部 290 に付着した不純物などを除去するために、洗浄処理を行うことが好ましい。洗浄方法としては、洗浄液など用いたウェット洗浄（ウェットエッチング処理ということもできる）を行うことができる。また、当該ウェット洗浄によって、導電体 220 をエッチングして、開口部 290 を形成することができる。

[0271]

ウェット洗浄は、シュウ酸、リン酸、及びフッ化水素酸のうち一つまたは複数を炭酸水または純水で希釈した水溶液を用いて行ってもよい。また、ウェット洗浄は、アンモニア水を炭酸水または純水で希釈した水溶液を用いて行ってもよい。また、ウェット洗浄は、純水または炭酸水などを用いて行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせを行ってもよい。また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、フッ化水素酸を純水で希釈した、希釈フッ化水素酸でウェット洗浄を行えばよい。希釈フッ化水素酸でウェット洗浄を行うことで、上記絶縁体 280 のエッチングガスに曝された導電体 220 をエッチングして、絶縁体 425 及び導電体 420 に達する開口部 290 を形成することができる。

[0272]

また、導電体 220 の開口部 290 は、必ずしも上記ウェット洗浄で形成する必要はない。例えば、絶縁体 280 のドライエッチング処理から連続して、ドライエッチング法を用いて導電体 220 の開口部 290 を形成してもよい。

[0273]

開口部 290 の形成後に、酸素を含む雰囲気中でマイクロ波処理を行って、絶縁体 280 中の不純物濃度を低減させる処理を行ってもよい。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、300MHz 以上 300GHz 以下の周波数を有する電磁波を指すものとする。不純物としては、特に、水素、及び炭素が挙げられる。酸素を含む雰囲気中でマイクロ波処理を行うことで、絶縁体 280 中に含まれる水素を H_2O として、外部に放出させることができる。酸化物半導体 230 近傍に位置する、絶縁体 280 から水素を放出させることで、信頼性の高い半導体装置を提供することができる。

[0274]

続いて、加熱処理を行なってもよい。なお、当該加熱処理は、マイクロ波処理を行った後に、外気に曝すことなく、連続して行ってもよい。加熱処理は、 250°C 以上 650°C 以下、好ましくは 300°C 以上 500°C 以下、さらに好ましくは 320°C 以上 450°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で加熱処理をする場合、酸素ガスを 20% 程度にすることができる。また、加熱処理は減圧状態で行なってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行なってもよい。以上のような加熱処理を行うことで、後述する酸化物半導体 230 となる酸化物半導体膜の成膜前に、絶縁体 280 などに含まれる、水などの不純物を低減できる。なお、当該加熱処理は、導電体 220 、及び導電体 240 を過剰に酸化させない条件で行うことが好ましい。

[0275]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量を 1 ppb 以下、好ましくは 0.1 ppb 以下、より好ましくは 0.05 ppb 以下にすることができる。高純度化されたガスを用いて加熱処理を行うことで、絶縁体 280 などに水分等が取り込まれることを可能な限り防ぐことができる。

[0276]

なお、上記においては、マイクロ波処理の後で加熱処理を行う構成について示したが、本発明はこれに限られるものではない。加熱処理を行った後でマイクロ波処理を行う構成にすることもできる。

[0277]

次に、絶縁体 425 の上面、導電体 420 の上面、絶縁体 280 の側面、導電膜 $240A$ の側面、ならびに導電膜 $240B$ の上面及び側面に接して、酸化物半導体 230 となる酸化物半導体膜を成膜する。当該酸化物半導体膜には、上述の酸化物半導体 230 に適用可能な金属酸化物を適宜用いればよい。当該酸化物半導体膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。

[0278]

例えば、図3Aと同様に、酸化物半導体 $230a$ と酸化物半導体 $230b$ の積層構造になるように、酸化物半導体の積層膜を成膜することができる。この場合、スパッタリング法を用いて、酸化物半導体 $230a$ となる酸化物半導体膜を成膜し、その上にALD法を用いて、酸化物半導体 $230b$ となる酸化物半導体膜を成膜することができる。酸化物半導体 $230a$ となる酸化物半導体膜は、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1.2$ [原子数比] もしくはその近傍の組成のターゲットを用いて成膜することができる。また、酸化物半導体 $230b$ となる酸化物半導体膜は、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] もしくはその近傍の組成になるように成膜することができる。

[0279]

なお、上述のマイクロ波処理及び加熱処理は、上記酸化物半導体膜の成膜後に行ってもよい。

[0280]

次に、酸化物半導体 230 となる酸化物半導体膜、導電膜 $240A$ 、及び導電膜 $240B$ を、リソグラフィ法を用いて加工し、酸化物半導体 230 、導電体 $240a$ 、及び導電体 $240b$ を形成する(図7C及び図7D参照)。なお、酸化物半導体 230 となる酸化物半導体膜、導電膜 $240A$ 、及び導電膜 $240B$ の加工はドライエッチング法またはウェットエッチング法を用いることができる。

ドライエッチング法による加工は微細加工に適している。

[0281]

これにより、導電体240a及び導電体240bは、X方向に延伸して形成され、配線として機能させることができる。また、酸化物半導体230も、導電体240a及び導電体240bと同様に、X方向に延伸して形成される。ただし、酸化物半導体230の一部は、開口部290内に形成される。ここで、図7Dに示すように、酸化物半導体230の側面、導電体240aの側面、及び導電体240bの側面は、面一になるように形成されることが好ましい。

[0282]

また、上記においては、酸化物半導体230、導電体240a、及び導電体240bの形成を一括で行ったが、本発明はこれに限られるものではない。例えば、酸化物半導体230を形成した後で、導電膜240A及び導電膜240Bの加工を行うこともできる。この場合、酸化物半導体230の側面が、導電体240aの側面及び導電体240bの側面より内側に位置することになる。

[0283]

次に、酸化物半導体230を、異方性エッチングを用いて加工し、開口部290の内部にサイドウォール状の酸化物半導体230を形成する（図7E参照）。酸化物半導体230の、導電体240bの上面に接する部分、及び開口部290の底面に接する部分は、上記加工で除去される。よって、上記加工によって、導電体240bの上面、ならびに開口部290における、絶縁体425の上面及び導電体420の上面が、酸化物半導体230から露出する。

[0284]

異方性エッチングには、ドライエッチング法を用いることが好ましい。例えば、反応性イオンエッチングを行うことが好ましい。異方性エッチングを行うことで、アスペクト比が高い開口部290内においても、酸化物半導体230をサイドウォール状に加工することができる。なお、導電体240bの開口部290側の側面、導電体240a及び導電体240bの開口部290と反対側の側面に接して、酸化物半導体230の一部が残存する場合もある。このような方法を用いることで、マスクを用いずに、酸化物半導体の底面の一部を除去することができる。

[0285]

ここで、酸化物半導体230は、開口部290における、導電体220の側面、絶縁体280の側面、導電体240aの側面、及び導電体240bの側面に接して形成されることが好ましい。酸化物半導体230を導電体220の側面に接して形成することで、導電体220は、トランジスタ200のソース電極及びドレイン電極の一方として機能する。また、酸化物半導体230を導電体240bと接して形成することで、導電体240a及び導電体240bは、トランジスタ200のソース電極及びドレイン電極の他方として機能する。

[0286]

次に、開口部290を埋め込むように、塗布膜287Aを成膜する（図7F参照）。塗布膜287Aは、まずSOC膜を塗布し、その上にSOG膜を塗布することで成膜することができる。塗布膜287Aは、絶縁体270を形成する際の犠牲層として機能する膜である。

[0287]

次に、塗布膜287Aを、リソグラフィ法を用いて加工し、開口部290の上に突出した犠牲層287を形成する（図8A参照）。犠牲層287は、後で形成する絶縁体270の開口の形状に合わせてパターン形成すればよい。なお、塗布膜287Aの加工はドライエッチング法またはウェットエッ

チング法を用いることができる。ドライエッチング法による加工は微細加工に適している。ここで、犠牲層287を、SOC膜の上にSOG膜を積層した構造にしておくことで、上記の加工において、犠牲層287の形状が崩れることを防ぐことができる。

[0288]

次に、犠牲層287及び酸化物半導体230を覆って、絶縁体270となる絶縁膜270Aを成膜する(図8B参照)。絶縁膜270Aは上述の絶縁性材料を適宜用いればよい。絶縁膜270Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁膜270Aとして、スパッタリング法を用いて酸化シリコンを成膜することができる。絶縁膜270Aの成膜で、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁膜270A中の水素濃度を低減できる。このように、絶縁膜270Aを成膜することで、絶縁膜270Aから酸化物半導体230に拡散する水素を低減し、チャネル形成領域の酸素欠損及びV_oHの低減を図ることができる。

[0289]

また、図3A等に示すように、絶縁体270を絶縁体270aと絶縁体270bの積層構造にする場合は、絶縁膜270Aとして、まずALD法で酸化アルミニウム膜を成膜し、それからスパッタリング法を用いて酸化シリコン膜を成膜することができる。この場合、犠牲層287の上部は、酸化アルミニウム膜に覆われることになる。このように酸化アルミニウム膜で犠牲層287を覆った状態で、スパッタリング法で酸化シリコン膜を成膜することで、酸化シリコン膜の成膜中に犠牲層287の形状が崩れることを防ぐことができる。

[0290]

次に、犠牲層287が露出するまで、絶縁膜270AにCMP処理を行って、絶縁体270を形成する(図8C参照)。このとき、犠牲層287上部のSOG膜も一緒に除去し、犠牲層287のSOC膜が露出するようにする。

[0291]

次に、犠牲層287を除去して、絶縁体270に開口部290と重畳する開口を形成する(図8D参照)。犠牲層287は、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0292]

次に、絶縁体270、酸化物半導体230、導電体420、及び絶縁体425の上に、絶縁体250を成膜する(図8E参照)。絶縁体250には、上述の絶縁性材料を適宜用いればよい。絶縁体250の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。ここで、絶縁体250は、開口部290に設けられた酸化物半導体230に接して形成されることが好ましい。また、絶縁体250は、開口部290の底面となる、絶縁体425及び導電体420に接して形成されることが好ましい。よって、絶縁体250の成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD法またはALD法などを用いることがより好ましい。例えば、図3Aに示すように、絶縁体250を絶縁体250a、絶縁体250b、及び絶縁体250cの積層構造にすることができる。例えば、絶縁体250aとして、熱ALD法を用いて酸化アルミニウムを成膜し、絶縁体250bとして、PEALD法を用いて酸化シリコンを成膜し、絶縁体250cとして、熱ALD法を用いて酸化ハフニウムを成膜することができる。

[0293]

上述のマイクロ波処理及び加熱処理は、絶縁体250の成膜後に行ってもよい。また、絶縁体250を積層構造とする場合、上記マイクロ波処理を、絶縁体250が有する全ての絶縁体を成膜した後に行うとは限らない。例えば、図3Aに示す構造の場合、絶縁体250bを成膜した後で、マイクロ波処理を行い、それから絶縁体250cを成膜してもよい。また、例えば、絶縁体250bを成膜した後で、マイクロ波処理を行い、次に、絶縁体250cを成膜した後でマイクロ波処理を行ってもよい。このように、酸素を含む雰囲気でのマイクロ波処理は、複数回行なってもよい。

[0294]

次に、絶縁体250の凹部を埋めるように、導電体260となる導電膜260Aを成膜する。導電膜260Aには、上述の導電性材料を適宜用いればよい。導電膜260Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。ここで、導電膜260Aは、開口部290に設けられた絶縁体250に接して形成されることが好ましい。よって、当該導電膜の成膜は、被覆性または埋め込み性が良好な成膜方法を用いることが好ましく、CVD法またはALD法などを用いることがより好ましい。例えば、導電膜260Aとして、CVD法またはALD法を用いて、窒化チタンを成膜し、当該窒化チタンの上にCVD法を用いてタングステンを成膜することができる。

[0295]

また、上記においては、導電膜260Aが開口部290を埋め込むように設けられているが、本発明はこれに限られるものではない。例えば、当該導電膜の中央部に、開口部290の形状を反映した凹部が形成される場合がある。また、当該凹部を無機絶縁材料などで充填する構成にしてもよい。

[0296]

次に、導電膜260Aとなる導電膜を加工して、導電体260を形成する（図8F参照）。導電体260の形成は、リソグラフィ法を用いて行えばよい。上記加工はドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0297]

または、導電膜260A及び絶縁体250にCMP処理を行って、導電膜260A及び絶縁体250の絶縁体270より上の部位を除去することもできる。この場合、導電膜260Aの残存した部位が、図3Bに示す導電体260a及び導電体260bに相当し、絶縁体250の残存した部位が、図3Bに示す絶縁体250に相当する。その後で、導電体260a及び導電体260b上に、配線として機能する導電体260cを形成することができる。

[0298]

次に、導電体260及び絶縁体250を覆って、絶縁体283を成膜する（図1A及び図1B参照）。絶縁体283は、上述の絶縁性材料を適宜用いればよい。絶縁体283の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。例えば、絶縁体283として、PEALD法を用いて窒化シリコン膜を成膜することができる。

[0299]

上述のマイクロ波処理及び加熱処理は、絶縁体283の成膜後に行ってもよい。絶縁体440及び絶縁体283として水素の拡散を抑制する機能を有する絶縁体を用い、絶縁体480b及び絶縁体250に水素を捕獲する又は固着する機能を有する絶縁体を用いている場合は、絶縁体440と絶縁体283で挟まれた領域内に、絶縁体480b及び絶縁体250が設けられている状態で加熱処

理を行うことができる。これにより、絶縁体440と絶縁体283で挟まれた領域内部の水素を絶縁体480b及び絶縁体250に捕獲または固着することができる。これにより、酸化物半導体230のチャンネル形成領域中の水素濃度を低減できる。よって、トランジスタの電気特性を良好にし、トランジスタの信頼性を向上させることができる。また、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。

[0300]

以上により、図1A乃至図2C等を示すトランジスタ200を作製できる。

[0301]

<半導体装置の変形例>

図1A乃至図2Cに係る半導体装置では、絶縁体270を形成した後で、絶縁体250を形成する構成について示したが、本発明はこれに限られるものではない。例えば、絶縁体250を形成した後に、絶縁体270を形成する構成にすることもできる。

[0302]

図9A及び図9Bに、本発明の一態様である半導体装置の別の一例を示す。図9A及び図9Bは、当該半導体装置の断面図である。ここで、図9Aは、図1Aに示すA1-A2の断面図に対応する。また、図9Bは、図1Bに示すA3-A4の断面図に対応する。

[0303]

図9に示す半導体装置は、絶縁体250の上に絶縁体270が設けられている点で、図1A乃至図2Cに示す半導体装置と異なる。以降では、図1A乃至図2Cを用いて説明した内容と異なる部分について主に説明し、重複する部分についてはこれを参照することとし、説明を省略する場合がある。

[0304]

図9Aに示すように、開口部290と重ならない領域において、導電体240bの上面に接して絶縁体250が設けられ、絶縁体250の上面に接して絶縁体270が設けられる。また、絶縁体270の上面は、導電体260及び絶縁体283に接する。また、図9Bに示すように、絶縁体250は、導電体240bの側面、及び導電体240aの側面を覆って設けられる。また、絶縁体250は、導電体240の外側において、絶縁体280の上面に接する。

[0305]

トランジスタ200を、図9A及び図9Bに示す形状にする場合、図7Eに示す工程で、酸化物半導体230をサイドウォール状に形成した後で、絶縁体250を成膜することができる。その後は、図7F乃至図8Fに係る工程に従って半導体装置を作製することができる。

[0306]

また、図1A乃至図2Cに係る半導体装置では、絶縁体270を形成する構成について示したが、本発明はこれに限られるものではない。例えば、絶縁体270を形成しない構成にすることもできる。

[0307]

図10A及び図10Bに、本発明の一態様である半導体装置の別の一例を示す。図10A及び図10Bは、当該半導体装置の断面図である。ここで、図10Aは、図1Aに示すA1-A2の断面図に対応する。また、図10Bは、図1Bに示すA3-A4の断面図に対応する。

[0308]

図10A及び図10Bに示す半導体装置は、絶縁体270が設けられていない点で、図1A乃至図2Cに示す半導体装置と主に異なる。以降では、図1A乃至図2Cを用いて説明した内容と異なる部

分について主に説明し、重複する部分についてはこれを参照することとし、説明を省略する場合がある。

[0309]

図10Aに示すように、導電体240bの上面に接して絶縁体250が設けられる。また、図10Bに示すように、絶縁体250は、導電体240bの側面、及び導電体240aの側面を覆って設けられる。また、絶縁体250は、導電体240の外側において、絶縁体280の上面に接する。

[0310]

トランジスタ200を、図10A及び図10Bに示す形状にする場合、図7F乃至図8Dに示す工程を省略することができる。つまり、図7Eに示す工程で、酸化物半導体230をサイドウォール状に形成し、それから図8E及び図8Fに係る工程に従って半導体装置を作製することができる。このように、作製工程を省略することで、半導体装置の生産性を向上させることができる。

[0311]

また、図10に示す容量素子400は、導電体415の上端部が絶縁体480の上面と面一になっている点において、図1A乃至図2Cに示す容量素子400とは異なる。このような形状にして、導電体415が開口部490からはみ出さないようにすることで、導電体415を絶縁体430によって十分に覆うことができ、導電体420と導電体415の短絡を防ぐことができる。

[0312]

容量素子400を、図10A及び図10Bに示す形状にする場合、図5Cに示す工程で、導電体415となる導電膜の絶縁体480より上の部分を、CMP処理で除去することができる。

[0313]

図11A及び図11Bに、本発明の一態様である半導体装置の別の一例を示す。図11A及び図11Bは、当該半導体装置の断面図である。ここで、図11Aは、図1Aに示すA1-A2の断面図に対応する。また、図11Bは、図1Bに示すA3-A4の断面図に対応する。

[0314]

図11A及び図11Bに示す半導体装置は、絶縁体480の上面近傍において、開口部490の幅が大きくなっている点で、図1A乃至図2Cに示す半導体装置と主に異なる。以降では、図1A乃至図2Cを用いて説明した内容と異なる部分について主に説明し、重複する部分についてはこれを参照することとし、説明を省略する場合がある。

[0315]

図11A及び図11Bに示すように、絶縁体480の上面近傍における開口部490の幅が、絶縁体480の下面近傍より大きくなっている。絶縁体480の上面近傍における開口部490の径が、絶縁体480の下面近傍より大きくなっているということもできる。これにより、絶縁体425も、絶縁体480の上面近傍における幅が、絶縁体480の下面近傍における幅より大きくなる。このとき、絶縁体250の下面は、導電体420に接することなく、絶縁体425だけに接する。

[0316]

上記の構造にすることで、導電体260と導電体420の距離をより大きくすることができる。これにより、トランジスタ200のゲートと、容量素子400の上部電極の寄生容量をさらに低減することができる。よって、トランジスタ200と容量素子400からなるメモリセル450の動作速度をさらに向上させることができる。

[0317]

なお、図 1 1 A 及び図 1 1 B などに示すトランジスタ 2 0 0 では、酸化物半導体 2 3 0 が開口部 2 9 0 の底部で除去されている構成にしたが、本発明はこれに限られるものではない。図 1 2 A 及び図 1 2 B に示すように、開口部 2 9 0 の底部まで酸化物半導体 2 3 0 が形成される構成にすることもできる。この場合、酸化物半導体 2 3 0 の下面が絶縁体 4 2 5 の上面に接する。

[0318]

トランジスタ 2 0 0 を、図 1 2 A 及び図 1 2 B に示す形状にする場合、図 7 E に示す工程を省略することができる。このため、図 7 D に示すように、酸化物半導体 2 3 0 の側面が、導電体 2 4 0 a の開口部 2 9 0 とは反対側の側面、及び導電体 2 4 0 b の開口部 2 9 0 とは反対側の側面と、面一になる構成にすることができる。このように、作製工程を省略することで、半導体装置の生産性を向上させることができる。

[0319]

上述のように、トランジスタ 2 0 0 と容量素子 4 0 0 の寄生容量を低減する構成にすることで、半導体装置の電気特性、及び動作速度の向上を図ることができる。例えば、トランジスタ 2 0 0 において、オン電流を $30\mu\text{A}$ 以上にすることができる。また、トランジスタ 2 0 0 において、 S 値を $60\text{mV}/\text{dec}$ 以上 $90\text{mV}/\text{dec}$ 以下、好ましくは $60\text{mV}/\text{dec}$ 以上 $80\text{mV}/\text{dec}$ 以下、さらに好ましくは $60\text{mV}/\text{dec}$ 以上 $70\text{mV}/\text{dec}$ 以下とすることができる。また、しきい値電圧を、 0V を超えて 1V 以下、好ましくは 0V を超えて 0.5V 以下、さらに好ましくは 0.1V 以上 0.3V 以下とすることができている。言い換えると、トランジスタ 2 0 0 をノーマリオフ駆動させることが可能となる。また、メモリセル 4 5 0 の動作速度を向上させることで、配線 WOL（導電体 2 6 0）に 1.8V を印加して、メモリセル 4 5 0 の書き込み速度を 1.7ns 未満にすることも可能になる。このように、本発明の一態様のトランジスタ 2 0 0、及び容量素子 4 0 0 の構造とすることで、動作速度が速く、且つ信頼性の高い半導体装置を提供することができる。なお、平面視において、メモリセル 4 5 0 のサイズは、 30nm 以上 100nm 以下、好ましくは 40nm 以上 50nm 以下とすることができる。また、例えば、メモリセル 4 5 0 に接続する配線 WOL（導電体 2 6 0）のピッチを 40nm 以上 200nm 以下、好ましくは 50nm 以上 60nm 以下とすることができる。メモリセル 4 5 0 のサイズを上記とすることで、集積度の高いメモリセルを提供することができる。

[0320]

また、図 1 3 A 及び図 1 3 B に、本発明の一態様である半導体装置の別の一例を示す。図 1 3 A は、半導体装置の平面図である。また、図 1 3 B は、図 1 3 A に A 1 - A 2 の一点鎖線で示す部位の断面図である。なお、図 1 3 A の平面図では、図の明瞭化のために一部の要素を省いている。

[0321]

図 1 3 A 及び図 1 3 B に示す半導体装置は、2 個のメモリセル 4 5 0（以下、メモリセル 4 5 0 a 及びメモリセル 4 5 0 b と呼ぶ）を共通の配線に接続する構成にしている点で、図 1 A 乃至図 2 C に示す半導体装置と主に異なる。図 1 3 A 及び図 1 3 B に示すメモリセル 4 5 0 a 及びメモリセル 4 5 0 b のそれぞれは、メモリセル 4 5 0 と同様の構成を有する。メモリセル 4 5 0 a は、容量素子 4 0 0 a 及びトランジスタ 2 0 0 a を有し、メモリセル 4 5 0 b は、容量素子 4 0 0 b 及びトランジスタ 2 0 0 b を有する。よって、図 1 3 A 及び図 1 3 B に示す半導体装置において、図 1 A 乃至図 2 C に示す半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0322]

図13A及び図13Bに示すように、配線WOLとして機能する導電体260は、メモリセル450a及びメモリセル450bに、それぞれ設けられる。また、配線BILの一部として機能する導電体240は、メモリセル450a及びメモリセル450bに、共通に設けられる。つまり、導電体240は、メモリセル450aの酸化物半導体230と、メモリセル450bの酸化物半導体230に接する。

[0323]

ここで、図13A及び図13Bに示す半導体装置は、メモリセル450a及びメモリセル450bと電氣的に接続してプラグ（接続電極とよぶこともできる）として機能する、導電体445及び導電体446を有する。導電体445は、絶縁体480及び絶縁体280に形成された開口内に配置され、導電体240aの下面、及び導電体410と同じ層に形成された導電体447の上面に接する。ここで、導電体447は、導電体410と同様に絶縁体485に埋め込まれるように設けられることが好ましい。また、導電体446は、絶縁体288、絶縁体283、絶縁体250、及び絶縁体270に形成された開口内に配置され、導電体240bの上面に接する。また、導電体447の下に、導電体446と同様の導電体を設けてもよい。なお、導電体445及び導電体446は、導電体240に適用可能な導電性材料などを用いることができる。

[0324]

絶縁体288は、絶縁体283上に設けられている。絶縁体288は、層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁体288としては、絶縁体270と同様に「絶縁体」の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。

[0325]

導電体445及び導電体446は、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、およびダイオードなどの回路素子、配線、電極、または、端子と、メモリセル450a及びメモリセル450bを電氣的に接続するためのプラグまたは配線として機能する。例えば、メモリセル450a及びメモリセル450bを、記憶装置として機能する半導体装置の下に設けられたセンスアンプ、または当該半導体装置の上に設けられた他の半導体装置と電氣的に接続することができる。この場合、導電体445及び導電体446は、配線BILの一部として機能する。このように、図13A及び図13Bに示す記憶装置として機能する半導体装置の上または下に、記憶装置として機能する半導体装置などを設けることで、単位面積当たりの記憶容量を大きくすることができる。

[0326]

また、メモリセル450aとメモリセル450bは、一点鎖線A1-A2の垂直二等分線を対称軸とした線対称の構成となっている。よって、トランジスタ200aとトランジスタ200bも、導電体445及び導電体446を挟んで、対称の位置に配置される。ここで、導電体240は、トランジスタ200aのソース電極及びドレイン電極の他方としての機能と、トランジスタ200bのソース電極及びドレイン電極の他方としての機能とを有する。また、トランジスタ200a及びトランジスタ200bは、プラグとして機能する導電体445及び導電体446を共有する。このように、2つのトランジスタと、プラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供できる。

[0327]

なお、配線CALとして機能する導電体410は、メモリセル450a及びメモリセル450bに、

それぞれ設けてもよいし、メモリセル450a及びメモリセル450bに、共通に設けてもよい。ただし、図13Bに示すように、導電体410は、導電体447と離隔して設け、導電体410と導電体447がショートしないようにする。

[0328]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0329]

[基板]

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0330]

[絶縁体]

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0331]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。一方、層間絶縁膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減できる。したがって、絶縁体の機能に応じて、材料を選択することが好ましい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0332]

比誘電率が高い（high-k）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物などが挙げられる。

[0333]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコン

などの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、及びアクリルなどの樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。

[0334]

また、絶縁体として、強誘電性を有しうる材料を用いてもよい。強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、 $HfZrO_x$ （ x は0よりも大きい実数とする）などの金属酸化物が挙げられる。また、強誘電性を有しうる材料としては、酸化ハフニウムに元素J1（ここでの元素J1は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料が挙げられる。ここで、ハフニウム原子の原子数と元素J1の原子数の比は適宜設定することができ、例えば、ハフニウム原子の原子数と元素J1の原子数の比を1:1またはその近傍にすることができる。また、強誘電性を有しうる材料としては、酸化ジルコニウムに元素J2（ここでの元素J2は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つまたは複数）を添加した材料、などが挙げられる。また、ジルコニウム原子の原子数と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の原子数と元素J2の原子数の比を1:1またはその近傍にすることができる。また、強誘電性を有しうる材料として、チタン酸鉛（ $PbTiO_x$ ）、チタン酸バリウムストロンチウム（BST）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（PZT）、タンタル酸ビスマス酸ストロンチウム（SBT）、ビスマスフェライト（BFO）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0335]

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0336]

また、ゲート絶縁体などの、半導体と接する絶縁体、または半導体層の近傍に設ける絶縁体は、加熱により脱離する酸素（以下、過剰酸素と呼ぶことがある）を含む領域を有する絶縁体であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁体を半導体層と接する、または半導体層の近傍に設ける構造とすることで、半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁体として、酸化シリコン、酸化窒化シリコン、または空孔を有する酸化シリコンなどが挙げられる。

[0337]

また、酸素に対するバリア絶縁体としては、アルミニウム及びハフニウム的一方または両方を含む

酸化物、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）、酸化マグネシウム、または酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコンなどが挙げられる。また、アルミニウム及びハフニウムの一方または両方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、などが挙げられる。

[0338]

また、水素に対するバリア絶縁体は、実施の形態1で説明した内容を参照できる。

[0339]

酸素に対するバリア絶縁体、及び水素に対するバリア絶縁体は、酸素及び水素の一方または両方に対するバリア絶縁体といえる。

[0340]

また、水素を捕獲する又は固着する機能を有する絶縁体は、実施の形態1で説明した内容を参照できる。

[0341]

[導電体]

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、コバルト、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0342]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、またはチタン及びアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、またはランタン及びニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、またはルテニウムなどの金属元素を含む材料は、酸化されにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、シリコンを添加したインジウム錫酸化物、インジウム亜鉛酸化物、及び、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

[0343]

また、タングステン、銅、またはアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0344]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0345]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

[0346]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウム錫酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0347]

[金属酸化物]

金属酸化物は、格子欠陥を有する場合がある。格子欠陥とは、原子空孔、異種原子などの点欠陥、転位などの線欠陥、結晶粒界などの面欠陥、空隙などの体積欠陥がある。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物などがある。

[0348]

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成または捕獲などを引き起こす要因となりうる。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

[0349]

金属酸化物中に存在しやすい格子欠陥の種類、及び格子欠陥の存在量は、金属酸化物の構造または金属酸化物の成膜方法などによって異なる。

[0350]

金属酸化物の構造は、単結晶構造と、それ以外の構造（非単結晶の構造）と、に分けられる。非単結晶の構造としては、例えば、CAAC構造、多結晶（polycrystalline）構造、nc構造、擬似非晶質（a-like: amorphous-like）構造、及び非晶質構造などがある。a-like構造は、nc構造と非晶質構造との間の構造を有する。

[0351]

また、a-l i k e構造を有する金属酸化物、及び非晶質構造を有する金属酸化物は、鬆または低密度領域を有する。すなわち、a-l i k e構造を有する金属酸化物、及び非晶質構造を有する金属酸化物は、n c構造を有する金属酸化物及びC A A C構造を有する金属酸化物と比べて、結晶性が低い。また、a-l i k e構造を有する金属酸化物は、n c構造を有する金属酸化物及びC A A C構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、a-l i k e構造を有する金属酸化物、及び非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

[0352]

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、C A A C構造を有する金属酸化物、または単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。

[0353]

また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物のキャリア移動度を高くすることが好ましい。金属酸化物のキャリア移動度を高くするには、キャリア（nチャネル型トランジスタの場合は、電子）の伝送を向上させる、または、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

[0354]

ここで、チャネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該結晶は、複数の層（例えば、第1の層と、第2の層と、第3の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶は、層状の結晶構造（層状結晶、層状構造ともいう）を有する。このとき、当該結晶のc軸の向きは、複数の層が積層される方向となる。当該結晶を有する金属酸化物には、例えば、単結晶酸化物半導体、C A A C-O S（c-a x i s a l i g n e d c r y s t a l l i n e o x i d e s e m i c o n d u c t o r）などが含まれる。

[0355]

また、上記結晶のc軸を、金属酸化物の被形成面または膜表面に対する法線方向に配向することが好ましい。これにより、複数の層は、金属酸化物の被形成面または膜表面に対して、平行または概略平行に配置される。つまり、複数の層は、チャネル長方向に広がる。

[0356]

例えば、上記のような3層の層状の結晶構造は、以下のような構造になる。第1の層は、当該第1の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第2の層は、当該第2の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。また、第3の層は、当該第3の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。

[0357]

上記結晶の結晶構造として、例えば、Y b F e ₂ O ₄型構造、Y b ₂ F e ₃ O ₇型構造、これらの変形型構造などがある。

[0358]

さらに、第1の層乃至第3の層のそれぞれは、一の金属元素、または、価数が同じである複数の金属元素と、酸素とで構成されることが好ましい。なお、第1の層を構成する一または複数の金属元素の価数と、第2の層を構成する一または複数の金属元素の価数と、は同じであることが好ましい。また、第1の層と、第2の層とは、同じ金属元素を有してもよい。また、第1の層を構成する一または複数の金属元素の価数と、第3の層を構成する一または複数の金属元素の価数と、は異なることが好ましい。

[0359]

上記構成にすることで、金属酸化物の結晶性を向上し、当該金属酸化物のキャリア移動度を高くすることができる。よって、当該金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

[0360]

本発明の一態様の金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。本発明の一態様の金属酸化物は、少なくともインジウム(In)または亜鉛(Zn)を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、錫、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、錫、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Mがガリウムである場合、本発明の一態様の金属酸化物は、インジウム、ガリウム、及び亜鉛の中から選ばれるいずれか一または複数種を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0361]

本発明の一態様の金属酸化物として、例えば、インジウム亜鉛酸化物(In-Zn酸化物)、インジウム錫酸化物(In-Sn酸化物)、インジウムチタン酸化物(In-Ti酸化物)、インジウムガリウム酸化物(In-Ga酸化物)、インジウムガリウムアルミニウム酸化物(In-Ga-Al酸化物)、インジウムガリウム錫酸化物(In-Ga-Sn酸化物、IGTOとも記す)、ガリウム亜鉛酸化物(Ga-Zn酸化物、GZOとも記す)、アルミニウム亜鉛酸化物(Al-Zn酸化物、AZOとも記す)、インジウムアルミニウム亜鉛酸化物(In-Al-Zn酸化物、IAZOとも記す)、インジウム錫亜鉛酸化物(In-Sn-Zn酸化物)、インジウムチタン亜鉛酸化物(In-Ti-Zn酸化物)、インジウムガリウム亜鉛酸化物(In-Ga-Zn酸化物、IGZOとも記す)、インジウムガリウム錫亜鉛酸化物(In-Ga-Sn-Zn酸化物、IGZTOとも記す)、インジウムガリウムアルミニウム亜鉛酸化物(In-Ga-Al-Zn酸化物、IGAZOまたはIAGZOとも記す)などを用いることができる。または、シリコンを含むインジウム錫酸化物、ガリウム錫酸化物(Ga-Sn酸化物)、アルミニウム錫酸化物(Al-Sn酸化物)などが挙げられる。

[0362]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

[0363]

なお、金属酸化物は、インジウムに代えて、周期番号が大きい金属元素の一種または複数種を有してもよい。又は、金属酸化物は、インジウムに加えて、周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、錫、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0364]

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0365]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0366]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0367]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対するInの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0368]

本実施の形態では、金属酸化物として、In-Ga-Zn酸化物を例に挙げて説明する場合がある。

[0369]

上記の層状の結晶構造を有する金属酸化物を形成するためには、一層ずつ原子を堆積することが好ましい。本発明の一態様の金属酸化物の成膜方法では、ALD法を用いるため、上記の層状の結晶構造を有する金属酸化物を形成することが容易である。

[0370]

[[金属酸化物を有するトランジスタ]]

続いて、金属酸化物（酸化物半導体）をトランジスタに用いる場合について説明する。以下では、半導体層にシリコンを用いたトランジスタをSiトランジスタと記す場合がある。

[0371]

本発明の一態様の金属酸化物（酸化物半導体）をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。また、微細化または高集積化されたトランジスタを実現できる。例えば、チャネル長が2 nm以上30 nm以下のトランジスタを作製しうる。

[0372]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすることができる。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0373]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0374]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0375]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、炭素、窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic %未満の元素は不純物といえる。

[0376]

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には1.1 eV）よりも大きいことが好ましく、好ましくは2 eV以上、より好ましくは2.5 eV以上、さらに好ましくは3.0 eV以上である。シリコンよりもバンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（I_{off}とも呼称する）を低減できる。

[0377]

また、Siトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（Short Channel Effect: SCEともいう）が発現する。そのため、Siトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、OSトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、OSトランジスタは、短チャネル効果がない、または短チャネル効果が極めて少ないトランジスタである。

[0378]

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（S値と表記することがある）の増大、漏れ電流の増大などがある。ここで、S値とは、ドレイン電圧一定にてドレイン電流を1桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

[0379]

また、短チャネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

[0380]

OSトランジスタは蓄積型のトランジスタであり、Siトランジスタは反転型のトランジスタである。したがって、Siトランジスタと比較して、OSトランジスタは、ソース領域ーチャネル形成領域間の特性長、及びドレイン領域ーチャネル形成領域間の特性長が小さい。したがって、OSトランジスタは、Siトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、OSトランジスタは、Siトランジスタよりも好適である。

[0381]

チャネル形成領域がi型または実質的にi型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタではConduction-Band-Lowering（CBL）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャネル形成領域との間の伝導帯下端のエネルギー差は、0.1 eV以上0.2 eV以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャネル形成領域が n^- 型の領域となり、ソース領域及びドレイン領域が n^+ 型の領域となる、 $n^+/n^-/n^+$ の蓄積型junction-lessトランジスタ構造、または、 $n^+/n^-/n^+$ の蓄積型non-junctionトランジスタ構造と、捉えることもできる。

[0382]

OSトランジスタを、上記の構造とすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。例えば、OSトランジスタのチャネル長又はゲート長が、20 nm以下、15 nm以下、10 nm以下、7 nm以下、または6 nm以下であって、1 nm以上、3 nm以上、または5 nm以上であつても、良好な電気特性を得ることができる。一方で、Siトランジスタは、短チャネル効果が発現するため、20 nm以下、または15 nm以下のゲート長とすることが困難な場合がある。したがって、OSトランジスタは、Siトランジスタと比較してチャネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さである。

[0383]

また、OSトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OSトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、50 GHz以上、好ましくは100 GHz以上、さらに好ましくは150 GHz以上とすることができる。

[0384]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、オフ電流が小さいこと、チャネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

[0385]

[[金属酸化物中の不純物]]

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

[0386]

酸化物半導体において、第14族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、SIMSにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

[0387]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0388]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{17} \text{ atoms/cm}^3$ 未満とする。

[0389]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物

半導体を用いたトランジスタはノーマリオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0390]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0391]

[その他の半導体材料]

酸化物半導体230は、トランジスタのチャネル形成領域を含む半導体層と言い換えることができる。半導体層に用いることができる半導体材料は、上述の金属酸化物に限られない。半導体層として、バンドギャップを有する半導体材料(ゼロギャップ半導体ではない半導体材料)を用いてもよい。例えば、単体元素の半導体、化合物半導体、又は層状物質(原子層物質、2次元材料などともいう)などを半導体材料に用いることが好ましい。

[0392]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供できる。

[0393]

半導体材料に用いることができる単体元素の半導体として、シリコン、及びゲルマニウムなどが挙げられる。半導体層に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン(LTPS: Low Temperature Poly Silicon)が挙げられる。

[0394]

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、及びヒ化ホウ素などが挙げられる。半導体層に用いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

[0395]

層状物質として、グラフェン、シリセン、炭窒化ホウ素、カルコゲン化物などがある。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、及びホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0396]

半導体層として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン(代表的には MoS_2)、セレン化モリブデン(代表的には MoSe_2)、モリブデンテルル(代表的には MoTe)

₂)、硫化タングステン（代表的にはWS₂）、セレン化タングステン（代表的にはWSe₂）、タングステネルル（代表的にはWTe₂）、硫化ハフニウム（代表的にはHfS₂）、セレン化ハフニウム（代表的にはHfSe₂）、硫化ジルコニウム（代表的にはZrS₂）、セレン化ジルコニウム（代表的にはZrSe₂）などが挙げられる。上述の遷移金属カルコゲナイドを、半導体層に適用することで、オン電流が大きい半導体装置を提供できる。

[0397]

本実施の形態は、他の実施の形態及び実施例と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0398]

（実施の形態2）

本実施の形態では、本発明の一態様に係る半導体装置900について説明する。半導体装置900は記憶装置として機能できる。

[0399]

図16に、半導体装置900の構成例を示すブロック図を示す。図16に示す半導体装置900は、駆動回路910と、メモリアレイ920と、を有する。メモリアレイ920は、1以上のメモリセル950を有する。図16では、メモリアレイ920がマトリクス状に配置された複数のメモリセル950を有する例を示している。

[0400]

メモリセル950に、実施の形態1で例示したトランジスタ200と容量素子400からなるメモリセル450を適用することができる。メモリセル450を用いることで、記憶装置の微細化及び高集積化を図ることができる。また、記憶装置の面積当たりの容量を大きくすることができる。また、記憶装置の動作速度を向上させることができる。

[0401]

駆動回路910は、PSW931（パワースイッチ）、PSW932、および周辺回路915を有する。周辺回路915は、周辺回路911、コントロール回路912（Control Circuit）、および電圧生成回路928を有する。

[0402]

半導体装置900において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0403]

また、信号BW、信号CE、および信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路912で生成してもよい。

[0404]

コントロール回路912は、半導体装置900の動作全般を制御する機能を有するロジック回路

である。例えば、コントロール回路 912 は、信号 CE、信号 GW および信号 BW を論理演算して、半導体装置 900 の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路 912 は、この動作モードが実行されるように、周辺回路 911 の制御信号を生成する。

[0405]

電圧生成回路 928 は負電圧を生成する機能を有する。信号 WAKE は、信号 CLK の電圧生成回路 928 への入力を制御する機能を有する。例えば、信号 WAKE として H レベルの信号が与えられると、信号 CLK が電圧生成回路 928 へ入力され、電圧生成回路 928 は負電圧を生成する。

[0406]

周辺回路 911 は、メモリセル 950 に対するデータの書き込みおよび読み出しをするための回路である。周辺回路 911 は、行デコーダ 941、列デコーダ 942 (Column Decoder)、行ドライバ 923、列ドライバ 924 (Column Driver)、入力回路 925 (Input Cir.)、出力回路 926 (Output Cir.)、およびセンスアンプ 927 (Sense Amplifier) を有する。

[0407]

行デコーダ 941 および列デコーダ 942 は、信号 ADDR をデコードする機能を有する。行デコーダ 941 は、アクセスする行を指定するための回路であり、列デコーダ 942 は、アクセスする列を指定するための回路である。行ドライバ 923 は、行デコーダ 941 が指定する行を選択する機能を有する。列ドライバ 924 は、データをメモリセル 950 に書き込む機能、メモリセル 950 からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0408]

入力回路 925 は、信号 WDA を保持する機能を有する。入力回路 925 が保持するデータは、列ドライバ 924 に出力される。入力回路 925 の出力データが、メモリセル 950 に書き込むデータ (Din) である。列ドライバ 924 がメモリセル 950 から読み出したデータ (Dout) は、出力回路 926 に出力される。出力回路 926 は、Dout を保持する機能を有する。また、出力回路 926 は、Dout を半導体装置 900 の外部に出力する機能を有する。出力回路 926 から出力されるデータが信号 RDA である。

[0409]

PSW931 は周辺回路 915 への V_{DD} の供給を制御する機能を有する。PSW932 は、行ドライバ 923 への V_{HM} の供給を制御する機能を有する。ここでは、半導体装置 900 の高電源電圧が V_{DD} であり、低電源電圧は GND (接地電位) である。また、 V_{HM} は、ワード線を高レベルにするために用いられる高電源電圧であり、 V_{DD} よりも高い。信号 PON1 によって PSW931 のオン・オフが制御され、信号 PON2 によって PSW932 のオン・オフが制御される。図 16 では、周辺回路 915 において、 V_{DD} が供給される電源ドメインの数を 1 としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0410]

図 17A 乃至図 17E を用いて、メモリセル 950 に適用できる他のメモリセルの構成例について説明する。

[0411]

[DOSRAM]

図 17A に、DRAM のメモリセルの回路構成例を示す。本明細書などにおいて、OS トランジス

タを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) と呼ぶ。メモリセル951は、トランジスタM1と、容量素子CAと、を有する。

[0412]

なお、トランジスタM1は、フロントゲート（単にゲートと呼ぶ場合がある。）、およびバックゲートを有していてもよい。このとき、バックゲートは定電位または信号が与えられる配線に接続されていてもよいし、フロントゲートとバックゲートとが接続されていてもよい。

[0413]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0414]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、および読み出し時において、配線CALには、低レベル電位（基準電位という場合がある。）を印加するのが好ましい。

[0415]

データの書き込みおよび読み出しは、配線WOLに高レベル電位を印加し、トランジスタM1を導通状態にし、配線BILと容量素子CAの第1端子を接続することによって行われる。

[0416]

なお、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子400を用いることが好ましい。トランジスタ200と容量素子400を有するメモリセル450を用いることで、メモリセルの占有面積を低減することができる。さらに、メモリセル450では、上記の通り寄生容量が低減されているため、動作速度を向上させることができる。また、OSトランジスタであるトランジスタ200は、オフ電流が極めて小さいという特性を有している。トランジスタM1としてトランジスタ200を用いることによって、トランジスタM1のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル951に対して多値データ、またはアナログデータを保持することができる。

[0417]

[NOSRAM]

図17Bに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。メモリセル953は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。本明細書などにおいて、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM (Nonvolatile Oxide Semiconductor RAM) と呼ぶ。

[0418]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続されている。容量素

子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0419]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位（基準電位という場合がある）を印加するのが好ましい。

[0420]

データの書き込みは、配線WOLに高レベル電位を印加し、トランジスタM2を導通状態にし、配線WBLと容量素子CBの第1端子を接続することによって行われる。具体的には、トランジスタM2が導通状態のときに、配線WBLに記録する情報に対応する電位を印加し、容量素子CBの第1端子、およびトランジスタM3のゲートに該電位を書き込む。その後、配線WOLに低レベル電位を印加し、トランジスタM2を非導通状態にすることによって、容量素子CBの第1端子の電位、およびトランジスタM3のゲートの電位を保持する。

[0421]

データの読み出しは、配線SLに所定の電位を印加することによって行われる。トランジスタM3のソースドレイン間に流れる電流、およびトランジスタM3の第1端子の電位は、トランジスタM3のゲートの電位、およびトランジスタM3の第2端子の電位によって決まるため、トランジスタM3の第1端子に接続されている配線RBLの電位を読み出すことによって、容量素子CBの第1端子（またはトランジスタM3のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CBの第1端子（またはトランジスタM3のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。

[0422]

また、例えば、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。そのメモリセルの回路構成例を図17Cに示す。メモリセル954は、メモリセル953の配線WBLと配線RBLを一本の配線BILとして、トランジスタM2の第2端子、およびトランジスタM3の第1端子が、配線BILと接続されている構成となっている。つまり、メモリセル954は、書き込みビット線と、読み出しビット線と、を1本の配線BILとして動作する構成となっている。

[0423]

なお、少なくともトランジスタM2及び容量素子CBにはトランジスタ200及び容量素子400を用いることが好ましい。また、トランジスタM2、およびトランジスタM3に上記実施の形態に記載のOSトランジスタを用いることが好ましい。トランジスタ200及び容量素子400を用いることで、メモリセルの占有面積を低減し、動作速度を向上させることができる。

[0424]

OSトランジスタは、オフ電流が極めて小さいという特性を有しているため、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル953、メモリセル954に対して多値データ、またはアナログデータを保持することができる。

[0425]

トランジスタM2としてOSトランジスタを適用したメモリセル953、及びメモリセル954は、NOSRAMの一態様である。

[0426]

なお、トランジスタM3としてSiトランジスタを用いてもよい。Siトランジスタは電界効果移動度を高めることができるほか、pチャネル型トランジスタとすることもできるため、回路設計の自由度を高めることができる。

[0427]

また、トランジスタM3としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

[0428]

また、図17Dに、3トランジスタ1容量素子のゲインセル型のメモリセル957を示す。メモリセル957は、トランジスタM4乃至トランジスタM6と、容量素子CCと、を有する。

[0429]

トランジスタM4の第1端子は、容量素子CCの第1端子と接続され、トランジスタM4の第2端子は、配線BILと接続され、トランジスタM4のゲートは、配線WOLと接続されている。容量素子CCの第2端子は、トランジスタM5の第1端子と、配線GNDLと、に電氣的に接続されている。トランジスタM5の第2端子は、トランジスタM6の第1端子と接続され、トランジスタM5のゲートは、容量素子CCの第1端子と接続されている。トランジスタM6の第2端子は、配線BILと接続され、トランジスタM6のゲートは配線RWLと接続されている。

[0430]

配線BILは、ビット線として機能し、配線WOLは、書き込みワード線として機能し、配線RWLは、読み出しワード線として機能する。配線GNDLは、低レベル電位を与える配線である。

[0431]

データの書き込みは、配線WOLに高レベル電位を印加し、トランジスタM4を導通状態にし、配線BILと容量素子CCの第1端子を接続することによって行われる。具体的には、トランジスタM4が導通状態のときに、配線BILに記録する情報に対応する電位を印加し、容量素子CCの第1端子、およびトランジスタM5のゲートに該電位を書き込む。その後、配線WOLに低レベル電位を印加し、トランジスタM4を非導通状態にすることによって、容量素子CCの第1端子の電位、およびトランジスタM5のゲートの電位を保持する。

[0432]

データの読み出しは、配線BILに所定の電位をプリチャージして、その後配線BILを電氣的に浮遊状態にし、かつ配線RWLに高レベル電位を印加することによって行われる。配線RWLが高レベル電位となるため、トランジスタM6は導通状態となり、配線BILとトランジスタM5の第2端子が電氣的に接続状態となる。このとき、トランジスタM5の第2端子には、配線BILの電位が印加されることになるが、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位に応じて、トランジスタM5の第2端子の電位、および配線BILの電位が変化する。ここで、配線BILの電位を読み出すことによって、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位を読み出すことができる。つまり、容量素子CCの第1端子（またはトランジスタM5のゲート）に保持されている電位から、このメモリセルに書き込まれている情報

を読み出すことができる。

[0433]

なお、少なくともトランジスタM4及び容量素子CCにはトランジスタ200及び容量素子400を用いることが好ましい。トランジスタ200及び容量素子400を用いることで、メモリセルの占有面積を低減し、動作速度を向上させることができる。

[0434]

なお、トランジスタM5およびM6としてSiトランジスタを用いてもよい。前述した通り、Siトランジスタは、半導体層に用いるシリコンの結晶状態などによっては、OSトランジスタよりも電界効果移動度が高くなる場合がある。

[0435]

また、トランジスタM5およびM6としてOSトランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

[0436]

[OS-SRAM]

図17Eに、OSトランジスタを用いたSRAM (Static Random Access Memory) の一例を示す。本明細書などにおいて、OSトランジスタを用いたSRAMを、OS-SRAM (Oxide Semiconductor-SRAM) と呼ぶ。なお、図17Eに示すメモリセル958は、バックアップ可能なSRAMのメモリセルである。

[0437]

メモリセル958は、トランジスタM7乃至トランジスタM10と、トランジスタMS1乃至トランジスタMS4と、容量素子CD1と、容量素子CD2と、を有する。なお、トランジスタMS1、およびトランジスタMS2は、pチャネル型トランジスタであり、トランジスタMS3、およびトランジスタMS4は、nチャネル型トランジスタである。

[0438]

トランジスタM7の第1端子は、配線BILと接続され、トランジスタM7の第2端子は、トランジスタMS1の第1端子と、トランジスタMS3の第1端子と、トランジスタMS2のゲートと、トランジスタMS4のゲートと、トランジスタM10の第1端子と、に接続されている。トランジスタM7のゲートは、配線WOLと接続されている。トランジスタM8の第1端子は、配線BILBと接続され、トランジスタM8の第2端子は、トランジスタMS2の第1端子と、トランジスタMS4の第1端子と、トランジスタMS1のゲートと、トランジスタMS3のゲートと、トランジスタM9の第1端子と、に接続されている。トランジスタM8のゲートは、配線WOLと接続されている。

[0439]

トランジスタMS1の第2端子は、配線VDLと電氣的に接続されている。トランジスタMS2の第2端子は、配線VDLと電氣的に接続されている。トランジスタMS3の第2端子は、配線GNDLと電氣的に接続されている。トランジスタMS4の第2端子は、配線GNDLと電氣的に接続されている。

[0440]

トランジスタM9の第2端子は、容量素子CD1の第1端子と接続され、トランジスタM9のゲートは、配線BRLと接続されている。トランジスタM10の第2端子は、容量素子CD2の第1端子と接続され、トランジスタM10のゲートは、配線BRLと接続されている。

[0441]

容量素子CD1の第2端子は、配線GNDLと接続され、容量素子CD2の第2端子は、配線GNDLと接続されている。

[0442]

配線BILおよび配線BILBは、ビット線として機能し、配線WOLは、ワード線として機能し、配線BRLは、トランジスタM9、およびトランジスタM10の導通状態、非導通状態を制御する配線である。

[0443]

配線VDLは、高レベル電位を与える配線であり、配線GNDLは、低レベル電位を与える配線である。

[0444]

データの書き込みは、配線WOLに高レベル電位を印加し、かつ配線BRLに高レベル電位を印加することによって行われる。具体的には、トランジスタM10が導通状態のときに、配線BILに記録する情報に対応する電位を印加し、トランジスタM10の第2端子側に該電位を書き込む。

[0445]

ところで、メモリセル958は、トランジスタMS1乃至トランジスタMS2によってインバータループを構成しているため、トランジスタM8の第2端子側に、該電位に対応するデータ信号の反転信号が入力される。トランジスタM8が導通状態であるため、配線BILBには、配線BILに印加されている電位、すなわち配線BILに入力されている信号の反転信号が出力される。また、トランジスタM9、およびトランジスタM10が導通状態であるため、トランジスタM7の第2端子の電位、およびトランジスタM8の第2端子の電位は、それぞれ容量素子CD2の第1端子、および容量素子CD1の第1端子に保持される。その後、配線WOLに低レベル電位を印加し、かつ配線BRLに低レベル電位を印加し、トランジスタM7乃至トランジスタM10を非導通状態にすることによって、容量素子CD1の第1端子、および容量素子CD2の第1端子の電位を保持する。

[0446]

データの読み出しは、あらかじめ配線BILおよび配線BILBを所定の電位にプリチャージした後に、配線WOLに高レベル電位を印加し、配線BRLに高レベル電位を印加することによって、容量素子CD1の第1端子の電位が、メモリセル958のインバータループによってリフレッシュされ、配線BILBに出力される。また、容量素子CD2の第1端子の電位が、メモリセル958のインバータループによってリフレッシュされ、配線BILに出力される。配線BILおよび配線BILBでは、それぞれプリチャージされた電位から容量素子CD2の第1端子の電位、および容量素子CD1の第1端子の電位に変動するため、配線BILまたは配線BILBの電位から、メモリセルに保持された電位を読み出すことができる。

[0447]

なお、トランジスタM7乃至トランジスタM10としてトランジスタ200を適用し、容量素子CD1及び容量素子CD2として容量素子400を適用することが好ましい。これにより書き込んだデータをトランジスタM7乃至トランジスタM10によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、トランジスタM7乃至トランジスタM10としてトランジスタ200を適用し、容量素子CD1及び容量素子CD2として容量素子400を適用することで、メモリ

セルの占有面積を低減し、動作速度を向上させることができる。

[0448]

なお、トランジスタMS1乃至トランジスタMS4としてSiトランジスタを用いてもよい。

[0449]

半導体装置900が有する駆動回路910とメモリアレイ920は同一平面上に設けてもよい。

また、図18Aに示すように、駆動回路910とメモリアレイ920を重ねて設けてもよい。駆動回路910とメモリアレイ920を重ねて設けることで、信号伝搬距離を短くすることができる。また、図18Bに示すように、駆動回路910上にメモリアレイ920を複数層重ねて設けてもよい。

[0450]

ここで、図19を用いて、駆動回路910上に複数のメモリアレイが積層された構造の一例について説明する。図19に示す記憶装置は、メモリセル450を含むメモリアレイ920がm(mは2以上の整数である)層積層された構成を有する。ここで、1層目(一番下)に設けられた層をメモリアレイ920[1]とし、2層目に設けられた上記層をメモリアレイ920[2]とし、m層目(一番上)に設けられた上記層をメモリアレイ920[m]として、図19に図示している。つまり、本発明の一態様の記憶装置は、メモリセル450を含む層を複数有し、複数の層が積層されている構成を有してもよい。また、各メモリアレイ920において、図13と同様に、導電体446、導電体445、及び導電体447が設けられる。

[0451]

図19に示すように、導電体446、導電体445、及び導電体447は上層または下層に設けられたメモリアレイ920を互いに接続する配線として機能する。例えば、メモリアレイ920[2]の導電体240は、導電体445、導電体447及び導電体446を介して、メモリアレイ920[1]の導電体240と電氣的に接続される。図19に示すように、導電体446、導電体445、及び導電体447は、メモリアレイ920の外側に設けることができる。また、導電体446、導電体445、及び導電体447をメモリアレイ920の内部に設けてもよい。

[0452]

また、上記のメモリアレイ920の下に駆動回路910が設けられる。このように、記憶装置の下に駆動回路を設ける構成にすることで、記憶装置の面積を増加させ、記憶装置の記憶容量を増加させることができる。

[0453]

図19では、駆動回路910が有するトランジスタ310を例示している。トランジスタ310は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部を含む半導体領域313、及びソース領域またはドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。また、隣接するトランジスタ310の間に素子分離層318が設けられることが好ましい。トランジスタ310は、pチャネル型のトランジスタ、あるいはnチャネル型のトランジスタのいずれでもよい。基板311としては、例えば単結晶シリコン基板を用いることができる。

[0454]

ここで、図19に示すトランジスタ310はチャネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いても

よい。このようなトランジスタ 310 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0455]

なお、図 19 に示すトランジスタ 310 は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

[0456]

メモリアレイ 920 と駆動回路 910 の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0457]

例えば、トランジスタ 310 上には、層間膜として、絶縁体 320、絶縁体 322、絶縁体 324、及び絶縁体 326 が順に積層して設けられている。また、絶縁体 320 及び絶縁体 322 には導電体 328 などが埋め込まれている。また、絶縁体 324 及び絶縁体 326 には導電体 330 などが埋め込まれている。なお、導電体 328 及び導電体 330 はコンタクトプラグまたは配線として機能する。

[0458]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために CMP 処理により平坦化されていてもよい。

[0459]

また、図 20 に示すように、駆動回路 910 において、トランジスタ 310 を含む層の上に、トランジスタ 350 を含む層をモノリシックに積層する構成にしてもよい。ここでトランジスタ 350 は、トランジスタ 200 と同様の構造を有する。また、図 20 に示すように、トランジスタ 310 を含む層と、トランジスタ 350 を含む層の間に、配線 360 を含む配線層を設けてもよい。なお、図 20 では、当該配線層において、単層の配線 360 が図視されているが、これに限られず、当該配線層において、複数の配線を積層する構成にしてもよい。

[0460]

ここで、トランジスタ 310 を p チャネル型の MOSFET (PMOS) とし、トランジスタ 350 を n チャネル型の MOSFET (NMOS) とすることができる。よって、トランジスタ 310 とトランジスタ 350 を組み合わせることで、CMOS (Complementary Metal Oxide Semiconductor) 回路を構成することができる。図 20 に示すように、トランジスタ 310 にトランジスタ 350 を重ねて配置することで、CMOS 回路の占有面積を低減し、高集積化させることができる。

[0461]

トランジスタ 350 は、配線 360 を含む配線層を介して、トランジスタ 310 と電氣的に接続することができる。なお、配線 360 を含む配線層を介さずに、ビアなどを用いて、トランジスタ 350 を含む層と、トランジスタ 310 を含む層を接続する構成にすることもできる。

[0462]

続いて、上記記憶装置などの半導体装置を備えることができる演算処理装置の一例について説明する。

[0463]

図21に、演算装置960のブロック図を示す。図21に示す演算装置960は、例えばCPUに適用することができる。また、演算装置960は、CPUよりも並列処理可能なプロセッサコアを多数（数10～数100個）有するGPU（Graphics Processing Unit）、TPU（Tensor Processing Unit）、NPU（Neural Processing Unit）などのプロセッサにも適用することができる。

[0464]

図21に示す演算装置960は、基板990上に、ALU991（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、タイミングコントローラ995、レジスタ996、レジスタコントローラ997、バスインターフェイス998、キャッシュ999、およびキャッシュインターフェイス989を有している。基板990は、半導体基板、SOI基板、ガラス基板などを用いる。書き換え可能なROMおよびROMインターフェイスを有してもよい。また、キャッシュ999およびキャッシュインターフェイス989は、別チップに設けてもよい。

[0465]

キャッシュ999は、別チップに設けられたメインメモリとキャッシュインターフェイス989を介して接続される。キャッシュインターフェイス989は、メインメモリに保持されているデータの一部をキャッシュ999に供給する機能を有する。またキャッシュインターフェイス989は、キャッシュ999に保持されているデータの一部を、バスインターフェイス998を介してALU991またはレジスタ996等に出力する機能を有する。

[0466]

後述するように、演算装置960上に積層して、メモリアレイ920を設けることができる。メモリアレイ920はキャッシュとして用いることができる。このとき、キャッシュインターフェイス989はメモリアレイ920に保持されているデータをキャッシュ999に供給する機能を有している。またこのとき、キャッシュインターフェイス989の一部に、駆動回路910を有することが好ましい。

[0467]

なお、キャッシュ999を設けず、メモリアレイ920のみをキャッシュとして用いることもできる。

[0468]

図21に示す演算装置960は、その構成を簡略化して示した一例にすぎず、実際の演算装置960はその用途によって多種多様な構成を有している。例えば、図21に示す演算装置960を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの構成とすることが好ましい。コアの数が多ければ、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば2個、好ましくは4個、より好ましくは8個、さらに好ましくは12個、さらに好ましくは16個またはそれ以上とすることが好ましい。また、サーバ用途など非常に高い演算性能が求められる場合には、16個以上、好ましくは32個以上、さらに好ましくは64個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置960が内部演算回路、デー

タバスなどで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとしてすることができる。

[0469]

バスインターフェイス998を介して演算装置960に入力された命令は、インストラクションデコーダ993に入力され、デコードされた後、ALUコントローラ992、インタラプトコントローラ994、レジスタコントローラ997、タイミングコントローラ995に入力される。

[0470]

ALUコントローラ992、インタラプトコントローラ994、レジスタコントローラ997、タイミングコントローラ995は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ992は、ALU991の動作を制御するための信号を生成する。また、インタラプトコントローラ994は、演算装置960のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ997は、レジスタ996のアドレスを生成し、演算装置960の状態に応じてレジスタ996の読み出しまたは書き込みを行う。

[0471]

また、タイミングコントローラ995は、ALU991、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、およびレジスタコントローラ997の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ995は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0472]

図21に示す演算装置960において、レジスタコントローラ997は、ALU991からの指示に従い、レジスタ996における保持動作の選択を行う。すなわち、レジスタ996が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ996内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ996内のメモリセルへの電源電圧の供給を停止することができる。

[0473]

メモリアレイ920と演算装置960は、重ねて設けることができる。図22Aおよび図22Bに半導体装置970Aの斜視図を示す。半導体装置970Aは、演算装置960上に、メモリアレイが設けられた層930を有する。層930には、メモリアレイ920L1、メモリアレイ920L2、及びメモリアレイ920L3が設けられている。演算装置960と各メモリアレイは、互いに重なる領域を有する。半導体装置970Aの構成を分かりやすくするため、図22Bでは演算装置960および層930を分離して示している。

[0474]

メモリアレイを有する層930と演算装置960を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減できる。

[0475]

メモリアレイを有する層 930 と演算装置 960 とを積層する方法としては、演算装置 960 上に直接メモリアレイを有する層 930 を積層する方法（モノリシック積層ともいう）を用いてもよいし、演算装置 960 と層 930 とをそれぞれ異なる基板上に形成し、2つの基板を貼り合せ、貫通ビアまたは導電膜の接合技術（Cu-Cu 接合など）を用いて電氣的に接続する方法を用いてもよい。前者は貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、作製コストを削減できる。

[0476]

ここで、演算装置 960 にキャッシュ 999 を有さず、層 930 に設けられるメモリアレイ 920 L1、920 L2、及び 920 L3 は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ 920 L1 を L1 キャッシュ（レベル 1 キャッシュともいう）として用い、メモリアレイ 920 L2 を L2 キャッシュ（レベル 2 キャッシュともいう）として用い、メモリアレイ 920 L3 を L3 キャッシュ（レベル 3 キャッシュともいう）として用いることができる。3つのメモリアレイのうち、メモリアレイ 920 L3 が最も容量が大きく、且つ、最もアクセス頻度が低い。また、メモリアレイ 920 L1 が最も容量が小さく、且つ最もアクセス頻度が高い。

[0477]

なお、演算装置 960 に設けられるキャッシュ 999 を L1 キャッシュとして用いる場合は、層 930 に設けられる各メモリアレイを、それぞれ下位のキャッシュ、またはメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

[0478]

また、図 22B に示すように、駆動回路 910 L1、駆動回路 910 L2、及び駆動回路 910 L3 が設けられている。駆動回路 910 L1 は接続電極 940 L1 を介してメモリアレイ 920 L1 と接続されている。同様に駆動回路 910 L2 は接続電極 940 L2 を介してメモリアレイ 920 L2 と、駆動回路 910 L3 は接続電極 940 L3 を介してメモリアレイ 920 L3 と接続されている。

[0479]

なお、ここではキャッシュとして機能するメモリアレイを 3 つにする場合を示したが、1 つまたは 2 つにしてもよいし、4 つ以上にしてもよい。

[0480]

メモリアレイ 920 L1 をキャッシュとして用いる場合、駆動回路 910 L1 はキャッシュインターフェイス 989 の一部として機能してもよいし、駆動回路 910 L1 がキャッシュインターフェイス 989 と接続される構成としてもよい。同様に、駆動回路 910 L2、駆動回路 910 L3 も、キャッシュインターフェイス 989 の一部として機能する、またはこれと接続される構成としてもよい。

[0481]

メモリアレイ 920 をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路 910 が有するコントロール回路 912 によって決定される。コントロール回路 912 は、演算装置 960 から供給された信号に基づいて、半導体装置 900 が有する複数のメモリセル 950 の一部を RAM として機能させることができる。

[0482]

半導体装置 900 は、複数のメモリセル 950 の一部をキャッシュとして機能させ、他の一部をメ

インメモリとして機能させることができる。すなわち半導体装置 900 はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る半導体装置 900 は、例えば、ユニバーサルメモリとして機能できる。

[0483]

また、一つのメモリアレイ 920 を有する層 930 を演算装置 960 に重ねて設けてもよい。図 23A に半導体装置 970B の斜視図を示す。

[0484]

半導体装置 970B では、一つのメモリアレイ 920 を複数のエリアに分けて、それぞれ異なる機能で使うことができる。図 23A では、領域 L1 を L1 キャッシュとして、領域 L2 を L2 キャッシュとして、領域 L3 を L3 キャッシュとして用いる場合の例を示している。

[0485]

また半導体装置 970B では、領域 L1 乃至領域 L3 のそれぞれの容量を状況に応じて変えることができる。例えば L1 キャッシュの容量を増やしたい場合には、領域 L1 の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

[0486]

また、複数のメモリアレイを積層してもよい。図 23B に半導体装置 970C の斜視図を示している。

[0487]

半導体装置 970C は、メモリアレイ 920L1 を有する層 930L1 と、その上にメモリアレイ 920L2 を有する層 930L2 と、その上にメモリアレイ 920L3 を有する層 930L3 とが積層されている。最も演算装置 960 に物理的に近いメモリアレイ 920L1 を上位のキャッシュに用い、最も遠いメモリアレイ 920L3 を下位のキャッシュまたはメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理能力を向上させることができる。

[0488]

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

[0489]

(実施の形態 3)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0490]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図 24A に、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図 24A では、最上層から順に、CPU などの演算処理装置にレジスタ (register) として混載されるメモリ、L1 キャッシュ (L1 cache)、L2 キャッシュ (L2 cache)、L3 キャッシュ (L3 cache)、メインメモリ (main memory)、ストレージ (storage) 等がある。なお、ここでは L3 キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

[0491]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0492]

キャッシュは、メインメモリに保持されているデータの一部を複製して保持する機能を有する。使用頻繁が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

[0493]

メインメモリは、ストレージから読み出されたプログラム、データなどを保持する機能を有する。

[0494]

ストレージは、長期保存が必要なデータ、及び演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば3D NANDなどの高容量且つ不揮発性の記憶装置を用いることができる。

[0495]

本発明の一態様に係る酸化物半導体を用いた記憶装置（OSメモリ（OS memory））は、動作速度が速く、長期間のデータ保持が可能である。そのため図24Aに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

[0496]

また、図24Bでは、キャッシュの一部にSRAMを、他の一部に本発明の一態様のOSメモリを適用した場合の例を示す。

[0497]

キャッシュのうち、最も下位に位置するものを、LLC（Last Level cache）と呼ぶことができる。LLCはこれよりも上位のキャッシュよりも速い動作速度は求められないが、大きな記憶容量を有することが望ましい。本発明の一態様のOSメモリは動作速度が速く、長期間のデータ保持が可能であるため、LLCに好適に用いることができる。なお、本発明の一態様のOSメモリは、FLC（Final Level cache）にも適用することができる。

[0498]

例えば、図24Bに示すように、上位のキャッシュ（L1キャッシュ、L2キャッシュ等）にSRAMを用い、LLCに本発明の一態様のOSメモリを用いる構成とすることができる。また、図24Bに示すように、メインメモリにはOSメモリだけでなくDRAMを適用することもできる。

[0499]

なお、本実施の形態は、本明細書で示す他の実施の形態及び実施例と適宜組み合わせることができる。

[0500]

（実施の形態4）

本実施の形態では、上記実施の形態で説明した半導体装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンター（Data Center：DCとも呼称する）について説明する。本発明の一態様の半導体装置を用いた、電子機器、大型計算機、宇宙用機器、およびデータセンターは、低消費電力化といった高性能化に有効である。

[0501]

[電子機器]

次に、電子機器6500の斜視図を図25Aに示す。図25Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、光源6508、及び制御装置6509などを有する。なお、制御装置6509としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部6502、制御装置6509などに適用することができる。

[0502]

図25Bに示す電子機器6600は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器6600は、筐体6611、キーボード6612、ポインティングデバイス6613、外部接続ポート6614、表示部6615、制御装置6616などを有する。なお、制御装置6616としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部6615、制御装置6616などに適用することができる。なお、本発明の一態様の半導体装置を、上述の制御装置6509、及び制御装置6616に用いることで、消費電力を低減させることができるため好適である。

[0503]

[大型計算機]

次に、大型計算機5600の斜視図を図25Cに示す。図25Cに示す大型計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。なお、大型計算機5600を、スーパーコンピュータと呼称してもよい。

[0504]

計算機5620は、例えば、図25Dに示す斜視図の構成とすることができる。図25Dにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿入されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0505]

図25Eに示すPCカード5621は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図25Eには、半導体装置5626、半導体装置5627、および半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、および半導体装置5628の説明を参照することができる。

[0506]

接続端子 5629 は、マザーボード 5630 のスロット 5631 に挿入することができる形状を有しており、接続端子 5629 は、PC カード 5621 とマザーボード 5630 とを接続するためのインターフェースとして機能する。接続端子 5629 の規格としては、例えば、PCIe などが挙げられる。

[0507]

接続端子 5623、接続端子 5624、接続端子 5625 は、例えば、PC カード 5621 に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PC カード 5621 によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子 5623、接続端子 5624、接続端子 5625 のそれぞれの規格としては、例えば、USB、SATA (Serial ATA)、SCSI (Small Computer System Interface) などが挙げられる。また、接続端子 5623、接続端子 5624、接続端子 5625 から映像信号を出力する場合、それぞれの規格としては、HDMI (登録商標) などが挙げられる。

[0508]

半導体装置 5626 は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード 5622 が備えるソケット (図示しない。) に対して差し込むことで、半導体装置 5626 とボード 5622 を電氣的に接続することができる。

[0509]

半導体装置 5627 は、複数の端子を有しており、当該端子をボード 5622 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5627 とボード 5622 を電氣的に接続することができる。半導体装置 5627 としては、例えば、FPGA、GPU、CPU などが挙げられる。

[0510]

半導体装置 5628 は、複数の端子を有しており、当該端子をボード 5622 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5628 とボード 5622 を電氣的に接続することができる。半導体装置 5628 としては、例えば、記憶装置などが挙げられる。

[0511]

大型計算機 5600 は並列計算機としても機能できる。大型計算機 5600 を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

[0512]

[宇宙用機器]

本発明の一態様の半導体装置は、情報を処理および記憶する機器などの宇宙用機器に好適に用いることができる。

[0513]

本発明の一態様の半導体装置は、OS トランジスタを含むことができる。当該 OS トランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射する環境において好適に用いることができる。例えば、OS トランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

[0514]

図 26 には、宇宙用機器の一例として、人工衛星 6800 を示している。人工衛星 6800 は、機

体 6 8 0 1 と、ソーラーパネル 6 8 0 2 と、アンテナ 6 8 0 3 と、二次電池 6 8 0 5 と、制御装置 6 8 0 7 と、を有する。なお、図 2 6 においては、宇宙空間に惑星 6 8 0 4 を例示している。なお、宇宙空間とは、例えば、高度 1 0 0 k m 以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含む場合がある。

[0 5 1 5]

また、図 2 6 には、図示していないが、二次電池 6 8 0 5 に、バッテリーマネジメントシステム (BMS ともいう)、またはバッテリー制御回路を設けてもよい。上述のバッテリーマネジメントシステム、またはバッテリー制御回路に、OS トランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

[0 5 1 6]

また、宇宙空間は、地上に比べて 1 0 0 倍以上、放射線量の高い環境である。なお、放射線として、例えば、X 線、及びガンマ線に代表される電磁波 (電磁放射線)、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

[0 5 1 7]

ソーラーパネル 6 8 0 2 に太陽光が照射されることにより、人工衛星 6 8 0 0 が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星 6 8 0 0 が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星 6 8 0 0 を動作させるために、人工衛星 6 8 0 0 に二次電池 6 8 0 5 を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0 5 1 8]

人工衛星 6 8 0 0 は、信号を生成することができる。当該信号は、アンテナ 6 8 0 3 を介して送信され、たとえば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星 6 8 0 0 が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星 6 8 0 0 は、衛星測位システムを構成することができる。

[0 5 1 9]

また、制御装置 6 8 0 7 は、人工衛星 6 8 0 0 を制御する機能を有する。制御装置 6 8 0 7 としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置 6 8 0 7 には、本発明の一態様である半導体装置を用いると好適である。OS トランジスタは、Si トランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0 5 2 0]

また、人工衛星 6 8 0 0 は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星 6 8 0 0 は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星 6 8 0 0 は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星 6 8 0 0 は、たとえば地球観測衛星としての機能を有することができる。

[0 5 2 1]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇

宙用機器に好適に用いることができる。

[0522]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

[0523]

[データセンター]

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージおよびサーバの設置、データを保持するための安定した電源の確保、またはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

[0524]

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

[0525]

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

[0526]

図27にデータセンターに適用可能なストレージシステムを示す。図27に示すストレージシステム6900は、ホスト6901(Host Computerと図示)として複数のサーバ6901sbを有する。また、ストレージ6903(Storageと図示)として複数の記憶装置6903mdを有する。ホスト6901とストレージ6903とは、ストレージエリアネットワーク6904(SAN:Storage Area Networkと図示)およびストレージ制御回路6902(Storage Controllerと図示)を介して接続されている形態を図示している。

[0527]

ホスト6901は、ストレージ6903に記憶されたデータにアクセスするコンピュータに相当する。ホスト6901同士は、ネットワークで互いに接続されていてもよい。

[0528]

ストレージ6903は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているが、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ6903のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力に要する時間を短くしている。

[0529]

上述のキャッシュメモリは、ストレージ制御回路6902およびストレージ6903内に用いられる。ホスト6901とストレージ6903との間でやり取りされるデータは、ストレージ制御回路

6902およびストレージ6903内の当該キャッシュメモリに記憶されたのち、ホスト6901またはストレージ6903に出力される。

[0530]

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

[0531]

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素(CO₂)に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

[0532]

本実施の形態に示す構成、構造、方法などは、他の実施の形態及び実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[符号の説明]

[0533]

200a: トランジスタ、200b: トランジスタ、200: トランジスタ、220a: 導電体、220A: 導電膜、220b: 導電体、220: 導電体、230a: 酸化物半導体、230b: 酸化物半導体、230c: 酸化物半導体、230: 酸化物半導体、240a: 導電体、240A: 導電膜、240b: 導電体、240B: 導電膜、240: 導電体、250a: 絶縁体、250b: 絶縁体、250c: 絶縁体、250d: 絶縁体、250: 絶縁体、260a: 導電体、260A: 導電膜、260b: 導電体、260c: 導電体、260: 導電体、270a: 絶縁体、270A: 絶縁膜、270b: 絶縁体、270: 絶縁体、280a: 絶縁体、280b: 絶縁体、280c: 絶縁体、280: 絶縁体、283: 絶縁体、287A: 塗布膜、287: 犠牲層、288: 絶縁体、290: 開口部、310: トランジスタ、311: 基板、313: 半導体領域、314a: 低抵抗領域、314b: 低抵抗領域、315: 絶縁体、316: 導電体、318: 素子分離層、320: 絶縁体、322: 絶縁体、324: 絶縁体、326: 絶縁体、328: 導電体、330: 導電体、350: トランジスタ、360: 配線、370a: 酸化物半導体層、370b: 酸化物半導体層、370c: 酸化物半導体層、370d: 酸化物半導体層、372a: 領域、372b: 領域、372c: 領域、400a: 容量素子、400b: 容量素子、400: 容量素子、410a: 導電体、410b: 導電体、410: 導電体、415: 導電体、420A: 導電膜、420: 導電体、425A: 絶縁膜、425: 絶縁体、430A: 絶縁膜、430: 絶縁体、440: 絶縁体、445: 導電体、446: 導電体、447: 導電体、450a: メモリセル、450b: メモリセル、450: メモリセル、480a: 絶縁体、480b: 絶縁体、480: 絶縁体、485: 絶縁体、490: 開口部、900: 半導体装置、910: 駆動回路、911: 周辺回路、912: コントロール回路、915: 周辺回路、920[1]: メモリアレイ、920[2]: メモリアレイ、920[m]: メモリアレイ、920: メモリアレイ、923: 行ドライバ、924: 列ドライバ、925: 入力回路、926: 出力回路、927: センスアンプ、928: 電圧生成回路、930: 層、931: PSW、932: PSW、941: 行デコーダ、

942 : 列デコーダ、950 : メモリセル、951 : メモリセル、953 : メモリセル、954 : メモリセル、957 : メモリセル、958 : メモリセル、960 : 演算装置、970A : 半導体装置、970B : 半導体装置、970C : 半導体装置、989 : キャッシュインターフェイス、990 : 基板、991 : ALU、992 : ALUコントローラ、993 : インストラクションデコーダ、994 : インタラプトコントローラ、995 : タイミングコントローラ、996 : レジスタ、997 : レジスタコントローラ、998 : バスインターフェイス、999 : キャッシュ、5600 : 大型計算機、5610 : ラック、5620 : 計算機、5621 : PCカード、5622 : ボード、5623 : 接続端子、5624 : 接続端子、5625 : 接続端子、5626 : 半導体装置、5627 : 半導体装置、5628 : 半導体装置、5629 : 接続端子、5630 : マザーボード、5631 : スロット、6500 : 電子機器、6501 : 筐体、6502 : 表示部、6503 : 電源ボタン、6504 : ボタン、6505 : スピーカ、6506 : マイク、6507 : カメラ、6508 : 光源、6509 : 制御装置、6600 : 電子機器、6611 : 筐体、6612 : キーボード、6613 : ポインティングデバイス、6614 : 外部接続ポート、6615 : 表示部、6616 : 制御装置、6800 : 人工衛星、6801 : 機体、6802 : ソーラーパネル、6803 : アンテナ、6804 : 惑星、6805 : 二次電池、6807 : 制御装置、6900 : ストレージシステム、6901sb : サーバ、6901 : ホスト、6902 : ストレージ制御回路、6903md : 記憶装置、6903 : ストレージ

請求の範囲

[請求項 1]

第 1 乃至第 3 の絶縁体と、容量素子と、前記容量素子の上のトランジスタと、を有し、
前記容量素子は、第 1 の導電体と、前記第 1 の導電体上の第 4 の絶縁体と、前記第 4 の絶縁体上の第 2 の導電体と、を有し、
前記第 1 の絶縁体は、前記第 2 の導電体上に配置され、
前記第 2 の絶縁体には、第 1 の開口部が設けられ、
前記第 1 の導電体、前記第 4 の絶縁体、前記第 2 の導電体、及び前記第 1 の絶縁体のそれぞれは、少なくとも一部が、前記第 1 の開口部の中に配置され、
前記トランジスタは、前記第 1 の絶縁体上の第 3 の導電体と、前記第 3 の導電体及び前記第 3 の絶縁体上の第 4 の導電体と、前記第 1 の絶縁体上の酸化物半導体と、前記酸化物半導体上の第 5 の絶縁体と、前記第 5 の絶縁体上の第 5 の導電体と、を有し、
前記第 3 の導電体、前記第 3 の絶縁体、及び前記第 4 の導電体には、前記第 1 の絶縁体に達する第 2 の開口部が設けられ、
前記酸化物半導体、前記第 5 の絶縁体、及び前記第 5 の導電体のそれぞれは、少なくとも一部が、前記第 2 の開口部の中に配置され、
前記第 3 の導電体は、前記第 2 の導電体の上面に接し、
前記酸化物半導体は、前記第 3 の導電体の側面及び前記第 4 の導電体の側面に接し、
前記第 5 の導電体は、前記第 1 の絶縁体に重ねて配置される、
半導体装置。

[請求項 2]

請求項 1 において、
前記酸化物半導体は、前記第 2 の開口部の中において底面の少なくとも一部が除去されている、
半導体装置。

[請求項 3]

請求項 2 において、
前記第 5 の絶縁体は、前記第 1 の絶縁体の上面に接する、
半導体装置。

[請求項 4]

請求項 3 において、
前記第 4 の導電体は、第 1 の層と、前記第 1 の層上の第 2 の層と、を有し、
前記第 1 の層は、前記第 2 の層より導電性が高く、
前記第 2 の層は、金属酸化物を有する、
半導体装置。

[請求項 5]

請求項 4 において、
前記第 1 の層は、タンゲステンを有する、
半導体装置。

[請求項 6]

請求項 5 において、

前記第 2 の層は、インジウムを有する、
半導体装置。

[請求項 7]

請求項 4 において、
前記第 2 の層と前記第 5 の導電体の間に、第 6 の絶縁体が配置される、
半導体装置。

[請求項 8]

請求項 1 乃至請求項 7 のいずれか一項において、
前記第 3 の導電体は、金属酸化物を有する、
半導体装置。

[請求項 9]

請求項 8 において、
前記第 3 の導電体は、インジウムを有する、
半導体装置。

[請求項 10]

請求項 8 において、
前記第 4 の絶縁体は、ハフニウム及びジルコニウムを含む金属酸化物を有する、
半導体装置。

[請求項 11]

請求項 8 において、
前記第 1 の開口部は、前記第 1 の絶縁体の上面近傍における幅が、前記第 1 の絶縁体の下面近傍に
おける幅より大きい、
半導体装置。

[請求項 12]

請求項 8 において、
前記第 1 の開口部の深さは、前記第 2 の開口部の深さより大きい、
半導体装置。

[請求項 13]

請求項 8 において、
前記第 1 の絶縁体の上面と、前記第 2 の導電体の上面が面一である、
半導体装置。

[請求項 14]

請求項 8 において、
前記第 2 の導電体の側面と、前記第 4 の絶縁体の側面と、前記第 3 の導電体の側面が面一である、
半導体装置。

図1A

図1B

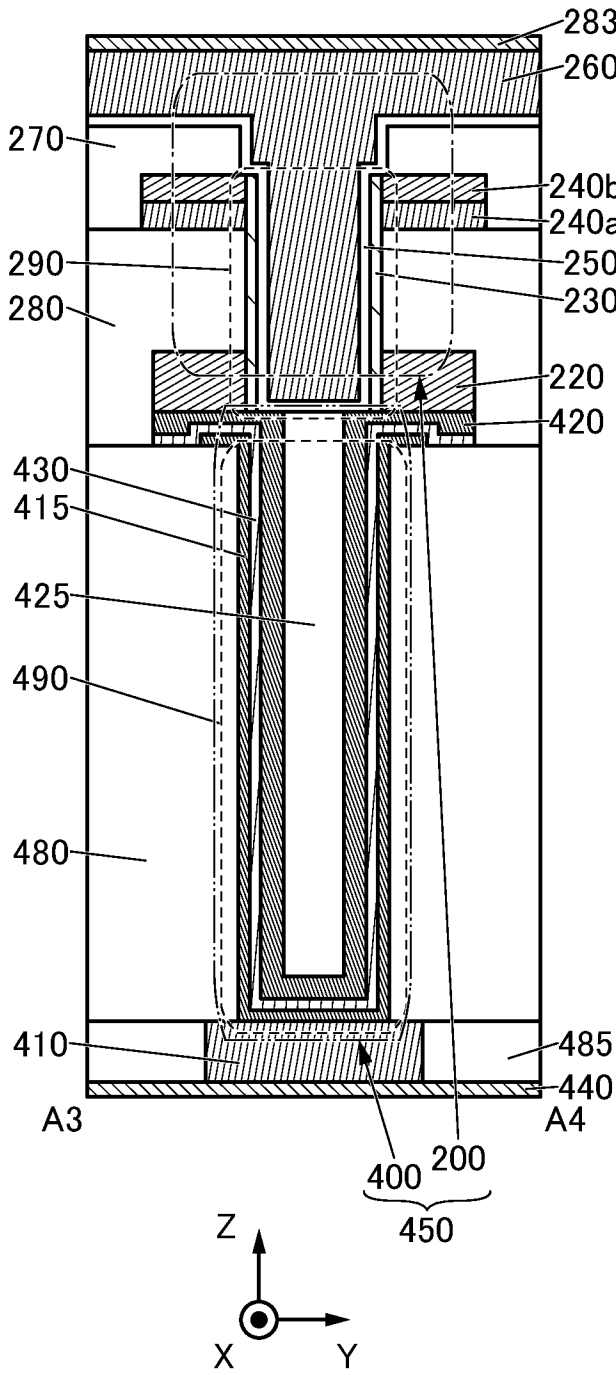
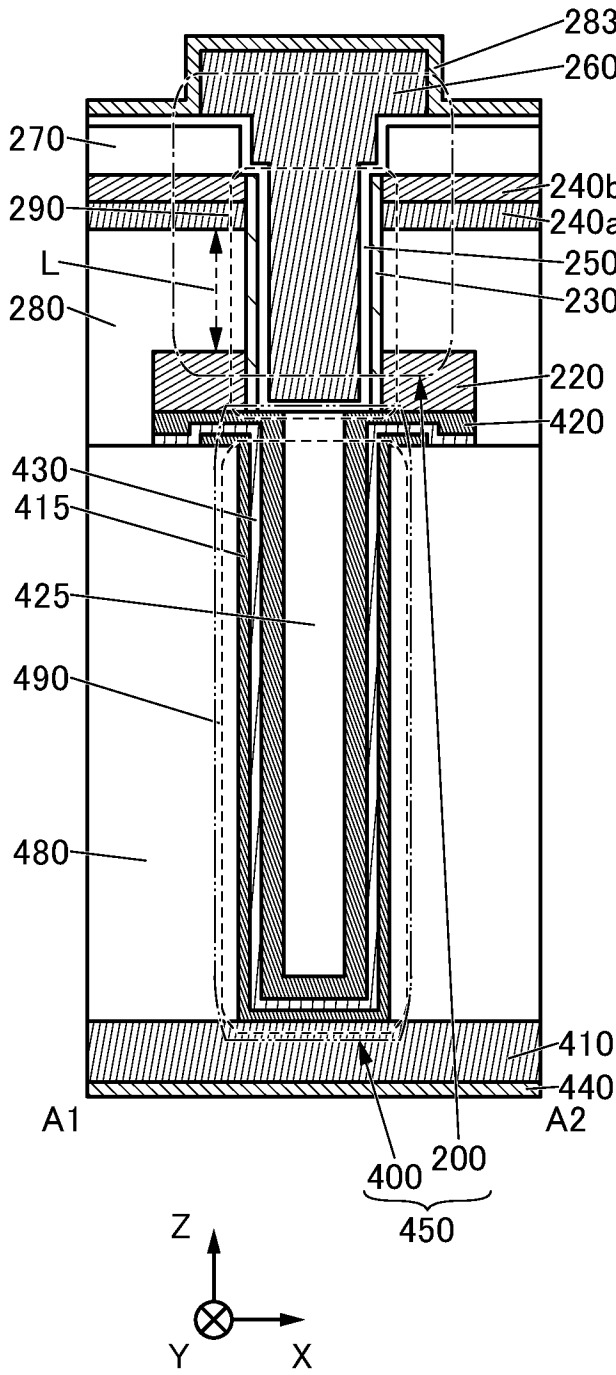


図2A

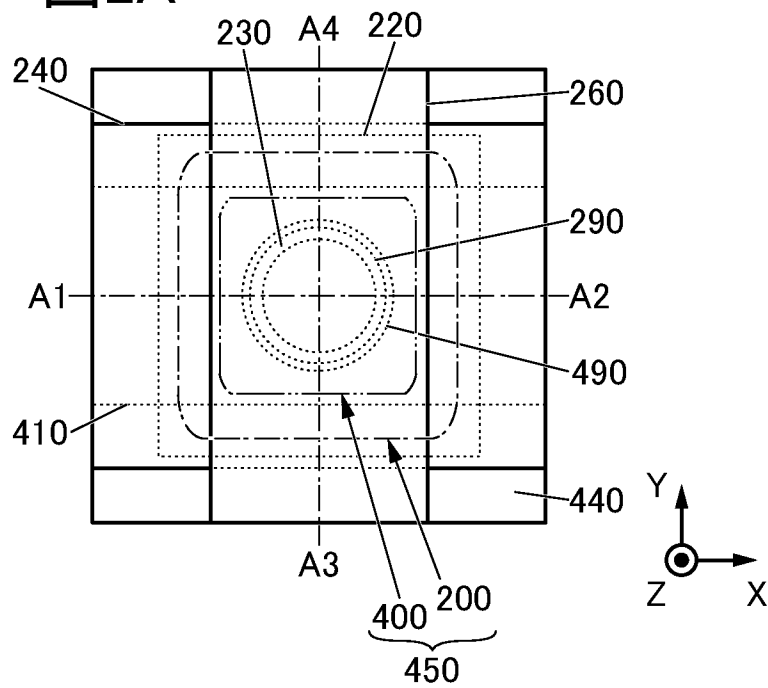


図2B

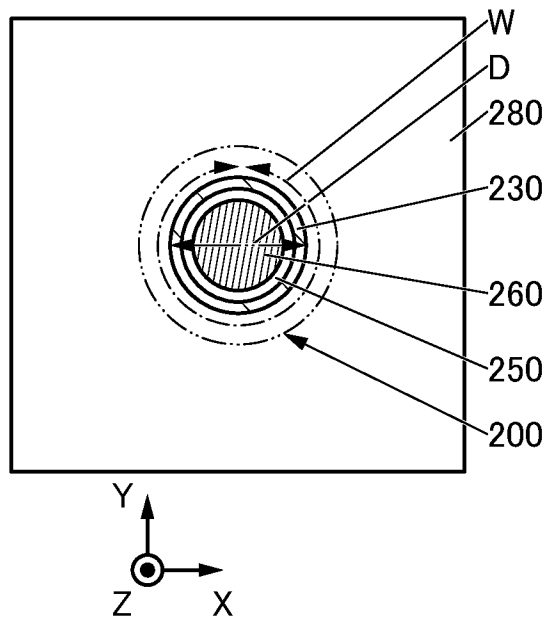


図2C

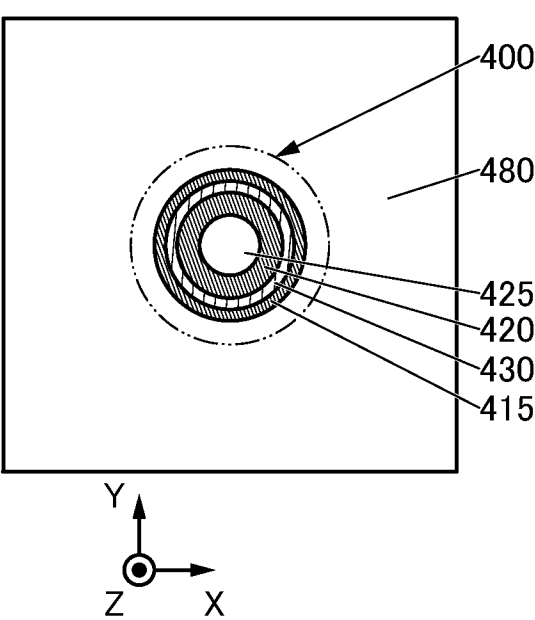


図2D

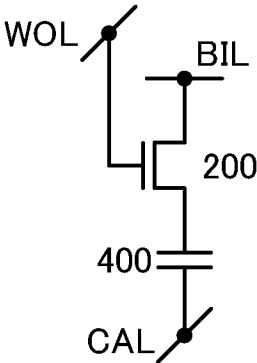
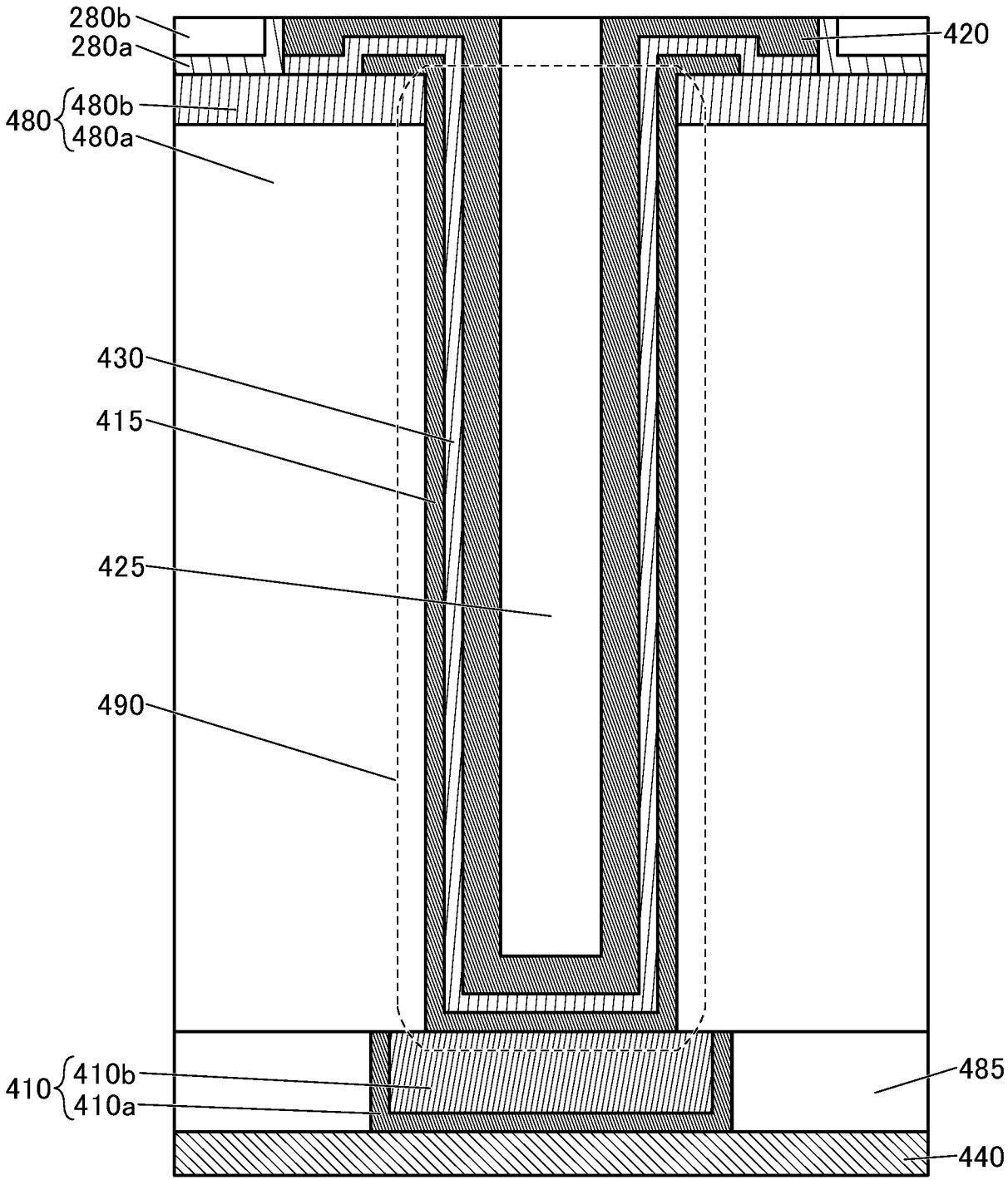


図4

4/27

400



A3

A4

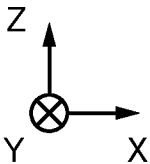


図5A

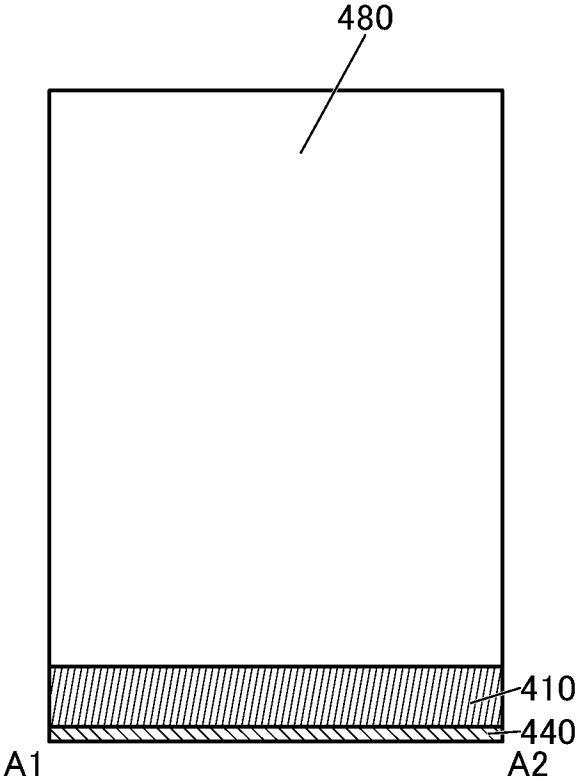


図5B

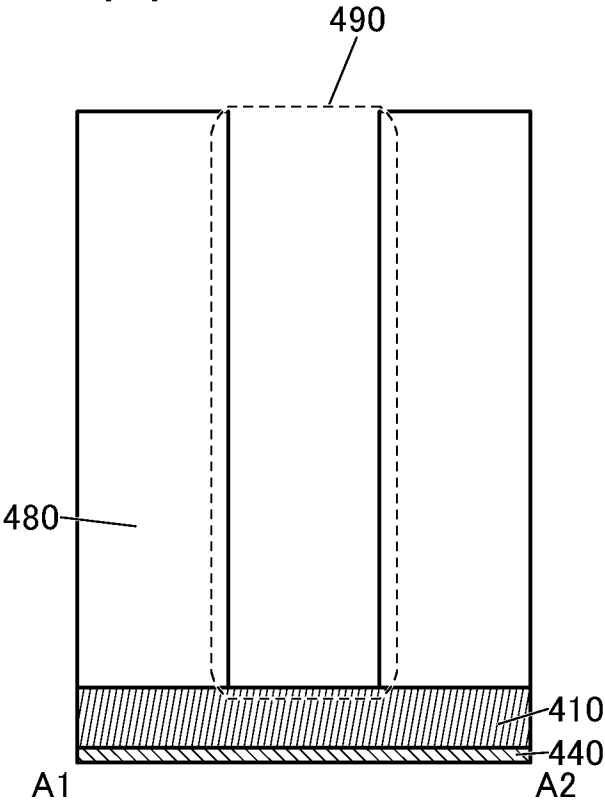


図5C

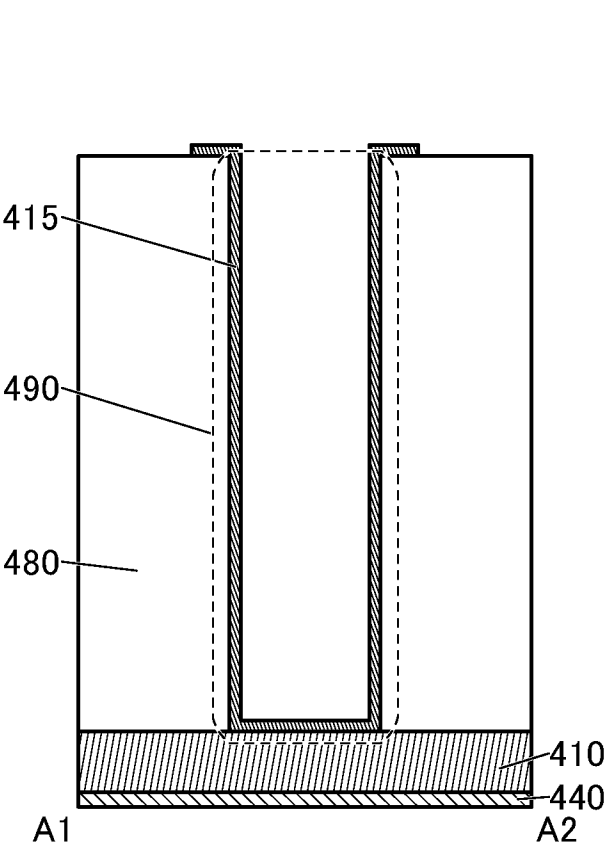


図5D

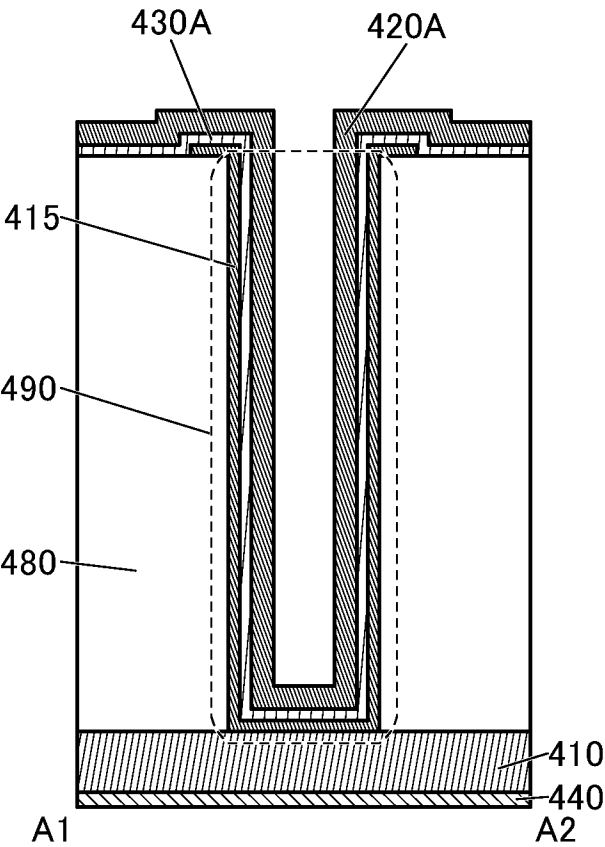


図6A

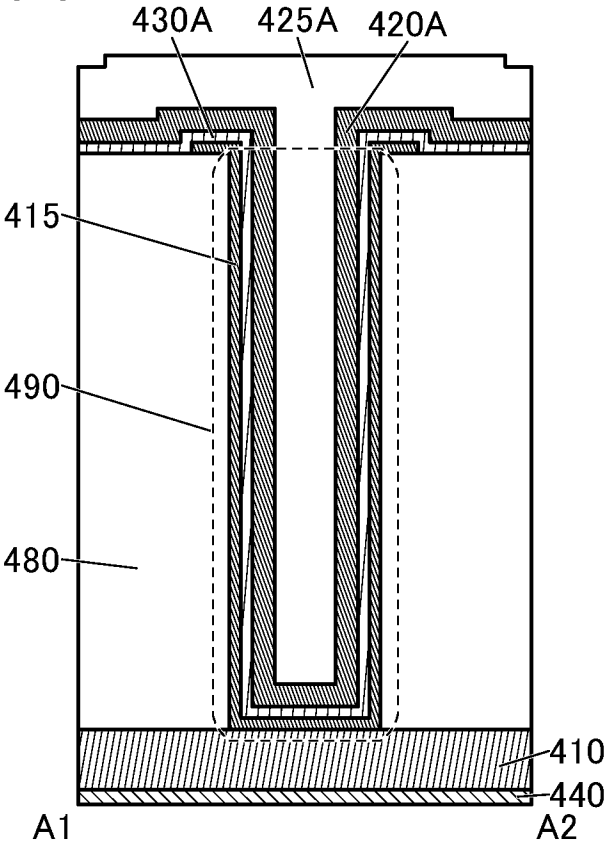


図6B

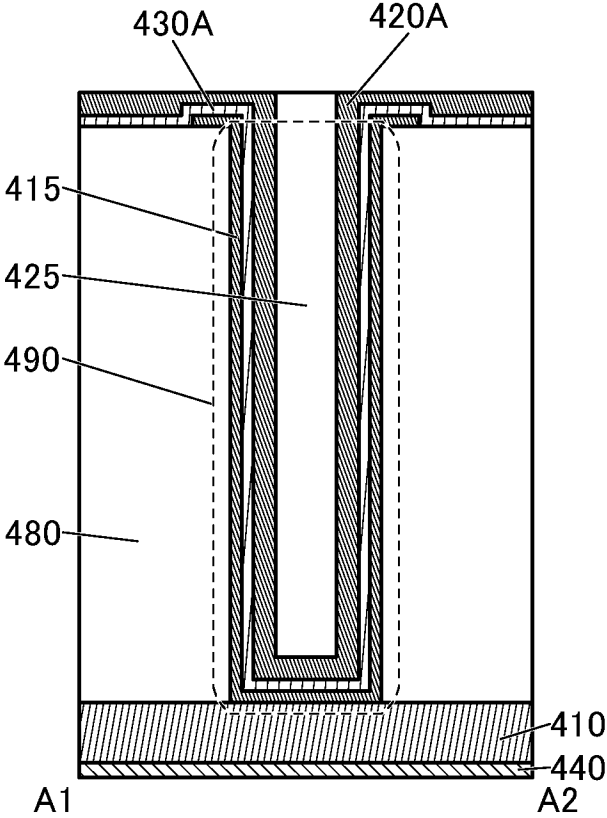


図6C

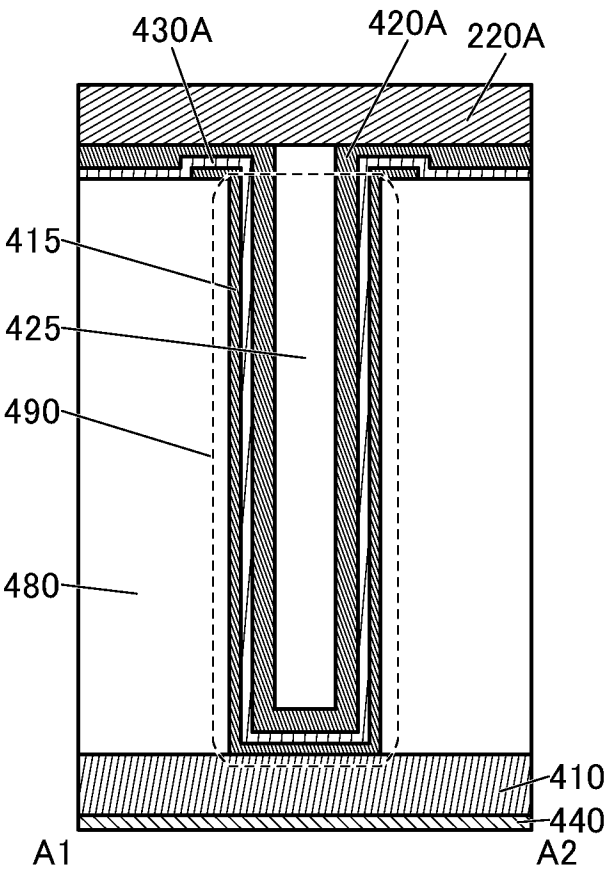


図6D

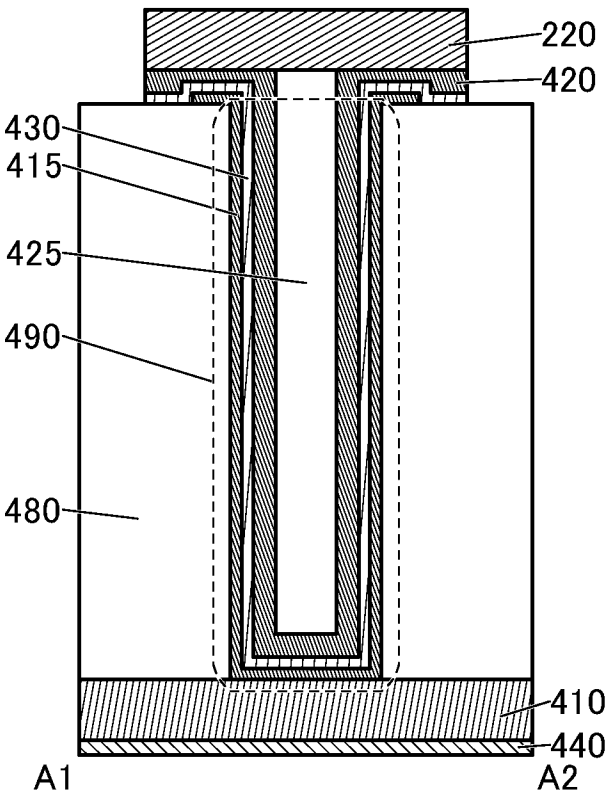


图7A

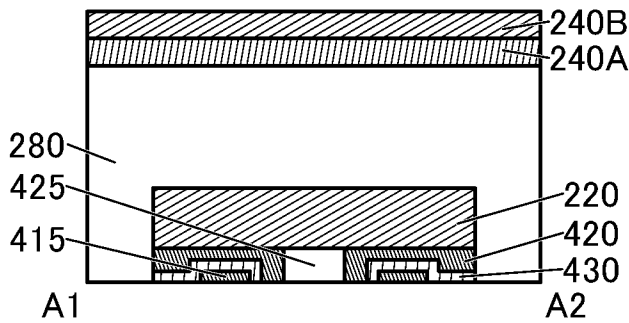


图7B

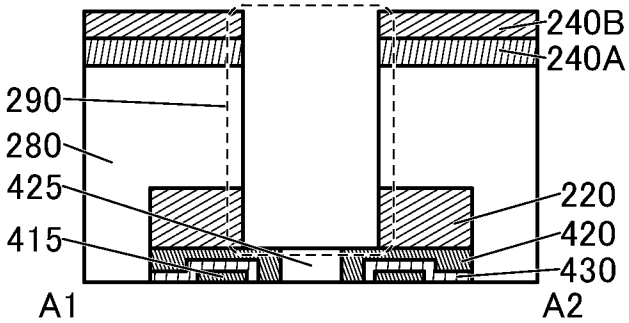


图7C

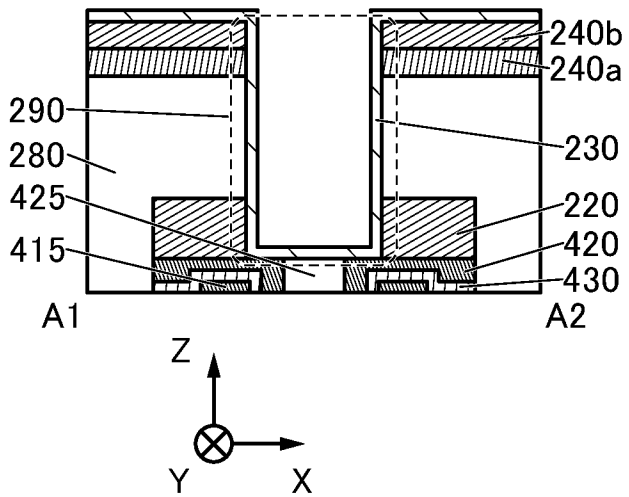


图7D

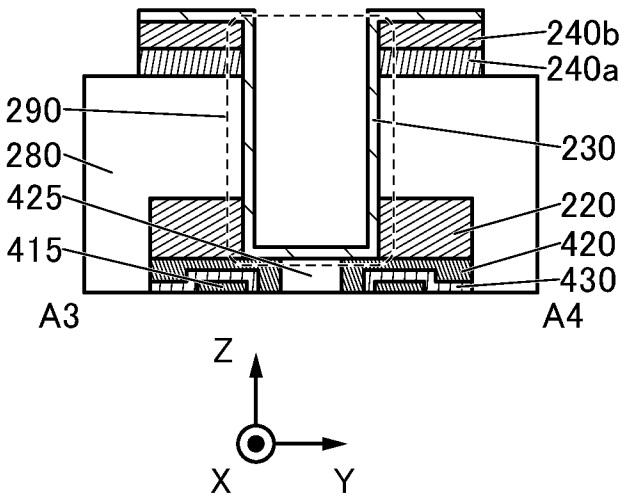


图7E

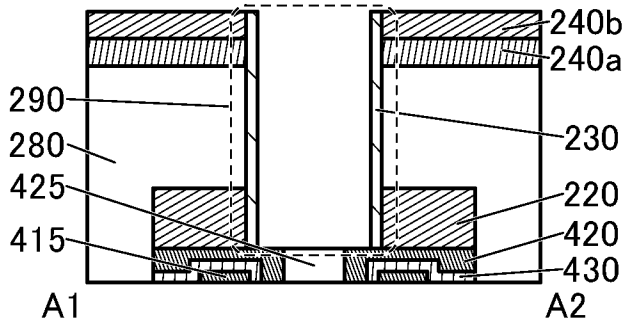
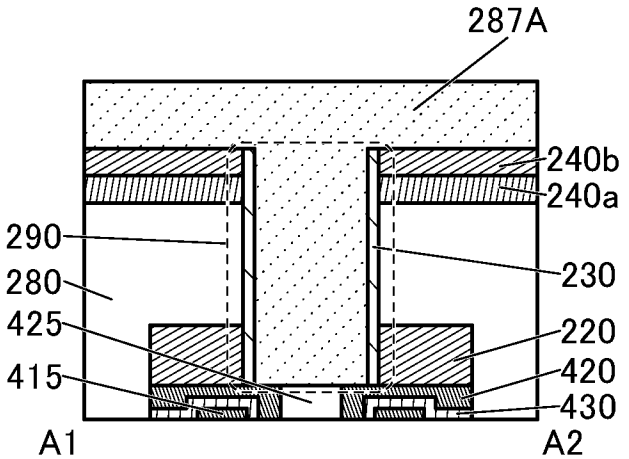


图7F



8/27

図 8A

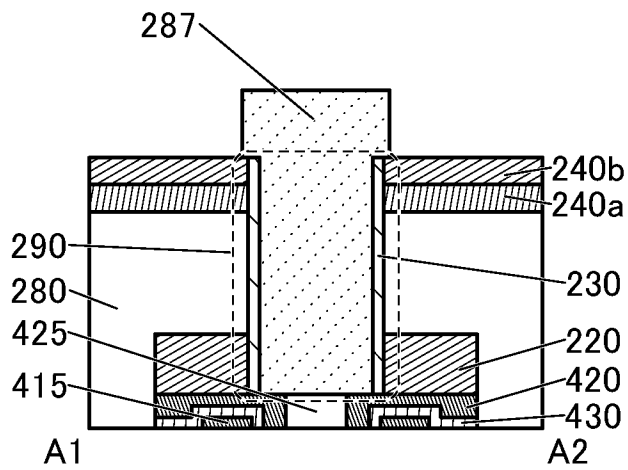


図 8B

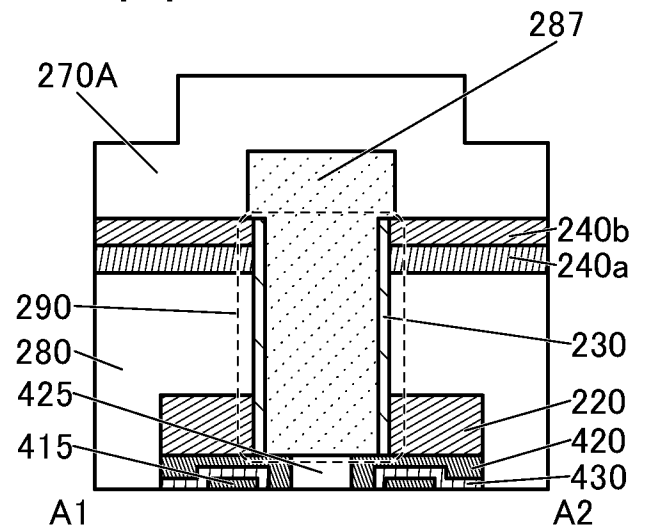


図 8C

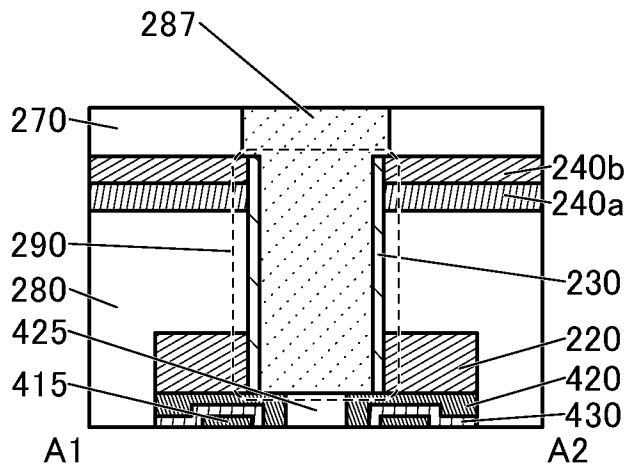


図8D

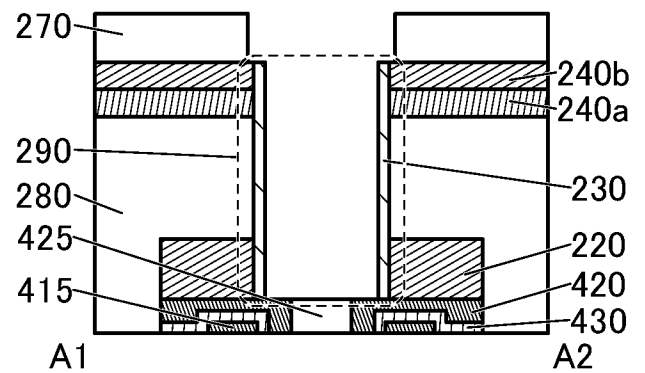


図 8E

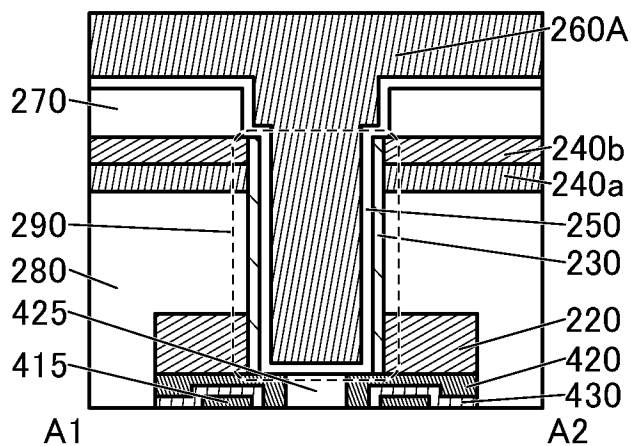


図8F

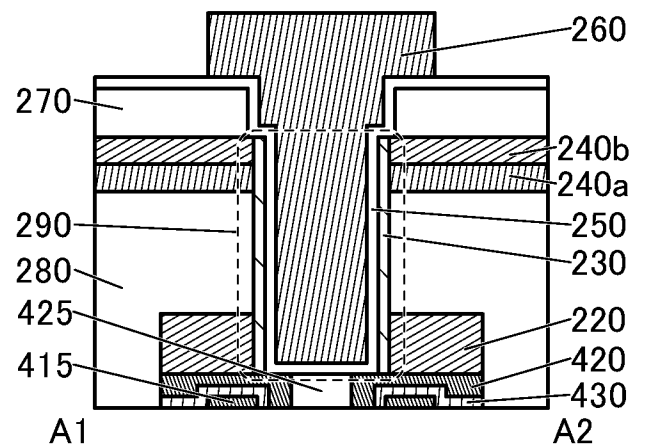


図9A

図9B

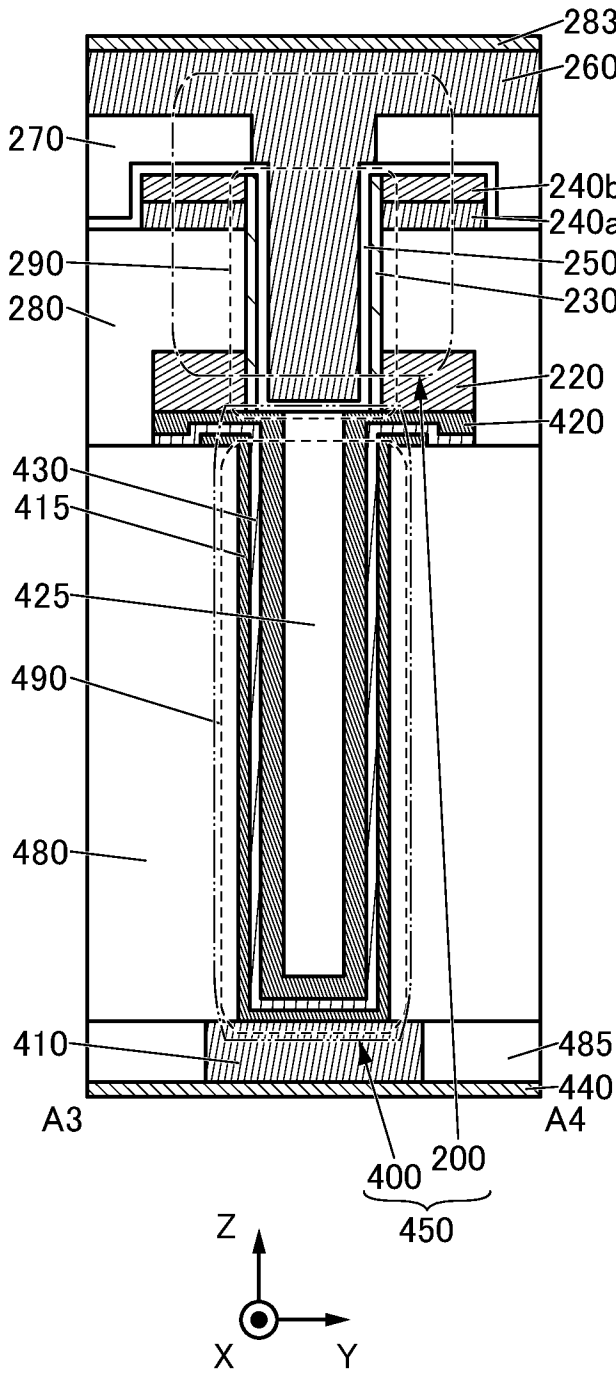
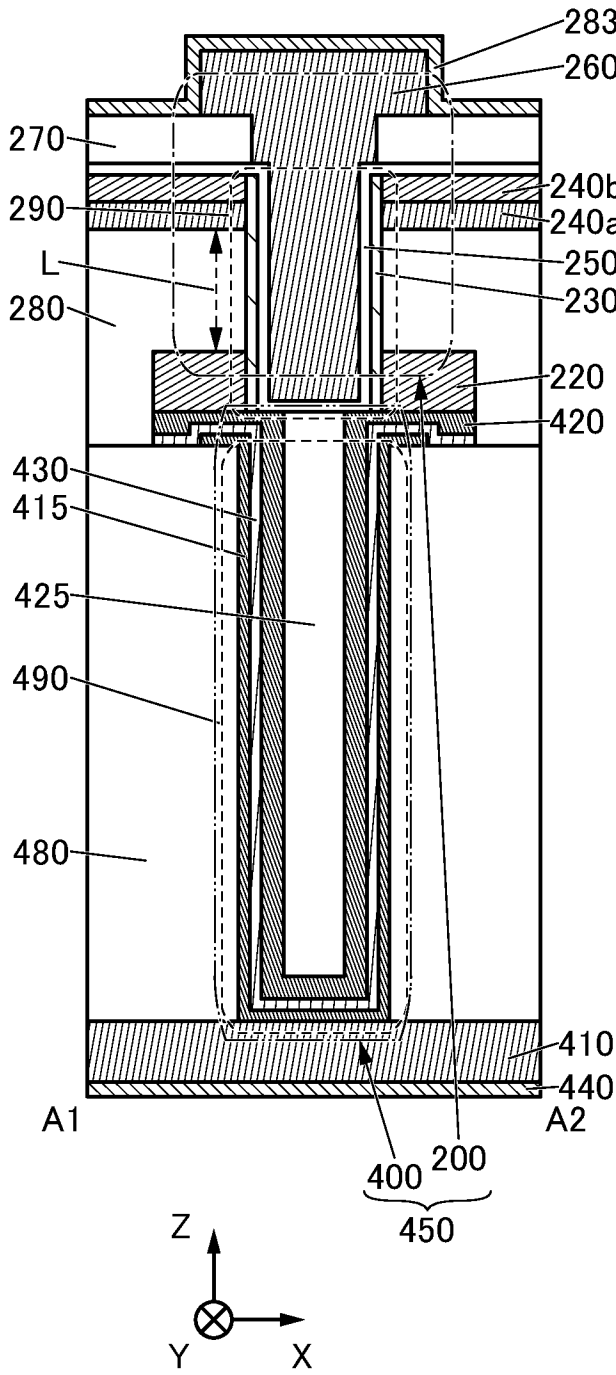
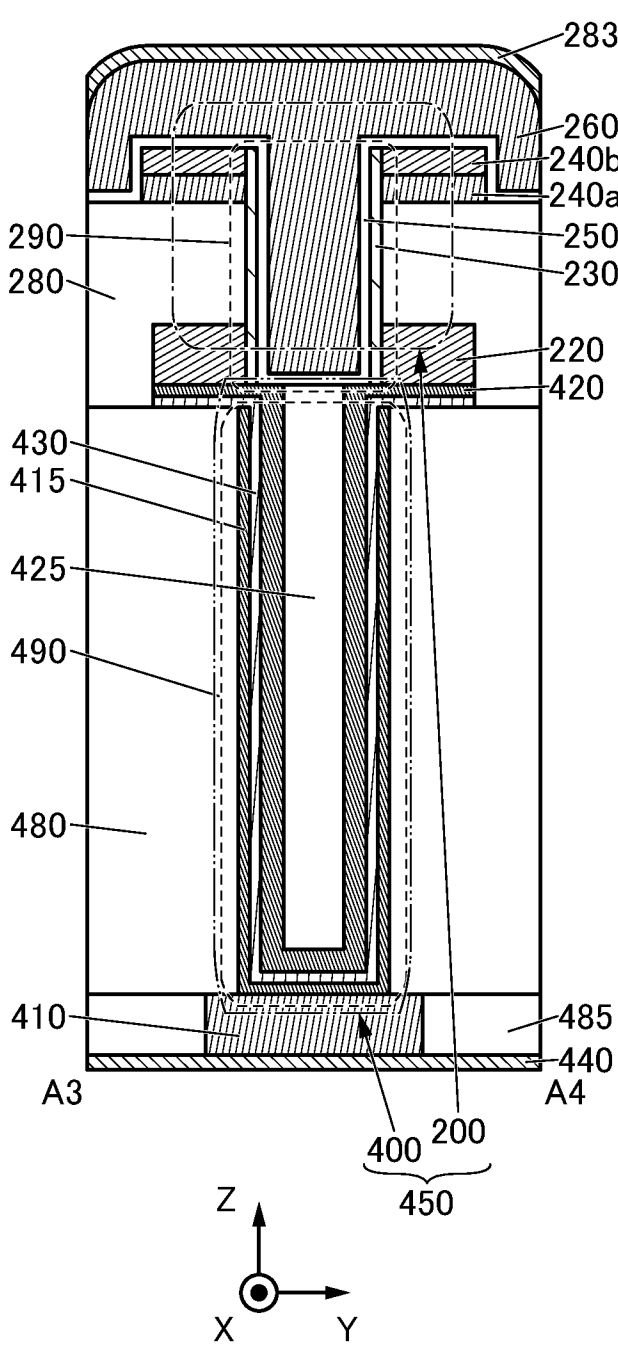
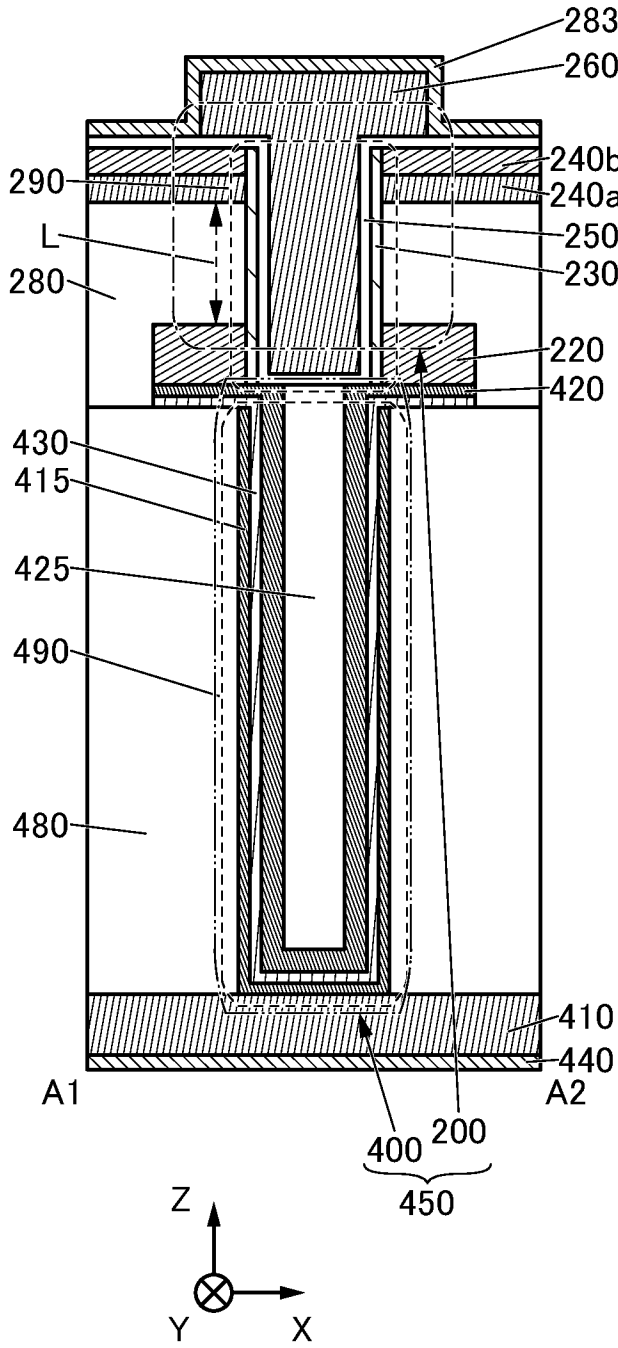


図10A

図10B



11/27

図11A

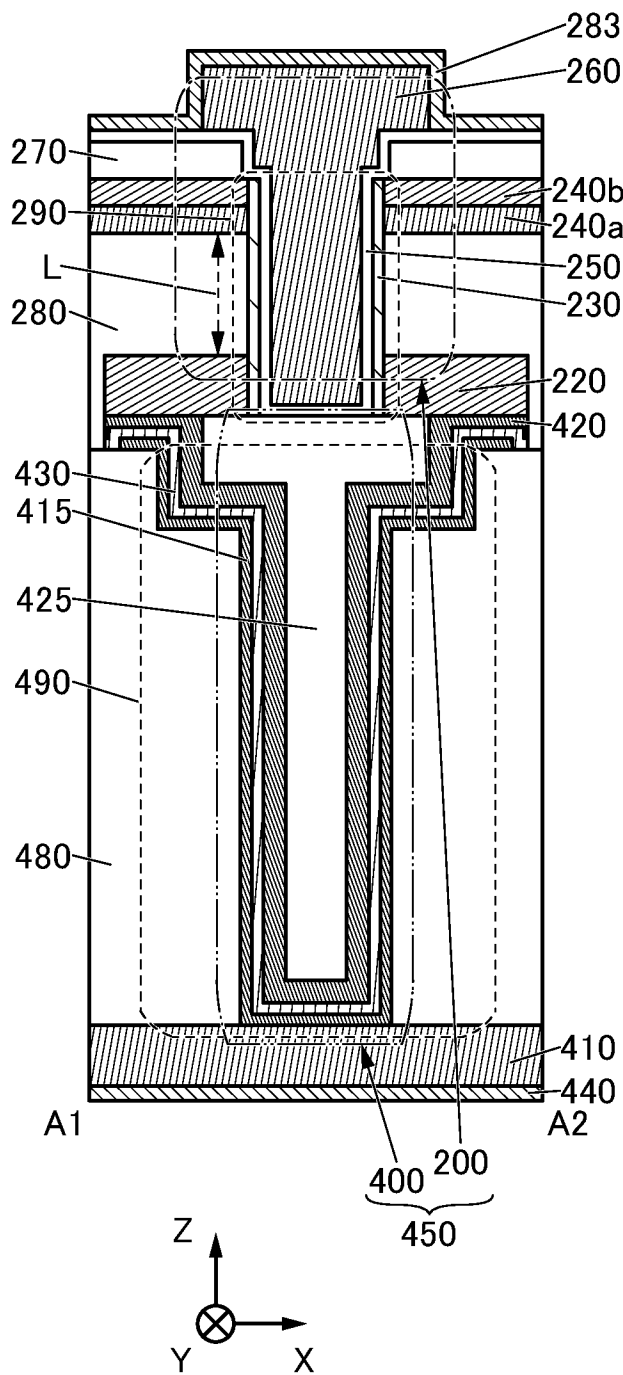


図11B

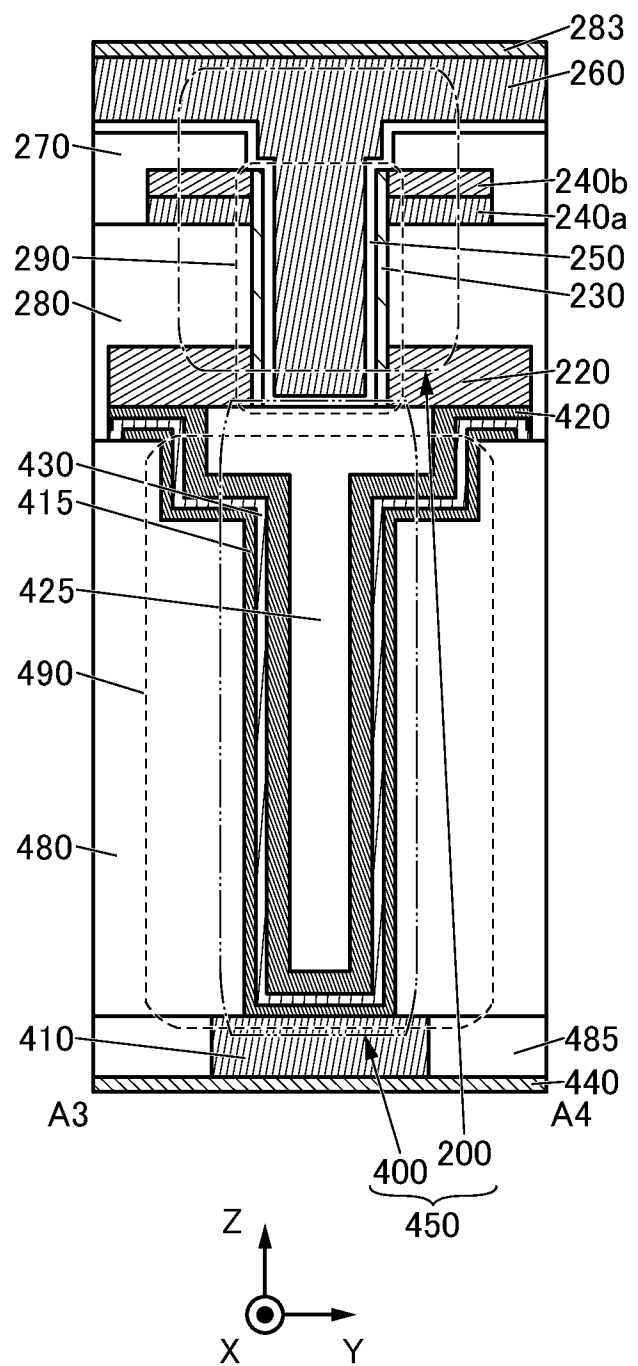


図 12A

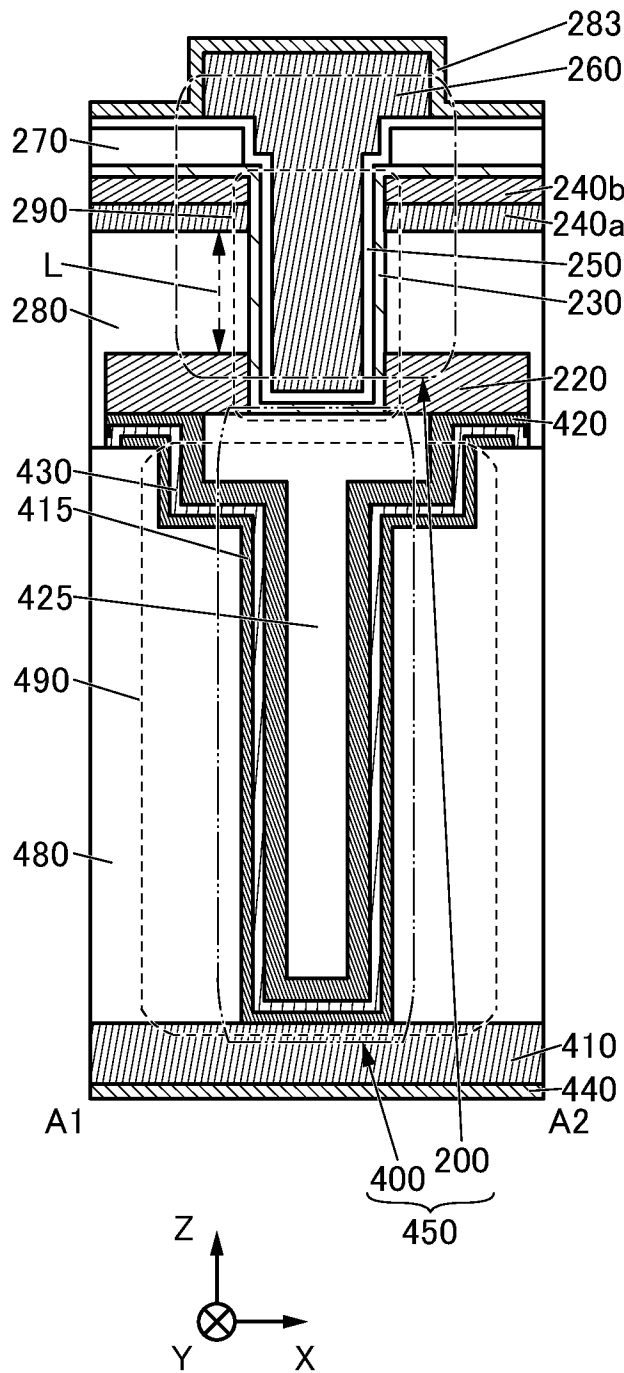


図 12B

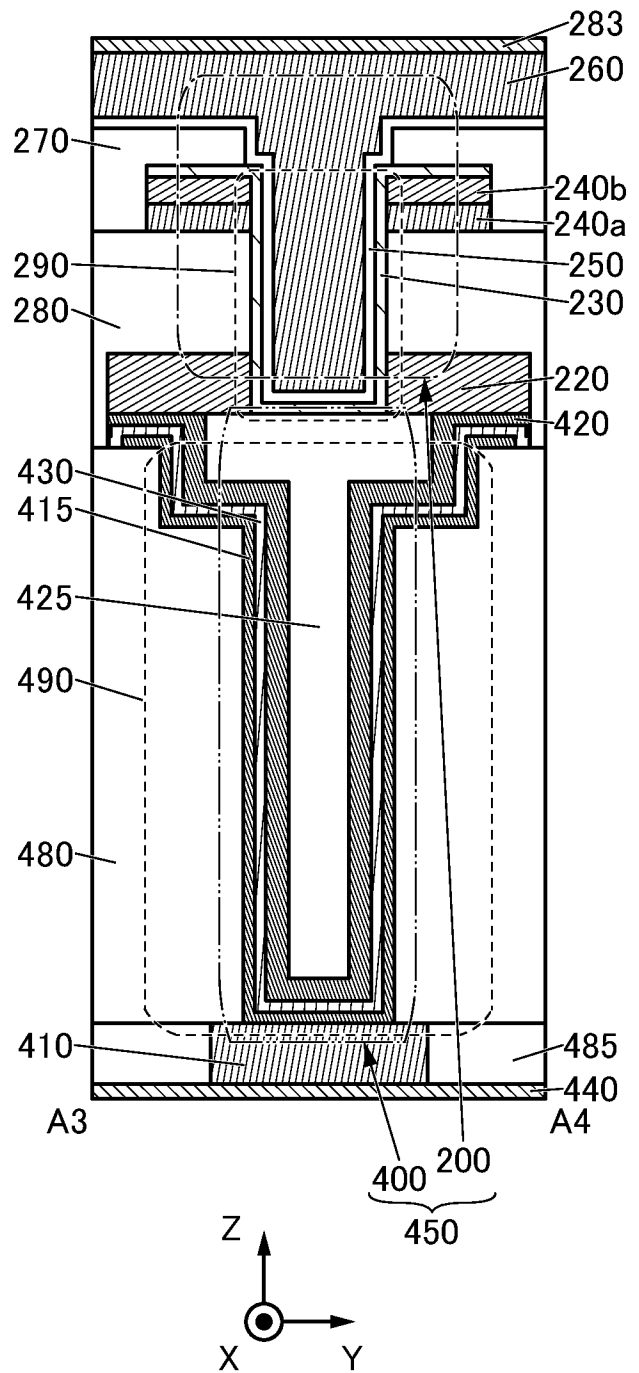


図13A

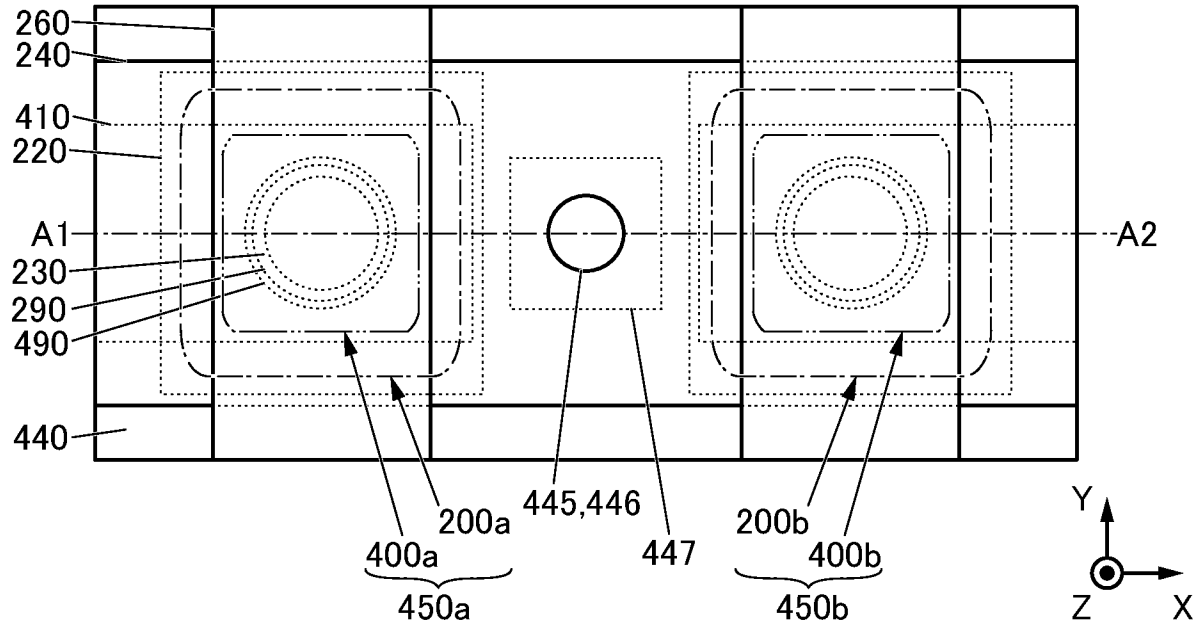


図13B

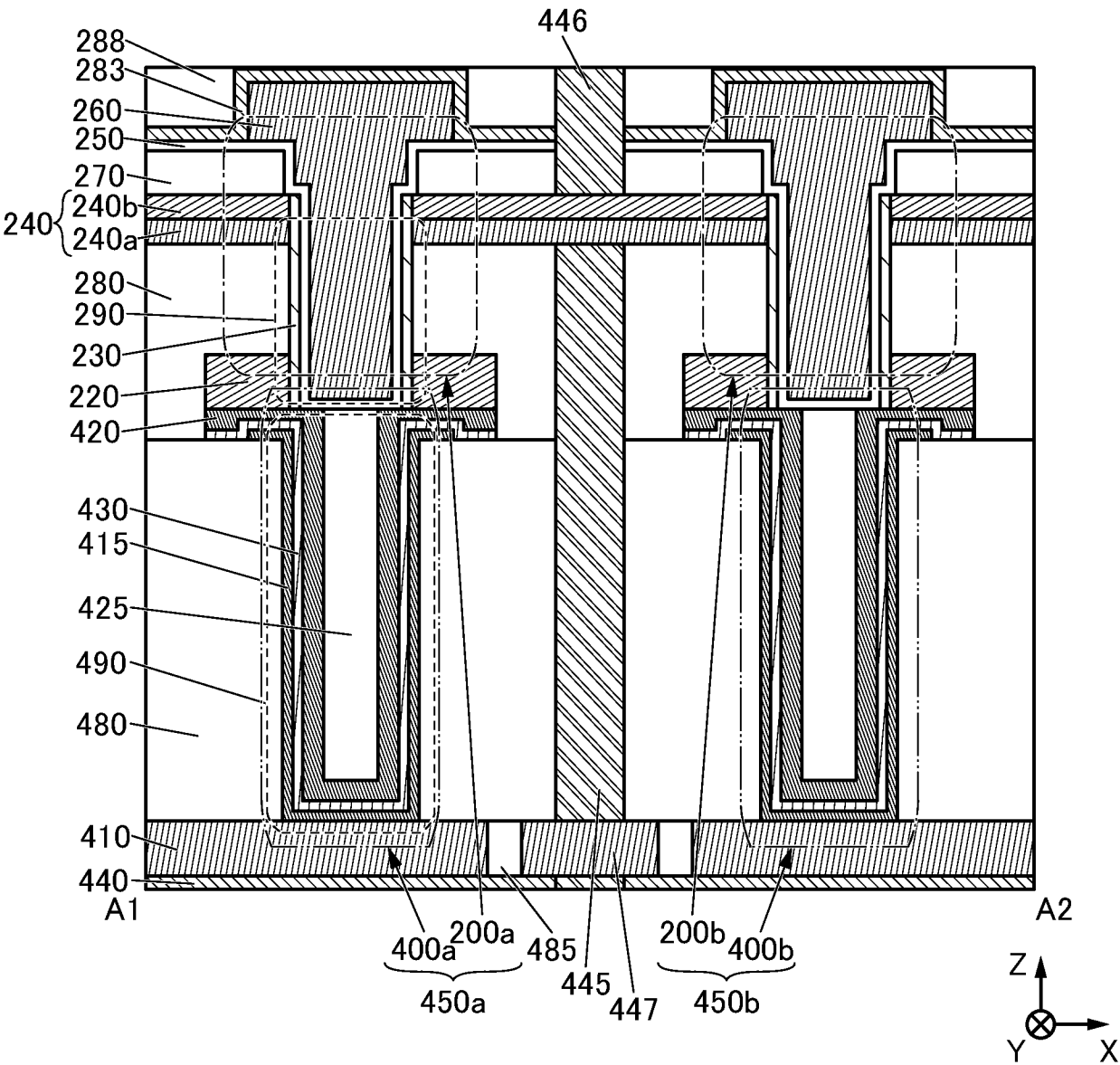


図14A

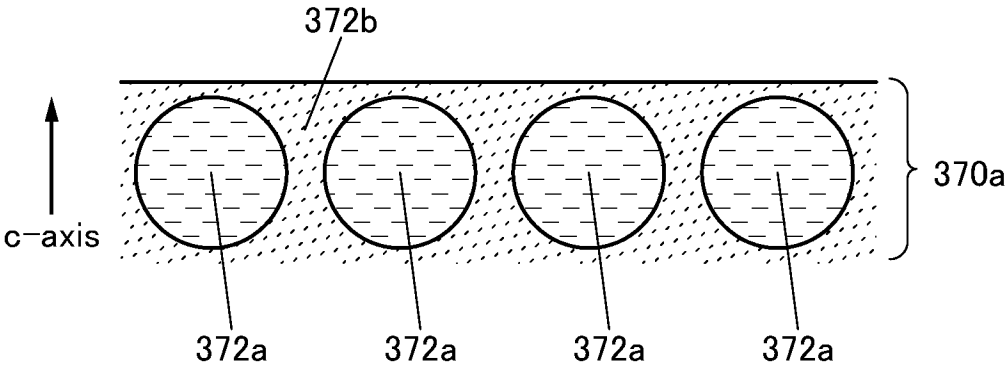


図14B

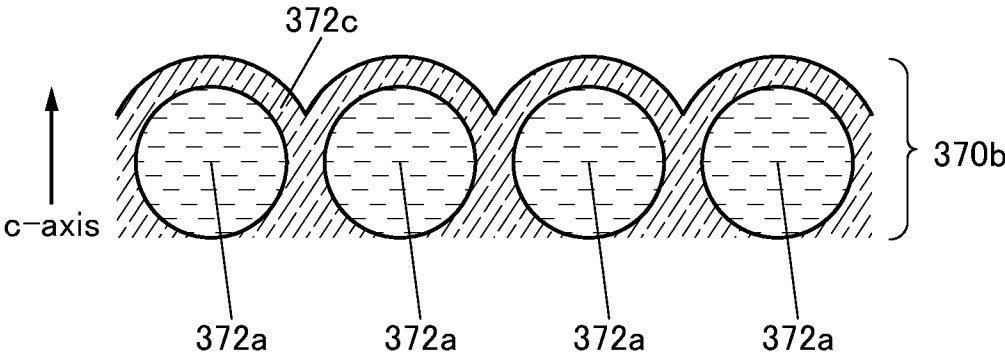


図14C

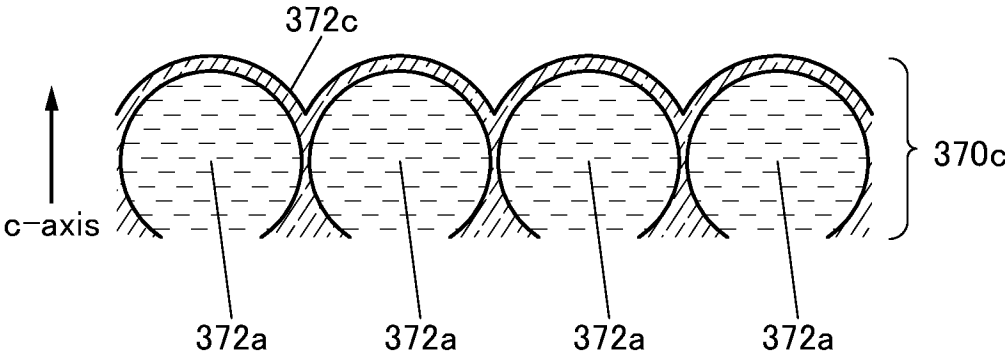


図14D

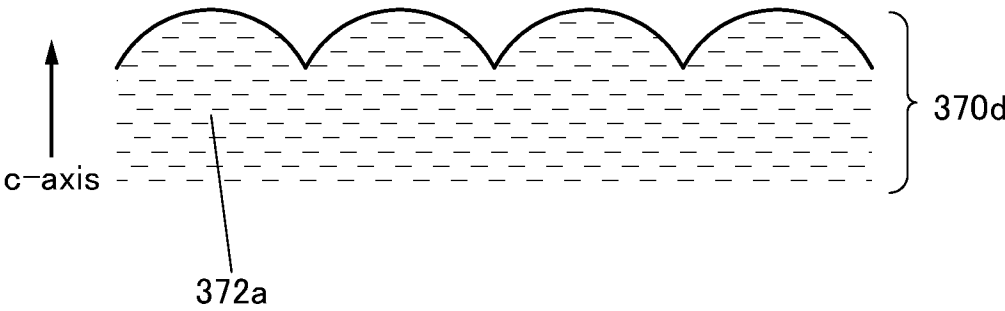


図15

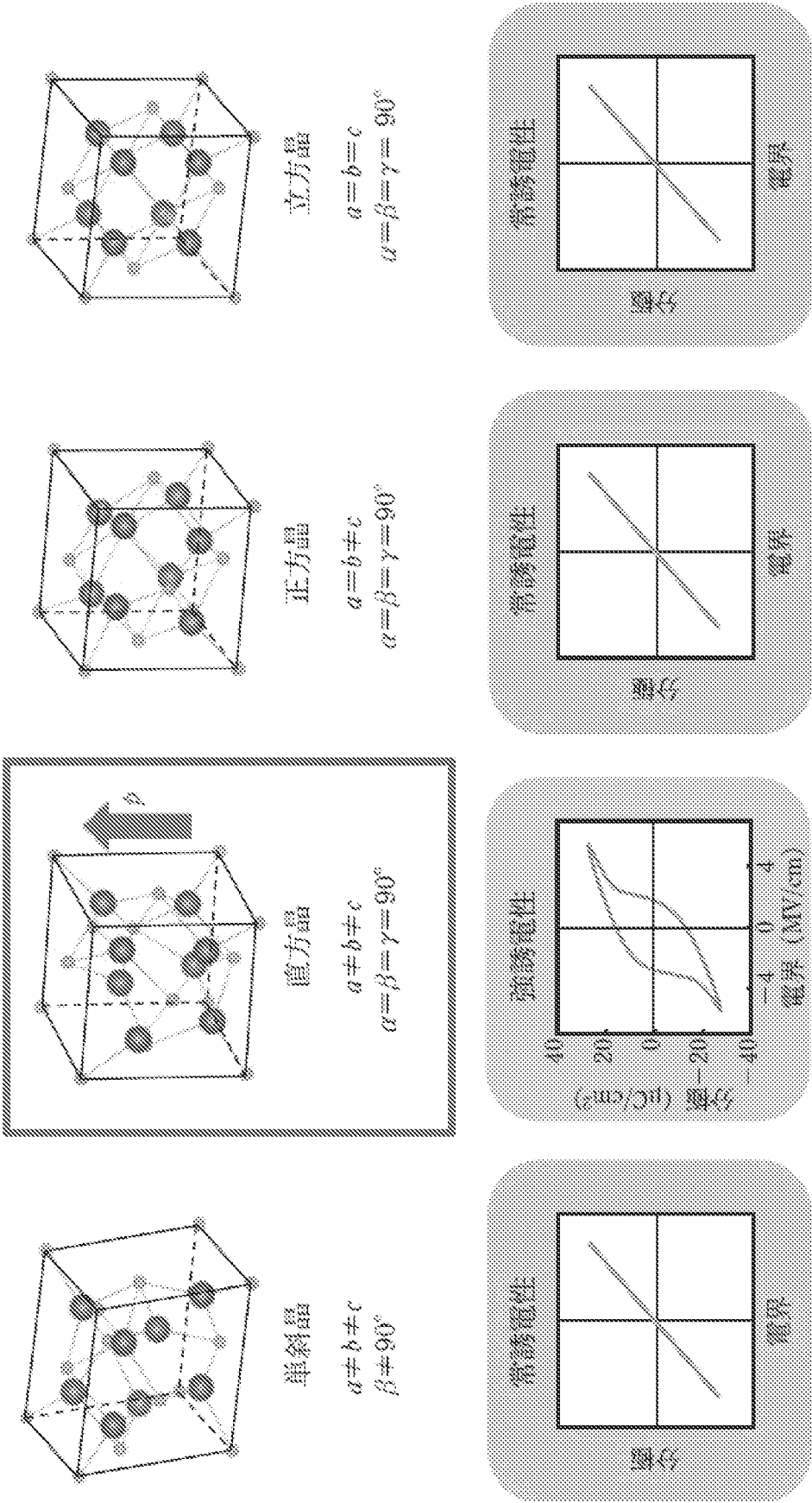


图16

16/27

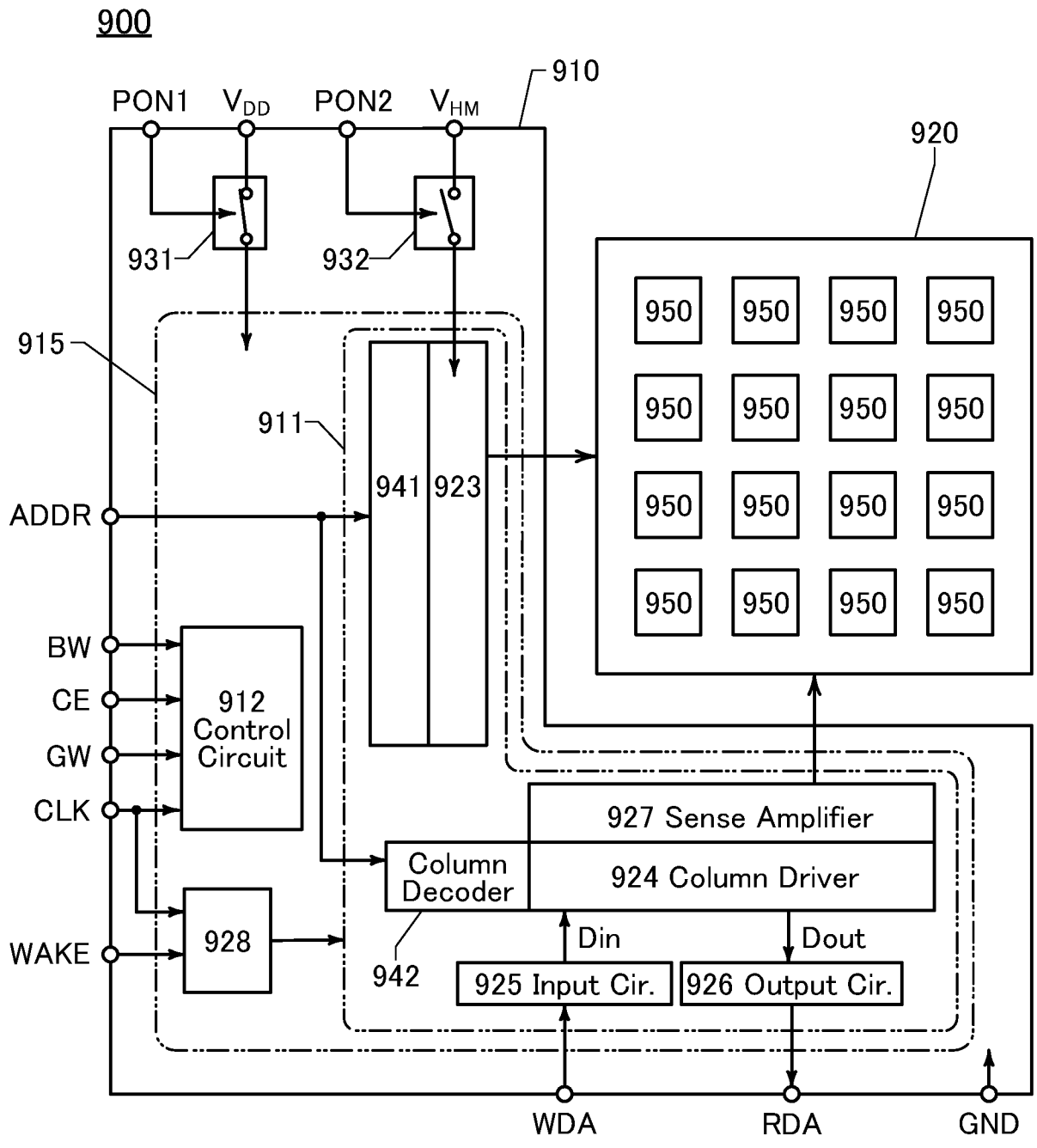


図17A

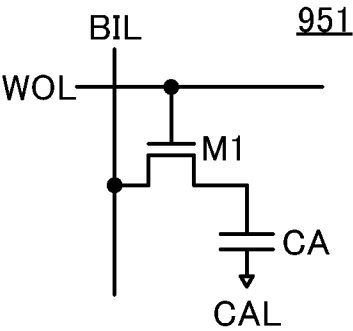


図17B

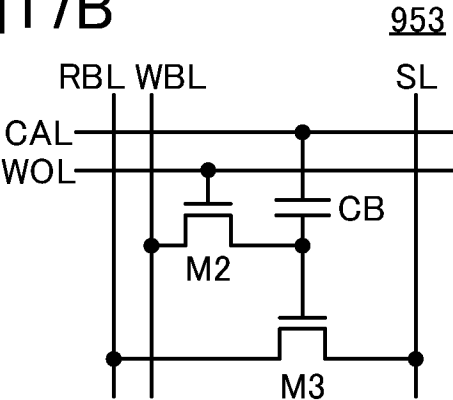


図17C

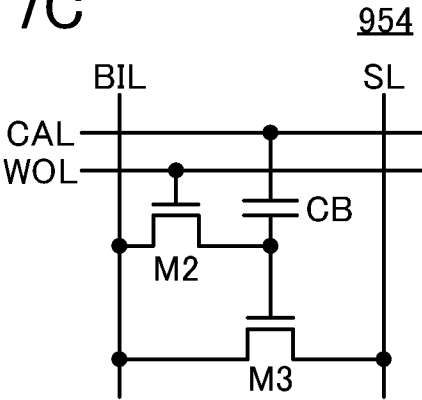


図17D

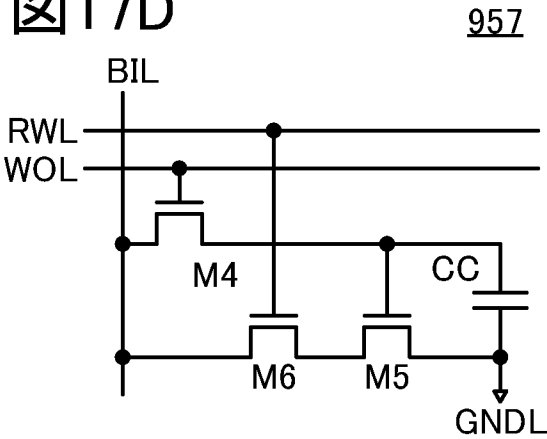


図17E

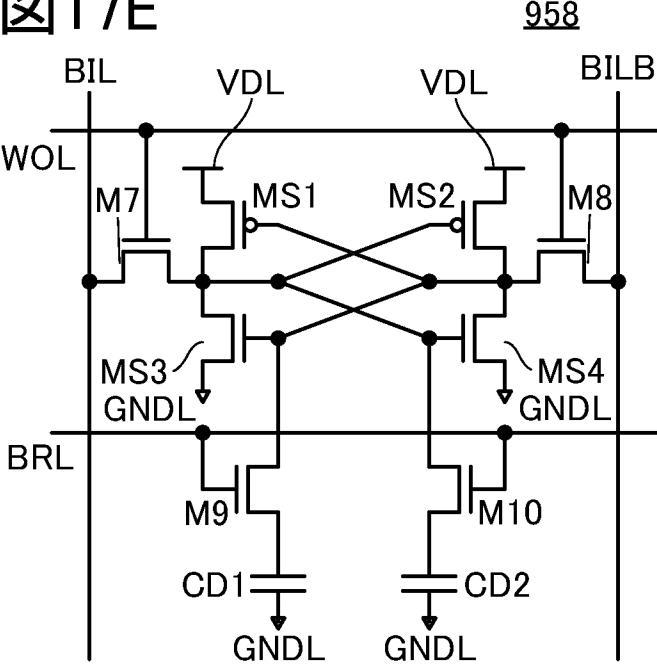


図 18A

900

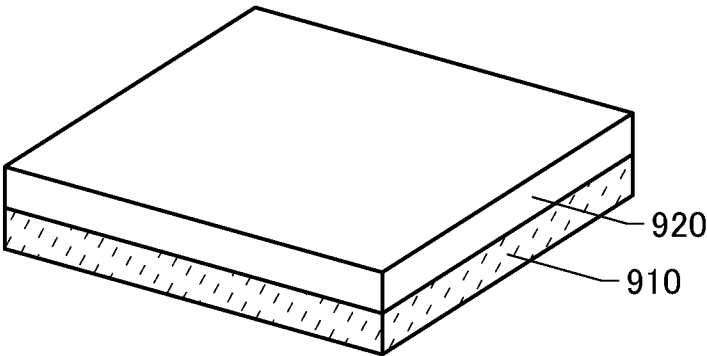


図 18B

900

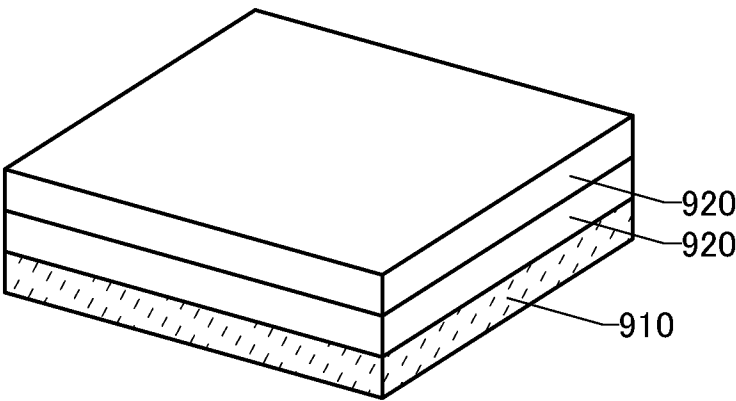


図19

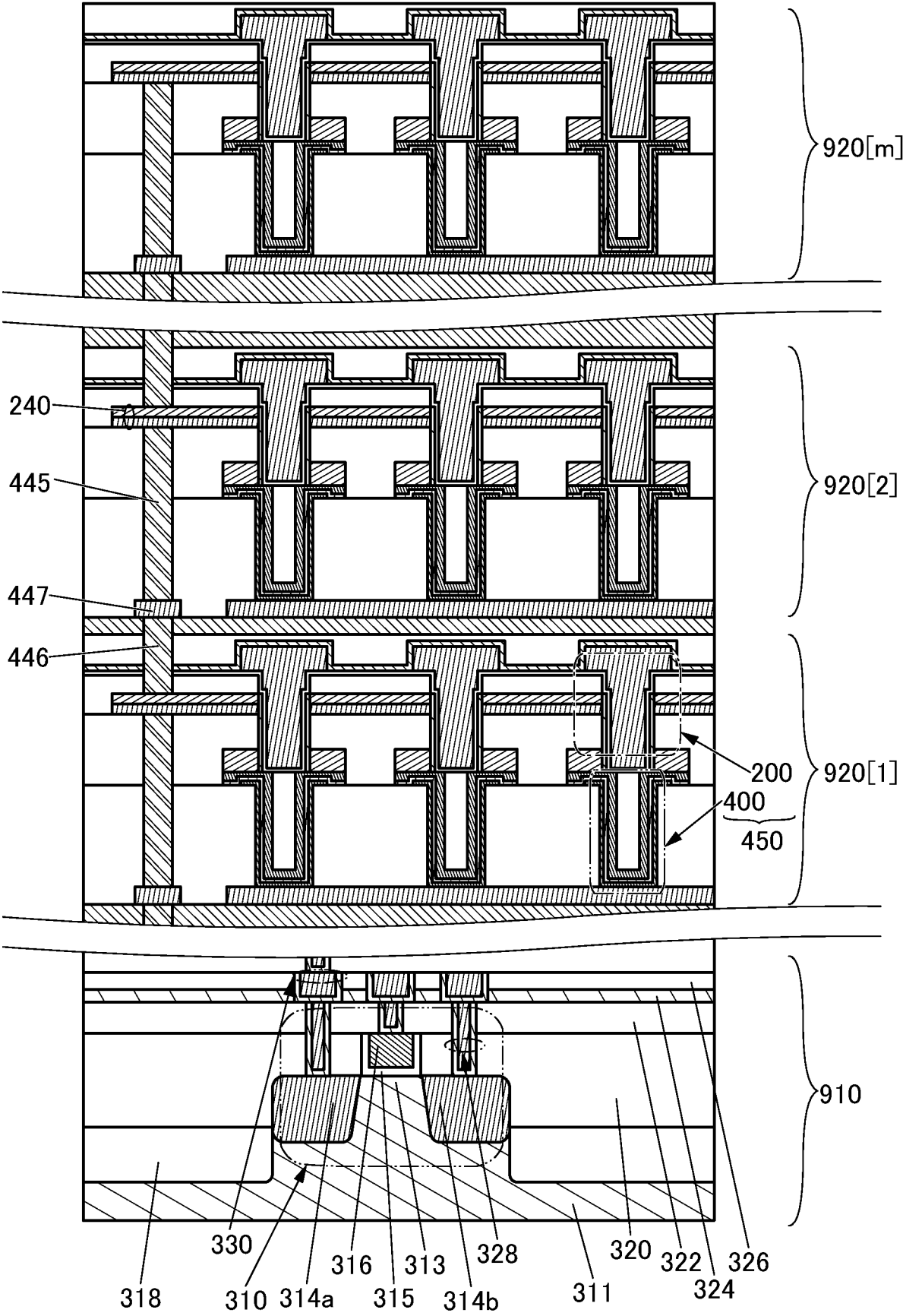


図20

20/27

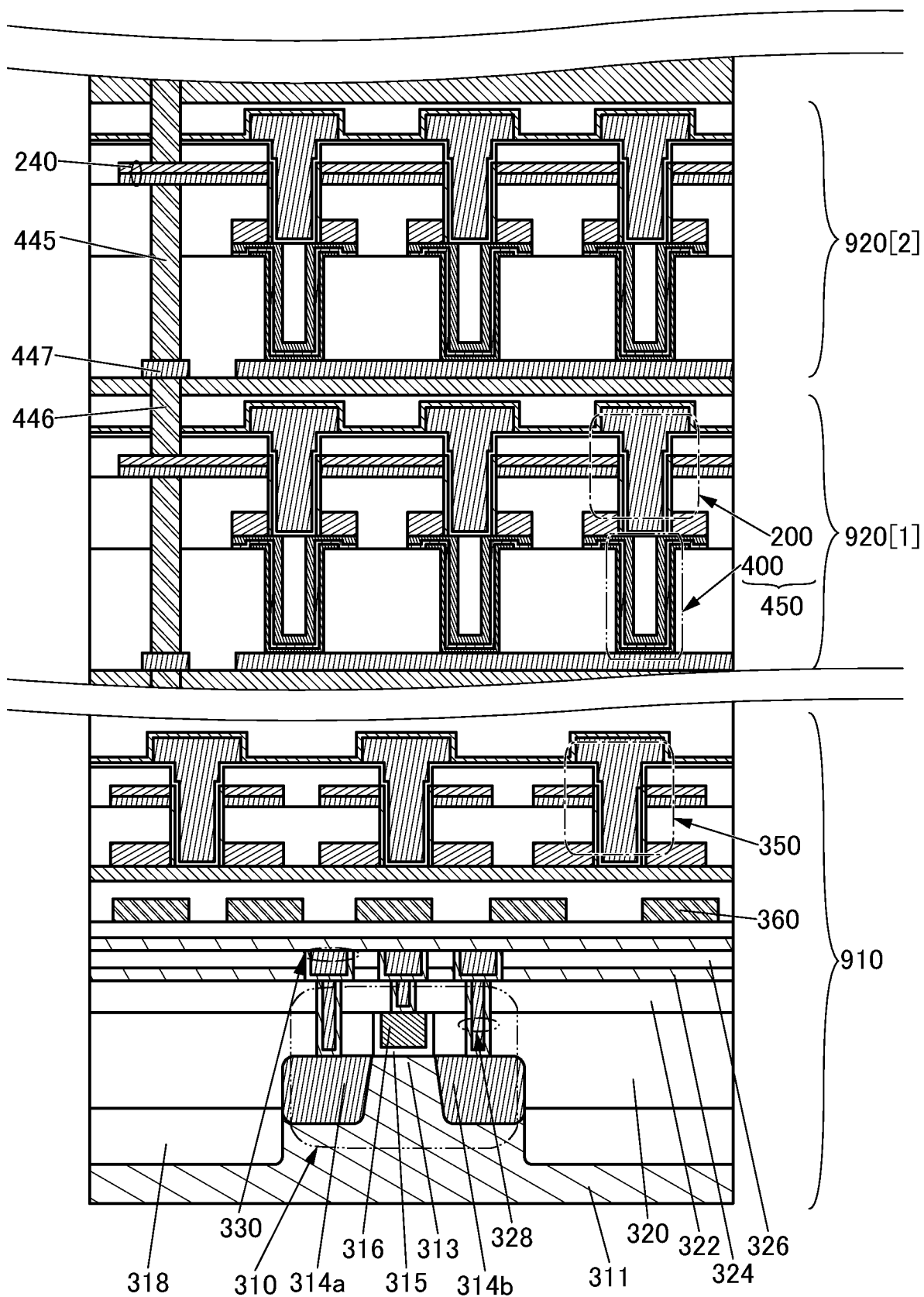


図21

21/27

960

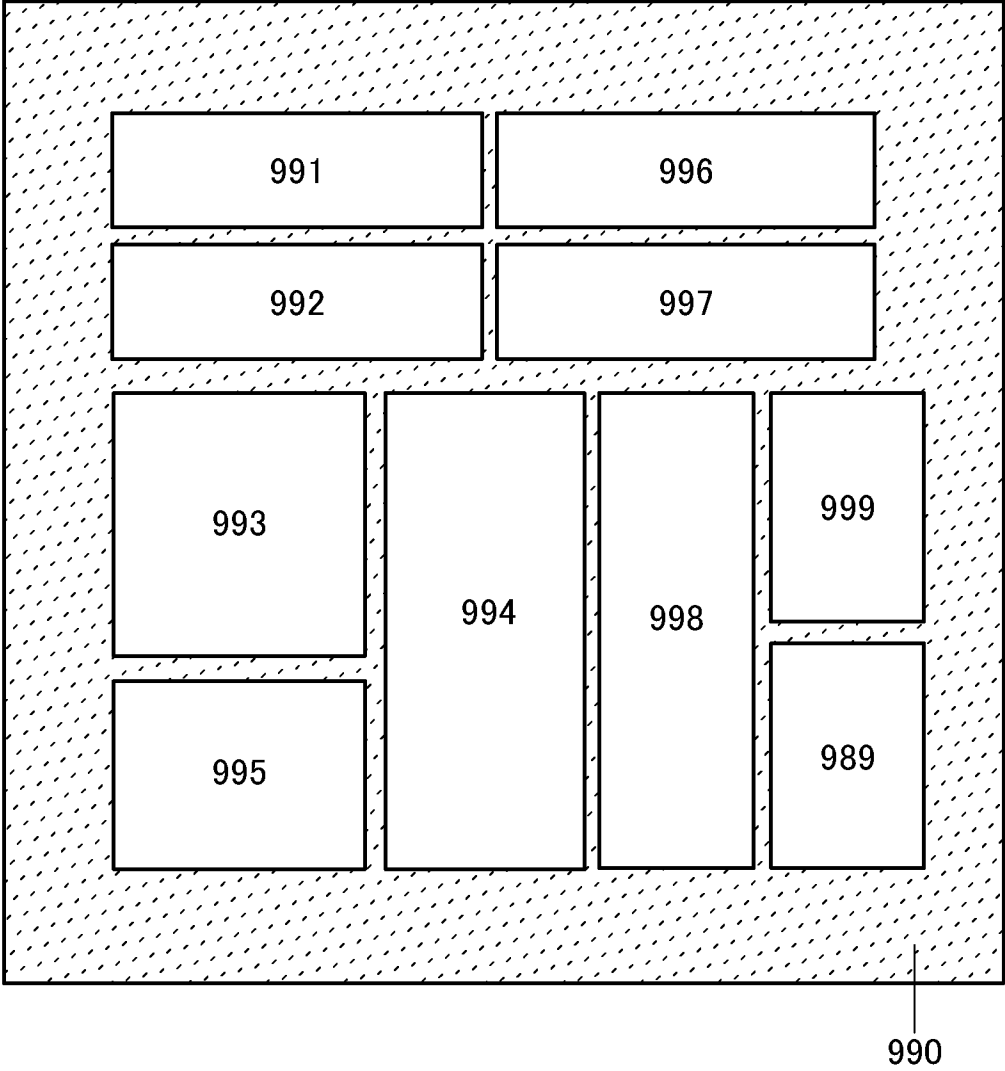


図22A

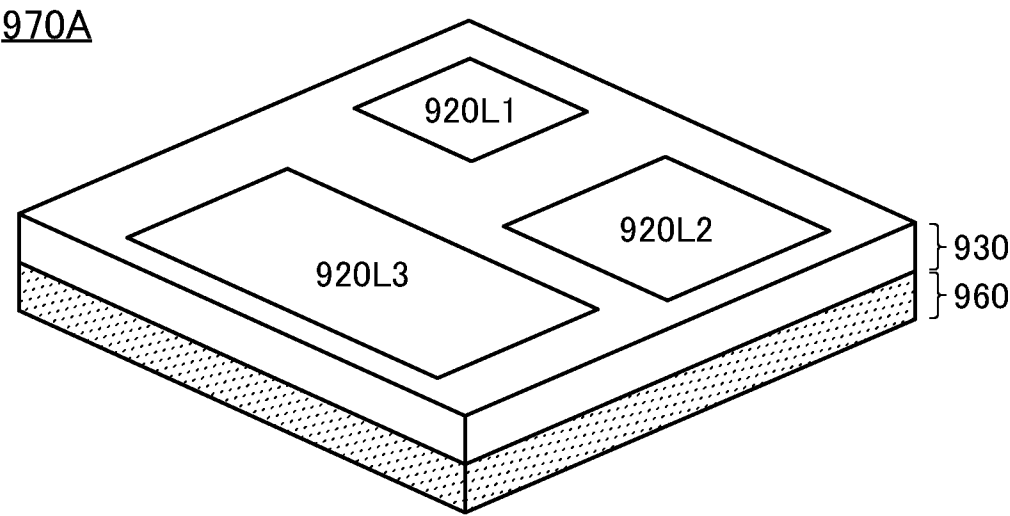


図22B

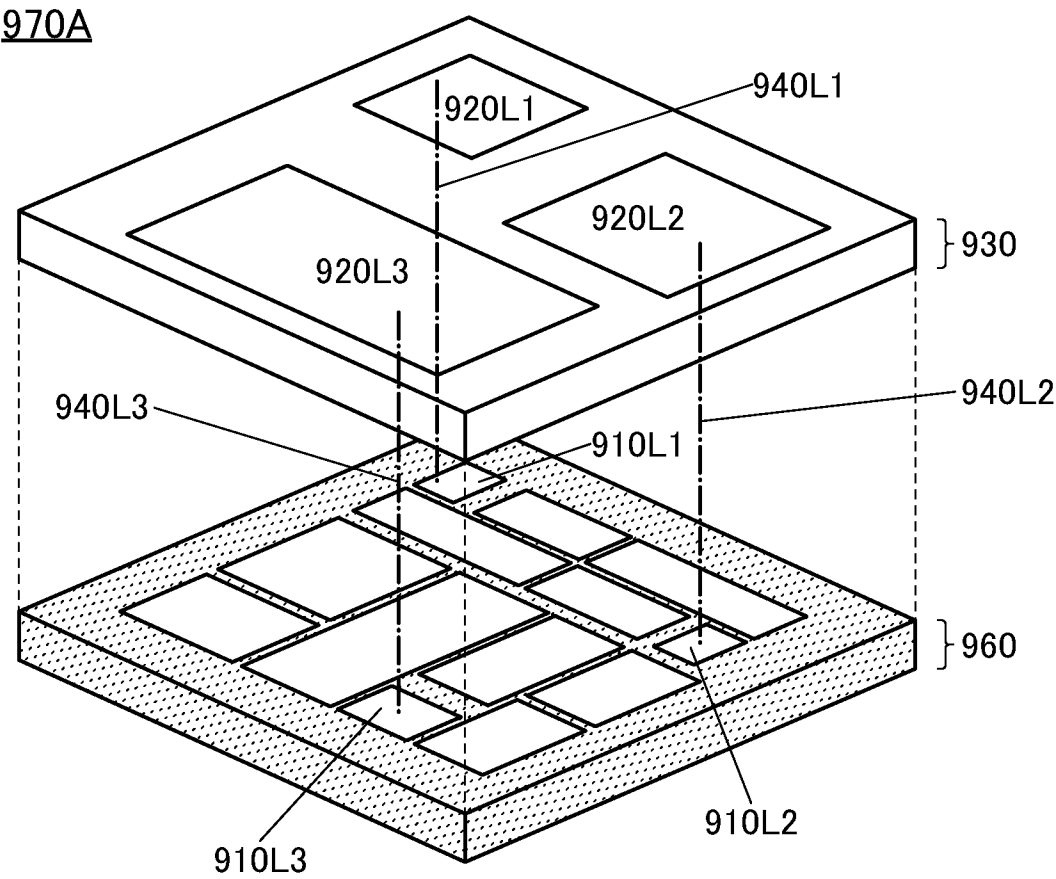


図23A

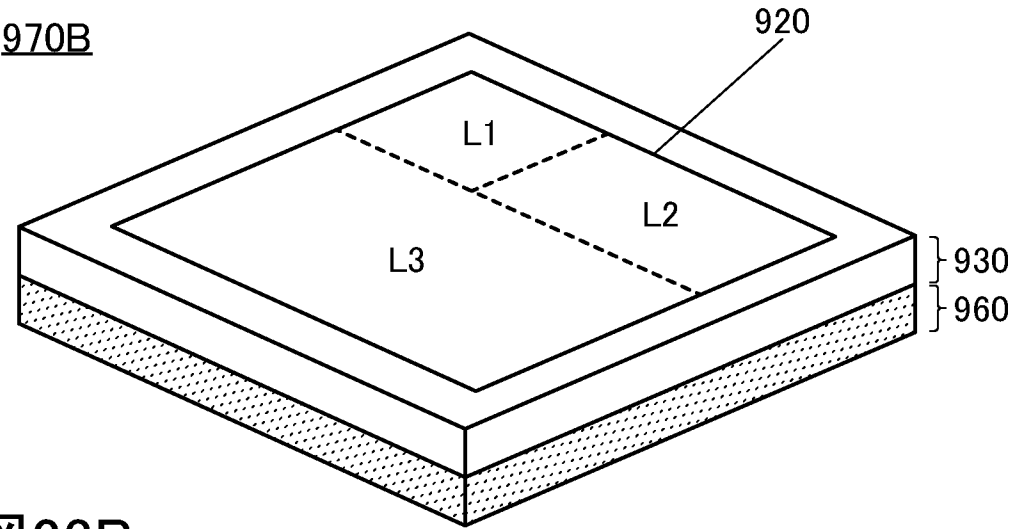


図23B

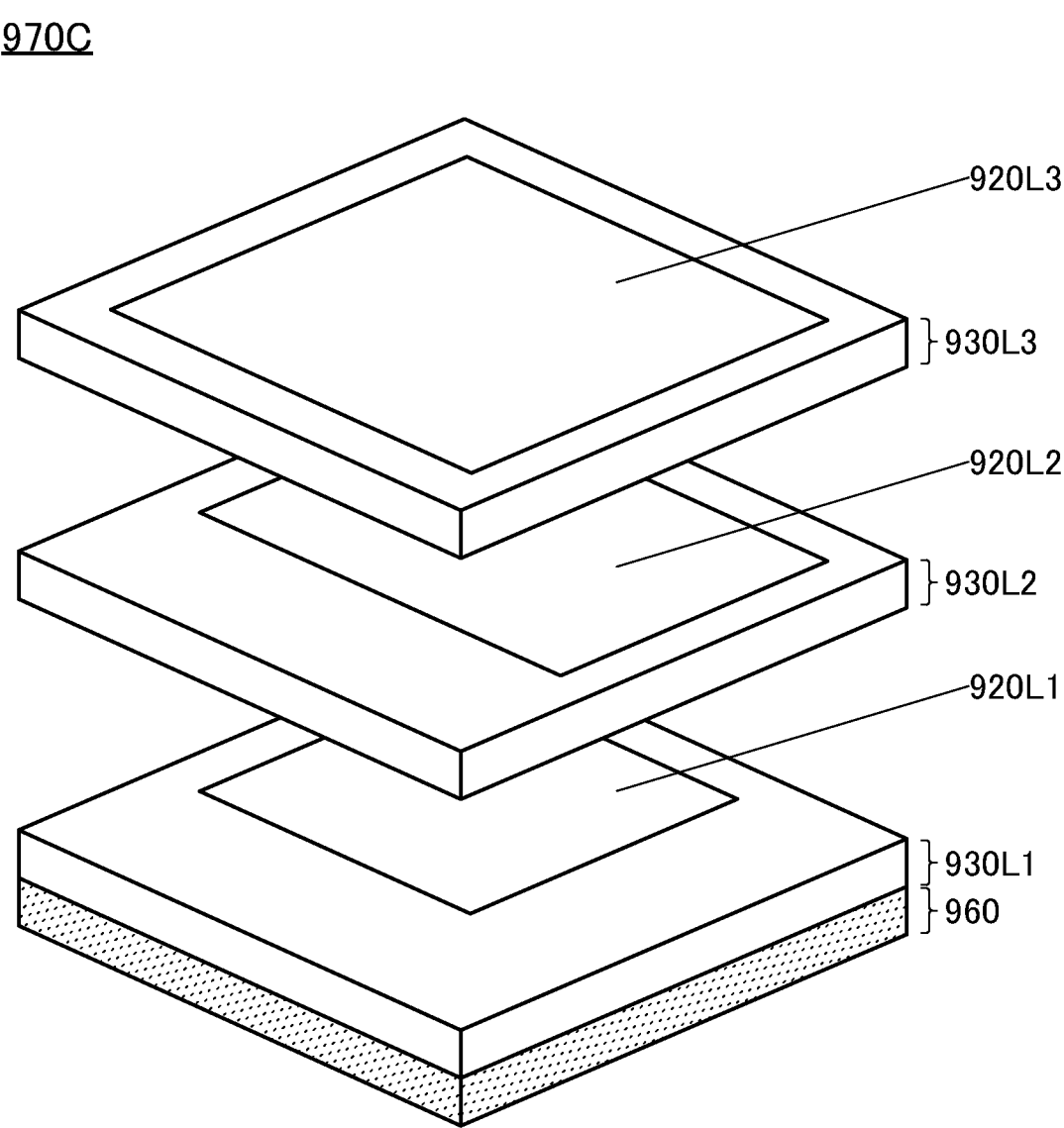


図24A

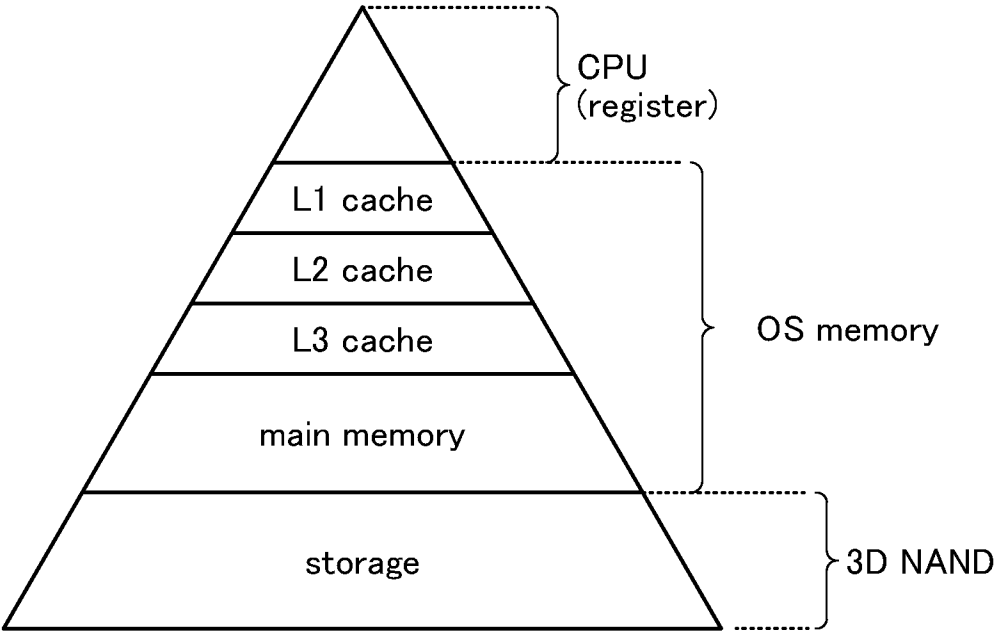


図24B

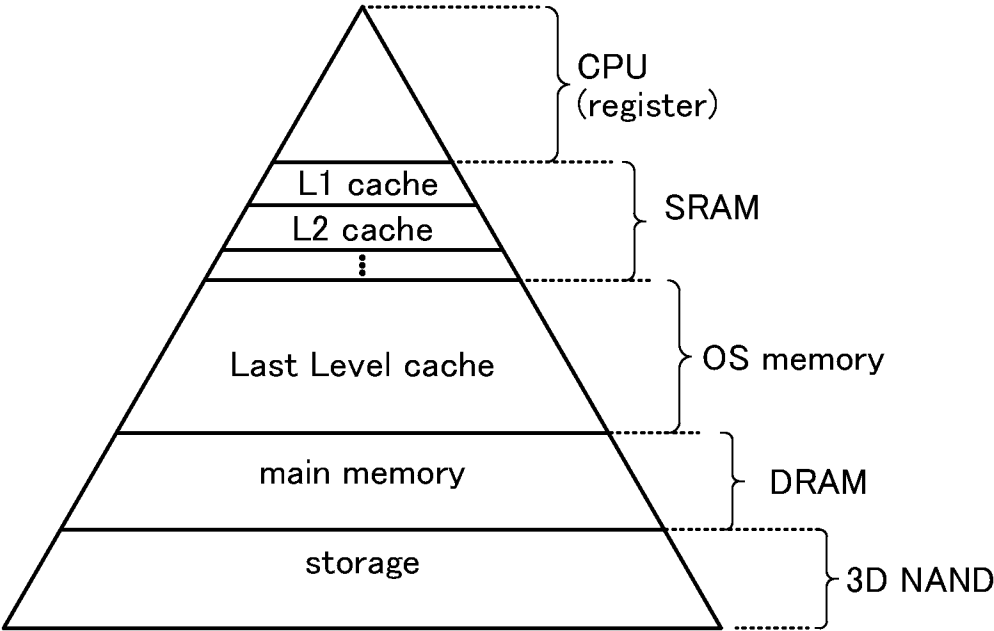


図25A

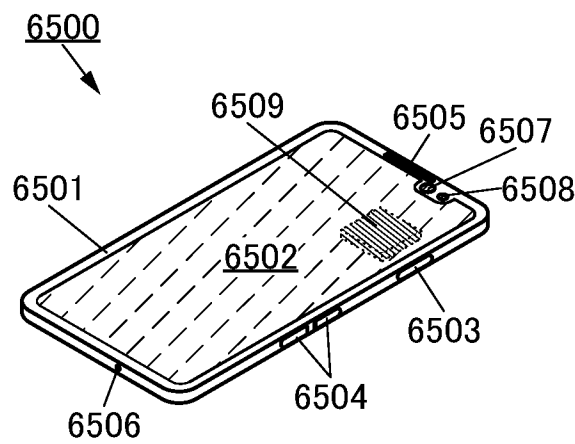


図25B

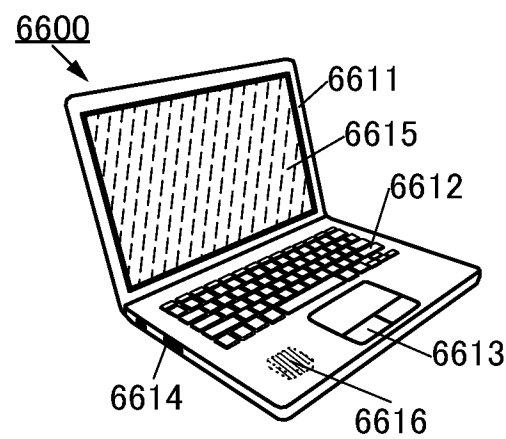


図25C

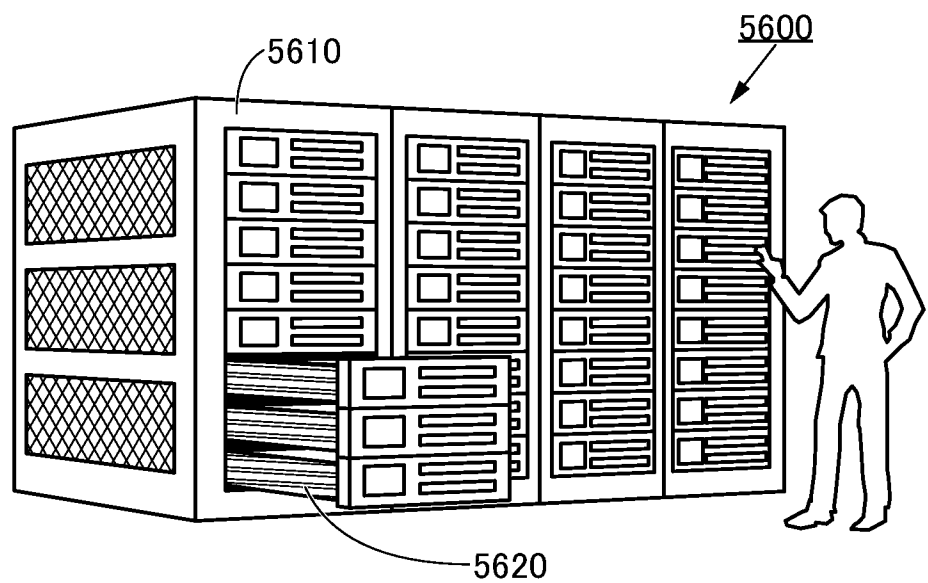


図25D

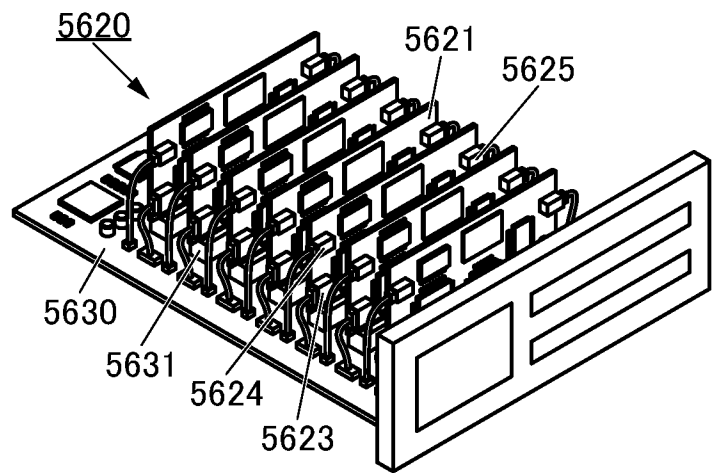


図25E

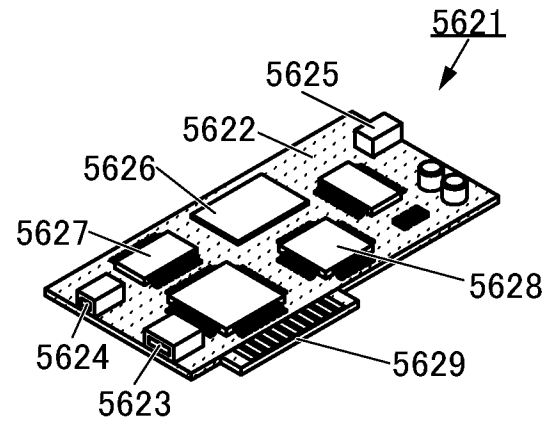


図26

26/27

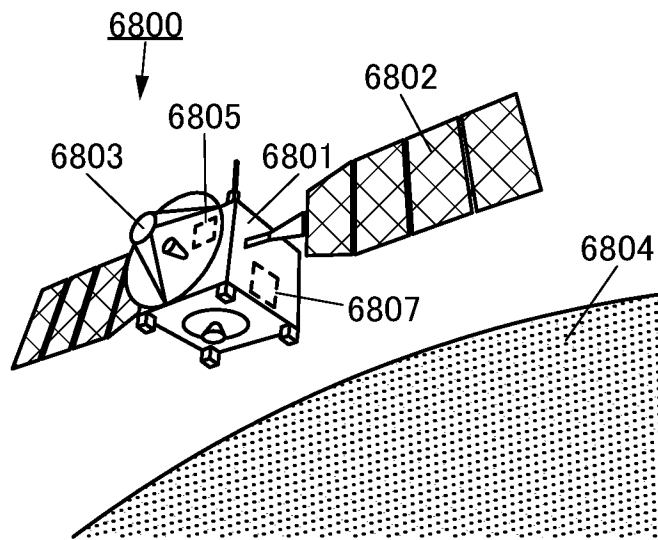
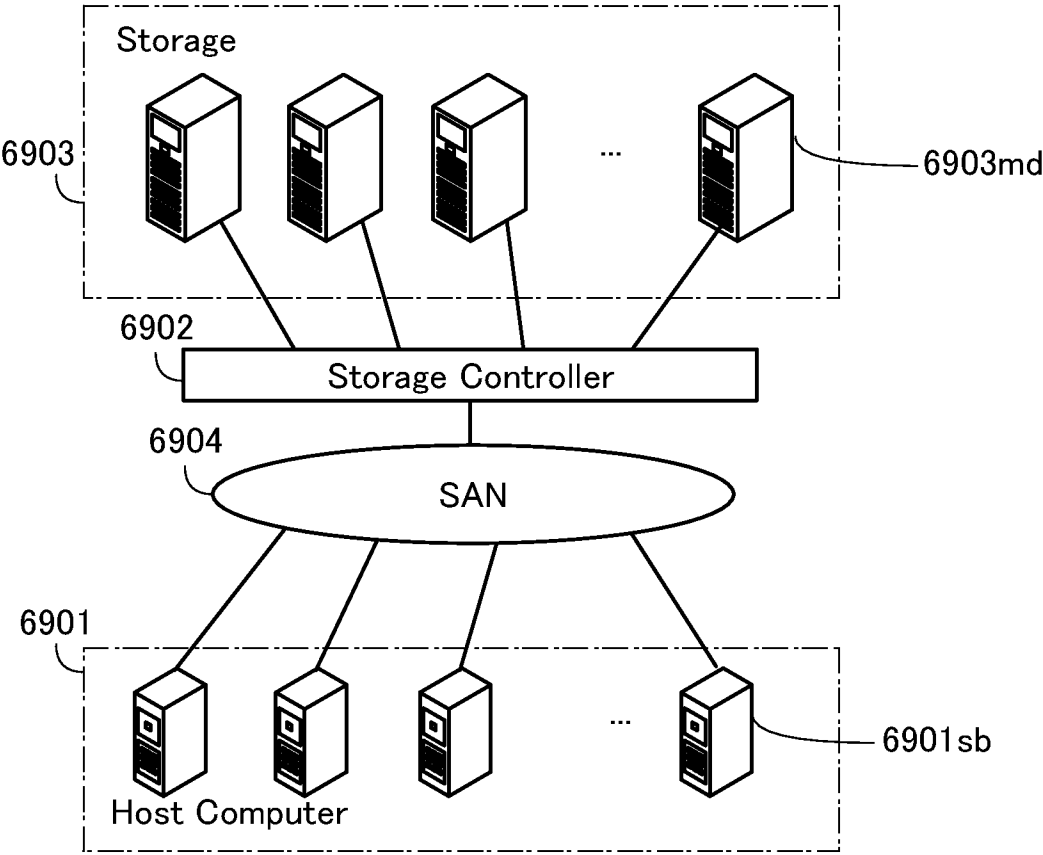


図27

6900



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/055388

A. CLASSIFICATION OF SUBJECT MATTER H10B 12/00 (2023.01)i; H01L 21/28 (2006.01)i; H01L 21/822 (2006.01)i; H01L 21/8234 (2006.01)i; H01L 27/04 (2006.01)i; H01L 27/06 (2006.01)i; H01L 27/088 (2006.01)i; H01L 29/41 (2006.01)i; H01L 29/417 (2006.01)i; H01L 29/786 (2006.01)i; H10B 10/00 (2023.01)i; H10B 53/30 (2023.01)i FI: H10B12/00 671A; H10B12/00 621C; H10B12/00 621Z; H10B10/00; H10B12/00 801; H10B53/30; H01L29/78 618B; H01L29/78 613B; H01L29/78 626A; H01L29/78 616V; H01L29/78 616U; H01L27/088 331E; H01L27/088 E; H01L27/06 102A; H01L27/088 H; H01L27/04 C; H01L21/28 301B; H01L21/28 301R; H01L29/44 P; H01L29/50 M According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H10B12/00; H01L21/28; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/41; H01L29/417; H01L29/786; H10B10/00; H10B53/30 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2021/106234 A1 (KIOXIA CORP.) 03 June 2021 (2021-06-03) paragraphs [0025]-[0029], [0034]-[0041], [0062]-[0089], fig. 2, 4, 7	1, 8-10, 12 2-7, 11, 13-14
Y A	JP 2015-228528 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 December 2015 (2015-12-17) paragraphs [0018], [0144]-[0145], [0166], fig. 13	1, 8-10, 12 2-7, 11, 13-14
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 14 August 2024		Date of mailing of the international search report 27 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/055388

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-291973 A (FUJI XEROX CO., LTD.) 24 December 1991 (1991-12-24) page 2, lower left column, lines 7-10, page 3, lower left column, line 20 - page 4, upper right column, line 14, fig. 2	1, 8-10, 12
A		2-7, 11, 13-14
A	JP 2011-221072 A (SEIKO EPSON CORP.) 04 November 2011 (2011-11-04) entire text, all drawings	1-14
A	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) entire text, all drawings	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2024/055388

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2021/106234	A1	03 June 2021	US 2022/0285350 A1 paragraphs [0106]-[0114], [0123]-[0135], [0161]-[0194], fig. 2, 4, 7 WO 2021/106090 A1 CN 114503250 A	
JP	2015-228528	A	17 December 2015	JP 2013-102133 A US 2013/0069132 A1 paragraphs [0034], [0160]- [0161], [0182], fig. 13 JP 2017-28327 A JP 2018-125551 A JP 2020-10055 A JP 2021-141340 A JP 2023-68093 A US 2016/0211267 A1 CN 103022012 A KR 10-2013-0031794 A KR 10-2019-0096885 A	
JP	3-291973	A	24 December 1991	(Family: none)	
JP	2011-221072	A	04 November 2011	US 2011/0241004 A1 entire text, all drawings	
JP	2016-149552	A	18 August 2016	US 2016/0233343 A1 entire text, all drawings WO 2016/128859 A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 12/00(2023.01)i; H01L 21/28(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i;
H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/41(2006.01)i;
H01L 29/417(2006.01)i; H01L 29/786(2006.01)i; H10B 10/00(2023.01)i; H10B 53/30(2023.01)i
FI: H10B12/00 671A; H10B12/00 621C; H10B12/00 621Z; H10B10/00; H10B12/00 801; H10B53/30; H01L29/78
618B; H01L29/78 613B; H01L29/78 626A; H01L29/78 616V; H01L29/78 616U; H01L27/088 331E; H01L27/088
E; H01L27/06 102A; H01L27/088 H; H01L27/04 C; H01L21/28 301B; H01L21/28 301R; H01L29/44 P;
H01L29/50 M

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B12/00; H01L21/28; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/41;
H01L29/417; H01L29/786; H10B10/00; H10B53/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922 - 1996年
日本国公開実用新案公報1971 - 2024年
日本国実用新案登録公報1996 - 2024年
日本国登録実用新案公報1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2021/106234 A1（キオクシア株式会社）03.06.2021（2021 - 06 - 03） [0025] - [0029], [0034] - [0041], [0062] - [0089], 図2, 4, 7	1, 8-10, 12
A		2-7, 11, 13-14
Y	JP 2015-228528 A（株式会社半導体エネルギー研究所）17.12.2015（2015 - 12 - 17） [0018], [0144] - [0145], [0166], 図13	1, 8-10, 12
A		2-7, 11, 13-14
Y	JP 3-291973 A（富士ゼロックス株式会社）24.12.1991（1991 - 12 - 24） 第2頁左下欄第7 - 10行, 第3頁左下欄第20行 - 第4頁右上欄第14行, 第2図	1, 8-10, 12
A		2-7, 11, 13-14

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
14. 08. 2024

国際調査報告の発送日
27. 08. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宮本 博司 5F 6313

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-221072 A (セイコーエプソン株式会社) 04.11.2011 (2011 - 11 - 04) 全文, 全図	1-14
A	JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016 - 08 - 18) 全文, 全図	1-14

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/055388

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/106234	A1	03.06.2021	US	2022/0285350	A1	
				[0106] - [0114], [0123] - [0135], [0161] - [0194], 図2, 4, 7			
				WO	2021/106090	A1	
				CN	114503250	A	

JP	2015-228528	A	17.12.2015	JP	2013-102133	A	
				US	2013/0069132	A1	
				[0034], [0160] - [0161], [0182], 図13			
				JP	2017-28327	A	
				JP	2018-125551	A	
				JP	2020-10055	A	
				JP	2021-141340	A	
				JP	2023-68093	A	
				US	2016/0211267	A1	
				CN	103022012	A	
				KR	10-2013-0031794	A	
				KR	10-2019-0096885	A	

JP	3-291973	A	24.12.1991	(ファミリーなし)			

JP	2011-221072	A	04.11.2011	US	2011/0241004	A1	
				全文, 全図			

JP	2016-149552	A	18.08.2016	US	2016/0233343	A1	
				全文, 全図			
				WO	2016/128859	A1	
