

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成28年7月7日(2016.7.7)

【公表番号】特表2015-525499(P2015-525499A)
 【公表日】平成27年9月3日(2015.9.3)
 【年通号数】公開・登録公報2015-055
 【出願番号】特願2015-513018(P2015-513018)
 【国際特許分類】

H 0 3 L 1/00 (2006.01)
 H 0 3 B 5/04 (2006.01)
 H 0 3 B 5/20 (2006.01)
 H 0 3 K 3/354 (2006.01)
 H 0 3 K 5/26 (2006.01)

【F I】

H 0 3 L 1/00
 H 0 3 B 5/04 B
 H 0 3 B 5/20 Z
 H 0 3 K 3/354 A
 H 0 3 K 5/26 C
 H 0 3 B 5/04 G

【手続補正書】

【提出日】平成28年5月20日(2016.5.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電圧制御発振器(10)に提供される少なくとも1つの作動信号(Vbb)を較正するための回路装置(100)であって、

少なくとも1つの較正発振器(50)と、

前記較正発振器(50)に関連する少なくとも1つの基準発振器(30)と、

前記較正発振器(50)及び前記基準発振器(30)のクロックサイクル(N)の夫々の数をカウントするため、並びにこれら2つのクロックサイクル(N)の差からのクロックエラー(DE)を集積するために、前記較正発振器(50)及び前記基準発振器(30)の下流に配置された少なくとも1つのクロックカウンタ(70)と、

前記クロックエラー(DE)をアナログ調整信号(Vcm, Vcm-, Vcm+)に変換し、それから較正済み作動信号(Vbb)を導出可能にするために、前記クロックカウンタ(70)の下流に配置された少なくとも1つのデジタル/アナログ変換器(90)とを備えることを特徴とする回路装置。

【請求項2】

前記電圧制御発振器(10)は、

カソード接続部が第1のトランジスタ(22)のソース接点即ちエミッタ接続部、及び第2のトランジスタ(24)のドレイン接点即ちコレクタ接続部に接続された第1のバラクタ(12)と、

カソード接続部が第3のトランジスタ(26)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(28)のドレイン接点即ちコレクタ接続部に接続された第2のバラ

クタ(14)とを備えることを特徴とする請求項1に記載の回路装置。

【請求項3】

前記第2のトランジスタ(24)のソース接点即ちエミッタ接続部と前記第4のトランジスタ(28)のソース接点即ちエミッタ接続部とが互いに接続されるとともに、少なくとも1つの電流源(20)に接続されることを特徴とする請求項2に記載の回路装置。

【請求項4】

前記第1のトランジスタ(22)のゲート接点即ち基準接続部と前記第3のトランジスタ(26)のゲート接点即ち基準接続部とが互いに接続されるとともに、バイアス電圧(Vbias)がこれらに印加され、

第1のトランジスタ(22)のドレイン接点即ちコレクタ接続部と第3のトランジスタ(26)のドレイン接点即ちコレクタ接続部とは、電圧制御発振器(10)の出力信号(Ve)を提供することを特徴とする請求項2又は3に記載の回路装置。

【請求項5】

前記較正済み作動信号(Vbb)は、前記電圧制御発振器(10)の前記第1のバラクタ(12)のアノード接続部、及び前記電圧制御発振器(10)の前記第2のバラクタ(14)のアノード接続部へ印加されることを特徴とする請求項2乃至4のいずれか一項に記載の回路装置。

【請求項6】

前記基準発振器(30)は、

アノード接続部へ基準電位(GND)、特に、アース電位又は接地電位又はゼロ電位が印加される第1のバラクタ(32)と、

アノード接続部へ基準電位(GND)が印加される第2のバラクタ(34)と、アノード接続部へ前記基準電位(GND)が印加される第3のバラクタ(36)と、

アノード接続部へ前記基準電位(GND)が印加される第4のバラクタ(38)とを備え、

前記第1のバラクタ(32)のカソード接続部と前記第2のバラクタ(34)のカソード接続部とが互いに接続されるとともに、第1のトランジスタ(42)のソース接点即ちエミッタ接続部、及び第2のトランジスタ(44)のドレイン接点即ちコレクタ接続部に接続され、前記第3のバラクタ(36)のカソード接続部及び前記第4のバラクタ(38)のカソード接続部が互いに接続されるとともに、第3のトランジスタ(46)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(48)のドレイン接点即ちコレクタ接続部に接続されることを特徴とする請求項1乃至5のいずれか一項に記載の回路装置。

【請求項7】

前記第2のトランジスタ(44)のソース接点即ちエミッタ接続部と前記第4のトランジスタ(48)のソース接点即ちエミッタ接続部とは、互いに接続されるとともに、少なくとも1つの電流源(40)に接続されることを特徴とする請求項6に記載の回路装置。

【請求項8】

前記第1のトランジスタ(42)のゲート接点即ち基準接続部及び前記第3のトランジスタ(46)のゲート接点即ち基準接続部は、互いに接続され、且つバイアス電圧(Vbias)が前記第1のトランジスタ(42)のゲート接点即ち基準接続部及び前記第3のトランジスタ(46)のゲート接点即ち基準接続部に印加され、

前記第1のトランジスタ(42)のドレイン接点即ちコレクタ接続部及び前記第3のトランジスタ(46)のドレイン接点即ちコレクタ接続部は、前記基準発振器(30)の出力信号(Vr)を提供することを特徴とする請求項6又は7に記載の回路装置。

【請求項9】

前記較正発振器(50)は、

アノード接続部へ前記調整信号(Vcm, Vcm-, Vcm+)の第1の(Vcm)及び前記調整信号(Vcm, Vcm-, Vcm+)の第2の(Vcm-)が印加される第1のバラクタ(52)と、

アノード接続部へ前記調整信号(Vcm, Vcm-, Vcm+)の第1の調整信号(V

cm)及び第3の(Vcm+)が印加される第2のバラクタ(54)と、

アノード接続部へ前記第1の調整信号(Vcm)と前記第2の調整信号(Vcm-)が印加される第3のバラクタ(56)と、

アノード接続部へ前記第1の調整信号(Vcm)と前記第3の調整信号(Vcm+)が印加される第4のバラクタ(58)とを備え、

前記第1のバラクタ(52)のカソード接続部及び前記第2のバラクタ(54)のカソード接続部が互いに接続されるとともに、前記第1のトランジスタ(62)のソース接点即ちエミッタ接続部、及び前記第2のトランジスタ(64)のドレイン接点即ちコレクタ接続部と接続され、

前記第3のバラクタ(56)のカソード接続部及び前記第4のバラクタ(58)のカソード接続部が互いに接続されるとともに、第3のトランジスタ(66)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(68)のドレイン接点即ちコレクタ接続部と接続されることを特徴とする請求項1乃至8のいずれか一項に記載の回路装置。

【請求項10】

前記第2のトランジスタ(64)のソース接点即ちエミッタ接続部と前記第4のトランジスタ(68)のソース接点即ちエミッタ接続部とは、互いに接続されるとともに、少なくとも1つの電流源(60)に接続されることを特徴とする請求項9に記載の回路装置。

【請求項11】

前記第1のトランジスタ(62)のゲート接点即ち基準接続部及び前記第3のトランジスタ(66)のゲート接点即ち基準接続部は、互いに接続され、且つバイアス電圧(Vbias)が前記第1のトランジスタ(62)のゲート接点即ち基準接続部及び前記第3のトランジスタ(66)のゲート接点即ち基準接続部に印加され、

前記第1のトランジスタ(62)のドレイン接点即ちコレクタ接続部及び前記第3のトランジスタ(66)のドレイン接点即ちコレクタ接続部は、前記較正発振器(50)の出力信号(Vc)を提供することを特徴とする請求項9又は10に記載の回路装置。

【請求項12】

第1の較正済み作動信号(Vbb)が前記第1の調整信号(Vcm)に対応し、特に、前記第1の調整信号(Vcm)を構成し、

第2の較正済み作動信号(Vbb)が前記第2の調整信号(Vcm-)に対応し、特に、前記第2の調整信号(Vcm-)を構成し、

第3の較正済み作動信号(Vbb)が前記第3の調整信号(Vcm+)に対応し、特に、前記第3の調整信号(Vcm+)を構成することを特徴とする請求項9乃至11のいずれか一項に記載の回路装置。

【請求項13】

電圧制御発振器(10)に提供される少なくとも1つの作動信号(Vbb)を較正するための方法であって、

少なくとも1つの較正発振器(50)及び前記較正発振器(50)と関連する少なくとも1つの基準発振器(30)のクロックサイクル(N)の各数が前記較正発振器(50)及び前記基準発振器(30)の下流に配置された少なくとも1つのクロックカウンタ(70)によってカウントされ、これら2つのクロックサイクル(N)の数の差から生じるクロックエラー(DE)が集積され、

前記クロックエラー(DE)が前記クロックカウンタ(70)の下流に配置された少なくとも1つのデジタル/アナログ変換器(90)によってアナログ調整信号(Vcm, Vcm-, Vcm+)に変換され、前記アナログ調整信号(Vcm, Vcm-, Vcm+)から前記較正済み作動信号(Vbb)が導出されることを特徴とする方法。

【請求項14】

第1の較正済み作動信号(Vbb)が前記調整信号(Vcm, Vcm-, Vcm+)の第1の(Vcm)に対応し、特に、前記調整信号(Vcm, Vcm-, Vcm+)の第1の(Vcm)を構成し、

第2の較正済み作動信号(Vbb)が前記調整信号(Vcm, Vcm-, Vcm+)の

第2の(Vcm-)に対応し、特に、前記調整信号(Vcm, Vcm-, Vcm+)の第2の(Vcm-)を構成し、

第3の較正済み作動信号(Vbb)が前記調整信号(Vcm, Vcm-, Vcm+)の第3の(Vcm+)に対応し、特に、前記調整信号(Vcm, Vcm-, Vcm+)の第3の(Vcm+)を構成することを特徴とする請求項13に記載の方法。