

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G05F 3/24 (2006.01)

H03F 3/343 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200580032992.5

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100476678C

[22] 申请日 2005.9.29

[21] 申请号 200580032992.5

[30] 优先权

[32] 2004.9.30 [33] JP [31] 285925/2004

[86] 国际申请 PCT/JP2005/018014 2005.9.29

[87] 国际公布 WO2006/035898 日 2006.4.6

[85] 进入国家阶段日期 2007.3.29

[73] 专利权人 西铁城控股株式会社

地址 日本东京都

[72] 发明人 人见正彦 下鹤雅士

[56] 参考文献

JP2594470Y2 1999.2.26

JP2000-75947A 2000.3.14

JP7-250437A 1995.9.26

CN2374879Y 2000.4.19

CN85104092A 1987.3.4

审查员 王 冀

[74] 专利代理机构 北京银龙知识产权代理有限公司

代理人 许 静

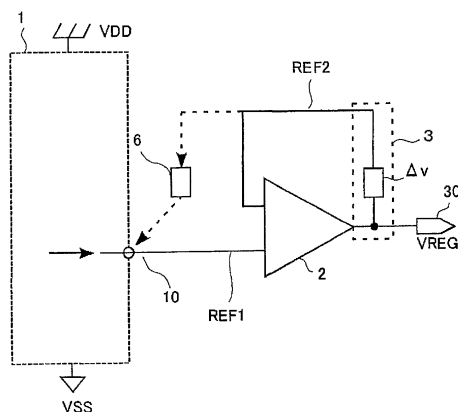
权利要求书 2 页 说明书 15 页 附图 14 页

[54] 发明名称

定电压发生电路

[57] 摘要

本发明的定电压发生电路，具有：基准电压发生源 1；差动放大器 2，对其一个端子输入基准电压发生源 1 的输出电压(REF1)，而对其另一个端子输入稳压器电压(VREG)与规定电位差相加后的电位(VREF2)；和开关单元 6，其在接通电源后的一定期间内，进行控制以使基准电压发生源 1 输出端子 10 的电流增加。开关单元 6 根据 VREF2 进行接通/关断，由此从电源接通时，在短时间内使基准电压发生源 1 的输出电压(REF1)稳定，并且使稳压器电压(VREG)稳定。



1. 一种定电压发生电路，其输出使电源电压降压后得到的稳压器电压，其特征在于，

具有：

基准电压发生源，其根据电源电压发生用于生成稳压器电压的基准电压；

差动放大器，其进行这样的动作：对一个输入端子输入所述基准电压发生源的输出电位，对另一个输入端子输入稳压器电压输出端子的电压与规定电位差相加后的电位，根据输入到所述2个输入端子上的电位来使所述稳压器电压输出端子的电位保持恒定；和

开关单元，其在电源接通后的一定期间，在增加所述基准电压发生源输出端的电流量的方向上控制输出电位；

所述开关单元，根据输入到所述差动放大器的所述另一个输入端子的电位来进行控制。

2. 根据权利要求1所述的定电压发生电路，其特征在于，

所述开关单元，在电源接通后的一定期间，将所述基准电压发生源的输出端子与所述差动放大器的所述另一个输入端子连接。

3. 根据权利要求1所述的定电压发生电路，其特征在于，

所述开关单元，在电源接通后的一定期间，将所述基准电压发生源的输出端子与负电源线连接。

4. 根据权利要求1所述的定电压发生电路，其特征在于，

所述开关单元，在电源接通后的一定期间，将所述基准电压发生源的输出端子与所述稳压器电压输出端子连接。

5. 根据权利要求1至4中任一个所述的定电压发生电路，其特征在于，

所述开关单元包含N沟道或者P沟道的晶体管，该晶体管根据输入到差动放大器的所述另一个输入端子的电位来控制导通状态和关断状态的切换。

6. 根据权利要求1至4中任一个所述的定电压发生电路，其特征在于，

所述基准电压发生源含有电流镜电路，

所述开关单元，在电源接通后的一定期间，控制构成所述电流镜电路的晶

体管栅极电位，来增加在所述电流镜电路中流过的电流量。

7. 根据权利要求 1 至 4 中任一个所述的定电压发生电路，其特征在于，  
所述基准电压发生源，含有与电源电压连接的定电压二极管与电阻的串联电路，

所述开关单元，在电源接通后的一定期间，控制构成所述串联电路的定电压二极管与电阻的连接点的电位，来增加在所述串联电路中流过的电流量。

## 定电压发生电路

### 技术领域

本发明涉及定电压发生电路，尤其涉及根据电源电压发生规定的基准电压、并根据该基准电压输出稳压（regulate）电压的定电压发生电路。

### 背景技术

根据现有技术，如时钟用 IC，在要求耗电少即低电力这样的特性的系统中，作为内部电路用的电源，使用定电压发生电路（稳压器）。定电压发生电路使由外部提供的电源电压降压，以发生稳压电压。时钟用 IC 等的内部电路，通过该稳压电压进行驱动。另外，这样的定电压发生电路还作为模拟的偏置电源来使用。

第 8 图是表示典型的定电压发生电路的结构电路图。如图 8 所示，定电压发生电路，基于电源电压通过基准电压发生源（带隙基准电压源型（band gap reference））1 发生基准电压，通过差动放大器 2 进行电流放大，并进行微调 and 反馈控制，以使在输出级 3 形成希望的输出电压。通过正电源电压 VDD 与负电源电位 VSS 的电位差，给出电源电压。在正电源线 5 上给予正电源电位 VDD 电位，在负电源线 4 上给予负电源电位 VSS 电位。一般在时钟用 IC 的情况下，采用使正电源电位 VDD 为接地电位的负电源。

基准电压发生源 1，例如可以构成为具有：构成电流镜电路的 2 个 P 沟道的 MOS 晶体管（以下，记为 PMOS 晶体管）11、12 以及 2 个 N 沟道的 MOS 晶体管（以下，记为 NMOS 晶体管）13、14、和电阻 15。

第一 PMOS 晶体管 11 的源极与电阻 15 的一端连接。电阻 15 的另一端与正电源线 5 连接。第一 PMOS 晶体管 11 的栅极，与第二 PMOS 晶体管 12 的栅极、漏极以及第二 NMOS 晶体管 14 的漏极连接。

第一 PMOS 晶体管 11 的漏极，与第一 NMOS 晶体管 13 的漏极、栅极以及第二 NMOS 晶体管 14 的栅极连接。第二 PMOS 晶体管 12 的源极与正电源线 5 连接。第一 NMOS 晶体管 13 的源极以及第二 NMOS 晶体管 14 的源极与

负电源线4连接。第二PMOS晶体管12的漏极与第二NMOS晶体管14漏极的节点16,为基准电压发生源1的输出端子,从此作为基准电压输出第一电位REF1。

作为基准电压发生源1的输出端子的节点16,与差动放大器2的另一个输入端子和输出级3连接。差动放大器2的另一个输入端子以及输出端子,与输出级3连接。输出级3具有:相位补偿电容器31、输出驱动用的第三NMOS晶体管32、用于使稳压电压输出端子30的电位(稳压电压VREG)与规定的电位差(这里为NMOS晶体管的正阈值 $V_{th}$ )相加的第四NMOS晶体管33、以及成为定电流源的第三PMOS晶体管34。

差动放大器2的输出端子,经由相位补偿电容器31与稳压电压输出端子30、第三NMOS晶体管32的漏极、第四NMOS晶体管33的源极以及基体(bulk)连接。另外,差动放大器2的输出端子,与第三NMOS晶体管32的栅极连接。第三NMOS晶体管32的源极,与负电源线4连接。第四NMOS晶体管33的漏极以及栅极,与差动放大器2的所述另一个输入端子和第三PMOS晶体管34的漏极连接。即,在差动放大器2的所述另一个输入端子上施加从第四NMOS晶体管33的漏极输出的第二电位REF2。

第三PMOS晶体管34的栅极,与成为基准电压发生源1的输出端子的节点16连接。即,在第三PMOS晶体管34的栅极上施加第一电位REF1。第三PMOS晶体管34的源极与正电源线5连接。

通过以上这样的构成,差动放大器2进行这样的动作,即将稳压电压输出端子30的电位保持在第一电位REF1与第四NMOS晶体管33的正阈值 $V_{th}$ 相加后的电位上。该动作是稳压器动作。

第9图表示所述第8图所示的定电压发生电路启动时的各部的电位变化。如第9图(a)所示,接通电源后当负电源线4的电位成为负电源电位VSS时,如图9(b)所示,第一电位REF1从正电源电位VDD缓缓地向负电源电压VSS侧变化,从电源接通时开始经过了期间T1后,稳定在固定电压上。另外,如图9(c)所示,第二电位REF2暂时被拉到负电源电位VSS侧后,稳定在与第一电位REF1的稳定电位相同的电位上。当第一电位REF1和第二电位REF2处于以相同的电位稳定的状态时,如图9(d)所示,稳压电压VREG成

为稳定后的电位。

在定电压发生电路中，尤其在发生驱动时钟用 IC 的驱动电压的定电压发生电路中，除了如上所述要求减少耗电之外，还要求在接通电源后直到成为稳定电位的启动性良好，以及针对电源电压变动的输出电位稳定。

对于在上述的定电压发生电路中要求的启动性进行说明。当对直到稳压电压 VREG 的电位稳定的过渡期的动作进行详细说明时，成为以下这样。在电源接通之后，相位补偿电容器 31 和与第三 NMOS 晶体管 32 的栅极体电容 C 为无电荷状态。因此，稳压电压 VREG 的电位大致表现为负电源电位 VSS (第 9 (d) 图)。另外，在电源接通之后，第三 PMOS 晶体管 34 的栅极偏置 (第一电位 REF1) 浅。因此，第三 PMOS 晶体管 34 的电流供给能力是很低的，不能迅速对相位补偿电容器 31 和与第三 NMOS 晶体管 32 的栅极体电容 C 进行充电。

因此，存在稳压电压 VREG 大致成为电源电压的期间 T1。当基准电压发生源 1 的输出电位 (第一电位 REF1) 稳定后，第三 PMOS 晶体管 34 一旦得到规定的电流供给能力，就对相位补偿电容器 31 和与第三 NMOS 晶体管 32 的栅极体电容 C 进行充电。由此，稳压电压 VREG 的电位成为希望的电位。

如上所述，在图 8 所示的定电压发生电路中，其启动性依存于基准电压发生源 1 的启动性。尤其，在要求低耗电特性的时钟用 IC 的情况下，基准电压发生源 1，由高电阻的电阻 15、和被高阻抗 (沟道长 L 大) 化的 MOS 晶体管 11、12、13、14 组成，所以动作电流变小，到收敛于稳定动作点的时间 (期间 T1) 变长。

该期间 T1 还根据 MOS 晶体管 11、12、13、14 的阈值  $V_{th}$ 、环境温度以及施加的负电源电位 VSS 值而变动，而在室温下为数百毫秒左右，在低温下为数 ~ 数十秒。因此，在将图 8 所示的定电压发生电路作为内部电路用的电源来使用时，存在这样的问题：由于稳压电压 VREG 与电源电压大致相等，所以启动时的耗电增大。另外，在将该定电压发生电路作为模拟偏置电源来使用时，存在这样的问题：由于至少在期间 T1 中不能提供适当的偏置电压，所以成为误动作的原因。

与这些启动性相关的问题点，可以通过在电源接通之后使流入基准电压发

生源 1 的电流暂时增加、加速向稳定动作点的收敛来解决。由此, 本申请人首先提出了用于改善基准电压发生源 1 的启动性的提案(例如, 参照专利文献 1)。在此提案中如图 10 所示, 在形成基准电压发生源 1 的输出端子的输出节点 16 与负电源线 4 之间连接着电容器 17。在电源接通时, 电容器 17 为无电荷状态。因此, 输出节点 16 被强制性拉到负电源电位 VSS。由此, 在基准电压发生源 1 中暂时流较多的电流, 在短时间内收敛于稳定动作点。

但是, 之后, 在上述提案中, 已经判明: 在所述的定电压发生电路中所要求的、作为另一个要求的、对于电源电压的变动的输出电位的稳定性方面存在问题, 有时不能得到充分的稳定性。

例如, 如由太阳电池系统驱动的太阳能时钟那样, 在采用通过发电元件蓄电于二次电池中的电源来驱动系统时, 由于发电量而电源电压变动。在这样的系统中, 如上所述, 在适用了通过电容器来加速向稳定动作点的收敛的提案时, 通过以启动性改善为目的而附加的电容, 使输出电位随着电源变动而变动。

例如第 11 图所示, 当负电源电位 VSS 变动时, 保持电容器 17 的充电电压, 由此电源的电位变动量原样不变地重叠在输出电位上, 基准电压发生源 1 的输出节点 16 的电位随着电源变动而变动。因此, 对于电源变动的输出电位的稳定性较低。另一方面, 如果使电容器 17 的容量变小, 则可以缓解电源变动的影响, 不过在此情况下不能充分得到启动性改善的效果。

另一方面, 作为改善对于电源电压的变动的输出电位的稳定性的技术, 提出了特开昭 62-296213 号公报。在该文献中所示的定电压电路, 具有电流镜电路和第一定电压元件, 在将第一定电压元件的非基准电位侧端子作为输出端的定电压电路中, 设置有: 启动电阻与第二定电压元件的串联电路; 和在第一、第二定电压元件的非基准电位侧的端子间连接的开关元件。

在此构成中, 通过在启动初期的时刻导通开关元件流出启动电流, 来使定电压电路启动, 在导通后切断开关元件。该开关元件在第一导通状态下, 将启动电流提供给第一定电压元件来进行偏置, 由此使定电压电路初期启动, 在第二关断状态下, 通过停止该启动电流的供给来免受电源电压变动的影响。

另外, 除了上述的结构之外, 还提出了这样的定电压电路: 对构成定电压发生电路具有的电流镜电路的晶体管的栅极电位进行控制使动作电流增加, 由

此取得不依存于电源电压变动的输出电位,并且在接通电源之后得到在短时间内稳定的电位。(例如,参照专利文献2~5)

专利文献1: 登记实用新型第2594470号公报

专利文献2: 特开2002-132359号公报

专利文献3: 专利第3149992号

专利文献4: 特开平09-265329号公报

专利文献5: 特开平05-204480号公报

该定电压发生电路,例如,具有:基准电压发生源,其发生用于根据电源电压生成稳压电压的基准电压;和栅极控制单元,其控制构成电流镜电路的晶体管的栅极电位,以使在电源接通之后的一定期间内,流入包含在基准电压发生源中的电流镜电路的电流增加。

栅极控制单元控制晶体管的栅极电位。通过将栅极置为导通状态来使电流镜电路的动作电流增加,在电源接通后得到在短时间内稳定的电位。另外,通过将栅极置为关断状态来防止由电源电压变动引起的输出电位的变动。

第12图是表示控制电流镜电路的栅极电位的定电压发生电路的结构电路图。图12所示的电路表示以上述第8图的结构为基础的例子。该电路的结构被构成为在图8所示的定电压发生电路中设置有开关单元71、和进行开关单元71的开闭控制的开关控制单元72这样的结构。

开关单元71连接在构成基准电压发生源1的电流镜电路的第一以及第二PMOS晶体管11、12的各栅极,即成为基准电压发生源1的输出端子的输出节点16与负电源线4之间。

开关控制单元72,输出在电源接通之后瞬间使开关单元71成为闭合(接通)状态的控制信号。由此,开关单元71仅在电源接通后的一定期间内成为闭合状态,之后成为断开(关断)状态。开关单元71例如由MOS晶体管构成。

在电源接通后的一定期间内,通过开关单元71以及开关控制单元72来控制第一PMOS晶体管11的栅极电位以及第二PMOS晶体管12的栅极电位。因此,开关单元71以及开关控制单元72具有作为栅极控制单元的功能。另外,开关单元71以及开关控制单元72,在电源接通之后的一定期间内将成为基准

电压发生源 1 的输出端子的输出节点 16 连接在负电源线 4 上, 所以具有作为基准电压控制单元的功能。

第 13 图是开关控制单元 72 的电路图, 由电阻 73、电容器 74 以及倒相器 (inverter) 75 构成。电阻 73 与电容器 74 串联连接在正电源电位 VDD 和负电源电位 VSS 之间。倒相器 75 的输入端子连接在电阻 73 与电容器 74 的连接节点 76 上。从倒相器 75 的输出端子 77 中输出控制开关单元 71 开闭的控制信号。

第 14 图是表示图 13 所示的开关控制单元 72 启动时的电位变化的波形图。如图 14 (b) 所示, 连接节点 76 的电位, 在与接通电源后负电源线 4 的电位成为负电源电位 VSS (第 14 (a) 图) 的同时, 成为负电源电位 VSS。之后, 连接节点 76 的电位通过电容器 74 的蓄积, 缓缓向正电源电位 VDD 侧变化。

如图 14 (c) 所示, 倒相器 75 的输出端子 77 的电位, 在电源接通后、连接节点 76 的电位到达电源电压的二分之一 ( $VSS/2$ ) 之前, 为正电源电位 VDD, 倒相器 75 的输出端子 77 的电位, 当连接节点 76 的电位在电源电压的二分之一 ( $VSS/2$ ) 以上、成为正电源电位 VDD 侧时, 成为负电源电位 VSS。开关单元 71 从电源接通开始, 直到在倒相器 75 的输出端子 77 的电位从正电源电位 VDD 反转到负电源电位 VSS 之前的期间 T2 之间, 为闭合状态。

可是, 上述定电压电路为通过开关控制单元 72 来控制开关单元 71 的接通、关断这样的结构, 所以存在必需另外准备并设置开关控制单元 72 这样的问题。另外, 该开关控制单元 72, 电源接通后的闭合状态的期间, 根据向电容器 74 的充电时间来确定。因此, 为了缩短该期间 T2 可以通过将电阻 73 作成低电阻、或者将电容器 74 作成小容量来减少时间常数, 但是在这种结构中存在这样的问题: 较大的电流在短时间内流入开关控制单元 72 中, 由此必需考虑构成开关控制单元 72 的元件的耐电流特性、以及在开关电流单元中发生的噪音。

发明内容

本发明的目的是, 要消除基于上述现有技术所发生的问题, 在定电压发生电路中, 输出这样的稳压电压: 不受电源变动的影响、对于电源电压的变动输出电位稳定, 且从电源接通至稳定电位的启动性良好, 接通电源之后在短时间内稳定。

此外,本发明的目的是,通过不需要开关控制单元这样的附加电路的、简易的电路结构,实现对于上述电源电压变动的输出电位的稳定性、从电源接通至稳定电位的良好的启动性。

另外,本发明的目的是,构成这样的电路结构,不用考虑噪音及元件的耐电流特性,可以得到接通电源后在短时间内稳定的稳压电压。

本发明为了解决上述的课题、实现目的,具有以下形态。图1是用于说明本发明定电压发生电路概略结构的概略电路图。

在图1中,定电压发生电路输出使电源电压(VSS)降压后得到的稳压器电压(VREG)。此外,这里,电源电压的一端为接地电压(VDD)。

本发明的定电压发生电路,具有:基准电压发生源1和差动放大器2,该基准电压发生源1,根据电源电压(VSS)产生用于生成稳压器电压(VREG)的基准电压;该差动放大器2,在一个输入端子上输入基准电压发生源1的输出电位(REF1),在另一个输入端子上输入稳压器电压输出端子的电压(VREG)与规定的电位差( $\Delta v$ )相加后的电位(REF2),根据输入到上述2个输入端子的电位(REF1、REF2)来使稳压器电压输出端子的电位保持恒定地进行动作。

此外,还具有开关单元6,其在接通电源之后的一定期间内,向增加基准电压发生源1输出端10的电流量的方向控制输出电位。开关单元6含有控制接通状态与关断状态的切换的晶体管,该晶体管根据输入到差动放大器的另一个输入端子的电位(REF2),进行接通状态与关断状态的切换控制。

通过开关单元6成为接通状态,使基准电压发生源1输出端10的电位变化,使从基准电压发生源1的输出端10向差动放大器2侧的电流增加,由此,从电源接通时短时间内可以使基准电压发生源的输出电压稳定,使稳压器电压稳定。另外,通过将开关单元6置为关断状态,可以防止由电源电压变动引起的输出电位的变动。

因为根据输入到差动放大器2的另一个输入端子的电位(REF2)来控制该开关单元6,所以不需要另准备设置用于控制该开关单元6的开关控制单元,以简易的结构就可以实现。本发明的开关单元,可以通过多个方式来控制基准电压发生源的输出电位。

本发明开关单元的第一方式和第二方式,是在电源接通后的一定期间内,

将基准电压发生源的输出端子连接到差动放大器的另一个输入端子上的方式。

根据第1方式以及第2方式，在电源接通后的一定期间内，开关单元成为接通状态，这样，将输入到差动放大器的一个输入端子上的电位（REF1）下拉至输入到另一个输入端子的电位（REF2）。由此，基准电压发生源中流过的电流量增加，在短时间内使基准电压发生源的输出电压稳定，使稳压器电压稳定。

另外，通过将开关单元6置为关断状态，来防止穿透电流，防止由电源电压变动引起的输出电位的变动。

本发明开关单元的第3方式，为在电源接通后的一定期间内，将基准电压发生源的输出端子连接到负电源线上的方式。

根据第3方式，在电源接通后的一定期间内，开关单元成为接通状态，由此将输入到差动放大器的另一个输入端子的电位（REF1）下拉至负电源电压（VSS）。由此在基准电压发生源中流过的电流量增加，在短时间内使基准电压发生源的输出电压稳定，使稳压器电压稳定。

本发明开关单元的第4方式，为在电源接通后的一定期间内，将基准电压发生源的输出端子连接到稳压器电压输出端子上的方式。

根据第4方式，在电源接通后的一定期间内，开关单元成为接通状态，由此将输入到差动放大器的一个输入端子的电位（REF1）下拉至稳压器电压输出端子的电压（VREG）。由此，在基准电压发生源中流过的电流量增加，在短时间内使基准电压发生源的输出电压稳定，使稳压器电压稳定。

因为稳压器电压输出端子的电压（VREG），是与负电源电位VSS相比更靠近于正电源电位VDD的电压，所以可以降低开关单元为关断状态的稳定状态下的漏电流。

本发明开关单元可以做成这样的结构：包含N沟道或者P沟道的晶体管，该晶体管根据输入到差动放大器的所述另一个输入端子的电位，控制接通状态与关断状态的切换。

另外，基准电压发生源，例如可以做成含有电流镜电路、含有电阻和二极管的串联电路等各种结构。

在含有电流镜电路的基准电压发生源中，通过开关单元，在电源接通之后

的一定期间内,控制构成电流镜电路的晶体管的栅极电位,来增加在电流镜电路中流过的电流量,由此,在短时间内使基准电压发生源的输出电位稳定。

另外,在包含连接在电源电压上的、定电压二极管和电阻的串联电路的基准电压发生源中,通过开关单元,在电源接通之后的一定期间内,控制构成串联电路的定电压二极管和电阻的连接点的电位,增加在串联电路中流过的电流量,由此,在短时间内使基准电压发生源稳定。这是本发明的第5方式。

#### 附图说明

图1是表示本发明定电压发生电路的概略结构电路图。

图2是用于说明本发明定电压发生电路的第1方式的电路图。

图3是表示图2所示的定电压发生电路启动时的电位变化波形图。

图4是用于说明本发明定电压发生电路的第2方式的电路图。

图5是用于说明本发明定电压发生电路的第3方式的电路图。

图6是用于说明本发明定电压发生电路的第4方式的电路图。

图7是作为第5方式用于说明本发明定电压发生电路的第1方式的其它电路例的电路图。

图8表示典型的定电压发生电路的结构电路图。

图9是表示图8所示的定电压发生电路启动时的电位变化波形图。

图10是表示现有的改善了启动性的基准电压发生源的结构电路图。

图11是表示图10所示的基准电压发生源的输出节点的电位变化波形图。

图12是表示控制电流镜电路栅极电位的定电压发生电路的结构电路图。

图13是表示开关控制单元一例的电路图。

图14是图13所示的开关控制单元启动时的电位变化的波形图。

#### 具体实施方式

以下,参照附图来详细地说明本发明定电压发生电路的最佳实施方式。此外,这里表示出了使上述图8所示的典型的定电压发生电路适用了本发明的方式,但是本发明的适用不仅仅限定于该定电压发生电路,也可以适用于由其它结构组成的定电压发生电路。

因此,在以下各实施方式中,对于与上述图8所示的结构相同的结构,标注相同符号并省略说明。

此外，如在所述第 1 图所示，以下所示的本发明的各实施方式，为具有根据输入到差动放大器的另一个输入端子的电位（REF2）进行接通状态与关断状态的切换控制的开关单元这样的结构，通过该开关单元的开闭动作，在接通了电源之后的一定期间内，在增加基准电压发生源输出端的电流量的方向上，控制输出电位。

以下所示的各实施方式，通过开关单元的开闭动作，在电源接通之后的一定期间内，将基准电压发生源的输出端子与低电压的部位连接，由此，增加基准电压发生源输出端的电流量。向电压发生源输出端子的低电位部位的连接，在第 1、2 实施方式、以及第 5 实施方式中，通过与差动放大器的另一个输入端子连接来进行，在第 3 实施方式中通过与负电源线连接来进行，在第 4 实施方式中通过与稳压器电压输出端子连接来进行。另外，该开关单元的控制，通过输入到差动放大器的另一个输入端子的电位来进行。

此外，在以下第 1 实施方式～第 4 实施方式中，作为基准电压发生电路采用含有电流镜电路的例子进行说明，在第 5 实施方式中，作为基准电压发生电路采用含有电阻和定电压二极管的串联电路的例子进行说明。

#### 第 1 实施方式：

第 2 图是表示第 1 实施方式的定电压发生电路的结构电路图，是在电源接通之后的一定期间内，将电压发生源的输出端子连接在差动放大器的另一个输入端子上的方式。

如图 2 所示，第 1 实施方式，由 NMOS 晶体管 61 来构成开关单元 6，通过定电压发生电路内的信号（输入到差动放大器的另一个输入端子的电位）来控制该 NMOS 晶体管 61 的接通状态和关断状态的切换。NMOS 晶体管 61 开闭状态的切换，通过施加在晶体管上的电位来控制，所以在第 1 实施方式中不需要现有结构的开关控制单元 72。

NMOS 晶体管 61 的栅极以及漏极与基准电压发生源 1 的输出节点 16（输出端子 10）连接。另一方面，NMOS 晶体管 61 的源极以及基体与差动放大器 2 的另一个输入端子连接。即，在 NMOS 晶体管 61 的栅极以及漏极上施加第一电位 REF1，在该源极以及基体上施加第二电位 REF2。

第 3 图是表示图 2 所示的定电压发生电路启动时的各部的电位变化波形

图。如第3(a)图所示,在接通电源后负电源线4的电位成为了负电源电位VSS的时刻,如第3(b)图以及第3(c)图所示,第一电位REF1与第二电位REF2存在电位差。即,NMOS晶体管61的栅极相对于源极施加了正电位。在存在该电位差时,NMOS晶体管61成为导通状态,第一电位REF1被拉至第二电位REF2。由此,在电流镜电路中流过的电流量增加。

并且,当通过差动放大器2的动作第一电位REF1与第二电位REF2成为以相同的电位稳定的状态时,如第3(d)图所示,稳压电压VREG成为稳定的电位。在达到成为该稳定状态所需的时间T3,与现有期间T1(参照第9图)相比极短,例如在室温下是1毫秒,在低温下是10毫秒左右。

当成为稳定状态时,第一电位REF1与第二电位REF2成为同电位,所以NMOS晶体管61成为关断状态。通过置为该关断状态,可以避免流过穿透电流、或电源电压的变动对稳压电压VREG带来影响等这样的负面影响。

在第1实施方式中,在电源接通后的一定期间内,通过NMOS晶体管61来控制包含在基准电压发生源1内的电流镜电路中的第一PMOS晶体管11的栅极电位以及第二PMOS晶体管12的栅极电位。因此,NMOS晶体管61具有作为电流镜电路的栅极控制单元的功能。

另外,NMOS晶体管61,在电源接通后的一定期间内,将成为基准电压发生源1的输出端子的输出节点16(输出端子10)与差动放大器2中、输入第二电位REF2的输入端子连接。因此,NMOS晶体管61,具有作为基准电压控制单元的功能。此外,代替NMOS晶体管61可以采用二极管。

## 第2实施方式:

第4图是表示第2实施方式的定电压发生电路的结构电路图,与第1实施方式相同,是在电源接通之后的一定期间内,将电压发生源的输出端子连接在差动放大器的另一个输入端子上的方式。

如图4所示,第2实施方式由PMOS晶体管62来构成开关单元6,通过定电压发生电路内的信号(输入到差动放大器的另一个输入端子的电位)来控制该PMOS晶体管62的接通状态和关断状态的切换。PMOS晶体管62开闭状态的切换,通过施加在晶体管上的电位来控制,所以在第2实施方式中也不需要现有结构的开关控制单元72。

PMOS 晶体管 62 的源极与基准电压发生源 1 的输出节点 16(输出端子 10) 连接。另一方面, PMOS 晶体管 62 的栅极以及漏极与差动放大器 2 的另一个输入端子连接。此外, PMOS 晶体管 62 的基体, 与正电源线 5 或者基准电压发生源 1 的输出节点 16(输出端子 10) 的某个连接。即, 在 PMOS 晶体管 62 的源极上施加第一电位 REF1, 在其栅极以及漏极上施加第二电位 REF2, 在该基体上施加正电源电位 VDD 或者第一电位 REF1。

在接通电源后负电源线 4 的电位成为了负电源电位 VSS 的时刻, 第一电位 REF1 与第二电位 REF2 存在电位差。即, PMOS 晶体管 62 的栅极相对于源极施加负电位。在存在该电位差时 PMOS 晶体管 62 成为接通状态, 第一电位 REF1 被拉至第二电位 REF2。由此, 在电流镜电路中流过的电流量增加。并且, 当通过差动放大器 2 的动作第一电位 REF1 与第二电位 REF2 成为以相同的电位稳定的状态时, PMOS 晶体管 62 成为关断状态。

将基体连接在正电源线 5 上而成为了 VDD 电位时, 启动后在 PMOS 晶体管 62 上加有反向控制(back gate), 所以该晶体管难以导通。PMOS 晶体管 62 的目的是, 仅在电源接通之后的一定期间内导通以进行迅速的启动, 另外在启动后, 当考虑到希望基准电源的电压变动难以被传达到第一电位 REF1 时, 如上所述, 在启动后晶体管变得难以导通, 这是合适的。

后述的第 3 实施方式以及第 4 实施方式中的 PMOS 晶体管 63、64 也是同样。图 4 所示的定电压发生电路启动时的各部的电位变化与所述的第 1 方式相同, 其波形图如图 3 所示。

在第 2 实施方式中, 在电源接通后的一定期间内, 通过 PMOS 晶体管 62 来控制基准电压发生源 1 具有的电流镜电路中的第一 PMOS 晶体管 11 的栅极电位以及第二 PMOS 晶体管 12 的栅极电位。因此, PMOS 晶体管 62 具有作为栅极控制单元的功能。

另外, PMOS 晶体管 62, 在电源接通后的一定期间内, 将成为基准电压发生源 1 的输出端子的输出节点 16(输出端子 10) 与差动放大器 2 中, 输入第二电位 REF2 的输入端子连接。因此, PMOS 晶体管 62 具有作为基准电压控制单元的功能。

第 3 实施方式:

第5图是表示第3实施方式的定电压发生电路的结构电路图,是在电源接通之后的一定期间内,将电压发生源的输出端子连接在负电源线上的方式。

如图5所示,第3实施方式由PMOS晶体管63来构成开关单元6,通过定电压发生电路内的信号(输入到差动放大器的另一个输入端子的电位)来控制该PMOS晶体管63的接通状态和关断状态的切换。PMOS晶体管63开闭状态的切换,通过施加在晶体管上的电位来控制,所以在第3实施方式中也不需要现有结构的开关控制单元72。

PMOS晶体管63的源极、栅极以及漏极,分别与基准电压发生源1的输出节点16(输出端子10)、差动放大器2的另一个输入端子、以及负电源线4连接。此外,PMOS晶体管63的基体,与正电源线5或者基准电压发生源1的输出节点16(输出端子10)的某个连接。

即,在PMOS晶体管63的源极上施加第一电位REF1,在该栅极上施加第二电位REF2,在该漏极上施加负电源电位VSS,在该基体上施加正电源电位VDD或者第一电位REF1。图5所示的定电压发生电路启动时的各部的电位变化与第1实施方式相同,其波形图如图3所示。

在第3实施方式中,在电源接通后的一定期间内,通过PMOS晶体管63来控制第一PMOS晶体管11的栅极电位以及第二PMOS晶体管12的栅极电位。因此,PMOS晶体管63具有作为栅极控制单元的功能。

另外,PMOS晶体管63,在电源接通后的一定期间内将成为基准电压发生源1的输出端子的输出节点16与负电源线4连接,所以具有作为基准电压控制单元的功能。

在第3实施方式中,与由NMOS晶体管构成现有结构的开关单元71的情况相比有这样的优点:即使在由于到连接于系统上的负载的过电流等而导致在电源电压上有变动时,该变动也难以被传达到第一电位REF1上。

#### 第4实施方式:

第6图是表示第4实施方式的定电压发生电路的结构电路图,是在电源接通之后的一定期间内,将电压发生源的输出端子连接在稳压器电压输出端子上的方式。

如图6所示,第4实施方式由PMOS晶体管64来构成开关单元6,通过

定电压发生电路内的信号(输入到差动放大器的另一个输入端子的电位)来控制该 PMOS 晶体管 64 的接通状态和关断状态的切换。PMOS 晶体管 64 开闭状态的切换,通过施加在晶体管上的电位来控制,所以在第 4 实施方式中也不需要现有结构的开关控制单元 72。

PMOS 晶体管 64 的源极、栅极以及漏极,分别与基准电压发生源 1 的输出节点 16(输出端子 10)、差动放大器 2 的另一个输入端子、以及稳压电压输出端子 35 连接。此外,PMOS 晶体管 64 的基体与正电源线 5 或者基准电压发生源 1 的输出节点 16 的某个连接。即,在 PMOS 晶体管 64 的源极上施加第一电位 REF1,在该栅极上施加第二电位 REF2,在其漏极上施加稳压电压 VREG 的电位,在其基体上施加正电源电位 VDD 或者第一电位 REF1。

图 6 所示的定电压发生电路启动时的各部的电位变化,与第 1 实施方式相同,其波形图如图 3 所示。

在第 4 实施方式中,在电源接通后的一定期间内,通过 PMOS 晶体管 64 来控制第一 PMOS 晶体管 11 的栅极电位以及第二 PMOS 晶体管 12 的栅极电位。因此,PMOS 晶体管 64 具有作为栅极控制单元的功能。另外,PMOS 晶体管 64,在电源接通后的一定期间内将成为基准电压发生源 1 的输出端子的输出节点 16 与稳压电压输出端子 30 连接,所以具有作为基准电压控制单元的功能。

在第 4 实施方式中,与负电源电位 VSS 相比稳压电压 VREG 更靠近于正电源电位 VDD,所以有这样的优点:在稳定状态、即 PMOS 晶体管 64 为关断状态时的 PMOS 晶体管 64 的漏电流,比第 3 实施方式的 PMOS 晶体管 63 的漏电流少。

#### 第 5 实施方式:

第 7 图是表示第 5 实施方式的定电压发生电路的结构电路图,与上述的第 1 实施方式相同,是在电源接通之后的一定期间内,将电压发生源的输出端子连接在差动放大器的另一个输入端子上的方式,而且是这样的构成例:作为基准电压发生源,代替电流镜电路,采用了串联连接定电压二极管和电阻的定电压电路。

如图 7 所示,第 5 实施方式,除了基准电压发生源 1 的结构不同之外,与

第2图的电路结构相同。

基准电压发生源1,由串联连接定电压二极管18和电阻17的定电压电路构成,将电阻17和定电压二极管18的连接点连接在输出端10上。

NMOS晶体管61的栅极以及漏极与基准电压发生源1的输出端10连接。

第5实施方式,与上述的第1实施方式同样地动作,在电源接通后的一定期间内,通过NMOS晶体管61控制包含在基准电压发生源1内的定电压电路中的定电压二极管18与电阻17的连接点电位。

另外,NMOS晶体管61,在电源接通后的一定期间内,将作为基准电压发生源1的输出端子的输出端子10与在差动放大器2中输入第二电位REF2的输入端子连接。因此NMOS晶体管61具有作为基准电压控制单元的功能。

在上述例中,表示了这样的例子:作为基准电压发生源,由电流镜电路、或者串联连接定电压二极管和电阻构成,而且即使是其它结构的定电压电路也可以同样适用。例如,也可以在定电压二极管18和电阻17之间设置双极晶体管。此时,将双极晶体管的发射极连接在定电压二极管18上,将集电极连接在电阻17上,将基极连接在输出端子10上。

如以上说明,根据各实施方式,取得了这样的效果:接通电源后,基准电压发生源1的输出电位REF1在短时间内稳定在希望的电压上,所以立刻输出希望的稳定的稳压电压VREG。另外,在成为基准电压发生源1的输出端子的输出节点16与负电源线4之间不连接电容器,所以基准电压发生源1的输出可以不受电源变动影响地完成。因此,取得稳压电压VREG稳定这样的效果。

另外,在各实施方式中,电源电压例如是3V左右,作为以其一半左右的稳压电压VREG来驱动的、低耗电的小型电子设备的定电压发生电路是有效的,例如使用在内置于时钟的定电压发生电路中。

在以上所述中,本发明,不限于上述的实施方式,可以进行各种变更。例如,定电压发生电路的基本结构不限于图8所示的结构。另外,开关单元6不限于MOS晶体管。

如以上所述,本发明的定电压发生电路,对以将电源电压降压后的稳压电压来驱动的小型电子机器是有用的,尤其,适用于例如包含太阳能时钟的所有时钟。

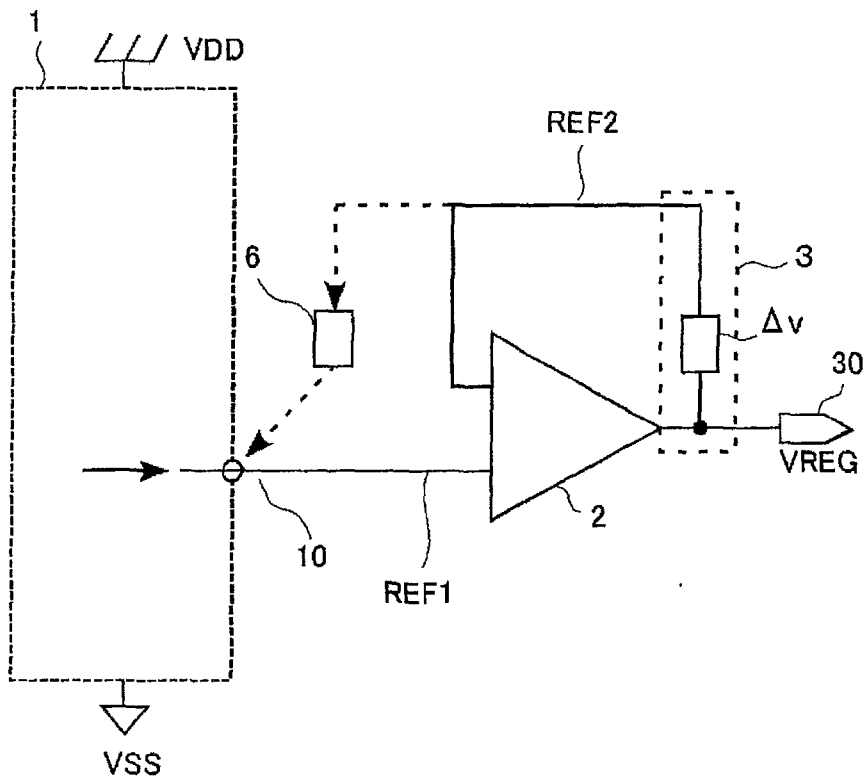


图 1

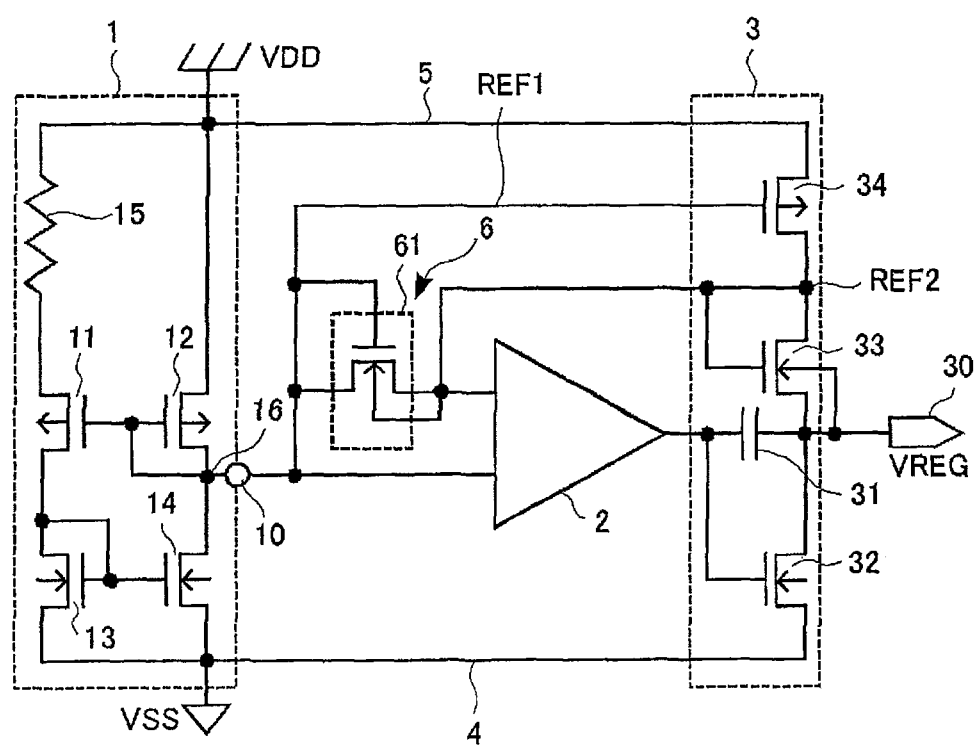


图 2

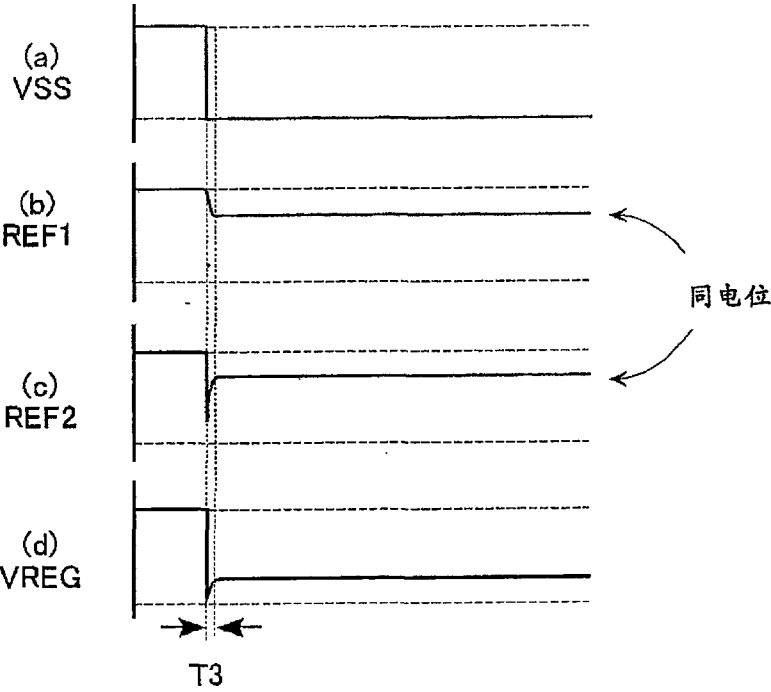


图 3

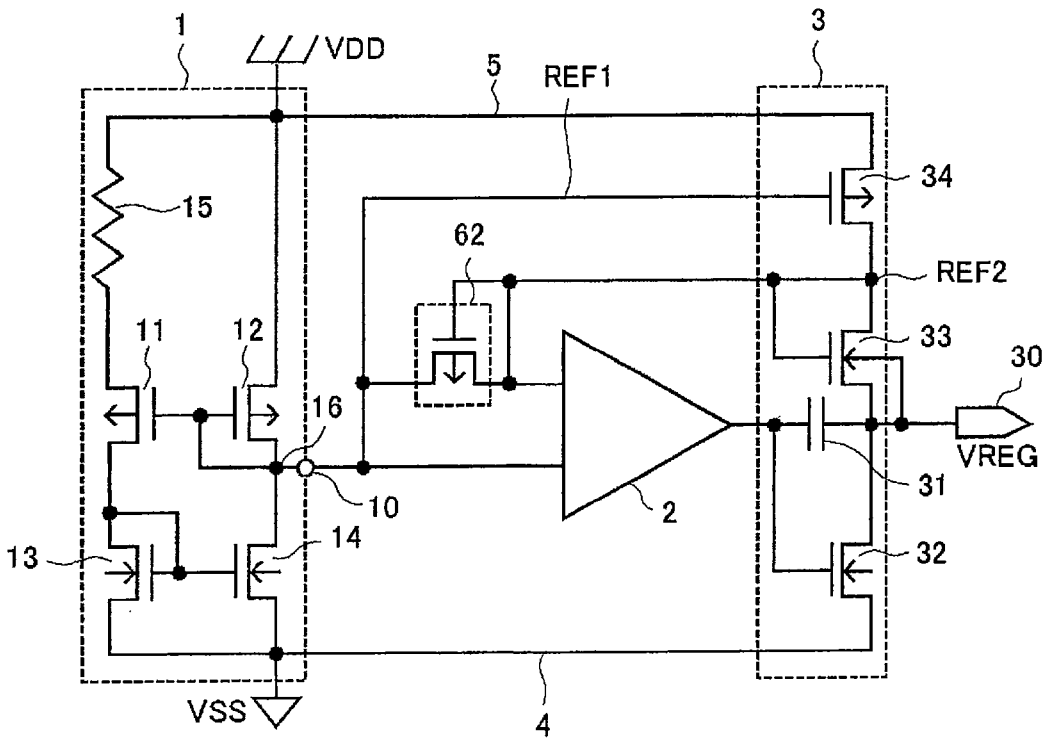


图 4

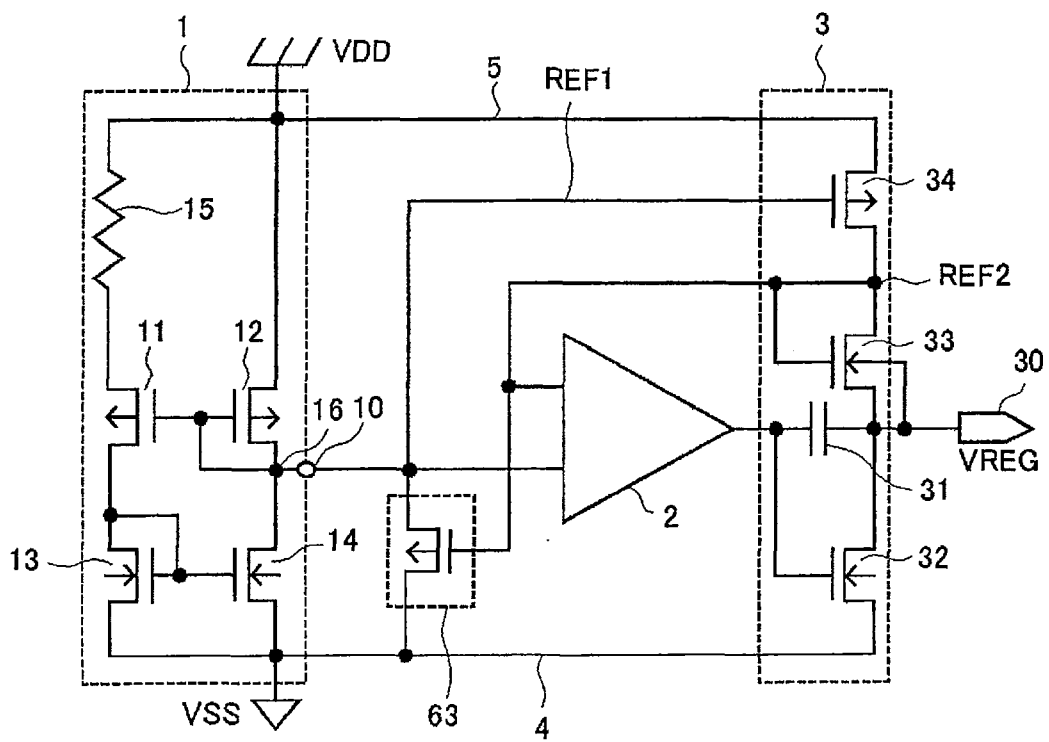


图 5

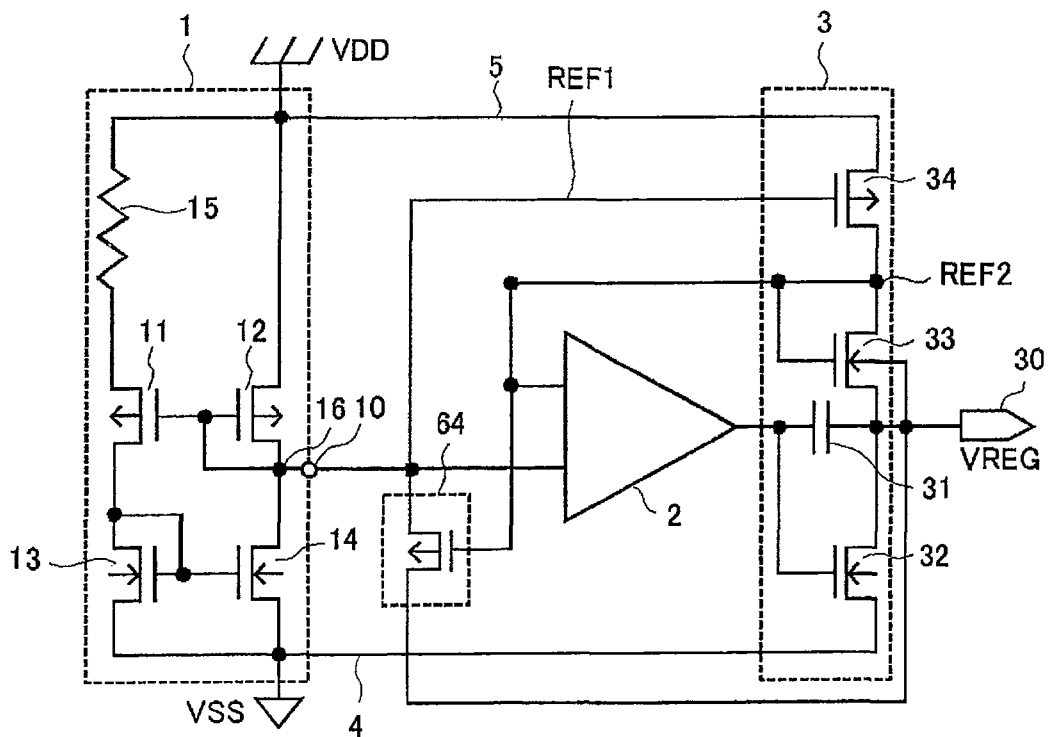


图 6

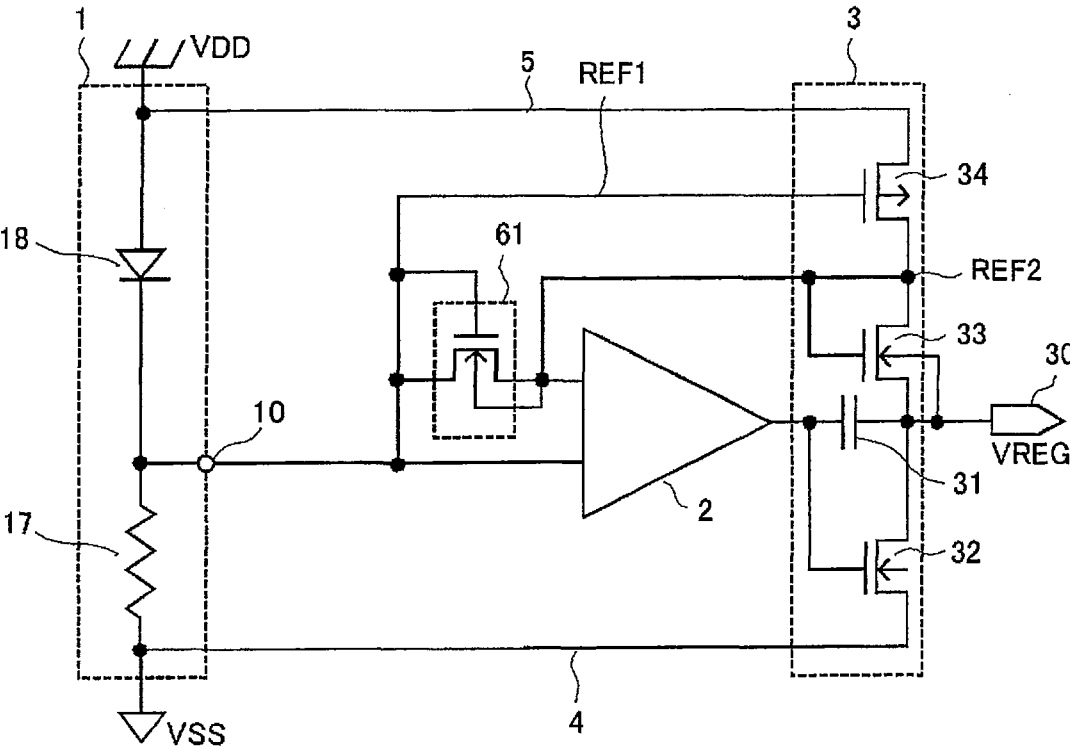


图 7

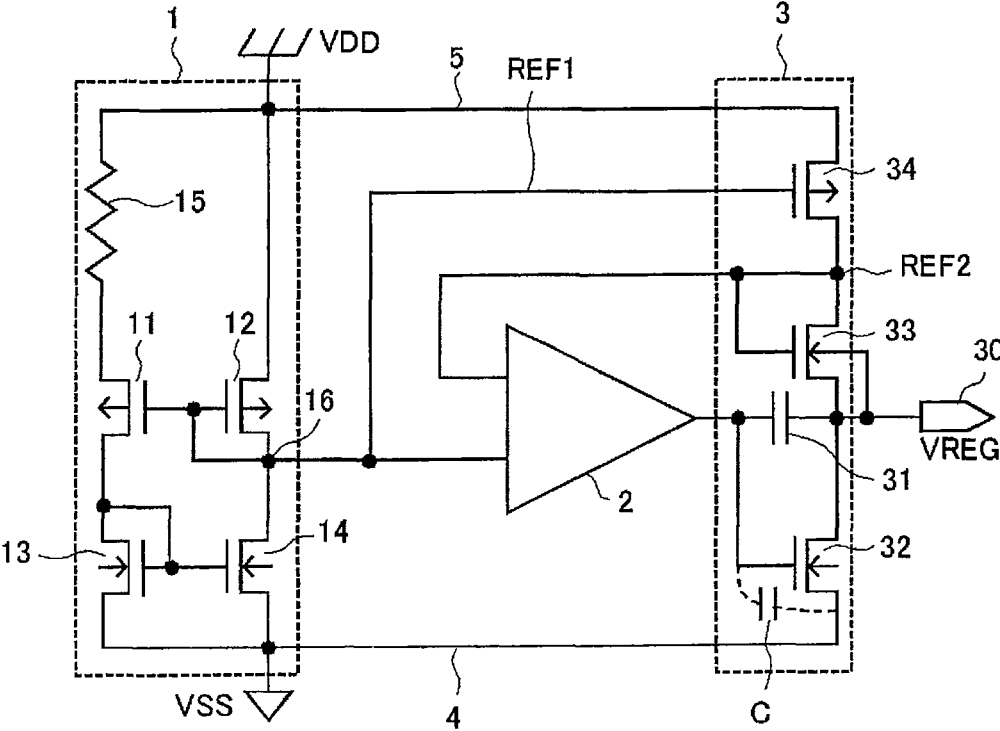


图 8

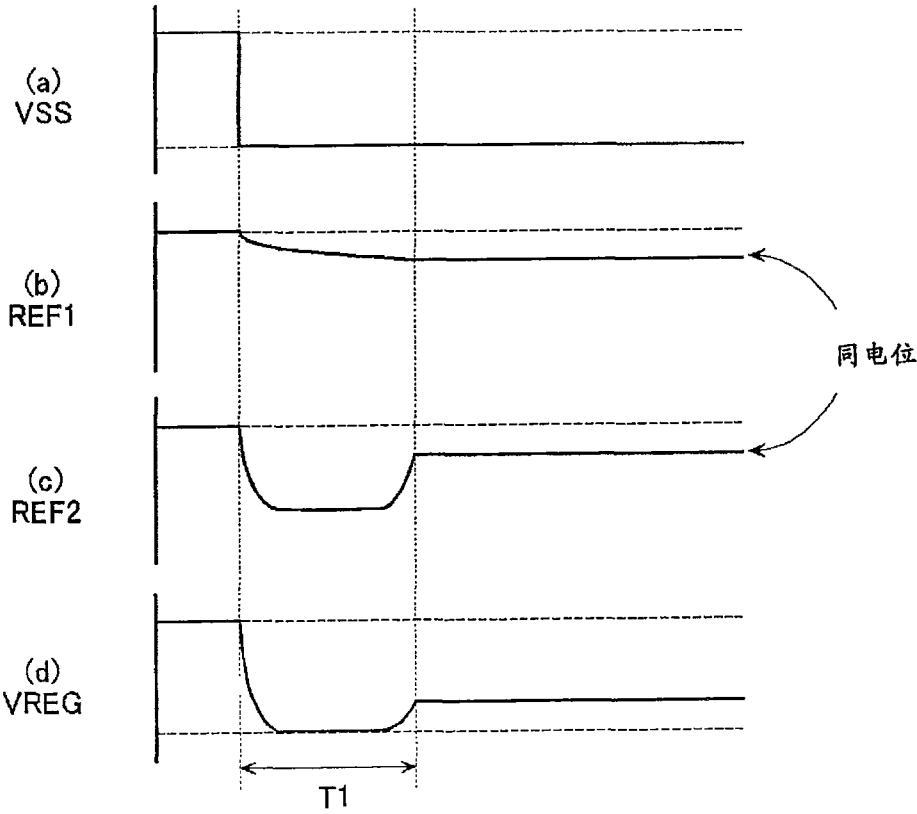


图 9

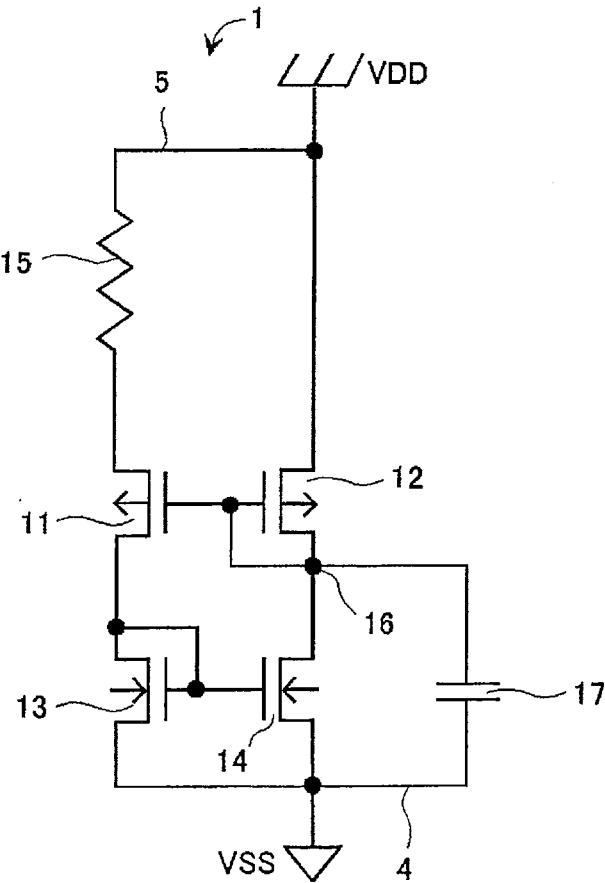


图 10

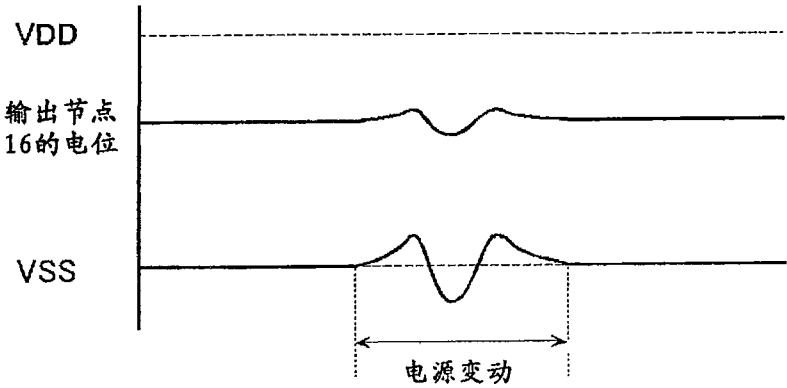


图 11

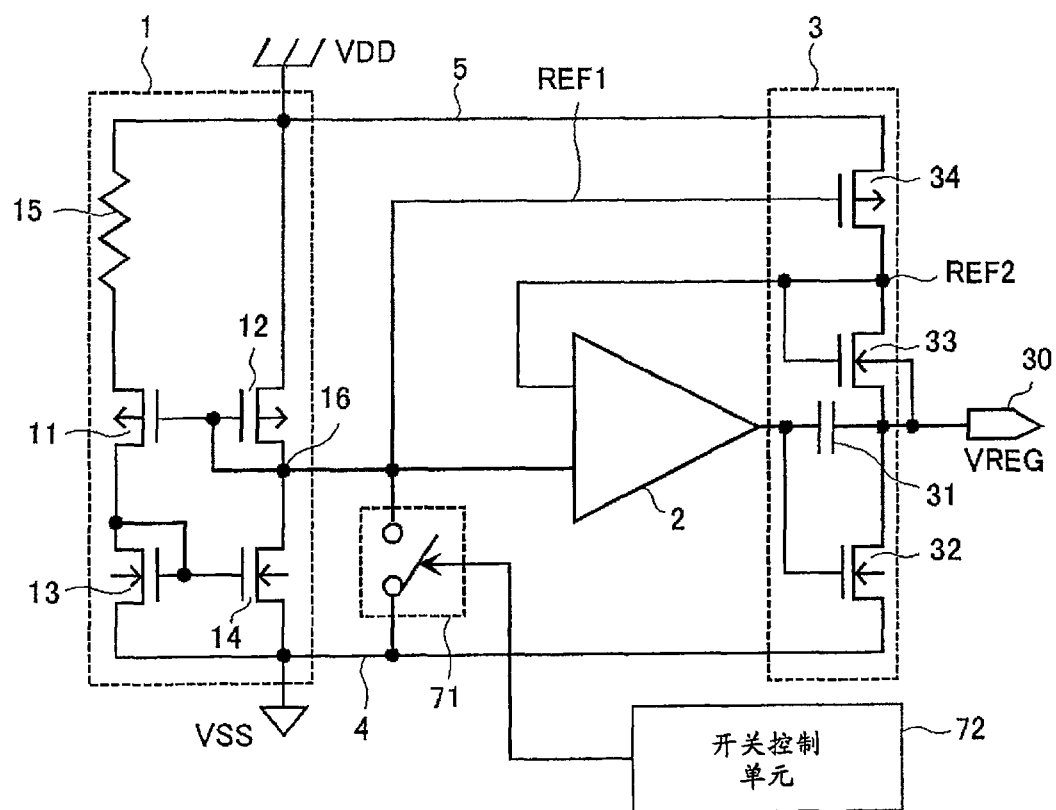


图 12

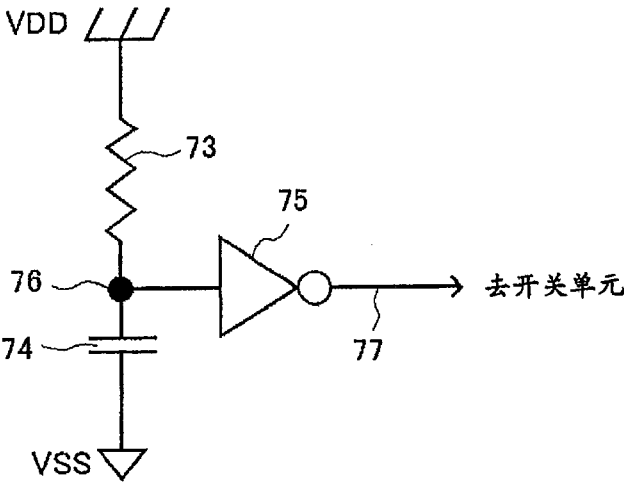


图 13

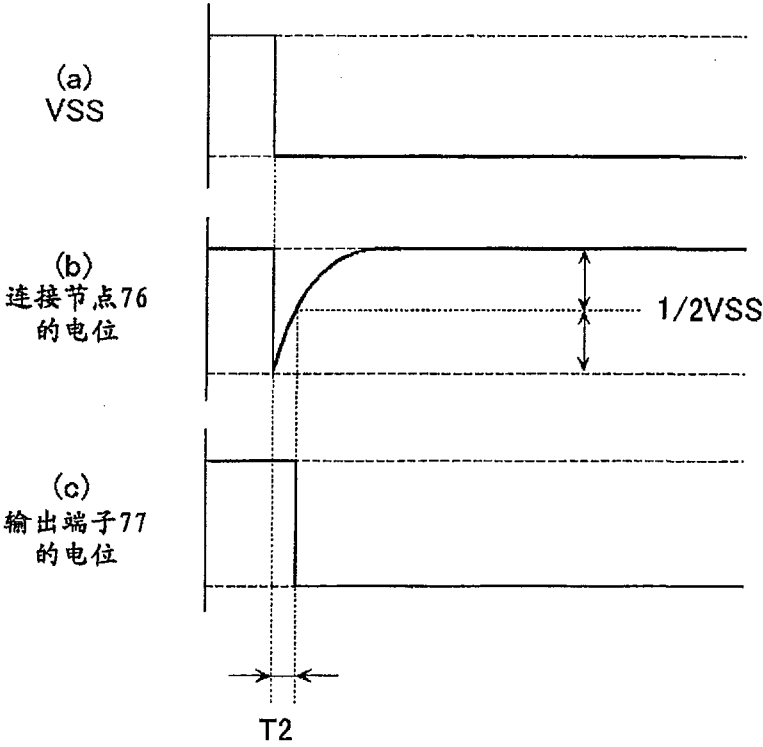


图 14