



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I491011 B

(45)公告日：中華民國 104 (2015) 年 07 月 01 日

(21)申請案號：101146127

(22)申請日：中華民國 101 (2012) 年 12 月 07 日

(51)Int. Cl. : **H01L23/60 (2006.01)**(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD
(TW)

新竹市新竹科學工業園區力行路 16 號

(72)發明人：陳信良 CHEN, HSIN LIANG (TW)；杜碩倫 TU, SHUO LUN (TW)；陳永初 CHAN, WING CHOR (TW)；吳錫垣 WU, SHYI YUAN (TW)

(74)代理人：蔡清福

(56)參考文獻：

US 2005/0082618A1

US 2011/0186909A1

審查人員：毛弘瑋

申請專利範圍項數：21 項 圖式數：7 共 36 頁

(54)名稱

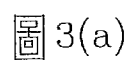
用於高電壓靜電放電防護的雙向三極閘流體

BI-DIRECTIONAL TRIODE THYRISTOR FOR HIGH VOLTAGE ELECTROSTATIC DISCHARGE PROTECTION

(57)摘要

一種用於高電壓靜電放電(ESD)防護的雙向三極閘流體(TRIAC)裝置可包括一基板、一 N^+ 摻雜埋層、一 N 型井區以及二個 P 型井區。該 N^+ 摻雜埋層可被設置鄰近於該基板。該 N 型井區可圍繞該兩個 P 型井區，使得該 N 型井區的一部分被設置在該兩個 P 型井區之間。該 P 型井區可設置在鄰近於該 N^+ 摻雜埋層，且包括一或多個 N^+ 摻雜板和一或多個 P^+ 摻雜板。被設置於該兩個 P 型井區之間的該 N 型井區的該部分可以包括一或多個 P 型部分，比如一 P^+ 摻雜或一 P 型植入。

A bi-directional triode thyristor (TRIAC) device for high voltage electrostatic discharge (ESD) protection may include a substrate, an N^+ doped buried layer, an N-type well region and two P-type well regions. The N^+ doped buried layer may be disposed proximate to the substrate. The N-type well region may encompass the two P-type well regions such that a portion of the N-type well region is interposed between the two P-type well regions. The P-type well regions may be disposed proximate to the N^+ doped buried layer and comprise one or more N^+ doped plates and one or more P^+ doped plates. The portion of the N-type well region that is interposed between the two P-type well regions may comprise one or more P-type portions, such as a P^+ doped plate or a P-type implant.



晶體

發明摘要

公告本 全份

※ 申請案號：101146127

※ 申請日：101年12月7日

※IPC 分類：H01L 23/60 (2006.01)

【發明名稱】用於高電壓靜電放電防護的雙向三極閘流體

BI-DIRECTIONAL TRIODE THYRISTOR FOR HIGH
VOLTAGE ELECTROSTATIC DISCHARGE PROTECTION

【中文】

一種用於高電壓靜電放電(ESD)防護的雙向三極閘流體(TRIAC)裝置可包括一基板、一 N^+ 摻雜埋層、一 N 型井區以及二個 P 型井區。該 N^+ 摻雜埋層可被設置鄰近於該基板。該 N 型井區可圍繞該兩個 P 型井區，使得該 N 型井區的一部分被設置在該兩個 P 型井區之間。該 P 型井區可設置在鄰近於該 N^+ 摻雜埋層，且包括一或多個 N^+ 摻雜板和一或多個 P^+ 摻雜板。被設置於該兩個 P 型井區之間的該 N 型井區的該部分可以包括一或多個 P 型部分，比如一 P^+ 摻雜或一 P 型植入。

【英文】

A bi-directional triode thyristor (TRIAC) device for high voltage electrostatic discharge (ESD) protection may include a substrate, an N^+ doped buried layer, an N-type well region and two P-type well regions. The N^+ doped buried layer may be disposed proximate to the substrate. The N-type well region may encompass the two P-type well regions such that a portion of the N-type well region is interposed between the two P-type well regions. The P-type well regions may be disposed proximate to the N^+ doped buried layer and comprise one or more N^+ doped plates and one or more P^+ doped plates. The portion of the N-type well region that is interposed between the two P-type well regions may comprise one or more P-type portions, such as a P^+ doped plate or a P-type implant.

【代表圖】

【本案指定代表圖】：第（3(a)）圖。

【本代表圖之符號簡單說明】：

P-SUB 300	P 型材料基板
P-EPI 300	P 磊晶層
301	N ⁺ 摻雜埋層
302a	N 型井
302b	N 型井
302c	N 型井
303a	第一 P 型井
303b	第二 P 型井
304	P ⁺ 摻雜板
304a	P ⁺ 摻雜板
305	N ⁺ 摻雜板
306	閘極結構
307	陽極
308	陰極
309	場氧化膜部分
310a	陽極側電晶體
310b	陰極側電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 用於高電壓靜電放電防護的雙向三極閘流體

BI-DIRECTIONAL TRIODE THYRISTOR FOR HIGH
VOLTAGE ELECTROSTATIC DISCHARGE PROTECTION

【技術領域】

【0001】 本發明的實施例一般有關於半導體裝置，更特別地，有關於雙向三極閘流體的高電壓靜電放電(ESD)的防護。

【先前技術】

【0002】 在電子裝置的製造的幾乎所有方面，當前有一股朝向縮小裝置尺寸的驅勢。成本較小的電子裝置比大型、笨重的裝置更受歡迎，尤其當兩種裝置具有基本上相等的能力時。因此，能夠製造具有較小的元件明顯地將傾向便於生產較小的組裝前述元件的裝置。然而，許多現代電子裝置需要電子電路以同時執行啟動功能（例如開關裝置）和資料處理或其他決策功能。為了該些雙重功能而使用低電壓互補金屬氧化物半導體(CMOS)，並非總是實際的。從而高電壓（或高功率）裝置因而被開發以便處理許多不適於低電壓操作的應用。

【0003】 典型的高電壓裝置的靜電放電(ESD)性能通常取決於對應裝置總寬度與表面積或橫向的尺度。因此，ESD 性能對於較小的裝置而言，通常更為關鍵。高電壓裝置通常具有以下特性包括：一低接通狀態電阻(R_{dson})、一高崩潰電壓和一低保持電壓。在某一 ESD 事件之中，該低接通狀態電阻可以趨使 ESD 電流更容易集中在其表面或汲極邊緣。大電流和高電場可以造成此裝置的表面交界區物理性地損壞。基於典型低接通狀態電阻的要求，該表面或橫向尺度可能不會被增加。因此，ESD 防護可以具有挑戰性。

【0004】 高電壓裝置的高崩潰電壓特性通常代表該崩潰電壓高於該工作電壓，而該觸發電壓(V_{t1})高於該崩潰電壓。因此，在一 ESD 事件期間，在該高電壓裝置開啓 ESD 防護之前，高電壓裝置內部電路存在著可能

損壞的風險。高電壓裝置的該低保持電壓亦存在一可能性：在正常運行時，與一峰值電壓或一突波電壓相關的無用雜訊可以觸發或門鎖。在 ESD 事件中，高電壓裝置亦對路徑靈敏以致於 ESD 電流可以容易集中在表面或汲極邊緣。

【0005】 爲了在 ESD 事件之中提高高電壓裝置的性能，一種已經被實現技術包括附加遮罩；另一種則是在雙極性接面電晶體 (BJT) 形成較大尺寸的二極體和/或增加 MOS 電晶體的表面積或側面的尺度。在 ESD 事件中，矽控整流器 (SCRs) 亦被開發以防護電路。然而，SCRs 的低保持電壓代表了在 ESD 事件中，它們可以較好地被執行，該特徵提高了正常操作時門鎖效應的發生率。

【0006】 使用現有的解決方案，電動機驅動器電路可能特別困擾於 ESD 事件的防護。這是因爲在電動機關閉時，可以繼續旋轉一定時間，如此將作爲電感器回饋一負電壓。如果電動機驅動器電路包括一 PMOS，藉由該負反饋的電壓之故，該 PMOS 的寄生順向偏壓二極體可以被接通，如此潛在導致門鎖問題和/或其他不規則的電路操作。

【0007】 因此，預期開發一種改良的結構以提供 ESD 防護，尤其是用於提供雙向 ESD 防護。

【發明內容】

【0008】 一些示範實施例因此著眼於用於高電壓靜電放電 (ESD) 防護的一雙向三極閘流體 (也稱爲 “TRIAC” (用於交流的三極體))。在某些情況下，該 ESD 防護可以至少部分地基於對一雙極型互補金屬氧化物半導體 (BiCMOS) 擴散金屬氧化物半導體 (DMOS) 製程 (Bipolar-CMOS-DMOS, BCD 製程) 的修飾，該 BCD 製程可以涉及一磊晶製程。

【0009】 在一個示範實施例中，提供一 TRIAC (如本文所用 “示例” 意指作爲例子、實例或圖示)，該 TRIAC 包括一 P 型基板、一 N^+ 摻雜埋層、一 N 型井區和二個 P 型井區。該 N^+ 摻雜埋層可鄰近於該基板而被設置。該 N 型井區可鄰近於該 N^+ 摻雜埋層且圍繞該第一和該第二 P 型井區而被設置，從而使該 N 型井區的中間部分被安插於該第一和該第二 P 型井區之間。

該 P 型井區可以是鄰近於 N^+ 摻雜埋層而被設置，且每個 P 型井區可以分別包括一或多個 N^+ 摻雜板和一或多個 P^+ 摻雜板。該 N 型井區的中間部分可包括至少一個 P 型部分。

【0010】 根據進一步的實施例，該 P 型井區包含三個 N^+ 摻雜板、兩個 P^+ 摻雜板和兩個閘極結構。對於每個 P 型井而言，該三個 N^+ 摻雜板、該兩個 P^+ 摻雜板和該兩個閘極結構可以被配置為使得一第一 P 摻雜板被設置鄰近於一第一 N^+ 摻雜板，一第一閘極結構設置在該第一和第二 N^+ 摻雜板之間，一第二閘極結構設置在該第二和一第三 N^+ 摻雜板之間，且一第二 P^+ 摻雜板被設置鄰近於該第三 N^+ 摻雜板。

【0011】 在另一示範實施例中，提供一電路，該電路包括一 TRIAC 之高電壓靜電放電防護元件。該 TRIAC 之高電壓靜電放電防護元件包括一 P 型基板、一 N^+ 摻雜埋層、一 N 型井區和兩個 P 型井區。該 N^+ 摻雜埋層可以鄰近於該基板而被設置。該 N 型井區可鄰近於 N^+ 摻雜埋層和圍繞該第一和第二 P 型井區而被設置，使得部分的該 N 型井區設置在該第一和第二 P 型井區中。N 型井區的中間部分可包括：至少一個 P 型部分。該 P 型井區可以是鄰近於 N^+ 摻雜埋層，每個 N 型井區可以分別包括一或多個 N^+ 摻雜板和一或多個 P^+ 摻雜板。該 P 型井區可以包括三個 N^+ 摻雜板、兩個 P^+ 摻雜板和兩個閘極結構。對於每個 P 型井而言，該三個 N^+ 摻雜板、兩個 P^+ 摻雜板和兩個閘極結構可以被配置為使得一第一 P^+ 摻雜板被設置鄰近於一第一 N^+ 摻雜板，一第一閘極結構設置在該第一和第二 N^+ 摻雜板之間，一第二閘極結構設置在該第二和一第三 N^+ 摻雜板之間、和一第二 P^+ 摻雜板被設置鄰近於該第三 N^+ 摻雜板。

【0012】 根據另一個示範實施例，提供一種半導體裝置，包括：一第一高電壓閘流體和一第二高電壓閘流體以及該第一和第二閘流體共用一公用 N 型井區。

【圖式簡單說明】

【0013】

因此已一般地描述本發明，參照將伴隨著圖式，圖式不必然依照比例，

而其中：

圖 1 繪示習用雙相交流三極體（TRIAC）的簡化電路圖表示。

圖 2a 繪示本發明實施例的簡化圖；圖 2b 和 2c 分別繪示在正向和負向靜電放電（ESD）應力之下本發明實施例的簡化圖。

圖 3a 繪示示範實施例的結構截面圖；圖 3b 和 3c 分別繪示在正向和負向靜電放電（ESD）應力之下本發明實施例的結構截面圖。

圖 4a 繪示示範實施例的結構截面圖；圖 4b 和 4c 分別繪示在正向和負向靜電放電（ESD）應力之下本發明實施例的結構截面圖。

圖 5a 繪示示範實施例的結構截面圖；圖 5b 和 5c 分別繪示在正向和負向靜電放電（ESD）應力之下本發明實施例的結構截面圖。

圖 6a 繪示示範實施例的結構截面圖；圖 6b 和 6c 分別繪示在正向和負向靜電放電（ESD）應力之下本發明實施例的結構截面圖。

圖 7 繪示一示範實施例的崩潰電壓特性和試驗電氣特性。

【實施方式】

【0014】 本發明的一些示範實施例，下文將更充分描述，參照伴隨圖示將出現於本發明中部分但不是所有的實施例中。實際上，本發明的示範實施例可以存在於許多不同形式，而不應當被解釋為只侷限於本文的示範實施例；相反地，這些示範實施例，將滿足申請上適法性的要求。

【0015】 本發明的一些示範實施例可提供一種雙向三極管閘流體(也稱為“TRIAC”(用於交流的三極體))，例如，可用於雙向高電壓靜電放電（ESD）防護，例如防護正向和負向電壓 ESD。示範實施例的 TRIAC 可以將兩個高電壓閘流體結合為一 ESD 防護裝置，藉此提供一結構；根據示例實施例，該結構的總面積小於二極體 - BJT 和 MOS，同時提供在兩個方向上、相似的 ESD 性能。示範實施例也可以具有接近該高電壓裝置的操作電壓的一崩潰電壓、以及低於該高電壓裝置的崩潰電壓的一觸發電壓。此外，相較於現有的矽控整流器(SCR)，所提供的相對高的保持電壓可以更容易地避免門鎖發生。例如，藉由在製造期間允許調節各種電氣特性，示範實施

例能夠提供靈活度。例如，藉由調整鄰近於多個場氧化物(FOX)部分所設置的一或多個場板的長度而調整崩潰電壓及觸發電壓，和/或藉由調整 N 型井的寬度而調整保持電壓。藉由在多重射極結構的閘極或多晶矽而提供附加的偏壓，本發明的實施例也可以配置用於早期接通。

【0016】 示範實施例也可以，例如消除習用 TRIACs 對於所需的閘控電路的需求。例如，示範實施例可以用於電動機驅動器電路，比如連接於 I/O 墊和電源墊之間。在這種情況下，示範實施例可以提供正向和負向高電壓靜電放電防護，而不會在正常操作期間造成不規則性，亦不引起門鎖問題。實施例也可以例如包括用於如晶片上之系統級突波電壓防護。在一些情況下，實施例也可以利用標準 BCD 製程而不需要添加更多數量的遮罩或製程被而被製造。在一些示範實施例中所使用的多晶矽，可以例如在離子植入藉由硬遮罩而被提供。

【0017】 圖 1 繪示習用雙相交流三極體(TRIAC)的簡化電路圖表示。圖 1 繪示習用 TRIAC 可以有下列組成，並排列如圖所示：兩個 NPN BJTs 100a、100b；兩個 PNP BJTs 110a、110b；和兩個閘控電路 101a、101b。相對地，圖 2a 繪示了本發明的實施例之簡化的電路圖表示。見圖 2a，本發明的實施例可以有下列組成，並排列如圖示：兩個 NPN BJTs 200a、200b 和兩個 PNP BJTs 210a、210b。NPN 和 PNP BJTs 可以例如高電壓 NPN 和 PNP BJTs。如圖所示，示範實施例也可以，例如消除在圖 1 中習用 TRIACs 對於所需的閘控電路的需求。因此，藉由消除習用 TRIACs 需要相對大而複雜的閘控電路的需求，本發明的實施例可以基本上提供減少面積和複雜度的效益。

【0018】 圖 2b 和 2c 分別繪示在正向和負向靜電放電(ESD)的應力之下，本發明實施例的電氣特徵。可見於圖 2b，在正向 ESD 應力下，頂部 NPN BJT 電晶體 200a 可作為順向偏壓二極體 220a。可見於圖 2c，在負向 ESD 應力下，底部 NPN BJT 電晶體 200b 可作為順向偏壓二極體 220b。因此，無論是施加正向或負向 ESD 應力，本發明的實施例可確保 ESD 電流已放電，從而提供雙向 ESD 防護。藉由使用具有相同或不同的崩潰電壓的閘流體，可以生成相同或不同的順向和反向崩潰電壓的示範實施例。

【0019】 已描述了本發明的示範實施例之一般電氣特徵和特性，請參照圖 6 至圖 8 以描述一示範實施例的結構。

【0020】 圖 3a 繪示用於高電壓靜電放電(ESD)防護的 TRIAC 的第一示範實施例的截面視圖。由圖 3a 可知，可提供有 P 型材料基板 300(P-SUB)或 P 磊晶層(P-EPI)。N⁺摻雜埋層 301 可鄰近於 P 型材料基板 300(P-SUB)或 P 磊晶層(P-EPI)而被設置。N 型井 302a-c 可鄰近於 N⁺摻雜埋層 301 並且圍繞第一和第二 P 型井 303a 和 303b 而被設置，以致於該 N 型井的一部分 302b 被安插於第一 P 型井 303a 和第二 P 型井 303b 之間。並根據一些實施例，N 型井 302a-c 可以是單個相連的井，或根據另一實施例，可包括兩個或兩個以上獨立的 N 型井。根據示範實施例，N 型井 302a 和 302c 的外部可以與 P 型基板 300 接觸。第一 P 型井 303a 和第二 P 型井 303b 可以包括至少一個 P⁺摻雜板 304 和至少一 N⁺摻雜板 305。介於第一 P 型井 303a 和第二 P 型井 303b 的 N 型井 302b 的該部分可以包括至少一個 P⁺摻雜板 304a。

【0021】 例如，根據圖 3a 所示之示範實施例，該第一 P 型井 303a 和該第二 P 型井 303b 均可以包括兩個 P⁺摻雜板 304、三個 N⁺摻雜板 305 和兩個閘極結構 306。是故，如圖所示，該第一 P 型井 303a 可包括一第一 P⁺摻雜板 304、一第一閘極結構 306、一第二閘極結構 306 和一第二 P⁺摻雜板 304；該第一 P⁺摻雜板 304 可以是鄰近於該第一 N⁺摻雜板 305 而被設置；該第一閘極結構 306 可以被安插於該第一和一第二 N⁺摻雜板 305 之間；該第二閘極結構 306 可以被安插於該第二和一第三 N⁺摻雜板 305 之間；且該第二 P⁺摻雜板 304 可以鄰近於一第三 N⁺摻雜板 305 而被設置。類似地，該第二 P 型井 303b 可包括一第三 P⁺摻雜板 304、一第三閘極結構 306、一第四閘極結構和一第四 P⁺摻雜板 304；該第三 P⁺摻雜板 304 可以是鄰近於一第四 N⁺摻雜板 305 而被設置；該第三閘極結構 306 可以被安插於該第四和第五 N⁺摻雜板 305 之間；該第四閘極結構可以被安插於該第五和一第六 N⁺摻雜板 305 之間；且該第四 P⁺摻雜板 304 可在鄰近於該第六 N⁺摻雜板 305 而被設置。介於該第一 P 型井 303a 和該第二 P 型井 303b 之間的 N 型井 302b 的該部分可以包括一 P⁺摻雜板 304a。根據另一示範實施例，一陽極 307 可

以可實行地連接到該 P^+ 摻雜板 304、該 N^+ 摻雜板 305、和該多個 P 型井 303a 的其中之一的閘極結構 306，以及一陰極 308 可以可實行地連接到該 P^+ 摻雜板 304、該 N^+ 摻雜板 305、和該多個 P 型井 303b 的其中另一的該閘極結構 306。

【0022】 可以形成於多個 N^+ 摻雜板 305 之間的該閘極結構 306，可包括一閘氧化層和多晶矽的一層，其中例如，該多晶矽可以在離子植入按照一硬遮罩而被提供。該閘極結構 306 可以致能該多個分散的 N^+ 摻雜板 305 的集體操作。多個場氧化膜 (FOX) 部分 309 可以鄰近於該 N 型井 302a-c 的多個部分的表面且鄰近於每個 P^+ 摻雜板 304 的遠端而被設置。

【0023】 由圖 3a-3c 可知，多個 NPN BJT 電晶體 310a 和 310b (在本範例中有八個，四個陽極側 310a 和四個陰極側 310b) 和多個 PNP 雙極性電晶體 320 (在本範例中有四個) 可以有效地形成並藉由所提供的結構佈置成為圖示。如圖 3b，在正向 ESD 事件，陽極側電晶體 310a 可實際上操作為順向偏壓二極體 311a。如圖 3c 所示，在負向 ESD 事件中，陰極側電晶體 311b 可實際上操作成為順向偏壓二極體 311b。因此，在正向或負向 ESD 事件中，ESD 電流可以同時藉由順向偏壓二極體和閘流體而放電。

【0024】 圖 4a 繪示用於高電壓靜電放電防護的 TRIAC 的第二示範實施例的截面視圖。由圖 4a 可知，除了鄰近於該 N 型井 302b 的部分而被設置的該 P 型部分 404 包括 P 型植入而代替 P^+ 摻雜板之外，第二實施例是類似於如圖 3 所示及以上描述的第一實施例，其中該 N 型井 302b 的部分安插於該第一 P 型井 303a 和該第二 P 型井 303b 之間。由圖 4b 和 4c 可知，在正向或負向 ESD 事件期間，第二實施例的行為保持相似而具有：在一正向 ESD 事件期間，該陽極側電晶體 310a 按照順向偏壓二極體 311a 而操作；而在一負向 ESD 事件期間，該陰極側電晶體 311b 按照順向偏壓二極體 311b 而操作。

【0025】 圖 5a 繪示用於高電壓靜電放電防護的 TRIAC 的第三示範實施例的截面視圖。由圖 5a 可知，該第三實施例類似於圖 3a 和上述所提及的第一實施例。在該第三實施例中，鄰近於該 N 型井 302b 的該部分而被設置的該 P^+ 摻雜板 304a 包括一 P^+ 摻雜板，該 N 型井 302b 介於該第一 P 型井 303a、

該第二 P 型井 303b 之間。然而，與第一實施例不同的是，在該第三實施例中更包括於鄰近於多個 FOX 部分 309 而被設置的多個場板 506。如同前述所提及，經由在製造期間操縱這些場板 506 的寬度，可調節 TRIAC 的崩潰電壓和觸發電壓。由圖 5b 和 5c 可知，在正向和負向 ESD 事件期間，該第三實施例行為類似於該第一和第二實施例而具有：在一正向 ESD 事件中，該陽極側電晶體 310a 按照順向偏壓二極體 311a 而操作；在一負向 ESD 事件中，該陰極側電晶體 311b 按照順向偏壓二極體 311b 而操作。

【0026】 圖 6a 繪示用於高電壓靜電放電防護的 TRIAC 的第四示範實施例的截面視圖。由圖 6a 可知，第四實施例類似於圖 4a 和上述所提及的第二實施例。在該第四實施例中，鄰近於該 N 型井 302b 的該部分而被設置的該 P⁺摻雜板 304a 包括 P 型植入而代替了 P⁺摻雜板，該 N 型井 302b 介於該第一 P 型井 303a 和該第二 P 型井 303b 之間。然而，類似上述第三實施例，在第四實施例中亦包括鄰近於多個 FOX 部分 309 的多個場板 506。由圖 6b 和 6c 可知，在正向和負向 ESD 事件期間，第四實施例行為類似於第一、第二和第三實施例而具有：在一正向 ESD 事件中，該陽極側電晶體 310a 按照順向偏壓二極體 311a 而操作；在一負向 ESD 事件中，該陰極側電晶體 311b 按照順向偏壓二極體 311b 而操作。

【0027】 所理解的會是，圖 3a-6c 所示的配置以及的確根據未被描述的其他實施例的配置，可以表示兩個閘流體，例如，一順向和一反向高電壓閘流體。該兩個閘流體已合併成一個裝置，從而使得該些閘流體共用一個公用 N 型井區 302b。因此，本發明的實施例可共用一公共 N 型區 302b。即該基板 300，該 N⁺摻雜埋層 301，該 N 型井 302a 和 302b 的多個部分，該 P 型部分，和與該第一 P 型井 303a 相關的該多個 P⁺摻雜板 304、該多個 N⁺摻雜板 305 和該多個閘極結構 306 一起，可以按照一第一高電壓閘流體而運作。同樣地，該基板 300、該 N⁺摻雜埋層 301、該 N 型井 302c、302b 的多個部分、該第二 P 型井 303b、和與該第二 P 型井 303b 相關的該多個 P⁺摻雜板 304、該多個 N⁺摻雜板 305 和該多個閘極結構 306，可以按照一第二高電壓閘流體而運作。因此，介於該第一 P 型區 303a 和該第二 P 型區 303b 之間的該 N 型井 302b 的該部分可以包括公用 N 型區。所理解的會是，

這種配置造成具有多個電氣特性的裝置，該多個電氣特性與已經被串聯連接的兩個閘流體(例如，一順向和一反向高電壓閘流體)是可相比較的。

【0028】 已描述用於高電壓 ESD 防護的 TRIAC 的多個示範實施例，可以用於製造各種實施例的不同方法和材料將於現在描述。就此而言， N^+ 埋層 601 的材料可以是 N 磊晶 (N-epi)、一深 N 型井或多個堆疊的 N^+ 埋層。該 P 型井 603a 和 603b 可用一 P 型井和 P^+ 埋層、或者一 P 植入堆疊而成。在某些情況下，該 N 型井 602a-c 也可以是 N 型植入。示範實施例可以使用沒有額外的遮罩的任何標準的 BCD 製程而被製造。示範實施例也可以或替換地用非磊晶製程(例如，三井製程或單層多晶製程或雙層多晶製程)而被製造。矽局部氧化(LOCOS)製程可用於製造該結構的至少一部分，比如製造該多個 FOX 部分 309。替換地，可使用淺溝槽隔離(STI)製程，來比如製造該結構的至少一部分(比如該多個 FOX 部分 309)。該多個場板 506 可以是多晶矽、金屬或、堆疊的多重多晶矽和金屬。關於分別被描繪於圖 3a 和 5a 中的實施例 1 和 3，例如，該 P^+ 摻雜板被設置鄰近於該公共 N 型井區 302b 而被設置的該 P^+ 摻雜板可以藉由擴散製程(比如通過在該多個鄰近 FOX 部分 309 之間的開口)而被製成。因此，該 P^+ 摻雜板可以藉由擴散重度 P^+ 摻雜材料到該公共 N 型井區 302b 的 N 型材料而被製造。關於分別被描繪於圖 4a 和圖 6a 中的實施例 2 和 4，該 P 型植入可以包括任何類型的 P 型載子，例如 P^- 或 P^+ 。例如，該 P 型植入 404 可以通過該 FOX 309 而被植入，或者可以在該 FOX 部分 309 被製造之前被植入。例如，該 P 型植入的深度與該 N 型和/或該 P 型井的深度對應。如上文所表明的，可以做出各種各樣的調節來改變示範實施例的該多個電氣特性。例如，崩潰和觸發電壓可藉由調節鄰近於該多個 FOX 部分 309 所設置的多個場板 506 的長度而被調節。藉由調整該 N 型井 302a-c 的寬度也可以調整保持電壓。另外，當在一電路中實現時，藉由在多重射極結構的一或更多個的閘極或該多晶矽而施加附加偏壓可以達成早期接通。

【0029】 圖 7 包括繪示一示範實施例的多個崩潰電壓特性的一最上部圖表 700。由圖表 700 可知，該崩潰電壓可在順向(正向)和反向(負向)方向皆具有相等的大小。底部圖表 710、720 分別繪示在正向和負向 ESD 應力

實驗期間一示範實施例中在該陽極 307 和該陰極 308 之間測量的漏電流 711、721 和測量的 ESD 電流 712、722。可以看出，該測量的 ESD 電流 712、722 的兩者呈現跳回 731，指示各自閘流體的成功觸發並且因此在正、負方向成功的 ESD 防護。

【0030】 示範實施例因此可提供用於高電壓靜電放電 (ESD) 防護的一相對小尺寸的 TRIAC，而不需要習用 TRIACs 之閘控電路。再者，示範實施例可應用於標準 BCD 製程而不需要使用額外的遮罩。實施例也可以應用於不同的高電壓 BCD 製程，並藉由提供一 N^+ 埋層或 N 型井法以在相同的製程中提供不同的操作電壓相關的 ESD 防護。這樣一來，使用在高電壓設定中的裝置可能遇到 ESD 事件，能夠在一相對小尺寸中提供該裝置經常所需的高電壓的 ESD 防護。一些實施例也可用於晶片上之系統級突波電壓防護，甚至一般直流電路的操作。此外，ESD 防護可以被提供給需要雙向防護的裝置，例如電動機驅動器電路。就此而言，實施例可以例如可實行之地連接在電動機驅動器電路的輸入/輸出墊和電源墊之間，以便沒有引起或誘發不規則操作或門鎖問題而提供正向和負向高電壓靜電放電防護。

【0031】 在本文提出的本發明的其他實施例及許多修改將提示熟悉本領域人士所作出的發明，然而這些發明已涉及上述說明和相關圖示所提出的教導。因此，可以理解的的是，發明不侷限於已公開的特定的實施例，修改和其他實施例將被包含在所附請求項的範圍之中，再者，儘管上述說明和相關圖示只描述了含蓋某些單元和/或功能示例性的組合的一示例性實施例，應當理解的是，不同單元和/或功能的組合可以由不同實施例所提供，卻不偏離所附請求項的範圍。在這方面，例如不僅前述所明確地描述的，單元和/或功能上的不同組合也包括於一些衍生的請求項之內。雖然本文使用特定名詞，它們被只用於通例和描述之用，而不應受侷限。

【符號說明】

【0032】

101a 閘控電路

101b 閘控電路

100a	NPN BJT
100b	NPN BJT
110a	PNP BJT
110b	PNP BJT
200a	NPN BJT
200b	NPN BJT
210a	PNP BJT
210b	PNP BJT
220a	順向偏壓二極體
220b	順向偏壓二極體
P-SUB 300	P 型材料基板
P-EPI 300	P 磊晶層
301	N ⁺ 埋層
302a	N 型井
302b	N 型井
302c	N 型井
303a	第一 P 型井
303b	第二 P 型井
304	P ⁺ 摻雜板
304a	P ⁺ 摻雜板
305	N ⁺ 摻雜板
306	閘極結構
307	陽極
308	陰極
309	場氧化膜部分

310a	陽極側電晶體
310b	陰極側電晶體
311a	順向偏壓二極體
320	PNP BJT
404	P 型部分（P 型植入）
506	場板
711、721	漏電流
712、722	被測量的 ESD 電流
731	跳回

申請專利範圍

1. 一種半導體裝置，包括：

—P型基板；

— N^+ 摻雜埋層，鄰近於該P型基板而被設置；

—第一P型井區，鄰近於該 N^+ 摻雜埋層而被設置；

—第二P型井區，鄰近於該 N^+ 摻雜埋層而被設置；以及

—N型井區，鄰近於該 N^+ 摻雜埋層，且圍繞該第一和該第二P型井區，從而使該N型井區的至少部分被安插於該第一和該第二P型井區之間；

其中被安插於該第一和該第二P型井區之間的該N型井區的該部分包括一P型部分；

其中該第一P型井包括第一、第二和第三 N^+ 摻雜板、第一和第二 P^+ 摻雜板、以及第一和第二閘極結構，該第一 P^+ 摻雜板鄰近於該第一 N^+ 摻雜板而被設置，該第一閘極結構被安插於該第一和該第二 N^+ 摻雜板之間，該第二閘極結構被安插於該第二和該第三 N^+ 摻雜板之間，且該第二 P^+ 摻雜板鄰近於該第三 N^+ 摻雜板而被設置；以及

更在其中該第二P型井包括第四、第五和第六 N^+ 摻雜板、第三和第四 P^+ 摻雜板、以及第三和第四閘極結構，該第三 P^+ 摻雜板鄰近於該第四 N^+ 摻雜板而被設置，該第三閘極結構被安插於該第四和該第五 N^+ 摻雜板之間，該第四閘極結構被安插於該第五和該第六 N^+ 摻雜板之間，且該第四 P^+ 摻雜板鄰近於該第六 N^+ 摻雜板而被設置。

2. 如申請專利範圍第1項之半導體裝置，其中該P型部分包括一第五 P^+ 摻雜板。

3. 如申請專利範圍第1項之半導體裝置，其中該P型部分包括一P型植入部分。
4. 如申請專利範圍第1項之半導體裝置，其中更包括鄰近於N型井區而被設置之第一、第二和第三場氧化物(FOX)部分。
5. 如申請專利範圍第4項之半導體裝置，其中該第一FOX部分更鄰近於該第一P⁺摻雜板而被設置，該第二FOX部分更鄰近於該P型部分而被設置且被安插於該第二和該第三P⁺摻雜板之間，而且該第三FOX部分更鄰近於該第四P⁺摻雜板而被設置。
6. 如申請專利範圍第4項之半導體裝置，更包括鄰近於該N型井區而被設置的一第四場氧化物(FOX)部分，其中該第一FOX部分更鄰近於該第一P⁺摻雜板而被設置，該第二FOX部分更被安插於該第二和該第五P⁺摻雜板之間，該第三FOX部分更鄰近於該P型部分和該第三P⁺摻雜板而被設置，而且該第四FOX部分更鄰近於該第三P⁺摻雜板而被設置。
7. 如申請專利範圍第4項之半導體裝置，更包括鄰近於該多個FOX部分而被設置的場板。
8. 如申請專利範圍第1項之半導體裝置，其中該第一、第二、第三及第四閘極結構其中至少一者包括一多晶矽層。
9. 如申請專利範圍第1項之半導體裝置，其中該N⁺摻雜埋層包括一N型磊晶層。
10. 如申請專利範圍第1項之半導體裝置，其中該N⁺摻雜埋層包括一深N型井。
11. 如申請專利範圍第1項之半導體裝置，其中該N⁺摻雜埋層包括多個堆疊

的 N^+ 摻雜埋層。

12. 如申請專利範圍第1項之半導體裝置，其中每一P型井包括一堆疊的P型井和 P^+ 埋層。
13. 如申請專利範圍第1項之半導體裝置，其中該多個P型井是藉由P型植入而被製造。
14. 如申請專利範圍第1項之半導體裝置，其中該N型井區是藉由N型植入而被製造。
15. 如申請專利範圍第1項之半導體裝置，更具有第一雙向BJT，其中該第一雙向BJT是藉由一個單層多晶製程而被製造。
16. 如申請專利範圍第1項之半導體裝置，更具有第二雙向BJT，其中該第二雙向BJT是藉由一個雙層多晶製程而被製造。
17. 如申請專利範圍第1項之半導體裝置，更具有第三雙向BJT，其中該第三雙向BJT是藉由一個非磊晶製程而被製造。
18. 一種包括一半導體裝置的電路，該半導體裝置包括：
 - P型基板；
 - N^+ 摻雜埋層，鄰近於該P型基板而被設置；
 - 第一P型井區，鄰近於該 N^+ 摻雜埋層而被設置；
 - 第二P型井區，鄰近於該 N^+ 摻雜埋層而被設置；以及
 - N型井區，鄰近於該 N^+ 摻雜埋層，且圍繞該第一和該第二P型井區，以致該N型井區的至少部分被安插於該第一和該第二P型井區之間；其中被安插於該第一和該第二P型井區之間的該N型井區的該部分包括一P型部分；其中該第一P型井包括第一、第二和第三 N^+ 摻雜板、第一和

第二 P^+ 摻雜板、以及第一和第二閘極結構，該第一 P^+ 摻雜板鄰近於該第一 N^+ 摻雜板而被設置，該第一閘極結構被安插於該第一和該第二 N^+ 摻雜板之間，該第二閘極結構被安插於該第二和該第三 N^+ 摻雜板之間，且該第二 P^+ 摻雜板鄰近於該第三 N^+ 摻雜板而被設置；以及
更在其中該第二P型井包括第四、第五和第六 N^+ 摻雜板、第三和第四 P^+ 摻雜板、以及第三和第四閘極結構，該第三 P^+ 摻雜板鄰近於該第四 N^+ 摻雜板而被設置，該第三閘極結構被安插於該第四和該第五 N^+ 摻雜板之間，該第四閘極結構被安插於該第五和該第六 N^+ 摻雜板之間，且該第四 P^+ 摻雜板鄰近於該第六 N^+ 摻雜板而被設置。

19. 如申請專利範圍第18項之電路，其中該電路包括一電動機驅動器電路，該電動機驅動器電路包括一輸入/輸出(I/O)墊和一電源墊；以及更在其中該半導體裝置更包括：

一陽極，可實行地連接到該第一、該第二和該第三 N^+ 摻雜板、該第一和該第二 P^+ 摻雜板、以及該第一和該第二閘極結構，以及

一陰極，可實行地連接到該第四、該第五和該第六 N^+ 摻雜板，該第三和該第四 P^+ 摻雜板，以及該第三和該第四閘極結構；

更在其中該半導體裝置的該陽極或陰極的其中之一可實行地連接到該I/O墊，且該半導體裝置的該陽極或陰極的其中另一可實行地連接到該電源墊。

20. 一種半導體裝置，包括一第一高電壓閘流體和一第二高電壓閘流體，其中隔離的該第一和該第二高電壓閘流體共用一公用N型井區，該公用N型井區鄰近於一 N^+ 摻雜埋層，且圍繞一第一和一第二P型井區，從

而使該公用N型井區的至少部分被安插於該第一和該第二P型井區之間；
其中被安插於該第一和該第二P型井區之間的該公用N型井區的該部分
包括一P型部分；

其中該第一P型井包括第一、第二和第三 N^+ 摻雜板、第一和第二 P^+ 摻雜
板、以及第一和第二閘極結構，該第一 P^+ 摻雜板鄰近於該第一 N^+ 摻雜板
而被設置，該第一閘極結構被安插於該第一和該第二 N^+ 摻雜板之間，該
第二閘極結構被安插於該第二和該第三 N^+ 摻雜板之間，且該第二 P^+ 摻雜
板鄰近於該第三 N^+ 摻雜板而被設置；以及

更在其中該第二P型井包括第四、第五和第六 N^+ 摻雜板、第三和第四 P^+
摻雜板、以及第三和第四閘極結構，該第三 P^+ 摻雜板鄰近於該第四 N^+ 摻
雜板而被設置，該第三閘極結構被安插於該第四和該第五 N^+ 摻雜板之
間，該第四閘極結構被安插於該第五和該第六 N^+ 摻雜板之間，且該第四
 P^+ 摻雜板鄰近於該第六 N^+ 摻雜板而被設置。

21. 一種製造半導體裝置的方法，包括：

提供一P型基板；

設置一 N^+ 摻雜埋層，使得該 N^+ 摻雜埋層鄰近於該P型基板；

設置一第一P型井區，使得該第一P型井區鄰近於該 N^+ 摻雜埋層；

設置一第二P型井區，使得該第二P型井區鄰近於該 N^+ 摻雜埋層；

以及

設置一N型井區，鄰近於該 N^+ 摻雜埋層，且圍繞該第一和該第二P型井
區，從而使該N型井區的至少部分被安插於該第一和該第二P型井區之
間；

其中被安插於該第一和該第二P型井區之間的該N型井區的該部分包括一P型部分；其中在該第一P型井包括第一、第二和第三 N^+ 摻雜板、第一和第二 P^+ 摻雜板、以及第一和第二閘極結構，該第一 P^+ 摻雜板鄰近於該第一 N^+ 摻雜板而被設置，該第一閘極結構被安插於該第一和該第二 N^+ 摻雜板之間，該第二閘極結構被安插於該第二和該第三 N^+ 摻雜板之間，且該第二 P^+ 摻雜板鄰近於該第三 N^+ 摻雜板而被設置；以及更在其中該第二P型井包括第四、第五和第六 N^+ 摻雜板、第三和第四 P^+ 摻雜板、以及第三和第四閘極結構，該第三 P^+ 摻雜板鄰近於該第四 N^+ 摻雜板而被設置，該第三閘極結構被安插於該第四和該第五 N^+ 摻雜板之間，該第四閘極結構被安插於該第五和該第六 N^+ 摻雜板之間，且該第四 P^+ 摻雜板鄰近於該第六 N^+ 摻雜板而被設置。

圖式

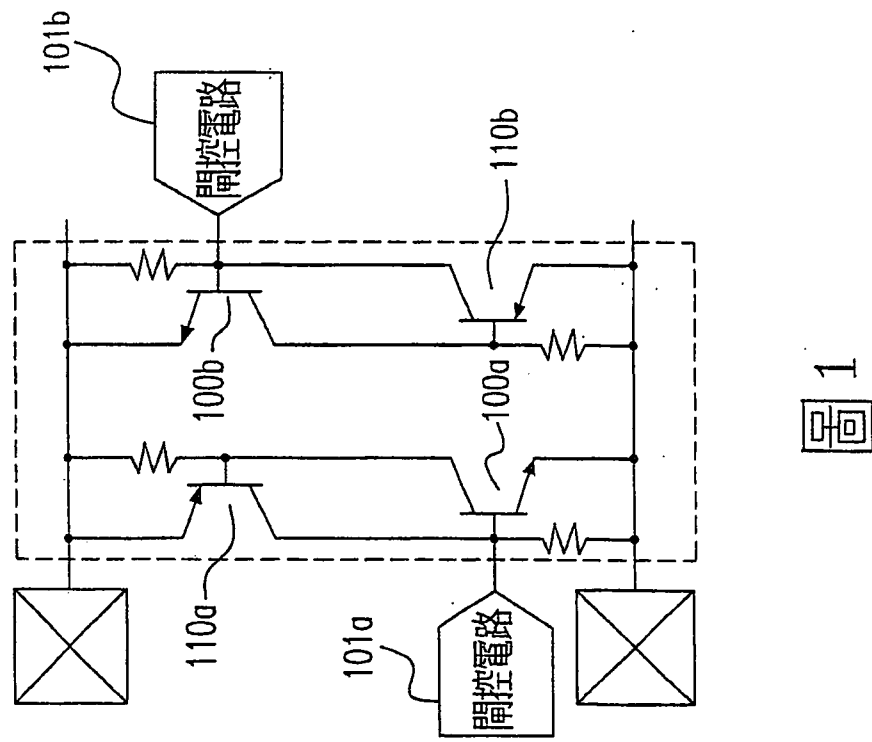


圖 1

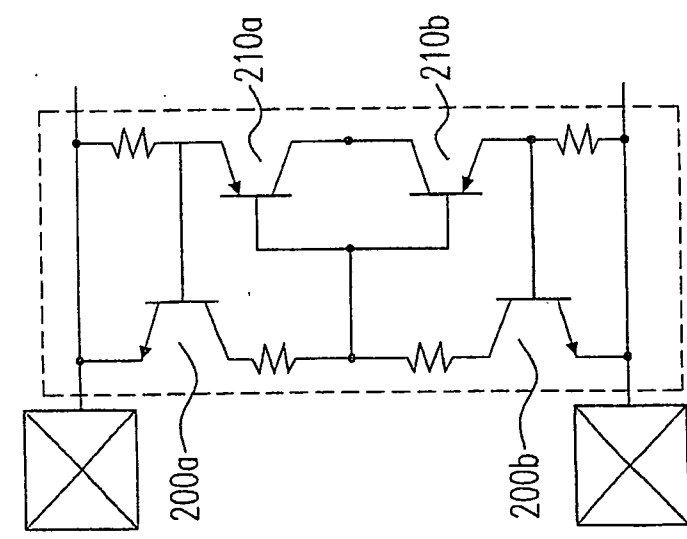


圖 2(a)

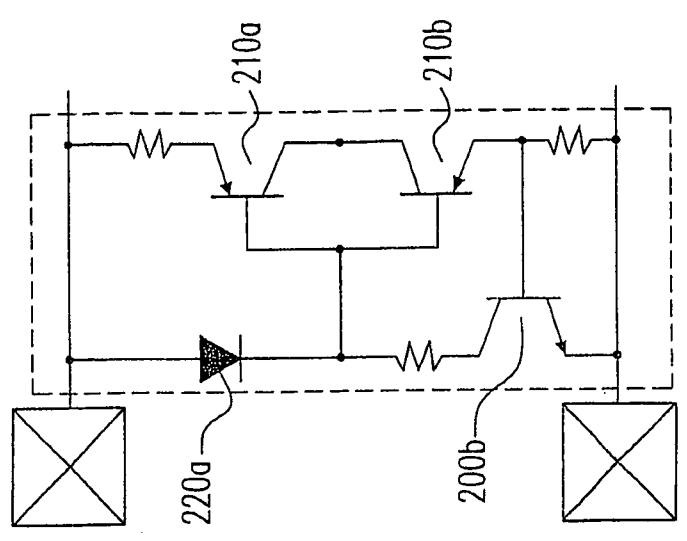


圖 2(b)

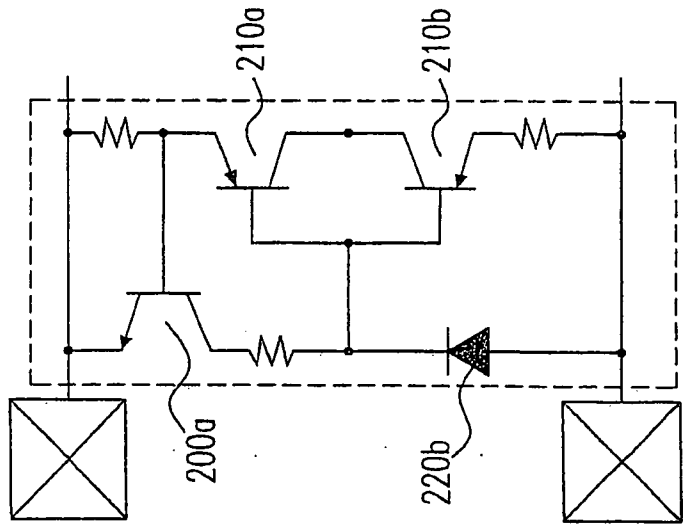


圖 2(c)

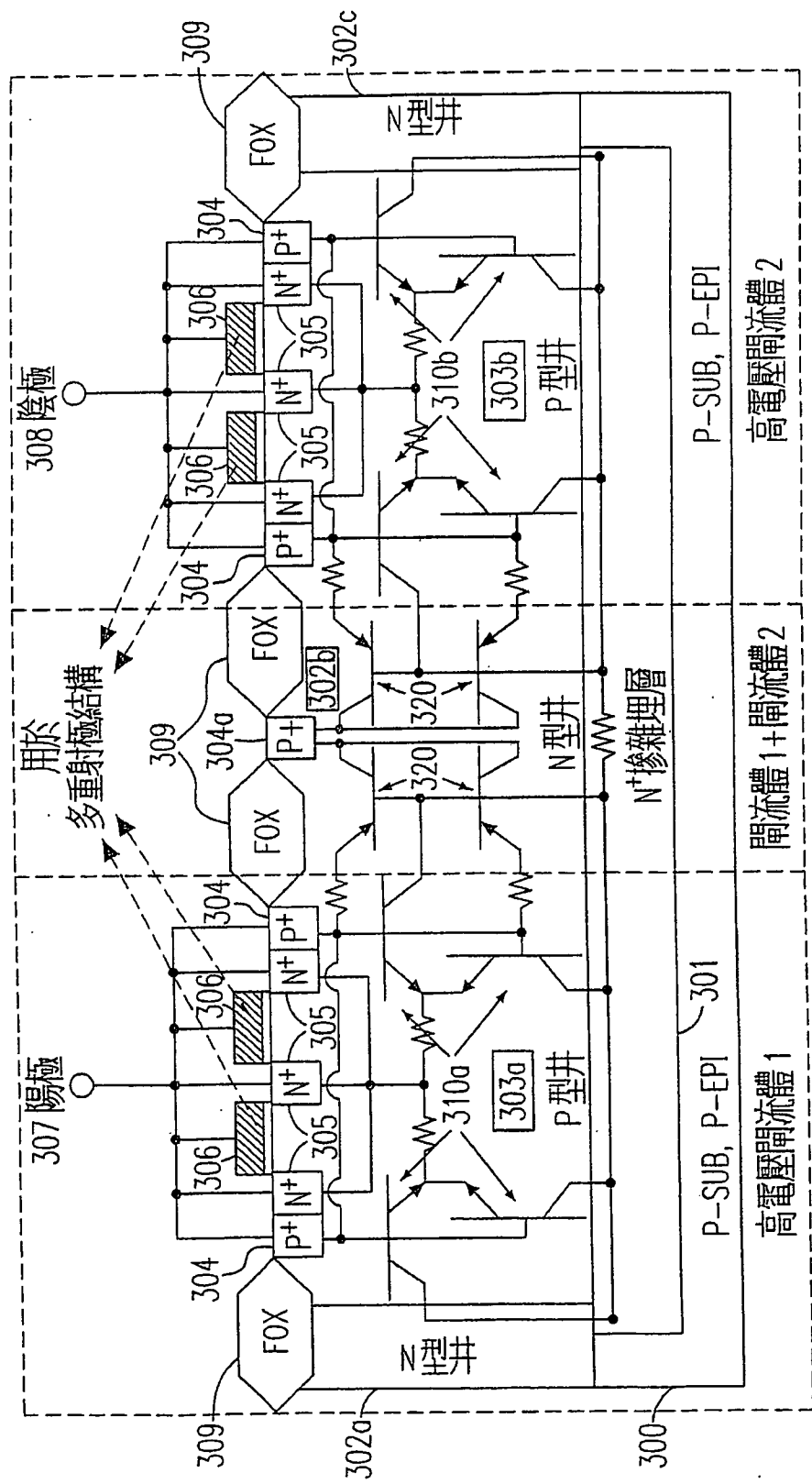


圖 3(a)

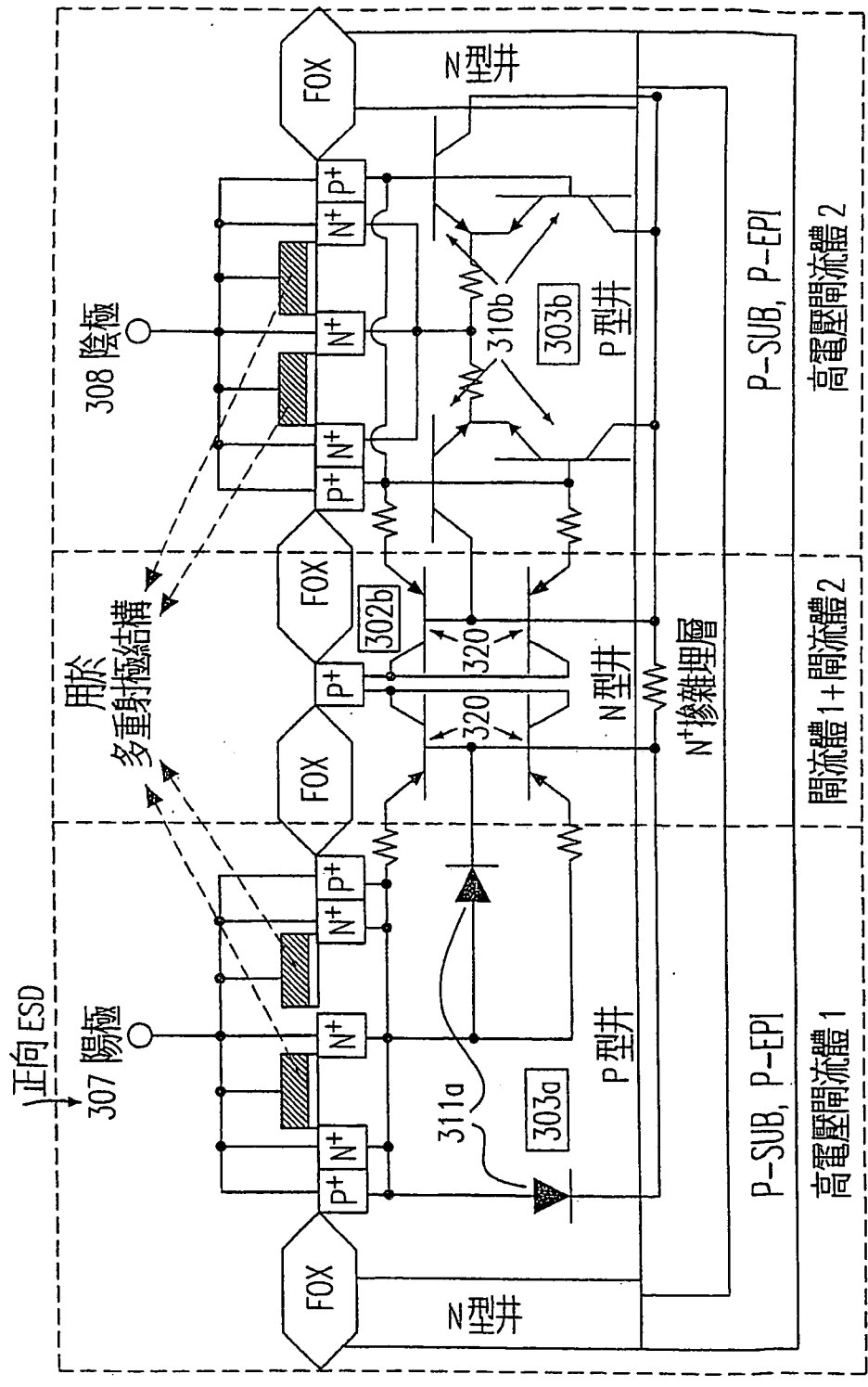


圖 3(b)

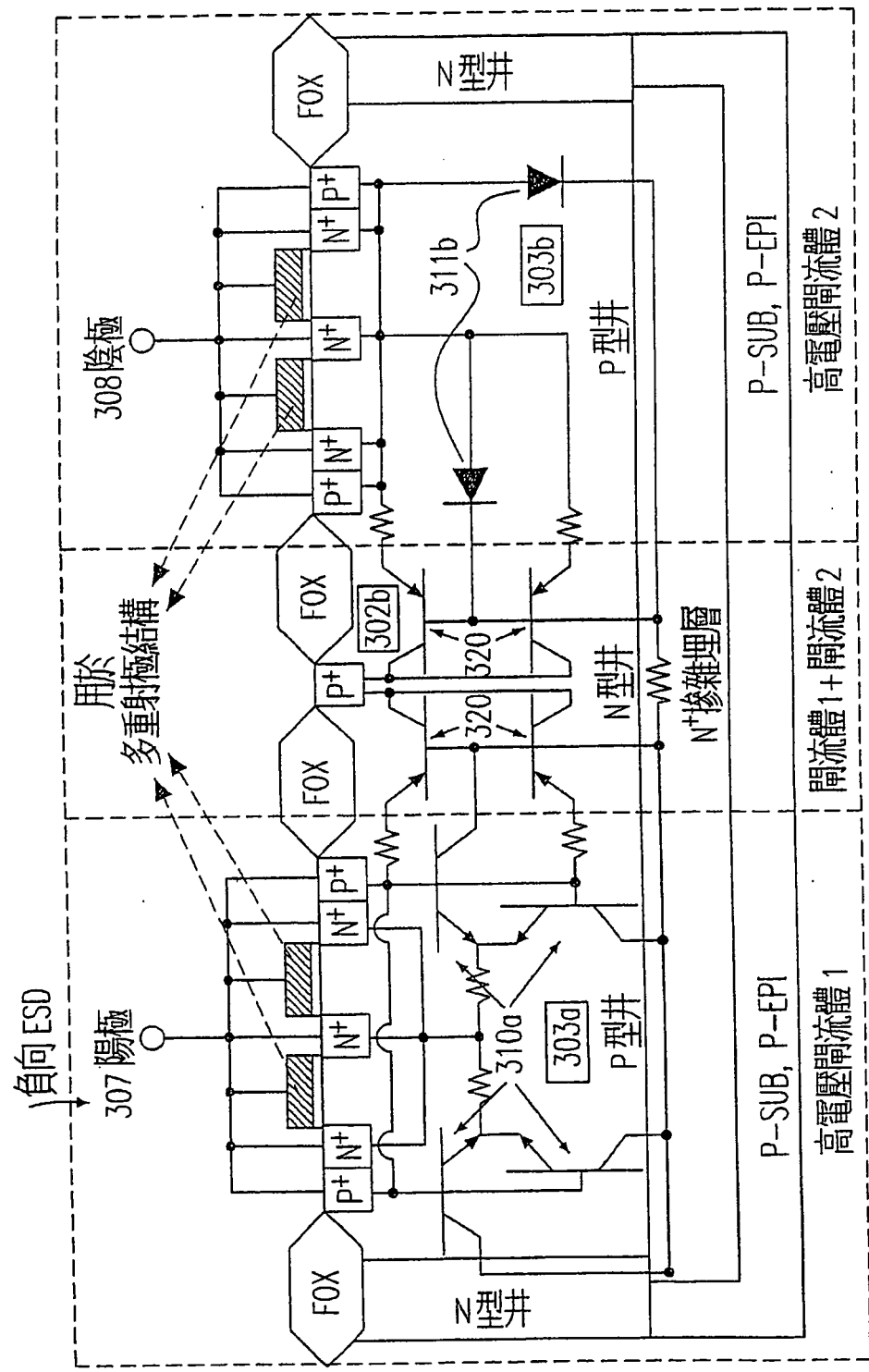


圖 3(c)

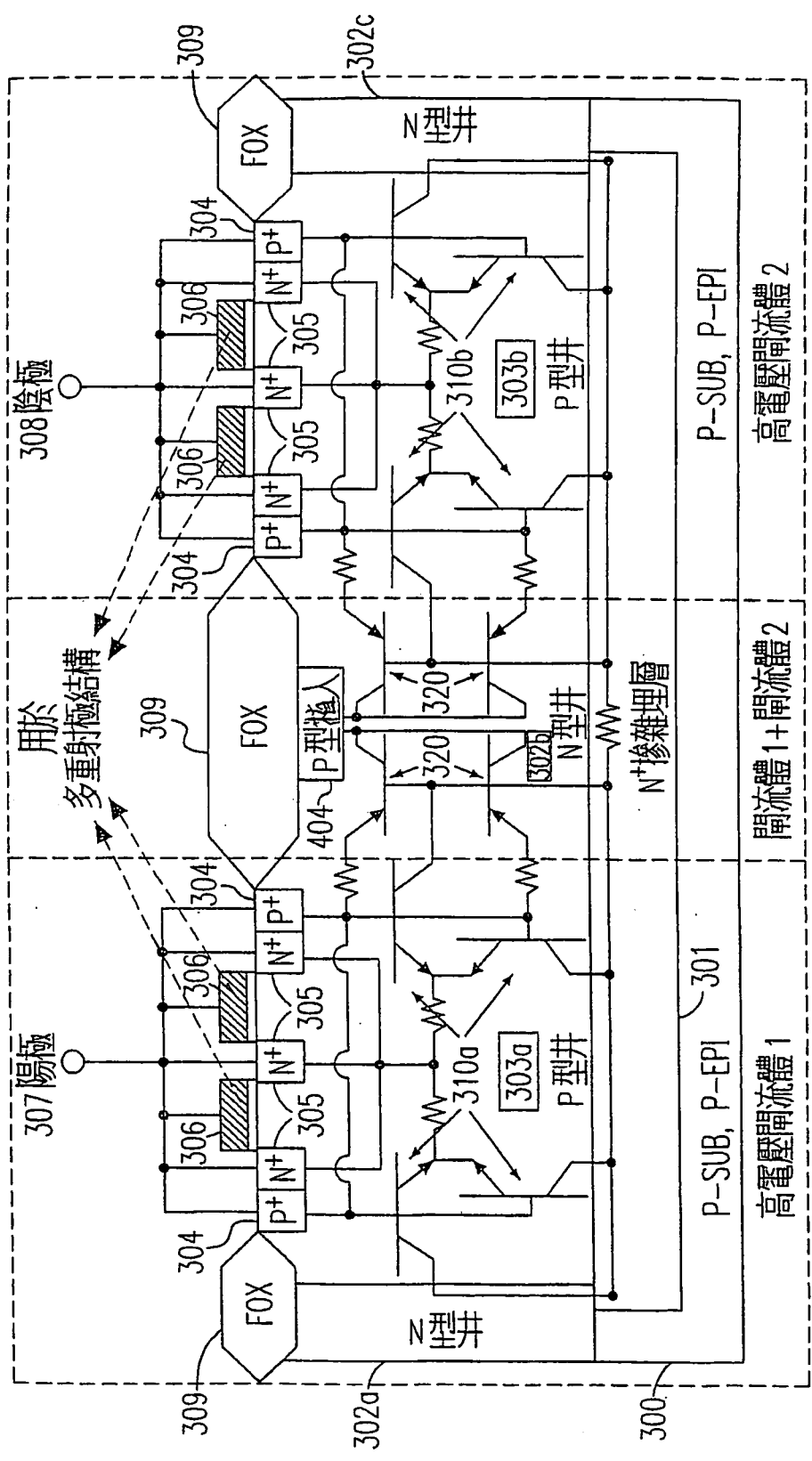


圖 4(a)

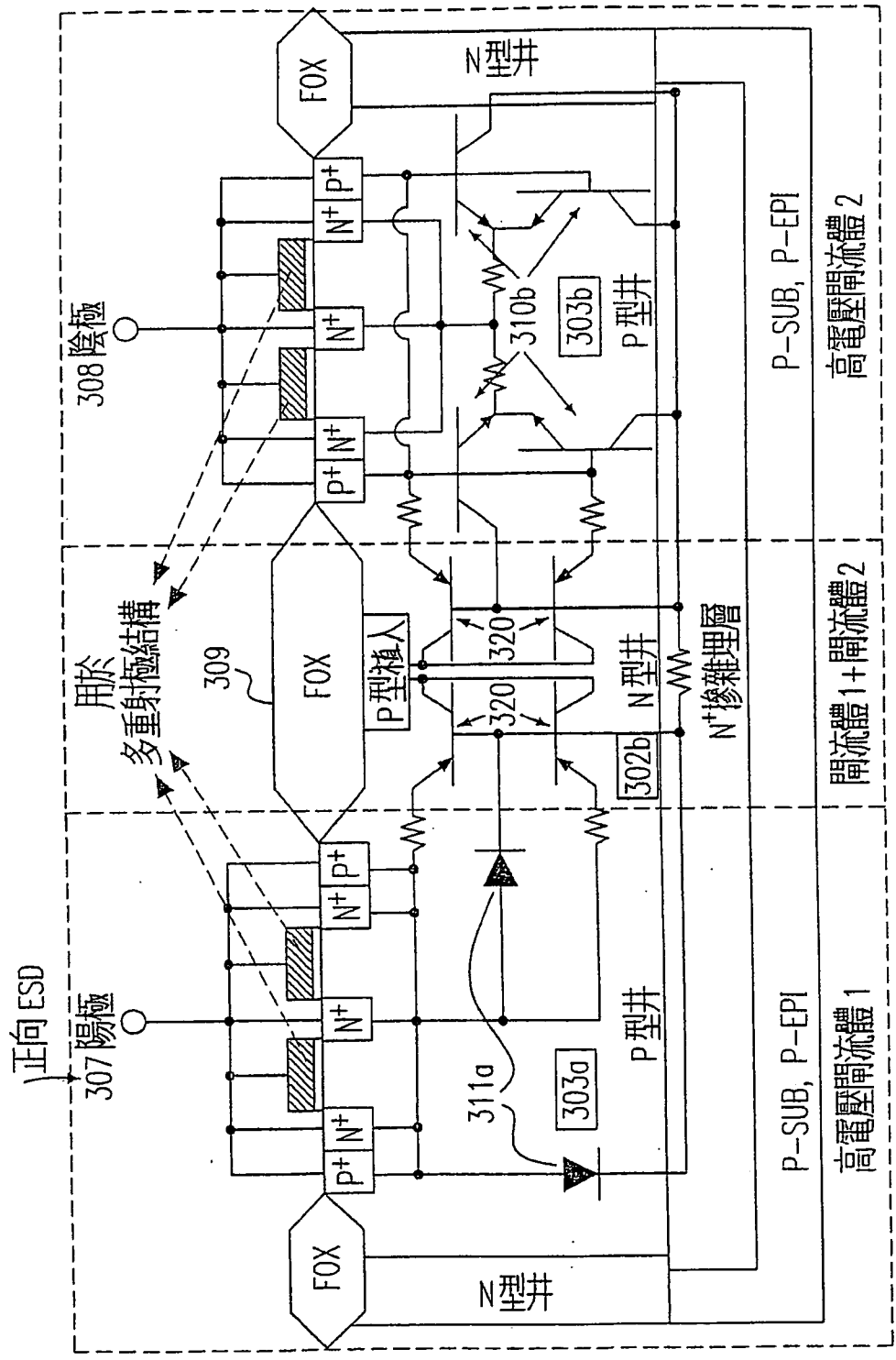


圖 4(b)

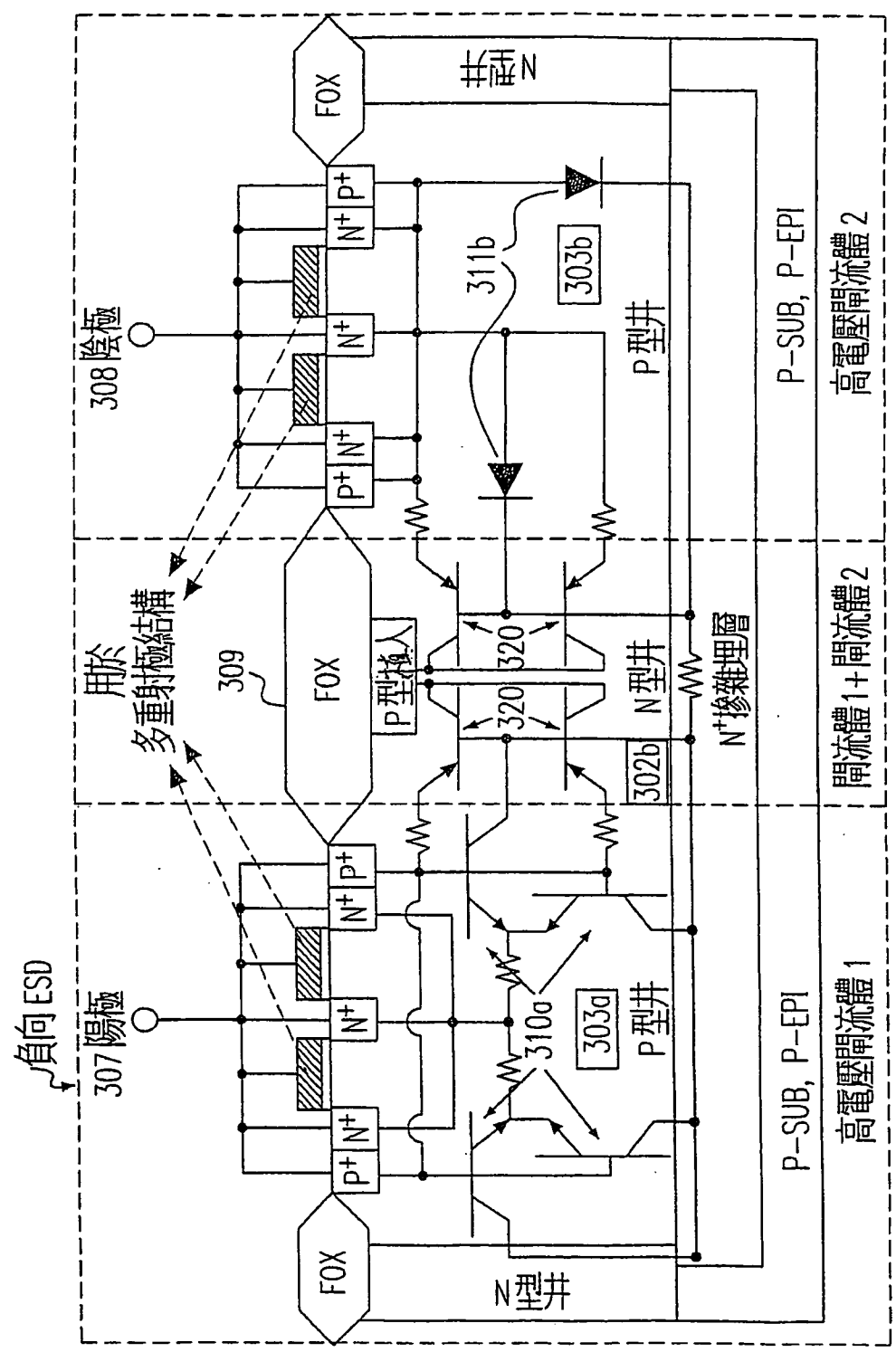


圖 4(c)

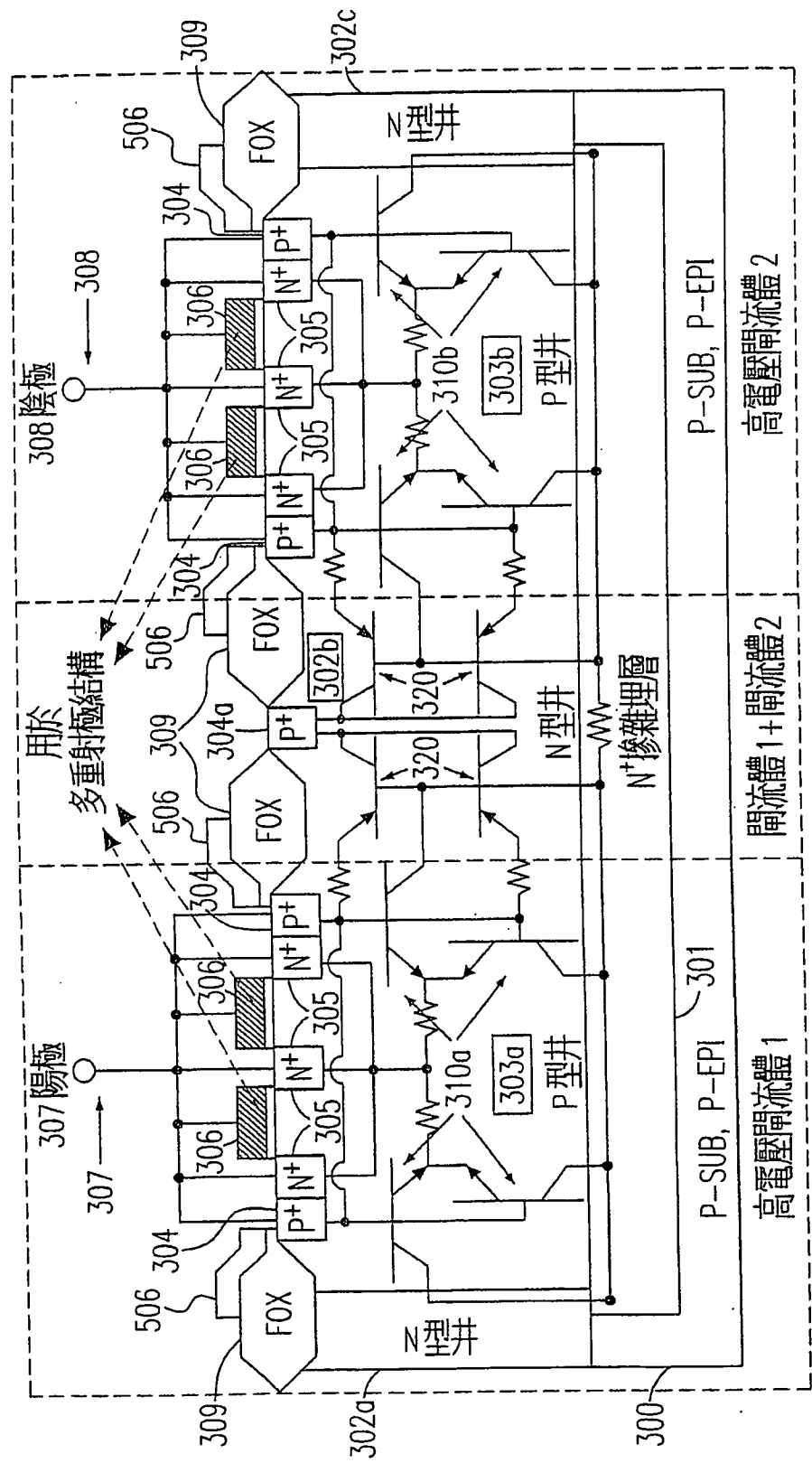


圖 5(a)

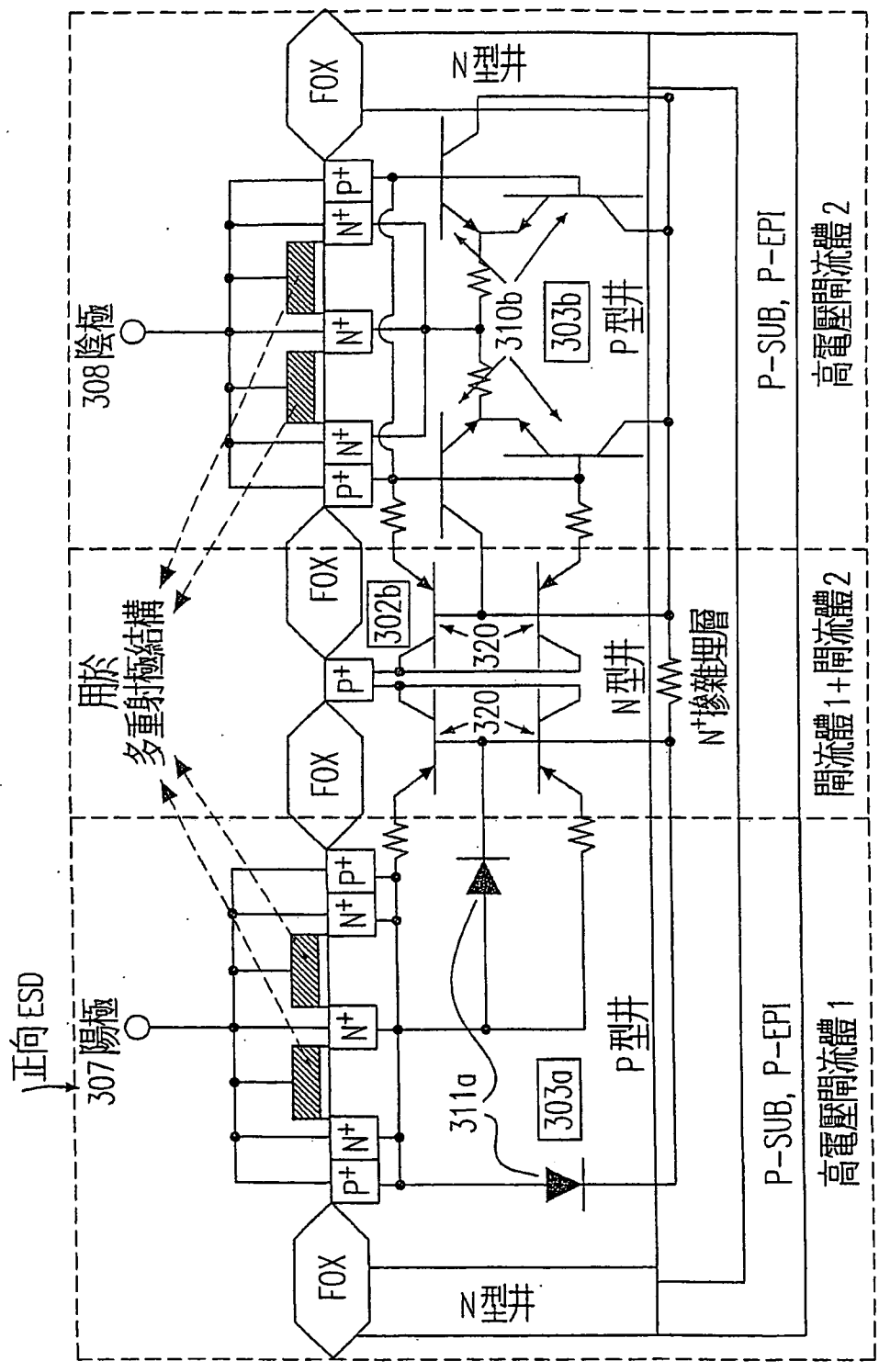


圖 5(b)

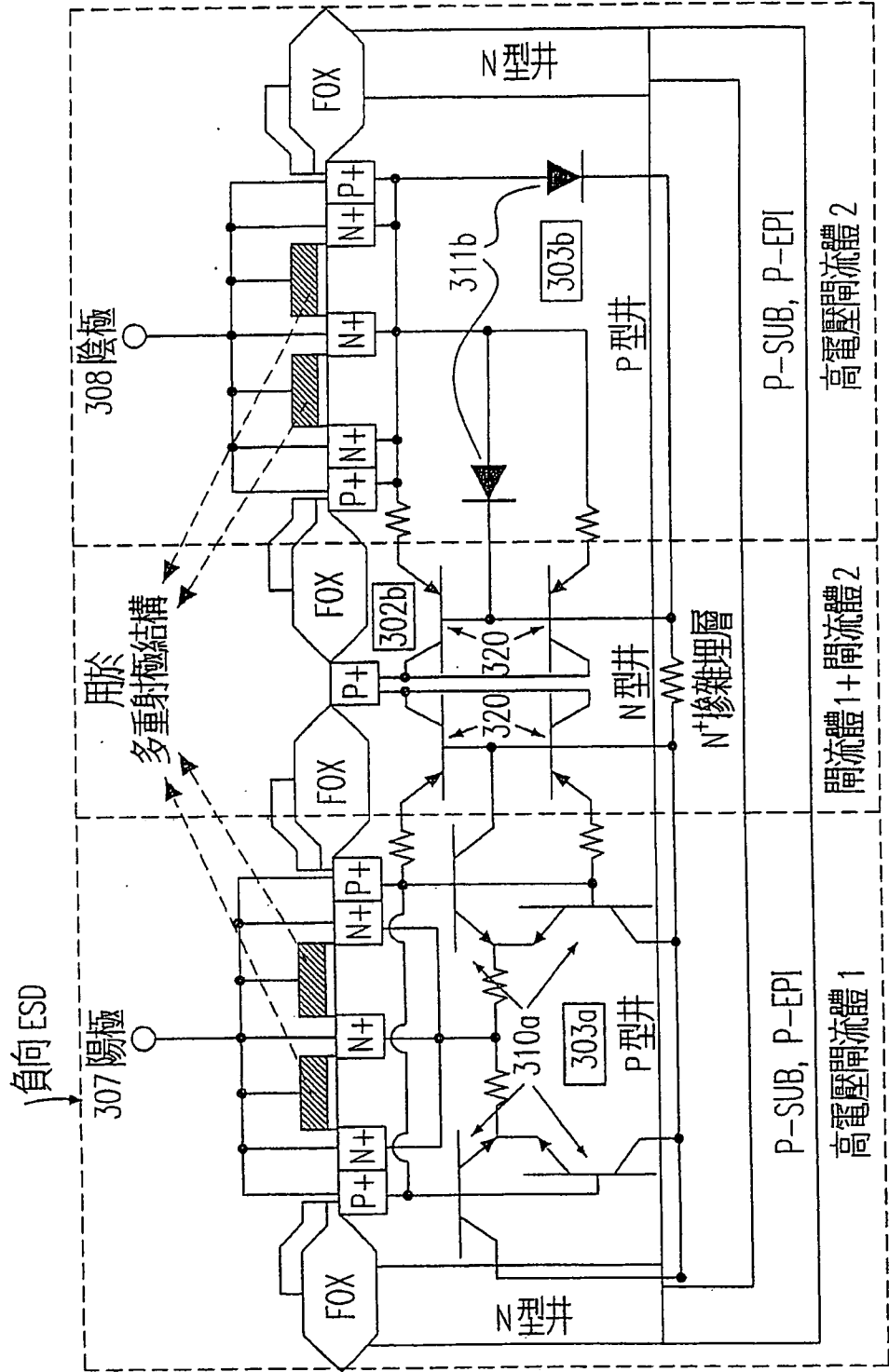


圖 5(c)

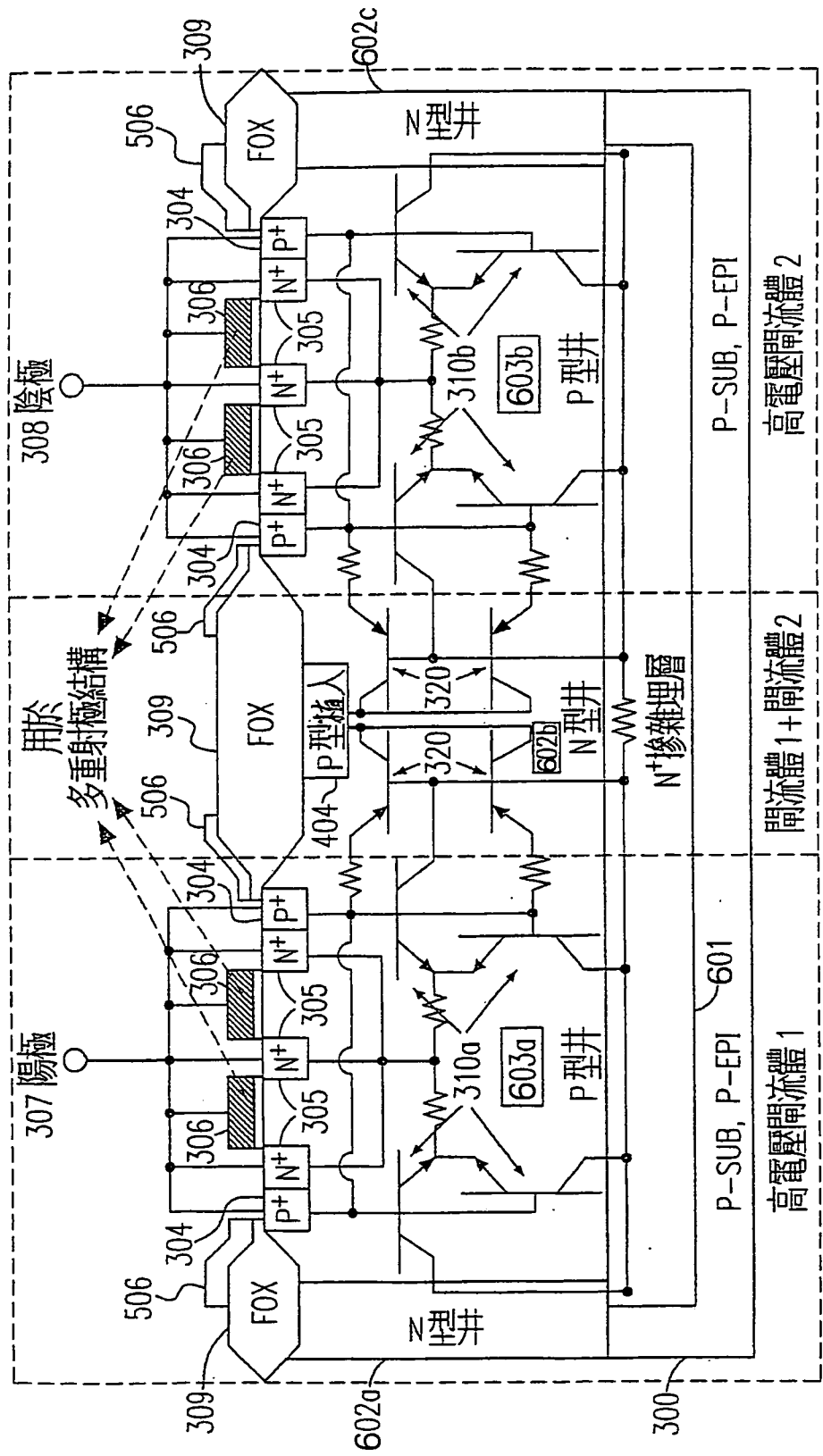


圖 6(a)

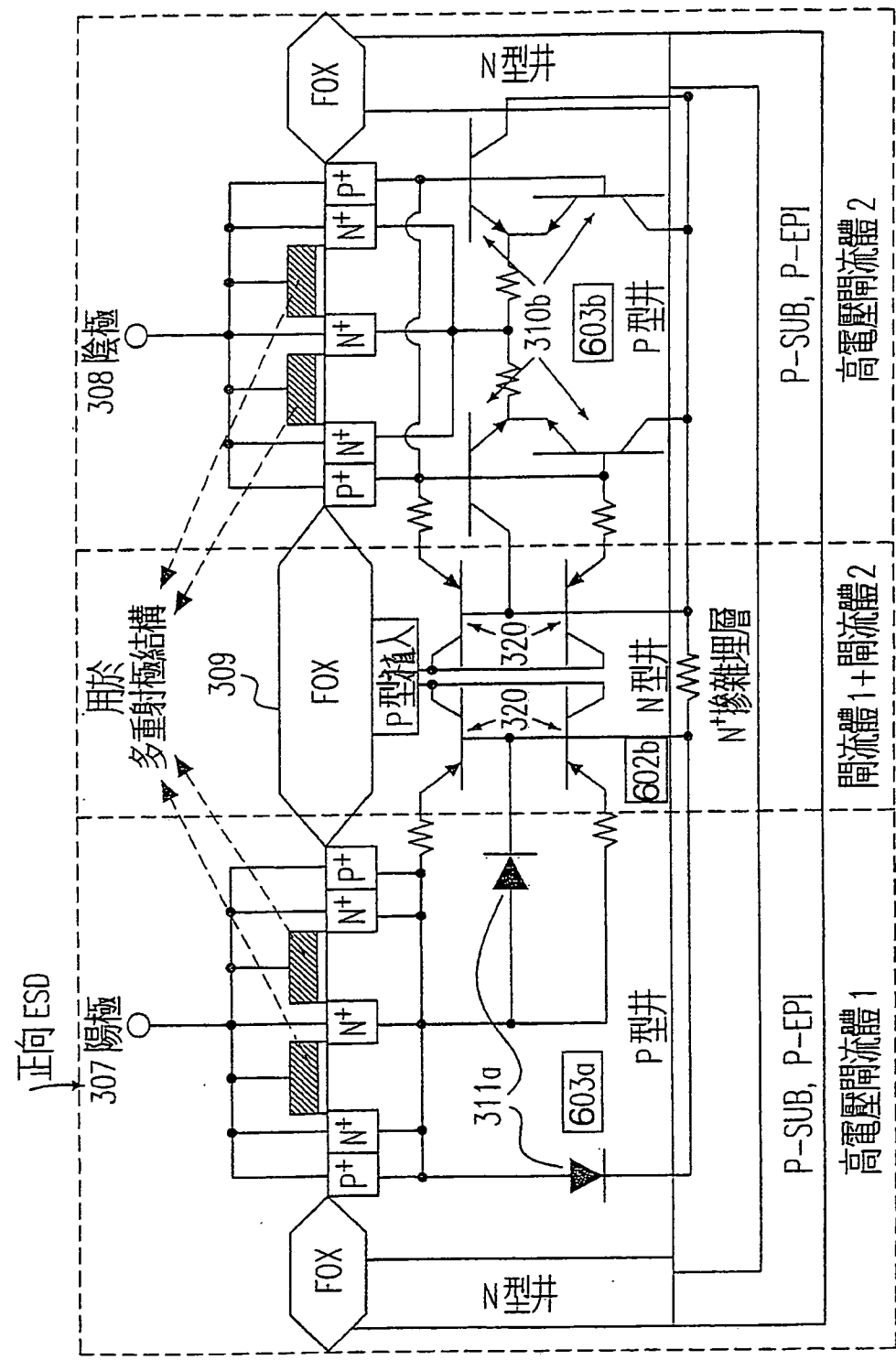
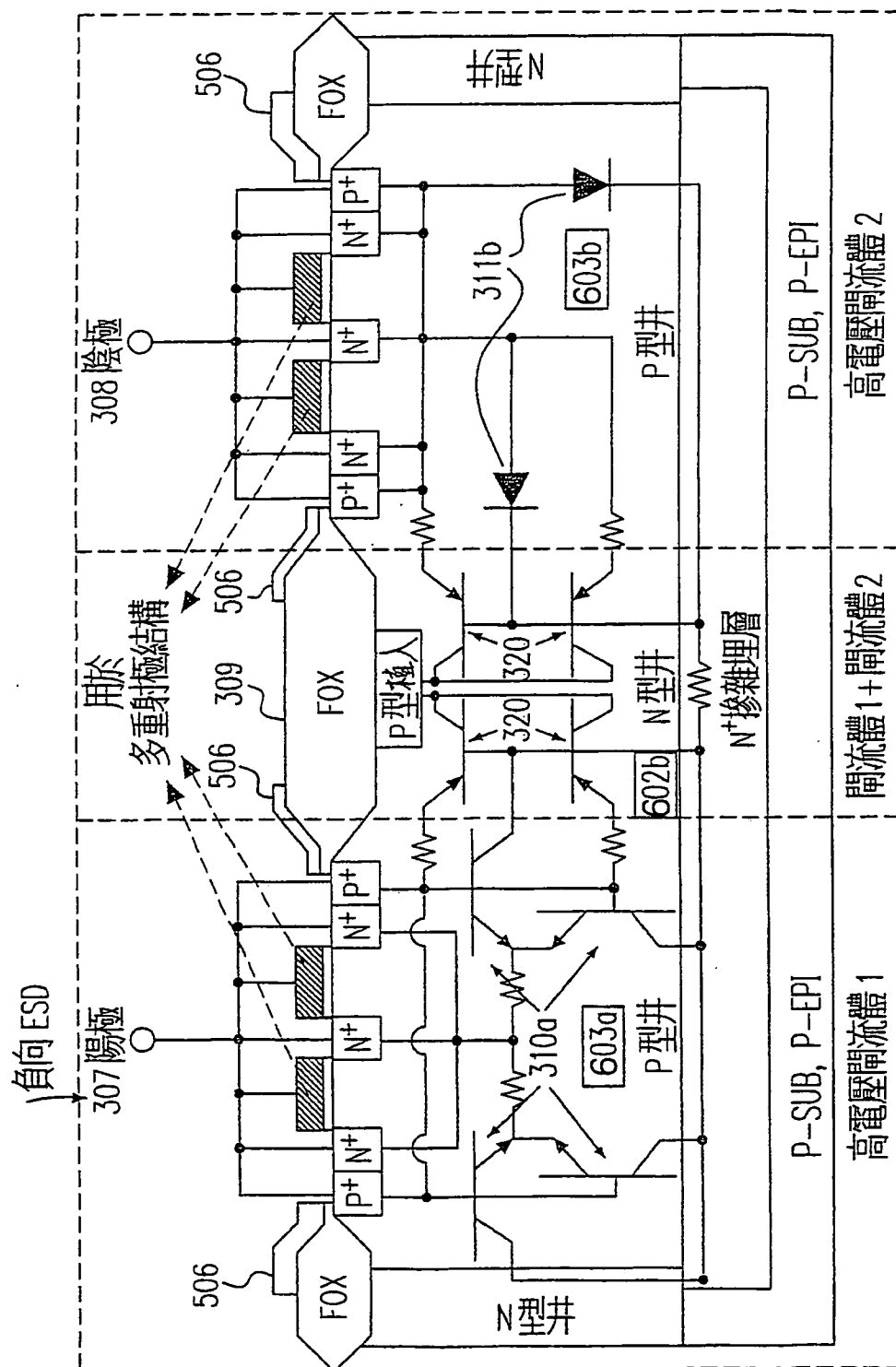
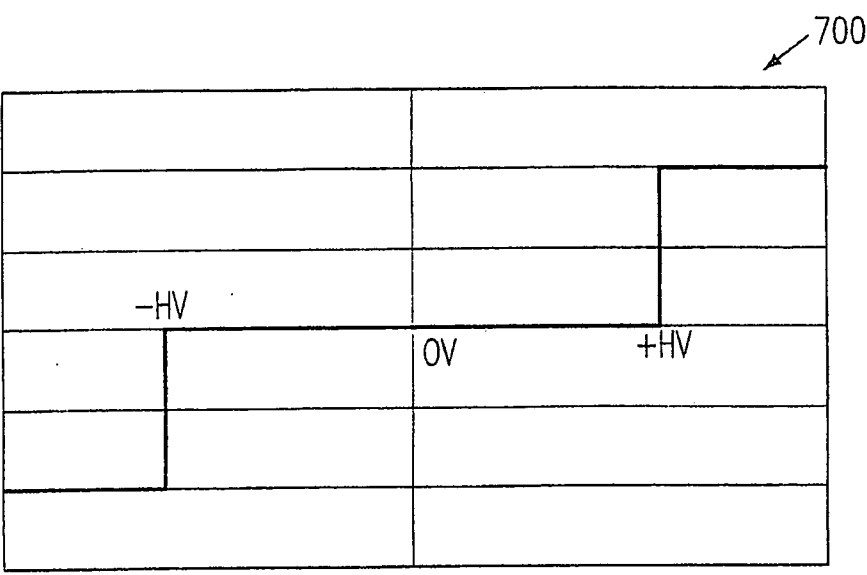


圖 6(b)



(c)



崩潰電壓

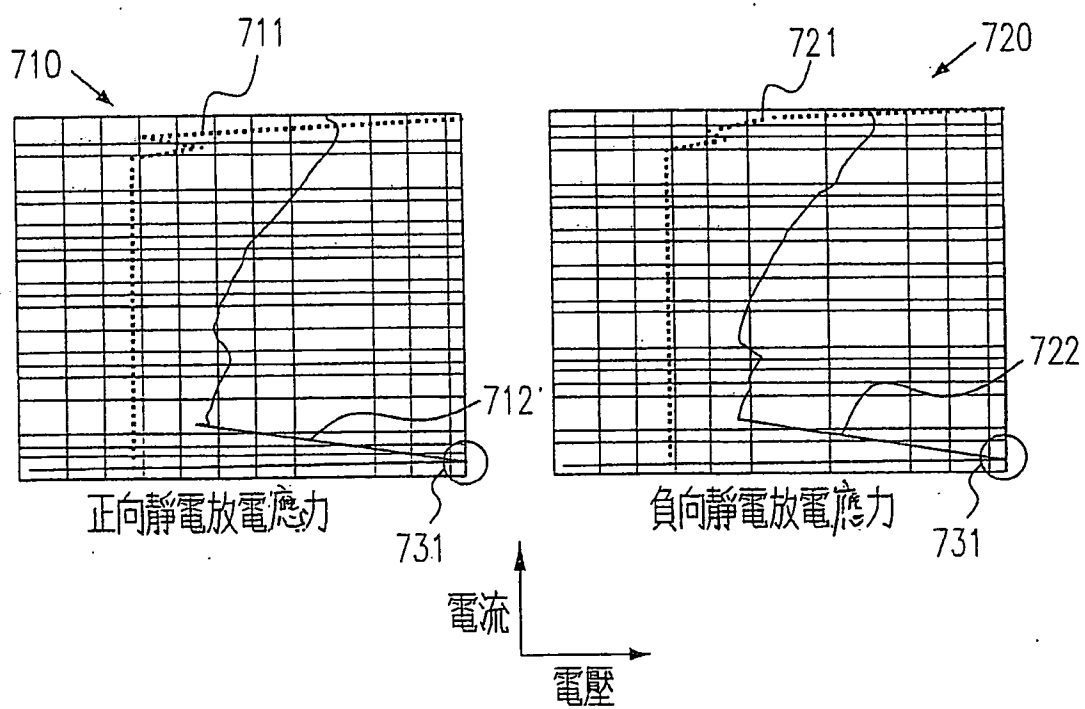


圖 7