

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-112134

(P2017-112134A)

(43) 公開日 平成29年6月22日 (2017.6.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 M	5 F 0 4 8
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 5 D	
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 5 7 D	
HO 1 L 27/06 (2006.01)	HO 1 L 29/78 6 5 5 F	
審査請求 未請求 請求項の数 10 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2015-243077 (P2015-243077)
 (22) 出願日 平成27年12月14日 (2015.12.14)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 内藤 達也
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 Fターム(参考) 5F048 AC06 AC10 BA07 BB02 BB09
 BB19 BC02 BC03 BC12 BD07
 BE09 BF02 BF07 CB07

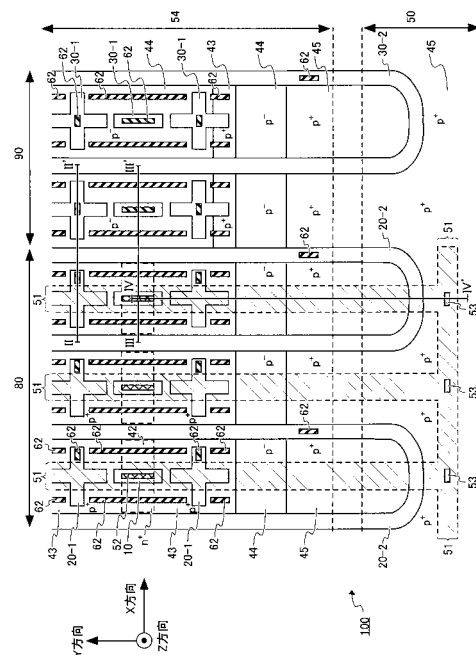
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】ゲートトレンチ内のゲート電極と、エミッタ電極およびコレクタ電極とはゲート容量を形成する。半導体基板においてゲートトレンチを延伸させる場合、ゲート容量を調整することが困難であった。

【解決手段】半導体基板のおもて面側に設けられ、内部に設けられた電極にエミッタ電位が与えられる複数のダミートレンチ部と、半導体基板のおもて面側において複数のダミートレンチ部のうち2以上のダミートレンチ部に囲まれて設けられ、内部に設けられた電極にゲート電位が与えられるゲートトレンチ部とを備える半導体装置を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板のおもて面側に設けられ、内部に設けられた電極にエミッタ電位が与えられる複数のダミートレンチ部と、

前記半導体基板のおもて面側において複数のダミートレンチ部のうち 2 以上のダミートレンチ部に囲まれて設けられ、内部に設けられた電極にゲート電位が与えられるゲートレンチ部と

を備える

半導体装置。

【請求項 2】

前記ゲートレンチ部の少なくとも一部が直下の領域に配置され、前記エミッタ電位が与えられるエミッタ電極と、

少なくとも一部が前記エミッタ電極の下に設けられ、前記ゲートレンチ部の内部に設けられた電極が電氣的に接続するゲートランナーと

をさらに備え、

前記ゲートランナーは、前記エミッタ電極の直下の領域から外周方向に延伸する

請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲートレンチ部と前記ダミートレンチ部とは、前記ゲートランナーの延伸方向において交互に設けられる

請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲートレンチ部は、前記ゲートランナーの延伸方向に伸びるゲート直線部を有し

、

前記ダミートレンチ部は、前記ゲートランナーの延伸方向に直交する方向に伸びるダミー直線部を有する

請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記ゲートレンチ部は、

前記ゲートランナーの延伸方向に伸びる第 1 のゲート直線部と、

前記ゲートランナーの延伸方向に直交する方向に伸びる第 2 のゲート直線部と

を有し、

前記ダミートレンチ部は、

前記ゲートランナーの延伸方向に伸びる第 1 のダミー直線部と、

前記ゲートランナーの延伸方向に直交する方向に伸びる第 2 のダミー直線部と

を有する

請求項 2 または 3 に記載の半導体装置。

【請求項 6】

前記ダミートレンチ部の内部に設けられた電極と前記エミッタ電極とを電氣的に接続するためのコンタクト部をさらに備え、

前記コンタクト部は、前記ダミートレンチ部上のうち、前記ゲートランナー上以外の位置に設けられる

請求項 4 または 5 に記載の半導体装置。

【請求項 7】

前記ゲートレンチ部と前記ダミートレンチ部とは、最近接距離がトレンチ絶縁膜の厚さ以上、ゲートレンチ部の短手方向の幅以下である領域を有する

請求項 1 から 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記ゲートレンチ部は、前記半導体基板のおもて面に対して環状に設けられる

請求項 1 から 3 のいずれか一項に記載の半導体装置。

10

20

30

40

50

【請求項 9】

前記ゲートトレンチ部と前記ダミートレンチ部とは、前記ゲートランナーの延伸方向に直交する方向においても交互に設けられる

請求項 3 に記載の半導体装置。

【請求項 10】

前記半導体基板のおもて面に対して、環状の前記ゲートトレンチ部を囲むように、環状の不純物注入領域をさらに備え、

前記ゲートトレンチ部の内部に設けられた電極が電氣的に接続するゲートランナーの延伸方向に直交する方向において隣接する環状の前記不純物注入領域は、前記ゲートランナーの延伸方向に半ピッチずれて設けられる

請求項 8 に記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置に関する。

【0002】

従来、平面視において直線状に延伸している複数の第 1 のゲートトレンチと、当該複数の第 1 のゲートトレンチに対して平行に伸びているフローティング状態の第 2 のゲートトレンチとを設けていた（例えば、特許文献 1）。また従来、内部にゲート電極を有するトレンチが平面視において三差路状のパターン形状を形成するように設けられ、当該トレンチの単位パターンはフローティング電位を有するダミー電極を囲んでいた（例えば、特許文献 2 の図 18 および図 19 参照）。このように、直線状または三差路状のゲートトレンチを、半導体基板内部において長距離に渡って延伸させていた。

[先行技術文献]

[特許文献]

[特許文献 1] 特開 2015 - 138789 号公報

[特許文献 2] 特開 2012 - 190938 号公報

【発明の概要】**【発明が解決しようとする課題】****【0003】**

ゲートトレンチ内のゲート電極と、エミッタ電極およびコレクタ電極とはゲート容量を形成する。半導体基板においてゲートトレンチを長距離に渡って延伸させる場合、設計段階において柔軟にゲート容量を調整することが困難であった。

【課題を解決するための手段】

【0004】

本発明の第 1 の態様においては、複数のダミートレンチ部と、ゲートトレンチ部とを備える半導体装置を提供する。複数のダミートレンチ部は、半導体基板のおもて面側に設けられてよい。複数のダミートレンチ部の内部には、電極が設けられてよい。当該電極には、エミッタ電位が与えられてよい。ゲートトレンチ部は、半導体基板のおもて面側において複数のダミートレンチ部のうち 2 以上のダミートレンチ部に囲まれて設けられてよい。ゲートトレンチ部の内部には、電極が設けられてよい。当該電極には、ゲート電位が与えられてよい。

【0005】

半導体装置は、エミッタ電極と、ゲートランナーとをさらに備えてよい。ゲートトレンチ部の少なくとも一部は、当該エミッタ電極の直下の領域に配置されてよい。エミッタ電極には、エミッタ電位が与えられてよい。ゲートランナーは、少なくとも一部がエミッタ電極の下に設けられてよい。ゲートトレンチ部の内部に設けられた電極は、ゲートランナーに電氣的に接続してよい。ゲートランナーは、エミッタ電極の直下の領域から外に延伸してよい。

【0006】

10

20

30

40

50

ゲートトレンチ部とダミートレンチ部とは、ゲートランナーの延伸方向において交互に設けられてよい。

【0007】

ゲートトレンチ部は、ゲート直線部を有してよい。ゲート直線部は、ゲートランナーの延伸方向に伸びてよい。ダミートレンチ部は、ダミー直線部を有してよい。ダミー直線部は、ゲートランナーの延伸方向に直交する方向に伸びてよい。

【0008】

ゲートトレンチ部は、第1のゲート直線部と、第2のゲート直線部とを有してよい。第1のゲート直線部は、ゲートランナーの延伸方向に伸びてよい。第2のゲート直線部は、ゲートランナーの延伸方向に直交する方向に伸びてよい。ダミートレンチ部は、第1のダミー直線部と、第2のダミー直線部とを有してよい。第1のダミー直線部は、ゲートランナーの延伸方向に伸びてよい。第2のダミー直線部は、ゲートランナーの延伸方向に直交する方向に伸びてよい。

10

【0009】

前記半導体装置は、コンタクト部をさらに備えてよい。コンタクト部は、ダミートレンチ部の内部に設けられた電極とエミッタ電極とを電氣的に接続してよい。コンタクト部は、ダミートレンチ部上のうち、ゲートランナー上以外の位置に設けられてよい。

【0010】

ゲートトレンチ部とダミートレンチ部とは、最近接距離がトレンチ絶縁膜の厚さ以上、ゲートトレンチ部の短手方向の幅以下である領域を有してよい。

20

【0011】

ゲートトレンチ部は、半導体基板のおもて面に対して環状に設けられてよい。

【0012】

ゲートトレンチ部とダミートレンチ部とは、ゲートランナーの延伸方向に直交する方向においても交互に設けられてよい。

【0013】

半導体装置は、環状の不純物注入領域をさらに備えてよい。環状の不純物注入領域は、半導体基板のおもて面に対して、環状のゲートトレンチ部を囲んでよい。ゲートランナーの延伸方向に直交する方向において隣接する環状の不純物注入領域は、ゲートランナーの延伸方向に半ピッチずれて設けられてよい。ゲートランナーは、ゲートトレンチ部の内部に設けられた電極に電氣的に接続してよい。

30

【0014】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0015】

【図1】第1実施形態における半導体装置100の上面を示す平面概略図である。

【図2】図1におけるII-II'断面を示す図である。

【図3】図1におけるIII-III'断面を示す図である。

【図4】図1におけるIV-IV'断面を示す図である。

40

【図5】第1実施形態におけるトランジスタ部80を示す平面概略図である。

【図6】第1実施形態におけるトランジスタ部80の領域Aの拡大図である。

【図7】ゲートトレンチ部10およびダミートレンチ部20の最近接距離Lと電位分布との関係を説明する図である。

【図8】第2実施形態におけるトランジスタ部80を示す平面概略図である。

【図9】第3実施形態におけるトランジスタ部80を示す平面概略図である。

【図10】第4実施形態におけるトランジスタ部80を示す平面概略図である。

【図11】第5実施形態におけるトランジスタ部80を示す平面概略図である。

【図12】第5実施形態におけるトランジスタ部80の領域Bの拡大図である。

【図13】第6実施形態におけるトランジスタ部80を示す平面概略図である。

50

- 【図14】第7実施形態におけるトランジスタ部80を示す平面概略図である。
 【図15】第8実施形態におけるトランジスタ部80を示す平面概略図である。
 【図16】第9実施形態におけるトランジスタ部80を示す平面概略図である。
 【図17】第10実施形態におけるトランジスタ部80を示す平面概略図である。
 【図18】第11実施形態におけるトランジスタ部80を示す平面概略図である。
 【図19】第12実施形態におけるトランジスタ部80を示す平面概略図である。
 【図20】比較例における半導体装置200の上面を示す平面概略図である。
 【図21】オン電圧(V_{on})とオフ損失(E_{off})との関係を示す図である。
 【発明を実施するための形態】

【0016】

10

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0017】

図1は、第1実施形態における半導体装置100の上面を示す平面概略図である。本例の半導体装置100は、IGBT(Insulated Gate Bipolar Transistor)等のトランジスタを含むトランジスタ部80、および、FWD(Free Wheel Diode)等のダイオードを含むダイオード部90を有する半導体基板である。なお、本例は、トランジスタ部80にIGBTを有する。なお、本例は、IGBTとFWDダイオードとを一体形成したRC IGBT(Reverse-Conducting IGBT)である。

20

【0018】

図1は半導体基板の端部周辺における活性領域を示しており、他の領域を省略している。ただし、半導体装置100は、平面視において活性領域を囲むエッジ終端部を有してよい。活性領域は、半導体装置100をオン状態にした場合に電流が流れる領域を指す。これに対して、エッジ終端部は、半導体基板のおもて面側の電界集中を緩和する機能を有する。エッジ終端部は、例えばガードリング、フィールドプレート、リサーフまたはこれらの2種類以上を組み合わせた構造を有してよい。

【0019】

本例の半導体装置100は、半導体基板のおもて面側において、ゲートトレンチ部10、ダミートレンチ部20、エミッタトレンチ部30、 n^+ 型のエミッタ領域42、 p^+ 型のコンタクト領域43、 p^- 型のベース領域44、 p^+ 型のウェル領域45、ゲート電極50、ゲートランナー51およびエミッタ電極54を備える。ゲート電極50およびエミッタ電極54と、半導体基板のおもて面との間には層間絶縁膜が設けられるが、図1では省略している。また、半導体装置100は、半導体基板のおもて面側において、層間絶縁膜を貫通して設けられるランナーコンタクト部52、ランナーコンタクト部53およびエミッタコンタクト部62を備える。

30

【0020】

本例において、 n または p は、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n または p の右肩に記載した $+$ または $-$ について、 $+$ はそれが記載されていないものよりもキャリア濃度が高く、 $-$ はそれが記載されていないものよりもキャリア濃度が低いことを意味する。

40

【0021】

トレンチ部および不純物領域は半導体基板のおもて面側に設けられる。つまり、ゲートトレンチ部10、ダミートレンチ部20、エミッタトレンチ部30、 n^+ 型のエミッタ領域42、 p^+ 型のコンタクト領域43、 p^- 型のベース領域44、 p^+ 型のウェル領域45は、半導体基板内部のおもて面側に形成される。これに対して、ゲート電極50、ゲートランナー51、ランナーコンタクト部52、ランナーコンタクト部53、エミッタ電極54およびエミッタコンタクト部62は、半導体基板のおもて面の上方に設けられる。

【0022】

50

なお、 n^+ 型のエミッタ領域42がゲートトレンチ部10を跨ぐように記載されているが、これは図示上の便宜的な記載に過ぎず、ゲートトレンチ部10には n^+ 型のエミッタ領域42が設けられていない点に注意されたい。第2から第8の実施形態についても同様である。

【0023】

本例において、X方向とY方向とは互いに垂直な方向である。つまり、X方向とY方向とは互いに独立な方向である。Z方向はX-Y平面に垂直な方向である。X方向、Y方向およびZ方向は、いわゆる右手系を成す。本例において「上」および「上方」とは+Z方向を意味し、「下」および「下方」とは-Z方向を意味する。Y方向は、ゲートランナー51の長手方向でもある。

10

【0024】

ゲート電極50およびエミッタ電極54は、金属を含む材料で形成される。例えば、各電極の少なくとも一部の領域はアルミニウムまたはアルミニウムを含む合金で形成される。各電極は、タングステンを含む材料で形成される領域を有してもよい。ゲート電極50には、ゲート端子からゲート電位が与えられる。エミッタ電極54には、エミッタ端子からエミッタ電位が与えられる。エミッタ電極54は、ゲート電極50と分離して形成される。

【0025】

ゲートトレンチ部10およびダミートレンチ部20は、ダイオード部90の領域に設けられる。ゲートトレンチ部10およびダミートレンチ部20は、予め定められた形状を有してよい。本例のゲートトレンチ部10は、ゲート直線部としてのY方向に伸びる直線部を有する。ダミートレンチ部20は、十字形状のダミートレンチ部20-1と、U字形状のダミートレンチ部20-2とを有する。

20

【0026】

本例において、ドット形状のダミートレンチ部20に対してハイフンおよび1を付して「20-1」と表記する。また、U字形状の長手部のように、ドット形状に比べて長距離に渡って設けられるダミートレンチ部20に対して、ハイフンおよび2を付して「20-2」と表記する。なお、ダミートレンチ部20は、ダミートレンチ部20-1およびダミートレンチ部20-2の総称である。エミッタトレンチ部30についても同様に、ドット形状のエミッタトレンチ部30を「30-1」と表記し、U字形状の長手部のようにドット形状と比べて長距離に渡って設けられるエミッタトレンチ部30を「30-2」と表記する。また、エミッタトレンチ部30は、エミッタトレンチ部30-1およびエミッタトレンチ部30-2の総称である。

30

【0027】

十字形状のダミートレンチ部20-1は、第1のダミー直線部としてのY方向に伸びる直線部と、第2のダミー直線部としてのX方向に伸びる直線部とを有する。十字形状のダミートレンチ部20-1において、第1のダミー直線部と第2のダミー直線部とは交差する。U字形状のダミートレンチ部20-2は、エミッタ電極54の下においてY方向に伸びる長手部と、ゲート電極50の下においてX方向に伸びる短手部とを有する。

40

【0028】

一例において、ゲートトレンチ部10のY方向長さは約 $5\mu\text{m}$ であり、トレンチ幅(すなわち、X方向長さ)は約 $1.2\mu\text{m}$ である。すなわち、本例のゲートトレンチ部10は、ドット形状であると見なすことができる。本例のゲートトレンチ部10の形状は、ゲートトレンチを半導体基板内部において長距離に渡って延伸させる従来例に比べて、非常に小さい。なお、トレンチを長距離に渡って延伸させる場合、例えば $5\mu\text{m}$ から $50\mu\text{m}$ 程度延伸させる。

【0029】

また、一例において、ダミートレンチ部20のトレンチ幅は約 $1.2\mu\text{m}$ である。また、一例において、ダミートレンチ部20-1のX方向およびY方向の直線部の長さは各々約 $5\mu\text{m}$ である。なお、トレンチ幅および各トレンチの長さは、素子耐圧および閾値等の

50

特性に応じて適宜調整してよい。本例のダミートレンチ部 20 1 の形状もまた、従来例のゲートトレンチに比べて非常に小さいドット形状であると見なすことができる。

【0030】

複数のゲートトレンチ部 10 および複数のダミートレンチ部 20 は、トランジスタ部 80 の領域において所定の配列方向に沿って所定の間隔で配列されてよい。本例において、ゲートトレンチ部 10 と十字形状のダミートレンチ部 20 1 とは、Y 方向において交互に設けられる。一例において、本例のゲートトレンチ部 10 およびダミートレンチ部 20 1 は、最近接距離が $1\ \mu\text{m}$ 未満となるように Y 方向に沿って設けられる。また、一例において、複数のダミートレンチ部 20 2 は、直線形状部分の X 方向周期が約 $4\ \mu\text{m}$ となるように設けられる。また、当該周期と同じ周期で、ゲートトレンチ部 10 と十字形状のダミートレンチ部 20 1 とが X 方向において周期的に設けられる。

10

【0031】

エミッタトレンチ部 30 は、ダイオード部 90 の領域に設けられる。エミッタトレンチ部 30 は、ゲートトレンチ部 10 およびダミートレンチ部 20 と同様の形状を有してよい。ダイオード部 90 においては、 p^- 型のベース領域 44 と当該 p^- 型のベース領域 44 の下に設けられる n 型ドリフト層との pn 接合がダイオードとして機能する。それゆえ、エミッタトレンチ部 30 は積極的な機能を有さなくてもよいが、ゲートトレンチ部 10 およびダミートレンチ部 20 と同じ形状を有することにより、トランジスタ部 80 とダイオード部 90 の全体に亘って電位分布を均等にすることができるという効果を有する。さらに、トランジスタ部 80 とダイオード部 90 の全体に亘って、発生する熱を均一にするという効果も有する。

20

【0032】

エミッタ電極 54 の直下の領域には、ゲートトレンチ部 10、ダミートレンチ部 20 の一部、エミッタトレンチ部 30 の一部、 n^+ 型のエミッタ領域 42、 p^+ 型のコンタクト領域 43、 p^- 型のベース領域 44 および p^+ 型のウェル領域 45 の一部が設けられる。 p^+ 型のウェル領域 45 は、ゲート電極 50 が設けられる半導体基板の Y 方向端部から、所定の範囲で形成される。ダミートレンチ部 20 2 およびエミッタトレンチ部 30 のゲート電極 50 側の一部の領域は、 p^+ 型のウェル領域 45 に形成される。

【0033】

各トレンチ部に挟まれる領域には、 p^- 型のベース領域 44 が設けられる。なお、トランジスタ部 80 において、 p^- 型のベース領域 44 のほとんどは、 n^+ 型のエミッタ領域 42 および p^+ 型のコンタクト領域 43 の下に位置する。それゆえ、トランジスタ部 80 において、 p^- 型のベース領域 44 が半導体基板のおもて面に露出するのは、 p^+ 型のウェル領域 45 の Y 方向に隣接する位置のみである。なお、ダイオード部 90 においては、 p^+ 型のコンタクト領域 43 および p^+ 型のウェル領域 45 を除いて p^- 型のベース領域 44 が半導体基板のおもて面に露出する。これにより、RC-IGBT のダイオード部 90 が逆回復動作を行うときに、逆回復ピーク電流が増加するのを防ぐ効果を奏する。

30

【0034】

トランジスタ部 80 において、 n^+ 型のエミッタ領域 42 および p^+ 型のコンタクト領域 43 のそれぞれは、X 方向に隣接する 2 つのダミートレンチ部 20 2 における長手部の一方から他方まで設けられる。また、 n^+ 型のエミッタ領域 42 および p^+ 型のコンタクト領域 43 は Y 方向において交互に設けられる。 n^+ 型のエミッタ領域 42 は、ゲートトレンチ部 10 を X 方向において挟むようにかつゲートトレンチ部 10 に接するように設けられる。

40

【0035】

エミッタコンタクト部 62 は、半導体基板のおもて面とエミッタ電極 54 とを電氣的に接続するための層間絶縁膜の開口部である。エミッタコンタクト部 62 は、トランジスタ部 80 およびダイオード部 90 のうち、エミッタ電極 54 直下に設けられる。

【0036】

トランジスタ部 80 において、エミッタコンタクト部 62 は、ゲートトレンチ部 10 と

50

ダミートレンチ部 20 1 の Y 方向直線部とを X 方向において挟んで設けられる。また、エミッタコンタクト部 6 2 は、ダミートレンチ部 20 1 の X 方向直線部における X 方向端部上と、ダミートレンチ部 20 2 の長手部の一部上とにおいても設けられる。これにより、エミッタ電極 5 4 からダミートレンチ部 20 の内部に設けられるトレンチ電極にエミッタ電位が与えられる。

【0037】

ダイオード部 9 0 において、エミッタコンタクト部 6 2 は、直線形状のエミッタトレンチ部 30 1 と十字形状のエミッタトレンチ部 30 1 を X 方向において挟む。エミッタコンタクト部 6 2 は、直線形状のエミッタトレンチ部 30 1 と、十字形状のエミッタトレンチ部 30 1 の中央部と、U 字形状のエミッタトレンチ部 30 2 の長手部の一部とにも設けられる。これにより、エミッタトレンチ部 30 のトレンチ電極にエミッタ電位が与えられる。

10

【0038】

半導体基板のおもて面側において、ゲートトレンチ部 1 0 は、複数のダミートレンチ部 20 のうち 2 以上のダミートレンチ部 20 に囲まれて設けられる。ゲートトレンチ部 1 0 がダミートレンチ部 20 に囲まれるとは、ゲートトレンチ部 1 0 がダミートレンチ部 20 により形成される半導体基板のメサ領域に囲まれることを意味してよい。本例において、ゲートトレンチ部 1 0 は、Y 方向において 2 つのダミートレンチ部 20 1 に挟まれ、かつ、X 方向においてダミートレンチ部 20 2 の 2 つの対向する長手部に挟まれる。

20

【0039】

ゲートランナー 5 1 は、少なくとも一部がエミッタ電極 5 4 の下に設けられる。ゲートランナー 5 1 は、エミッタ電極 5 4 の直下の領域と、エミッタ電極 5 4 の直下の領域から外に延伸する領域とを有する。本例のゲートランナー 5 1 は、エミッタ電極 5 4 の直下を Y 方向に延伸する領域と、ゲート電極 5 0 の直下において当該延伸する領域を X 方向に接続する領域とを有する。ゲートランナー 5 1 は、ポリシリコンを有する配線または金属配線であってよい。

【0040】

ゲートランナー 5 1 は、ゲートトレンチ部 1 0 の Y 方向直線部の直上を延伸する。ゲートトレンチ部 1 0 の内部に設けられるトレンチ電極は、ランナーコンタクト部 5 2 を介してゲートランナー 5 1 に電氣的に接続する。ゲートランナー 5 1 は、ランナーコンタクト部 5 3 を介してゲート電極 5 0 に電氣的に接続する。これにより、ゲート電極 5 0 からゲートトレンチ部 1 0 の内部に設けられたトレンチ電極にゲート電位が与えられる。本例では、全てのゲートトレンチ部 1 0 がエミッタ電極 5 4 の直下の領域に設けられる。なお、ゲートトレンチ部 1 0 の一部がエミッタ電極 5 4 の直下の領域に設けられ、他はエミッタ電極 5 4 の直下の領域外に設けられてもよい。

30

【0041】

ゲートトレンチ部 1 0 において、ゲート電位を有するトレンチ電極とエミッタ電極 5 4 との間にゲート・エミッタ間容量 C_{GE} が形成される。ゲート・エミッタ間容量 C_{GE} は、ゲートトレンチ部 1 0 のサイズに依存する。ゲートトレンチ部 1 0 のサイズとは、ゲートトレンチ部 1 0 の X 方向、Y 方向および Z 方向長さである。

40

【0042】

ゲートオン時には、ゲートトレンチ部 1 0 のトレンチ電極に電位 V_{GE} が印加されて、容量 C_{GE} に電荷 Q_g が充電される。電荷 Q_g が所定の値まで充電されると、トランジスタ部 8 0 の IGBT がオンする。なお、IGBT に外付けされたドライブ回路が IGBT のゲート電極 5 0 へ電荷 Q_g 供給することにより、IGBT は駆動されてコレクタ電極からエミッタ電極 5 4 に駆動電流が流れる。それゆえ、ドライブ回路の性能に適したゲート・エミッタ間容量 C_{GE} を設ける必要がある。特に、車載用途においては、IGBT の駆動電流を変更することなくゲート・エミッタ間容量 C_{GE} をドライブ回路の性能に適した値に変更することが求められる場合が想定される。

【0043】

50

従来は、ゲートトレンチ部をドット形状とせず、半導体基板において長距離に渡って延伸させていた。長距離に渡って延伸させる理由の一つは、ゲートトレンチ部をゲート電極50が設けられる位置まで延伸させることによりゲートトレンチ部とゲート電極50とを電氣的に接続するためである。この場合、そもそもゲートトレンチ部の必要最低限の長さが予め定まっているので、ゲートトレンチ部の長さをさらに減少させることはできない。つまり、ゲート・エミッタ間容量 C_{GE} の総和を減少させることができない。すなわち、ドライブ回路の性能に応じてゲート・エミッタ間容量 C_{GE} を調整した回路を設けることができなかった。

【0044】

これに対して本例では、ゲートトレンチ部10をトランジスタ部80の一の端部から他の端部まで長距離に渡って延伸させることなく、数 μm のドット形状とする。また、ドット形状のゲートトレンチ部10とダミートレンチ部20-1とをX方向およびY方向に周期的に配置する。本例では、平面視におけるダミートレンチ部20に対するゲートトレンチ部10の面積比率を変えるだけで、半導体装置100のゲート・エミッタ間容量 C_{GE} の総和を調整することができる。つまり、ゲート・エミッタ間容量 C_{GE} の総和を増加させることも減少させることもできる。これにより、ドライブ回路の性能に応じて柔軟にゲート・エミッタ間容量 C_{GE} を調整することができる。

【0045】

例えば、ランナーコンタクト部52を設けないことにより、ゲートトレンチ部10をゲートとして機能させなくすることができる。これにより、ダミートレンチ部20の面積割合に対してゲートトレンチ部10の面積割合が減少するので、ゲート・エミッタ間容量 C_{GE} を減少させることができる。また、ダミートレンチ部20-1上のエミッタコンタクト部62に代えてダミートレンチ部20-1上にランナーコンタクト部52を設けることにより、ダミートレンチ部20-1をゲートトレンチ部10に変えることができる。これにより、ダミートレンチ部20の面積割合に対してゲートトレンチ部10の面積割合が増加するので、ゲート・エミッタ間容量 C_{GE} を増加させることができる。

【0046】

加えて本例では、ドット形状のゲートトレンチ部10のX方向およびY方向を囲むようにダミートレンチ部20を設ける。これにより、ゲートトレンチ部10を長距離に渡って延伸させる場合と比較して、ゲート電極がオン状態でドリフト領域に蓄積するキャリア(電子、正孔)のキャリア密度を向上させることができる。つまり、キャリア蓄積効果を得ることができる。これにより、ゲートトレンチ部10を長距離に渡って延伸させる場合と比較して、オン電圧(V_{on})を低減することができる。

【0047】

図2は、図1におけるII-II'断面を示す図である。図2は、トランジスタ部80のダミートレンチ部20-1と、ダイオード部90の十字形状のダミートレンチ部20-2とを通るように、X-Z平面に平行な平面で切断した断面図である。

【0048】

図2に示すように、半導体装置100は、半導体基板40のおもて面101上にエミッタ電極54を有し、うら面102下にコレクタ電極56を有する。なお、エミッタ端子を円中のEで、コレクタ端子を円中のCで模式的にそれぞれ示す。エミッタ端子は、エミッタ電極54に電氣的に接続する端子である。コレクタ端子は、コレクタ電極56に電氣的に接続する端子である。

【0049】

半導体基板40は、うら面102側に p^+ 型のコレクタ層48および n^+ 型のカソード層49を有する。トランジスタ部80のうら面102側には p^+ 型のコレクタ層48が設けられ、ダイオード部90のうら面102側には n^+ 型のカソード層49が設けられる。半導体基板40は、うら面102からおもて面101にかけて、 p^+ 型のコレクタ層48および n^+ 型のカソード層49、 n^+ 型のパッファ層47、 n^- 型のドリフト層46、 p^- 型のベース領域44、ならびに、 p^+ 型のコンタクト領域43を有する。

10

20

30

40

50

【0050】

半導体装置100は、おもて面101上に第1の層間絶縁膜72を有する。第1の層間絶縁膜72は、半導体基板40のおもて面101とエミッタ電極54との間に設けられる。第1の層間絶縁膜72にはエミッタコンタクト部62が設けられる。エミッタコンタクト部62を介して、ダミートレンチ部201のトレンチ電極22およびエミッタトレンチ部30のトレンチ電極32と、エミッタ電極54とが直接接続する。

【0051】

ダミートレンチ部20はトレンチ電極22とトレンチ絶縁膜23とを有する。トレンチ絶縁膜23は、ダミートレンチ部20の側壁および底部に接して形成された絶縁膜である。トレンチ絶縁膜23は、例えば酸化シリコンで形成される。トレンチ電極22は、トレンチ絶縁膜23に接してダミートレンチ部20の内部に設けられた電極である。トレンチ電極22は、例えばポリシリコンで形成される。トレンチ電極22は、エミッタコンタクト部62を介してエミッタ電極54に電氣的に接続する。エミッタトレンチ部30も同様に、トレンチ電極32とトレンチ絶縁膜33とを有する。トレンチ電極32も、エミッタコンタクト部62を介してエミッタ電極54に電氣的に接続する。

10

【0052】

十字形状のダミートレンチ部201で、X方向とY方向のトレンチが交差する箇所では、交差しない箇所に比べてエッチングレートが高くなり、トレンチの深さが深くなる。そのため、交差箇所が無いゲートトレンチ部10の底部と比べて、ダミートレンチ部201の交差箇所の底部では、電界強度が周辺より高くできる。これにより、ゲートトレンチ部10の底部の電界強度増加を防ぐことができる。

20

【0053】

図3は、図1におけるIII-III'断面を示す図である。図3は、トランジスタ部80のゲートトレンチ部10と、ダイオード部90のY方向直線部のエミッタトレンチ部30とを通るように、X-Z平面に平行な平面で切断した断面図である。

【0054】

ゲートトレンチ部10は、トレンチ電極12とトレンチ絶縁膜13とを有する。ダミートレンチ部20と同様に、トレンチ絶縁膜13はゲートトレンチ部10の側壁および底部に接して形成された絶縁膜である。トレンチ絶縁膜13は、例えば酸化シリコンで形成される。トレンチ電極12は、トレンチ絶縁膜13に接してゲートトレンチ部10に埋め込まれた電極である。トレンチ電極12は、例えばポリシリコンで形成される。

30

【0055】

ゲートトレンチ部10上の第1の層間絶縁膜72は、ランナーコンタクト部52を有する。ゲートランナー51は、ランナーコンタクト部52を介してトレンチ電極12に電氣的に接続する。ゲートランナー51の側部および上部には、第2の層間絶縁膜74が設けられる。第2の層間絶縁膜74により、ゲートランナー51はエミッタ電極54から電氣的に絶縁される。なお、ゲート端子を円中のGで模式的に示す。ゲート端子は、ゲート電極50に電氣的に接続する端子である。

【0056】

エミッタ電極54およびコレクタ電極56には所定の電圧が印加される。例えば、コレクタ電極56には、エミッタ電極54の電位よりも高い正バイアスが印加される。また例えば、エミッタ電極54には、接地電位が印加される。ゲート電極50に所定の電圧が印加されると、ゲートトレンチ部10の側壁近傍のp⁻型のベース領域44にチャネルが形成される。このとき、n⁻型のドリフト層46に電導度変調が生じて、コレクタ電極56からエミッタ電極54に電流が流れる。

40

【0057】

ダミートレンチ部20においては、トレンチ電極22がエミッタ電極54に電氣的に接続する。ダミートレンチ部20は、n⁻型のドリフト層46におけるキャリア注入促進効果(Injection Enhanced効果とも言う)を半導体装置100に付与する。

50

【 0 0 5 8 】

図 4 は、図 1 における I V - I V ' 断面を示す図である。図 4 は、トランジスタ部 8 0 において隣接するゲートトレンチ部 1 0 と十字形状のダミートレンチ部 2 0 - 1 とを通るように、Y - Z 平面に平行な平面で切断した断面図である。

【 0 0 5 9 】

図 4 のダミートレンチ部 2 0 - 2 は、図 1 における U 字形状のダミートレンチ部 2 0 - 2 の短手部に対応する部分である。図 4 に示すように、 p^+ 型のウェル領域 4 5 は、ダミートレンチ部 2 0 - 2 よりも深い位置まで形成される。

【 0 0 6 0 】

図 4 に示すように、ダミートレンチ部 2 0 上の第 1 の層間絶縁膜 7 2 によりトレンチ電極 2 2 とゲートランナー 5 1 とは電氣的に分離される。ゲートランナー 5 1 は、第 1 の層間絶縁膜 7 2 に設けられたランナーコンタクト部 5 2 によりゲートトレンチ部 1 0 のトレンチ電極 1 2 に電氣的に接続する。ゲートランナー 5 1 上の第 2 の層間絶縁膜 7 4 によりゲートランナー 5 1 とエミッタ電極 5 4 とは電氣的に分離される。ゲートランナー 5 1 は、第 2 の層間絶縁膜 7 4 に設けられたランナーコンタクト部 5 3 を介して、ゲート電極 5 0 に電氣的に接続する。

10

【 0 0 6 1 】

(製造方法の例) 次に、半導体装置 1 0 0 の製造方法の一例を説明する。ただし、半導体装置 1 0 0 の製造方法は本例に限定されない。なお、E は 1 0 のべき乗を意味し、例えば $1 E + 1 6 c m^{-3}$ は $1 \times 1 0^{16} c m^{-3}$ を意味する。

20

【 0 0 6 2 】

まず、 n^- 型のドリフト層 4 6 と同一の導電型の半導体基板 4 0 を準備する。

次に、半導体基板 4 0 の表面に所定のパターンのエッチングマスクを設け、ゲートトレンチ部 1 0、ダミートレンチ部 2 0 およびエミッタトレンチ部 3 0 の溝部を形成する。

【 0 0 6 3 】

このとき、各溝部を形成するためのマスク開口幅を、同じ幅とする。溝部を形成した後、各溝部の内壁にトレンチ絶縁膜 1 3、トレンチ絶縁膜 2 3 およびトレンチ絶縁膜 3 3 を形成する。そして、内壁に形成された各トレンチ絶縁膜に接してトレンチ電極 1 2、トレンチ電極 2 2 およびトレンチ電極 3 2 を充填して形成する。

【 0 0 6 4 】

30

次に、半導体基板 4 0 のおもて面 1 0 1 側から選択的に p 型不純物を注入して、 $1 1 0 0$ 程度の温度で 2 時間程度の熱処理を行う。これにより、半導体基板 4 0 のおもて面全体に、 p^+ 型のコンタクト領域 4 3、 p^- 型のベース領域 4 4 および p^+ 型のウェル領域 4 5 をそれぞれ形成する。 p 型不純物は、ボロン (B) であってよい。 p^+ 型のコンタクト領域 4 3 には $3 E + 1 5 c m^{-2}$ の不純物濃度で、 p^- 型のベース領域 4 4 には $2 . 5 E + 1 3 c m^{-2}$ の不純物濃度で、 p^+ 型のウェル領域 4 5 には $5 . 5 E + 1 8 c m^{-2}$ の不純物濃度で、それぞれ p 型不純物をドーピングしてよい。

【 0 0 6 5 】

次に、半導体基板 4 0 のおもて面 1 0 1 側から n 型不純物を選択的に注入する。これにより、 n^+ 型のエミッタ領域 4 2 を選択的に形成する。 n 型不純物は、リン (P) およびヒ素 (As) の 1 以上であってよい。 n^+ 型のエミッタ領域 4 2 には $5 E + 1 9 c m^{-2}$ の不純物濃度で n 型不純物をドーピングしてよい。その後、半導体基板 4 0 のおもて面 1 0 1 側に第 1 の層間絶縁膜 7 2 を形成し、選択エッチングにより第 1 の層間絶縁膜 7 2 にランナーコンタクト部 5 2 およびエミッタコンタクト部 6 2 を設ける。

40

【 0 0 6 6 】

次に、ゲートランナー 5 1 を成膜してパターンニングする。さらに、ゲートランナー 5 1 上に第 2 の層間絶縁膜 7 4 を形成し、選択エッチングにより第 2 の層間絶縁膜 7 4 にランナーコンタクト部 5 3 を設ける。次に、電極材料を成膜してパターンニングすることにより、ゲート電極 5 0 およびエミッタ電極 5 4 を形成する。

【 0 0 6 7 】

50

次に、半導体基板 40 のうら面 102 から n 型不純物をドーピングして n⁺ 型のバッファ層 47 を形成する。例えば、うら面 102 側から $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度で、プロトンを異なるドーズ量で複数回イオン注入してもよい。続いて、300 ~ 400 程度の温度で熱処理を行い、プロトンの注入により注入された水素と、半導体基板 40 中の酸素および空孔による V O H 欠陥を形成する。この V O H 欠陥がドナー（水素ドナー）となる。この水素ドナーが、n⁺ 型のバッファ層 47 となる。

【0068】

次に、トランジスタ部 80 に対応する領域において、半導体基板 40 のうら面 102 から p 型不純物をドーピングする。これにより、n⁺ 型のバッファ層 47 よりも薄い厚みで p⁺ 型のコレクタ層 48 を形成する。例えば、うら面 102 側から $1.0 \times 10^{13} \text{ cm}^{-2}$ 以上 $4.0 \times 10^{13} \text{ cm}^{-2}$ 以下のドーズ量で p 型不純物をイオン注入する。また、ダイオード部 90 に対応する領域において、n⁺ 型のカソード層 49 を形成するべく、半導体基板 40 のうら面 102 から n 型不純物をドーピングする。例えば、うら面 102 側から $1.0 \times 10^{14} / \text{cm}^2$ 以上、 $1.0 \times 10^{16} / \text{cm}^2$ 以下のドーズ量で n 型不純物をイオン注入する。その後、注入面にレーザーアニールを行い、p 型および n 型不純物を活性化させる。最後に、うら面 102 側にコレクタ電極 56 を形成する。

【0069】

図 5 は、第 1 実施形態におけるトランジスタ部 80 を示す平面概略図である。図 5 の一部を領域 A とし、その拡大図を次図において説明する。

【0070】

図 6 は、第 1 実施形態におけるトランジスタ部 80 の領域 A の拡大図である。ゲートレンチ部 10 は、Y 方向に伸びる第 1 のゲート直線部 14 を有する。ダミートレンチ部 20 1 は、Y 方向に伸びる第 1 のダミー直線部 24 と X 方向に伸びる第 2 のダミー直線部 26 とを有する。隣接するゲートレンチ部 10 とダミートレンチ部 20 1 とは、最近接距離 L が $0.2 \mu\text{m}$ である領域を有してよい。

【0071】

本例において、最近接距離 L は、互いに平行である第 1 のゲート直線部 14 の - Y 方向端部と第 1 のダミー直線部 24 の + Y 方向端部との間の距離である。ただし、最近接距離 L は、互いに平行な二つの直線間の距離に限定されるものではない。最近接距離 L は、第 1 のゲート直線部 14 と第 1 のダミー直線部 24 との間の最小距離であってよい。なお、 $0.2 \mu\text{m}$ は、アライメントマスクの位置合わせバラつき精度を考慮した上で、量産プロセスにおける現実的なコストの範囲において実現可能な最小長さである。例えば、最近接距離 L は、トレンチ絶縁膜 13 の厚さ以下であってよい。あるいは、最近接距離 L は、トレンチ絶縁膜 13 の厚さ以上、ゲートレンチ部 10 の短手方向の幅以下であってよい。

【0072】

図 7 は、ゲートレンチ部 10 およびダミートレンチ部 20 の最近接距離 L と電位分布との関係を説明する図である。図 7 は、I G B T のオフ時におけるおもて面 101 近傍の等電位分布を概略的に示す。図 7 の (a) は最近接距離 L が $0.2 \mu\text{m}$ よりも大きい場合を示す図である。図 7 の (b) は最近接距離 L が $0.2 \mu\text{m}$ である場合を示す図であり、第 1 実施形態に対応する。

【0073】

I G B T のオフ時には、I G B T のボディダイオードに逆バイアスが印加され、n⁻ 型のドリフト層 46 と p⁻ 型のベース領域 44 との間に空乏層が広がる。図 7 の (a) のように、ゲートレンチ部 10 がダミートレンチ部 20 1 から離れている場合、(b) の場合と比べて空乏層が拡がりやすい。それゆえ、等電位線が + Z 方向に凸の形状となり、ゲートレンチ部 10 の底部の角部に電界が集中しやすくなる。したがって、図 7 の (a) の方が (b) よりも絶縁破壊しやすくなる。

【0074】

これに対して、図 7 の (b) のように、ゲートレンチ部 10 がダミートレンチ部 20

10

20

30

40

50

1に非常に接近している場合、空乏層が拡がりにくい。それゆえ、等電位分布も略平坦なままとなる。したがって、ゲートトレンチ部10の底部の角部における電界集中を防ぐことができる。好ましくは、最近接距離Lが、エミッタ電極54とコレクタ電極56間に電圧が印加されていないゼロバイアス時にn⁻型のドリフト層46に広がるビルトイン空乏層の幅よりも小さくてよい。

【0075】

図8は、第2実施形態におけるトランジスタ部80を示す平面概略図である。本例において、ゲートトレンチ部10と十字形状のダミートレンチ部20-1とは、X方向においてもまた交互に設けられる。係る点が第1実施形態と異なる。本例においても第1実施形態と同じ効果を得ることができる。

10

【0076】

図9は、第3実施形態におけるトランジスタ部80を示す平面概略図である。本例は、第1実施形態における十字形状のダミートレンチ部20-1とU字形状のダミートレンチ部20-2の長手部とをつなげた構造を有する。つまり、本例は、図6における第2のダミー直線部26をY方向に伸ばすことにより、ダミートレンチ部20-1とダミートレンチ部20-2とを全てつなげて、ダミートレンチ部20-2とした構造を有する。これにより、本例では、ドット形状を有するダミートレンチ部20-1が存在しない。係る点が第1実施形態と異なる。

【0077】

本例では、ランナーコンタクト部52を無くすことにより、ゲートトレンチ部10を無くすることができる。これにより、ダミートレンチ部20に対するゲートトレンチ部10の面積比率を減少させることができる。従って、ドライブ回路の性能に応じてゲート・エミッタ間容量C_{GE}を調整することができる。

20

【0078】

図10は、第4実施形態におけるトランジスタ部80を示す平面概略図である。本例はX方向に隣接するゲートトレンチ部10を一行おきに、第3実施形態と比較してY方向に半ピッチずらした構造を有する。係る点が第3実施形態と異なる。本例においても第3実施形態と同じ効果を得ることができる。本例において1ピッチとは、Y方向において一行に設けられた複数のゲートトレンチ部10において、隣接する2つのゲートトレンチ部10の各中央部分の間隔である。

30

【0079】

図11は、第5実施形態におけるトランジスタ部80を示す平面概略図である。本例は、ゲートトレンチ部10を直線形状から十字形状を有するドット形状に変形した。また、第1実施形態におけるU字形状のダミートレンチ部20-2の長手部を複数に分断して、十字形状を有するダミートレンチ部20-1とした。これに伴い、第1実施形態においてゲートトレンチ部10をX方向において挟んでいた2つのエミッタコンタクト部62を、Y方向において各々分断した。係る点が第1実施形態と異なる。

【0080】

図12は、第5実施形態におけるトランジスタ部80の領域Bの拡大図である。本例のゲートトレンチ部10は、第1のゲート直線部14と、第2のゲート直線部16とを有する。第1のゲート直線部14と第2のゲート直線部16とは交差する。第1のゲート直線部14は、ゲートランナー51の延伸方向であるY方向に伸びる。これに対して、第2のゲート直線部16は、ゲートランナー51の延伸方向に直交する方向であるX方向に伸びる。

40

【0081】

本例は、ゲートトレンチ部10とY方向において交互に設けられる第1のダミートレンチ部20-1を有する。また、ゲートトレンチ部10および第1のダミートレンチ部20-1に対してX方向に隣接し、Y方向に沿って配置される第2のダミートレンチ部20-1を有する。第1および第2のダミートレンチ部20-1の各々は、X方向に伸びる第1のダミー直線部24と、Y方向に伸びる第2のダミー直線部26とを有する。第1のダミー

50

直線部 2 4 と第 2 のダミー直線部 2 6 とは交差する。

【 0 0 8 2 】

第 2 のダミートレンチ部 2 0 1 は、互いに隣接して Y 方向に一列に設けられる。第 2 のダミートレンチ部 2 0 1 の第 2 のダミー直線部 2 6 は、Y 方向においてゲートレンチ部 1 0 と第 1 のダミートレンチ部 2 0 1 に挟まれる。本例では、第 2 のダミートレンチ部 2 0 1 の第 2 のダミー直線部 2 6 とゲートレンチ部 1 0 の + Y 方向端部との最近接距離 L が $0.2 \mu\text{m}$ である。また、第 2 のダミートレンチ部 2 0 1 の第 2 のダミー直線部 2 6 と第 1 のダミートレンチ部 2 0 1 の - Y 方向端部との最近接距離 L が $0.2 \mu\text{m}$ である。これにより、図 7 の例と同様の効果を得ることができる。

【 0 0 8 3 】

本例では、ゲートレンチ部 1 0 が十字形状を有する。十字形状の交差部の底部は、ダミートレンチ部 2 0 1 と同様に交差しない部分よりも深くなる。本例の場合、ゲートレンチ部 1 0 の交差部は、周囲を囲むダミートレンチ部 2 0 1 の十字形状の交差部で囲まれる。そのため、ゲートレンチ部 1 0 の交差部の底部より、ダミートレンチ部 2 0 1 の交差部の底部が多く配置される。これにより、交差部の底部における電界強度はゲートレンチ部 1 0 に集中することなく、均等に分布することが可能となる。

【 0 0 8 4 】

ダミートレンチ部 2 0 1 上に設けられるエミッタコンタクト部 6 2 は、ダミートレンチ部 2 0 1 上のうち、ゲートランナー 5 1 上以外の位置に設けられる。本例のエミッタコンタクト部 6 2 は、ゲートランナー 5 1 上に位置する第 2 のダミー直線部 2 6 よりも + X 方向に設けられる。これにより、ダミートレンチ部 2 0 1 のトレンチ電極 2 2 にエミッタ電位を供給することができる。また、エミッタコンタクト部 6 2 をゲートランナー 5 1 上に移動させることにより、エミッタコンタクト部 6 2 に代えてランナーコンタクト部 5 2 としてもよい。これとは逆に、ランナーコンタクト部 5 2 をゲートランナー 5 1 上以外の位置に移動させることにより、ランナーコンタクト部 5 2 に代えてエミッタコンタクト部 6 2 としてもよい。

【 0 0 8 5 】

このように、本例では、第 1 のダミートレンチ部 2 0 1 をゲートレンチ部 1 0 に変形すること、および、ゲートレンチ部 1 0 を第 1 のダミートレンチ部 2 0 1 に変形することが容易となる。つまり、コンタクト部の位置変更により、ダミートレンチ部 2 0 1 に対するゲートレンチ部 1 0 の面積比率を変えることができる。本例では、面積比率を増加することも減少することもできる。これにより、ドライブ回路の性能に応じてゲート・エミッタ間容量 C_{GE} を調整することができる。

【 0 0 8 6 】

図 1 3 は、第 6 実施形態におけるトランジスタ部 8 0 を示す平面概略図である。本例のゲートレンチ部 1 0 は、半導体基板 4 0 のおもて面 1 0 1 に対して環状に設けられる。ダミートレンチ部 2 0 1 も、ゲートレンチ部 1 0 と同様に環状に設けられる。環状形状において、内周は $8 \mu\text{m}$ であってよく、外周は $16 \mu\text{m}$ であってよい。それゆえ、環状形状もドット形状であると見なすことができる。ゲートレンチ部 1 0 とダミートレンチ部 2 0 1 とは、X 方向および Y 方向において交互に設けられる。これにより、環状のゲートレンチ部 1 0 は、四方を 4 つのダミートレンチ部 2 0 1 により囲まれている。なお、本例では、長手部を有するダミートレンチ部 2 0 2 を有さない。

【 0 0 8 7 】

ゲートレンチ部 1 0 は、四角棒形状のうちゲートランナー 5 1 上にランナーコンタクト部 5 2 を有する。これに対して、ダミートレンチ部 2 0 1 は、四角棒形状のうちゲートランナー 5 1 上以外の位置にエミッタコンタクト部 6 2 を有する。四角棒形状の内側には、エミッタコンタクト部 6 2 が設けられる。また、当該エミッタコンタクト部 6 2 を X 方向において挟む位置に、2 つの n^+ 型のエミッタ領域 4 2 が設けられる。さらに、エミッタコンタクト部 6 2 の直下と、 n^+ 型のエミッタ領域 4 2 を Y 方向において挟む位置とに、 p^+ 型のコンタクト領域 4 3 が設けられる。

10

20

30

40

50

【 0 0 8 8 】

ゲートトレンチ部 1 0 とダミートレンチ部 2 0 1 との間における格子形状に連結された領域は、 p^+ 型のコンタクト領域 4 3 である。 p^+ 型のコンタクト領域 4 3 上には、エミッタコンタクト部 6 2 が設けられる。本例では、格子形状の p^+ 型のコンタクト領域 4 3 のうち、Y 方向および X 方向の辺領域（すなわち、交点を除く領域）に、複数のエミッタコンタクト部 6 2 が設けられる。辺領域に設けられた複数のエミッタコンタクト部 6 2 は、互いに分断されていてよい。

【 0 0 8 9 】

本例においても、ゲートトレンチ部 1 0 のランナーコンタクト部 5 2 とダミートレンチ部 2 0 1 のエミッタコンタクト部 6 2 とを適切に入れ替えることにより、ダミートレンチ部 2 0 に対するゲートトレンチ部 1 0 の面積比率を変えることができる。これにより、ドライブ回路の性能に応じてゲート・エミッタ間容量 C_{GE} を調整することができる。

10

【 0 0 9 0 】

図 1 4 は、第 7 実施形態におけるトランジスタ部 8 0 を示す平面概略図である。本例は、第 5 実施形態の変形例に相当する。本例では、第 5 実施形態における第 2 のゲート直線部 1 6 とダミートレンチ部 2 0 1 とをダミートレンチ部 2 0 2 に変更した。また、本例では、第 5 実施形態のダミートレンチ部 2 0 2 において、第 1 のダミー直線部 2 4 2 を Y 方向に伸ばし、第 2 のダミー直線部 2 6 2 を X 方向に伸ばした。これにより、ダミートレンチ部 2 0 2 は分断されることなく全て連結された。本例においても、ドライブ回路の性能に応じてゲート・エミッタ間容量 C_{GE} を調整することができる。

20

【 0 0 9 1 】

図 1 5 は、第 8 実施形態におけるトランジスタ部 8 0 を示す平面概略図である。本例は、第 7 実施形態の変形例である。本例では、第 7 実施形態のゲートトレンチ部 1 0 周りの p^+ 型のコンタクト領域 4 3 を長方形とした。これに伴い、 p^+ 型のコンタクト領域 4 3 上に設けられるエミッタコンタクト部 6 2 を Y 方向に伸ばして連結した。これにより、第 7 実施形態において 4 つであったゲートトレンチ部 1 0 周りのエミッタコンタクト部 6 2 を 2 つとした。本例においても、第 7 実施形態と同様の効果を得ることができる。

【 0 0 9 2 】

図 1 6 は、第 9 実施形態におけるトランジスタ部 8 0 を示す平面概略図である。本例は、第 6 実施形態に類似する実施形態である。ただし、本例は、ダミートレンチ部 2 0 1 を設けずにダミートレンチ部 2 0 2 を設ける。また、本例では、長方形の環状を有するゲートトレンチ部 1 0 の周りを囲むように、長方形の環状の不純物注入領域としての p^+ 型のコンタクト領域 4 3 を設ける。さらに、環状の p^+ 型のコンタクト領域 4 3 をユニットセルとして、複数のユニットセルを X 方向および Y 方向に行列状に複数配置した。加えて、各ユニットセルを分離するように X 方向および Y 方向に延伸するダミートレンチ部 2 0 2 を設けた。これにより、1 つのダミートレンチ部 2 0 2 が全てのゲートトレンチ部 1 0 を囲んでいる。

30

【 0 0 9 3 】

本例においても、ゲートトレンチ部 1 0 のランナーコンタクト部 5 2 とダミートレンチ部 2 0 1 のエミッタコンタクト部 6 2 とを適切に入れ替えることにより、ダミートレンチ部 2 0 に対するゲートトレンチ部 1 0 の面積比率を変えることができる。これにより、ドライブ回路の性能に応じてゲート・エミッタ間容量 C_{GE} を調整することができる。

40

【 0 0 9 4 】

図 1 7 は、第 1 0 実施形態におけるトランジスタ部 8 0 を示す平面概略図である。本例は、第 9 実施形態におけるゲートトレンチ部 1 0 の一部をダミートレンチ部 2 0 1 とした例である。特に本例では、ゲートトレンチ部 1 0 を X 方向および Y 方向において 1 つおきにダミートレンチ部 2 0 1 とした。係る点において、第 9 実施例と異なる。本例においても第 9 実施形態と同じ効果を有する。

【 0 0 9 5 】

図 1 8 は、第 1 1 実施形態におけるトランジスタ部 8 0 を示す平面概略図である。本例

50

では、X方向において隣接する環状の p^+ 型のコンタクト領域43が、Y方向に半ピッチずれて設けられる。係る点において第9実施形態と異なる。本例においても第9実施形態と同じ効果を有する。

【0096】

図19は、第12実施形態におけるトランジスタ部80を示す平面概略図である。本例では、X方向において隣接する環状の p^+ 型のコンタクト領域43は、Y方向に半ピッチずれて設けられる。係る点において第10実施形態と異なる。本例においても第10実施形態と同じ効果を有する。

【0097】

図20は、比較例における半導体装置200の上面を示す平面概略図である。本例のトランジスタ部80は、ゲートトレンチ部10とダミートレンチ部20 2とを有する。また、比較例のダイオード部90は、U字形状のエミッタトレンチ部30 2を有する。なお、 p^- 型のベース領域44および p^+ 型のウェル領域45の配置パターンは、基本的には図1の例と同じである。ただし、 n^+ 型のエミッタ領域42および p^+ 型のコンタクト領域43は、Y方向において等間隔に交互に設けられている点が、図1の例と異なる。

10

【0098】

本例のゲートトレンチ部10は、U字形状の長手部および短手部を有する。本例のゲートトレンチ部10は、ドット形状ではない。ゲートトレンチ部10の長手部は、トランジスタ部80に渡ってY方向に延伸する。ゲートトレンチ部10は、Y方向端部の短手のランナーコンタクト部52において、ポリシリコン層110に直接接続する。ポリシリコン層110は、ランナーコンタクト部53において、ゲート電極50に直接接続する。

20

【0099】

ダミートレンチ部20 2は、ゲートトレンチ部10の2つの長手部の間をY方向に延伸する長手部を有する。ダミートレンチ部20 2もまた、ドット形状ではない。ダミートレンチ部20 2は、Y方向の端部のエミッタコンタクト部62においてポリシリコン層110を介してエミッタ電極54と直接接続する。

【0100】

エミッタトレンチ部30 2のU字形状の短手部は、ポリシリコン層110よりも+Y方向に設けられる。エミッタトレンチ部30 2は、エミッタコンタクト部62においてポリシリコン層110を介してエミッタ電極54に電氣的に接続する。

30

【0101】

図21は、オン電圧(V_{on})とオフ損失(E_{off})との関係を示す図である。横軸はオン電圧[V]である。縦軸は、IGBTをスイッチングオフした場合の損失[mJ]である。第1から第12実施形態においては、比較例と比べてメサ幅を狭くすることによりIE効果を得ることができるので、比較例よりもオン電圧を低くすることができる。

【0102】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

40

【0103】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

【符号の説明】

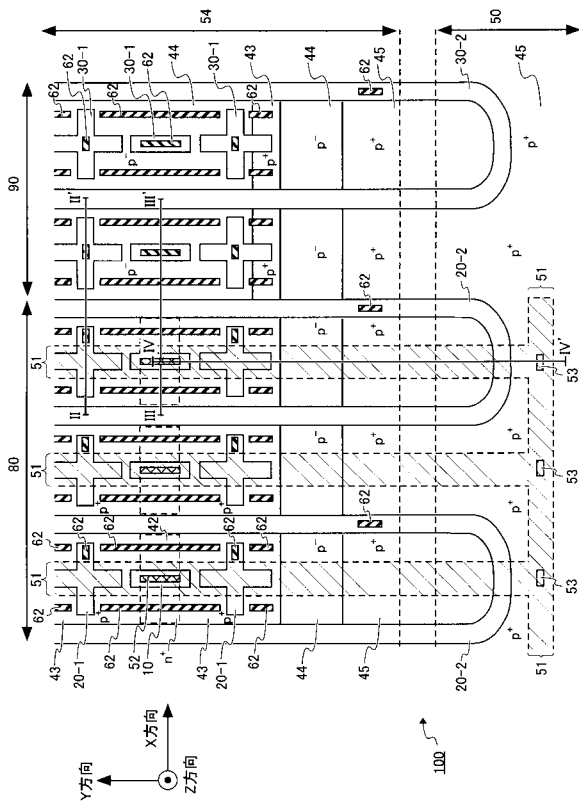
【0104】

10・・・ゲートトレンチ部、12・・・トレンチ電極、13・・・トレンチ絶縁膜、14・

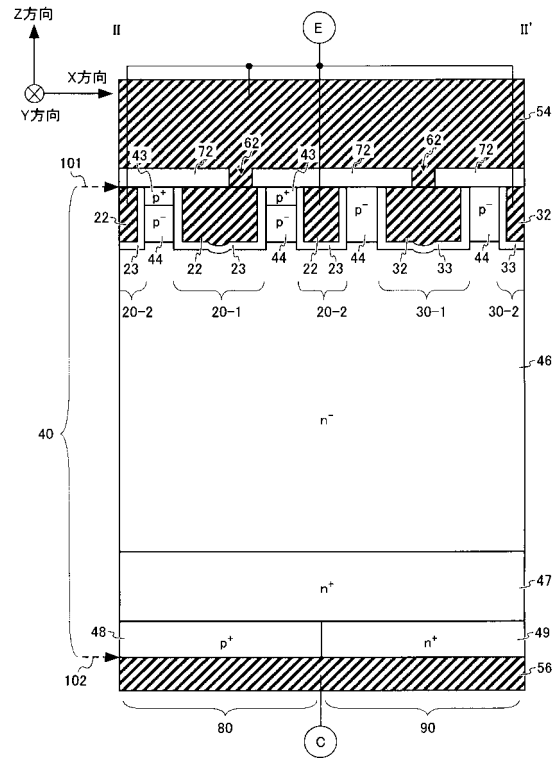
50

・第1のゲート直線部、16・・・第2のゲート直線部、20・・・ダミートレンチ部、22・・・トレンチ電極、23・・・トレンチ絶縁膜、24・・・第1のダミー直線部、26・・・第2のダミー直線部、30・・・エミッタトレンチ部、32・・・トレンチ電極、33・・・トレンチ絶縁膜、40・・・半導体基板、42・・・n⁺型のエミッタ領域、43・・・p⁺型のコンタクト領域、44・・・p⁻型のベース領域、45・・・p⁺型のウェル領域、46・・・n⁻型のドリフト層、47・・・n⁺型のバッファ層、48・・・p⁺型のコレクタ層、49・・・n⁺型のカソード層、50・・・ゲート電極、51・・・ゲートランナー、52・・・ランナーコンタクト部、53・・・ランナーコンタクト部、54・・・エミッタ電極、56・・・コレクタ電極、62・・・エミッタコンタクト部、72・・・第1の層間絶縁膜、74・・・第2の層間絶縁膜、80・・・トランジスタ部、90・・・ダイオード部、100・・・半導体装置、101・・・おもて面、102・・・うら面、110・・・ポリシリコン層、200・・・半導体装置

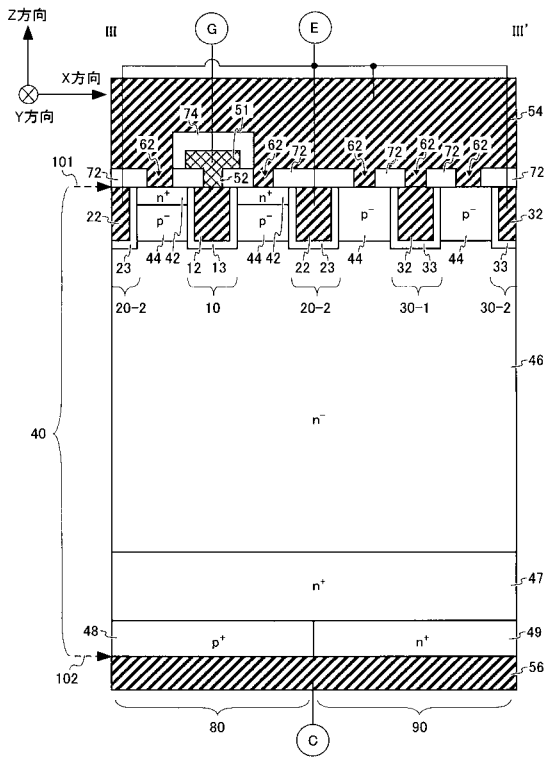
【図1】



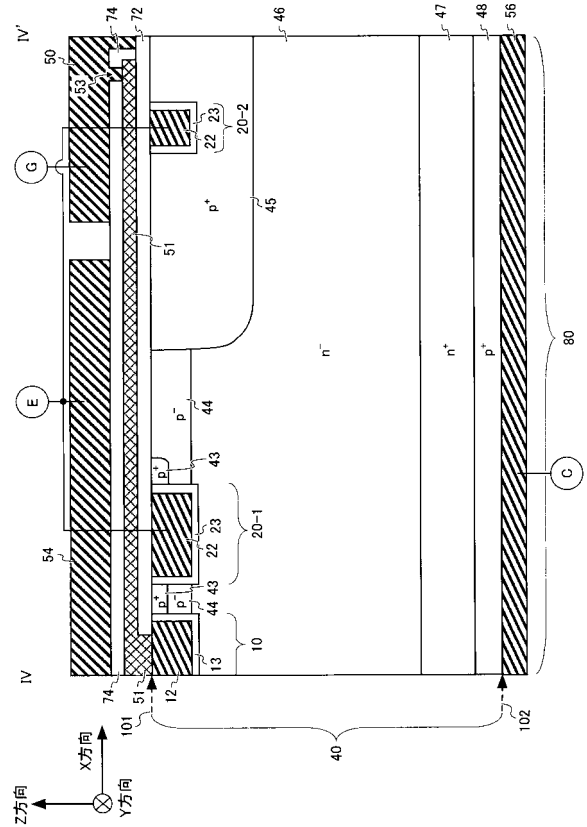
【図2】



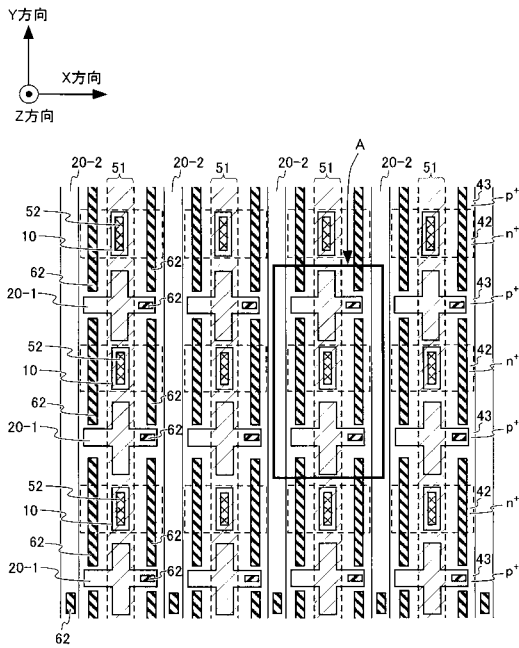
【 図 3 】



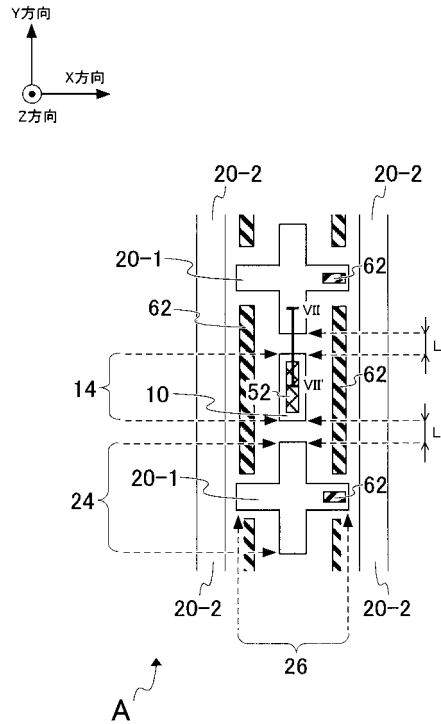
【 図 4 】



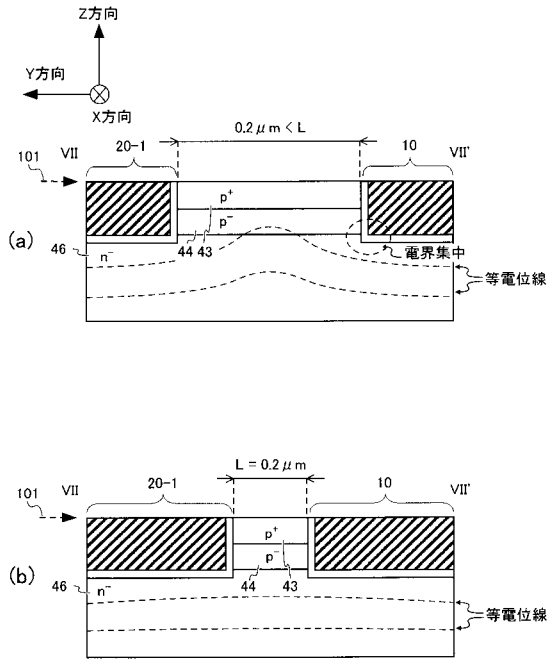
【 図 5 】



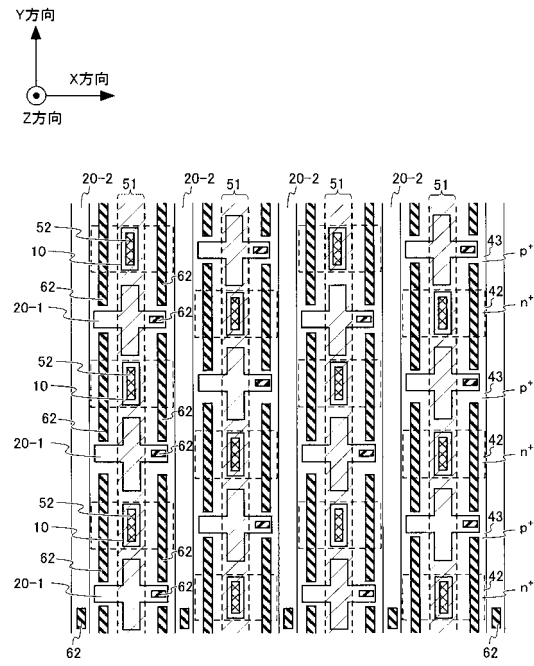
【 図 6 】



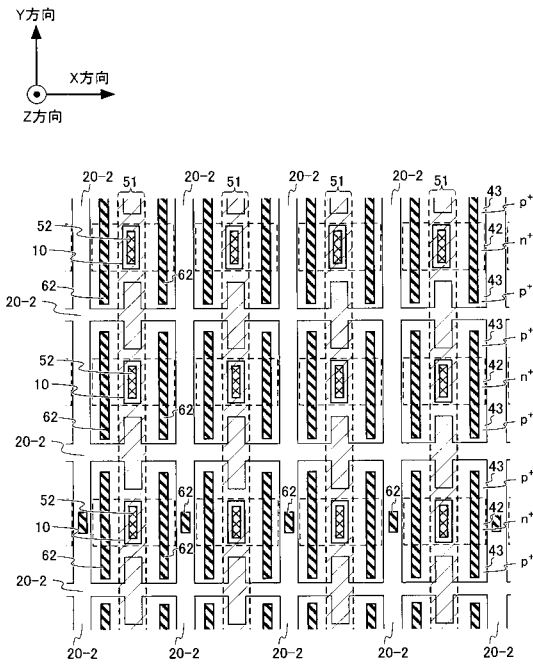
【 図 7 】



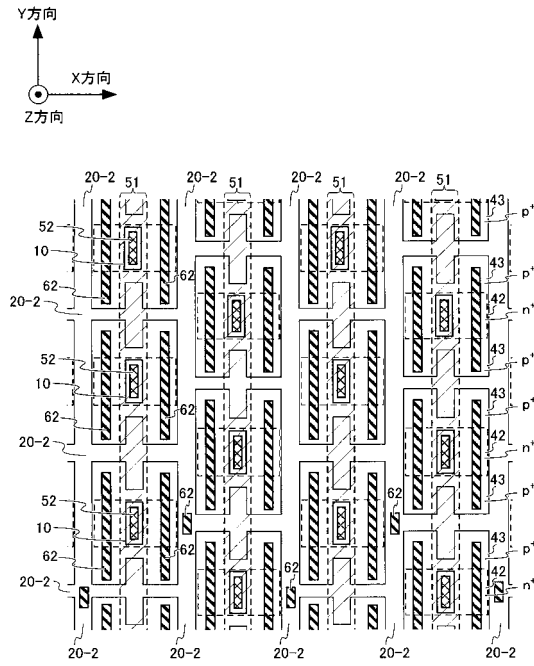
【 図 8 】



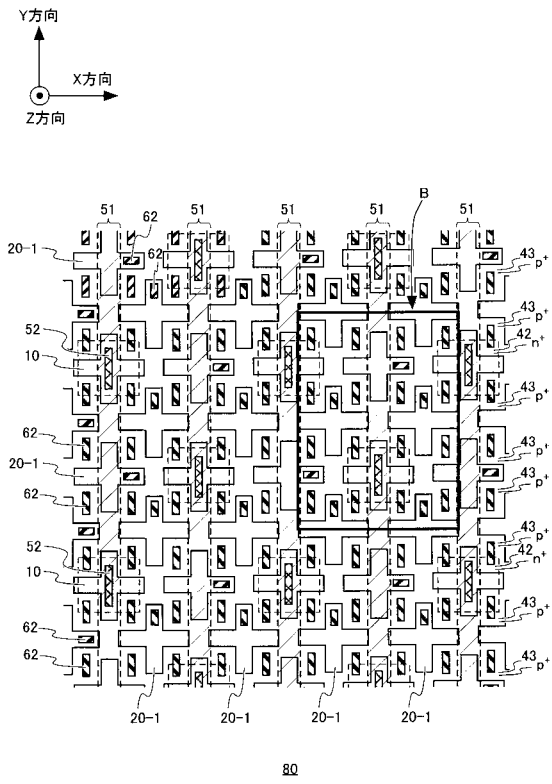
【 図 9 】



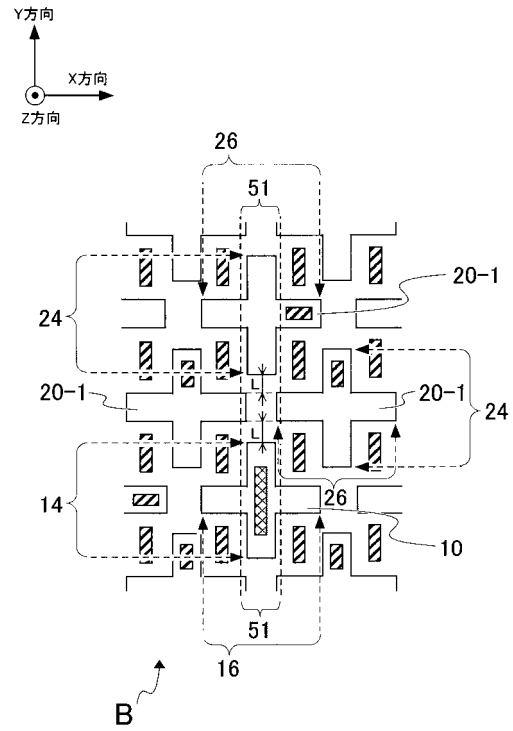
【 図 10 】



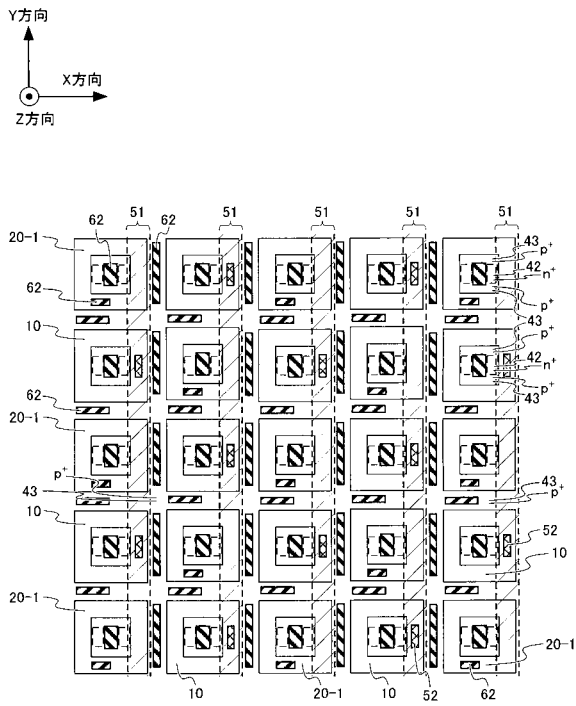
【 図 1 1 】



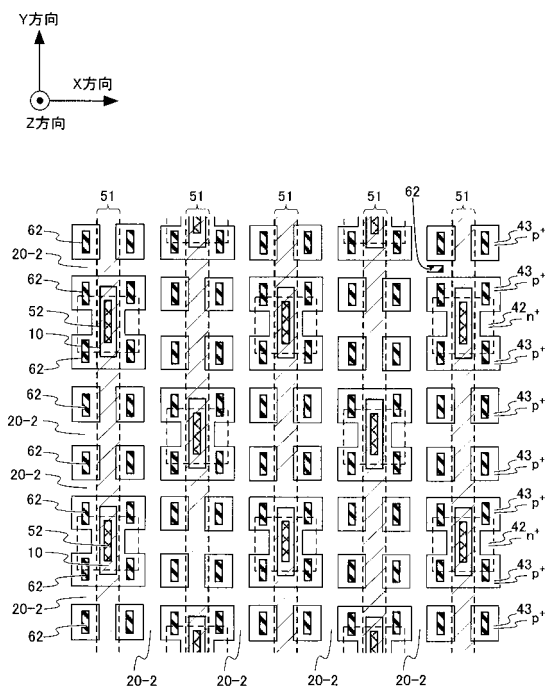
【 図 1 2 】



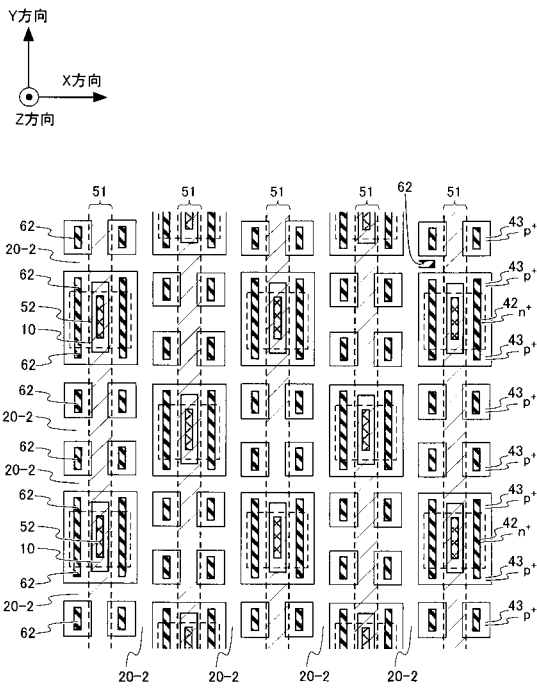
【 図 1 3 】



【 図 1 4 】

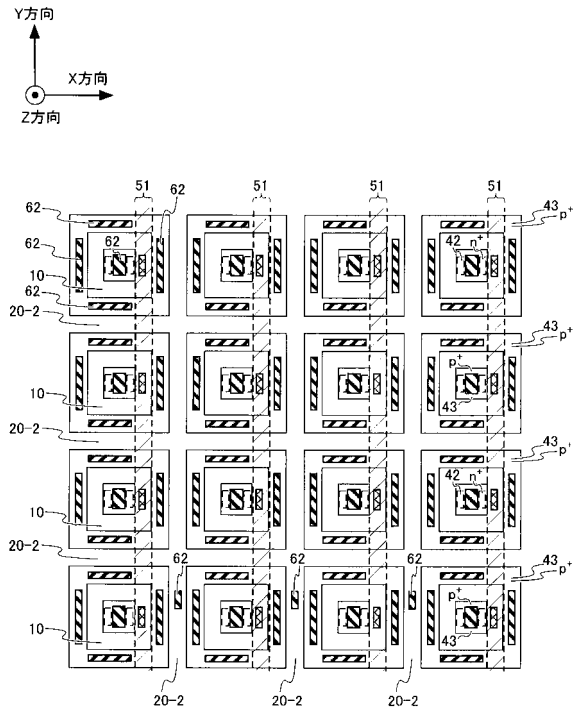


【 図 1 5 】



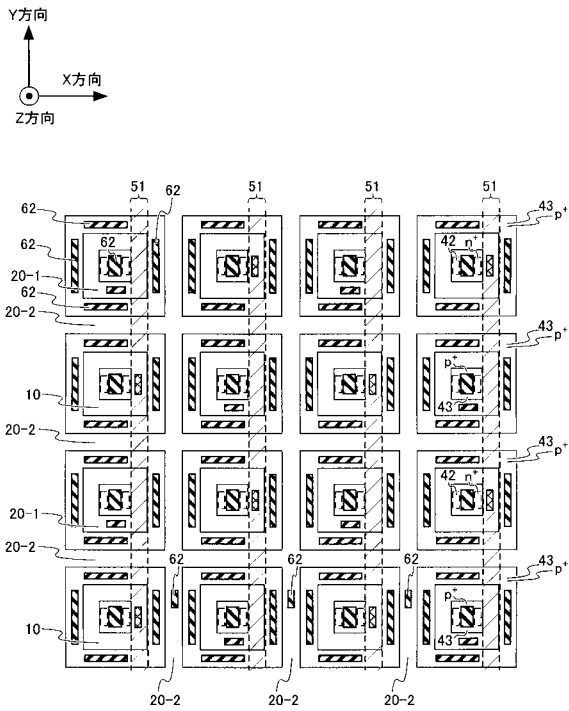
80

【 図 1 6 】



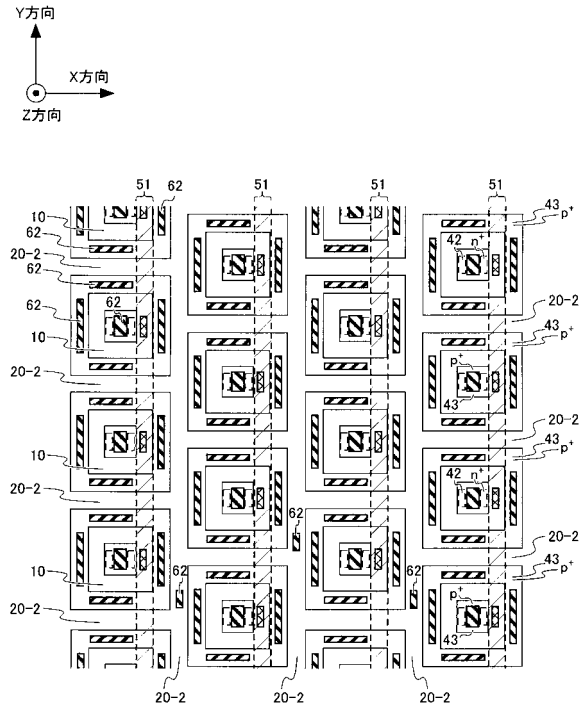
80

【 図 1 7 】



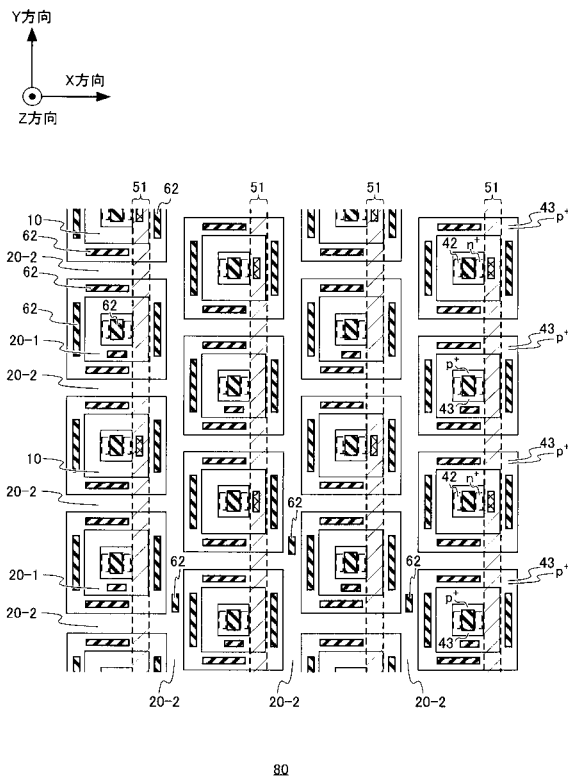
80

【 図 1 8 】

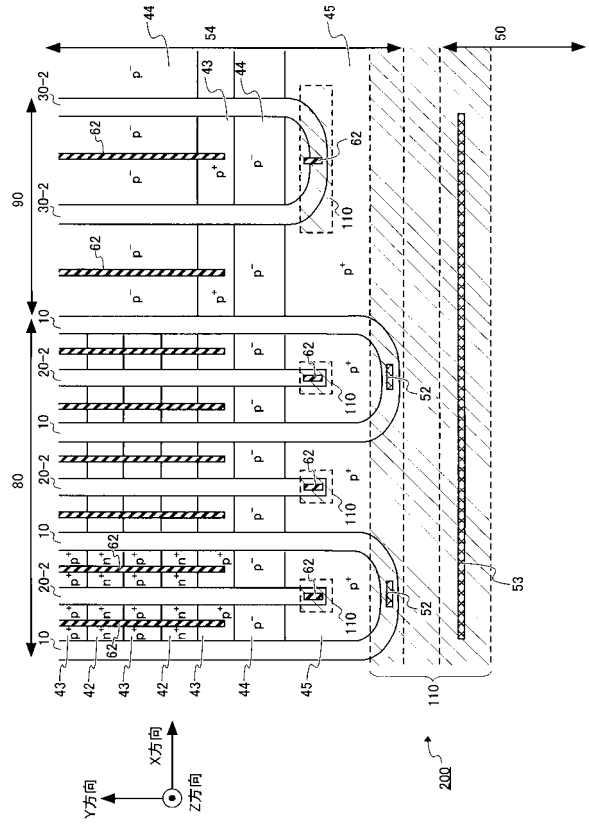


80

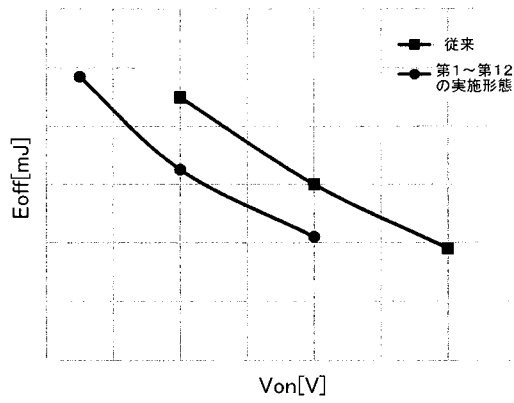
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 27/088 (2006.01)</i>	H 0 1 L 29/78	6 5 2 S
<i>H 0 1 L 21/265 (2006.01)</i>	H 0 1 L 29/78	6 5 8 H
	H 0 1 L 29/78	6 5 8 A
	H 0 1 L 29/78	6 5 5 G
	H 0 1 L 27/06	1 0 2 A
	H 0 1 L 27/08	1 0 2 E
	H 0 1 L 29/78	6 5 2 K
	H 0 1 L 21/265	6 0 2 C