



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년09월12일
(11) 등록번호 10-1898290
(24) 등록일자 2018년09월06일

- | | |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)
G05F 1/56 (2006.01)</p> <p>(21) 출원번호 10-2012-0029290</p> <p>(22) 출원일자 2012년03월22일
심사청구일자 2016년10월12일</p> <p>(65) 공개번호 10-2012-0109358</p> <p>(43) 공개일자 2012년10월08일</p> <p>(30) 우선권주장
JP-P-2011-068039 2011년03월25일 일본(JP)</p> <p>(56) 선행기술조사문헌
JP2001034351 A*
KR1020080096465 A*
JP2009278797 A
KR1020090091665 A
*는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
에이블릭 가부시킴가이사
일본국 치바켄 치바시 미하마구 나카세 1초메 8반지</p> <p>(72) 발명자
행, 소चे트
일본국 치바켄 치바시 미하마구 나카세 1초메 8반지 세이코 인스트루 가부시킴가이사 내</p> <p>(74) 대리인
한양특허법인</p> |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

전체 청구항 수 : 총 3 항

심사관 : 김재호

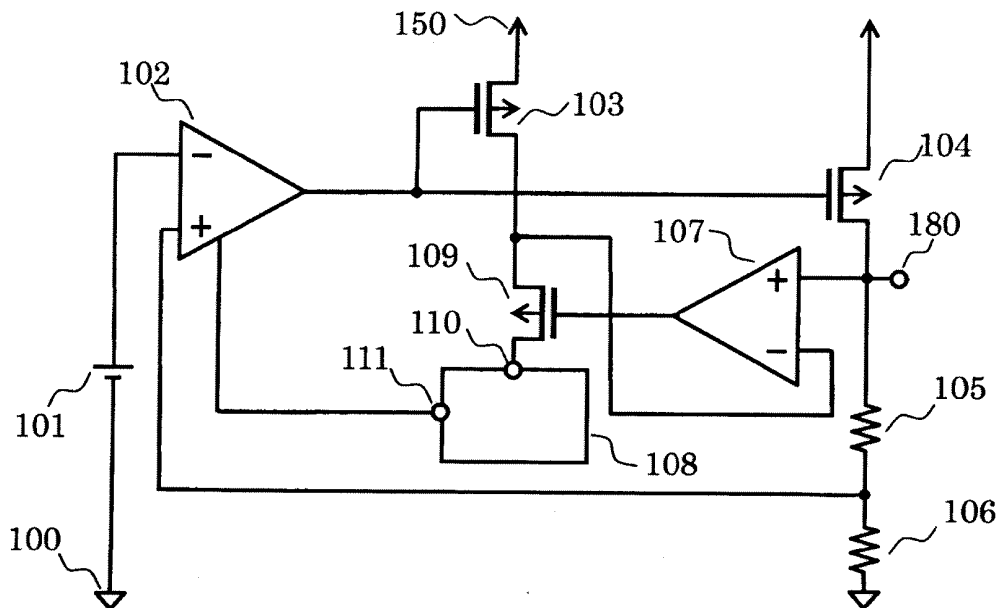
(54) 발명의 명칭 전압 레귤레이터

(57) 요약

(과제) 기동 시에 비정상적인 소비 전류가 흐르지 않으며, 고속의 과도 응답을 실현할 수 있는 전압 레귤레이터를 제공한다.

(해결 수단) 본 발명에서는, 기준 전압을 출력하는 기준 전압 회로와, 출력 트랜지스터와, 기준 전압과 출력 트랜지스터의 출력 전압의 차를 증폭하는 오차 증폭기와, 오차 증폭기의 출력에 따라 기준 전압 회로와 출력 트랜지스터의 동작을 제어하는 제어 회로를 포함하는 전압 레귤레이터를 제공한다.

대표도 - 도1



랜지스터가 출력하는 전압을 분압한 분압 전압의 차를 증폭시켜 출력하고, 출력 트랜지스터의 게이트를 제어하는 제1 차동 증폭 회로와, 출력 트랜지스터의 출력 전류를 검출하여 제1 차동 증폭 회로에 부스트 신호를 출력하는 부스트 회로와, 출력 전류를 센스하는 센스 트랜지스터와, 출력 전류를 정확하게 카피할 수 있도록 조정하는 제1 트랜지스터와, 출력 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 반전 입력 단자가 상기 센스 트랜지스터의 드레인에 접속되며, 비반전 입력 단자가 출력 단자에 접속된 제2 차동 증폭 회로를 구비한다. 이렇게 해서, 기동 시에 비정상적인 소비 전류가 흐르지 않으며, 고속의 과도 응답을 실현하는 것이 가능해진다.

명세서

청구범위

청구항 1

삭제

청구항 2

기준 전압을 출력하는 기준 전압 회로와,

출력 트랜지스터와,

상기 기준 전압과 상기 출력 트랜지스터가 출력하는 전압을 분압한 분압 전압의 차를 증폭시켜 출력하고, 상기 출력 트랜지스터의 게이트를 제어하는 제1 차동 증폭 회로와,

상기 출력 트랜지스터의 출력 전류를 검출하여 상기 제1 차동 증폭 회로에 신호를 출력하는 부스트 회로와,

상기 출력 전류를 센스하는 센스 트랜지스터와,

출력 전류를 정확하게 카피할 수 있도록 조정하는 제1 트랜지스터와,

출력 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 반전 입력 단자가 상기 센스 트랜지스터의 드레인에 접속되며, 비반전 입력 단자가 출력 단자에 접속된 제2 차동 증폭 회로를 구비하고,

상기 부스트 회로는,

게이트가 제3 트랜지스터의 드레인 및 게이트에 접속되고, 드레인이 제4 트랜지스터의 게이트 및 드레인에 접속되며, 소스가 제1 저항에 접속된 제2 트랜지스터와,

드레인이 상기 제3 트랜지스터의 드레인에 접속되고, 게이트와 소스가 상기 제4 트랜지스터의 게이트와 소스에 각각 접속된 제5 트랜지스터와,

게이트와 드레인이 상기 제2 트랜지스터의 드레인에 접속된 제4 트랜지스터와,

소스가 그라운드에 접속된 상기 제3 트랜지스터와,

상기 제2 트랜지스터의 소스에 접속된 상기 제1 저항을 구비하며,

상기 제1 저항의 저항치를 조절함으로써 검출하는 부하 전류치를 조절하는 것을 특징으로 하는 전압 레귤레이터.

청구항 3

기준 전압을 출력하는 기준 전압 회로와,

출력 트랜지스터와,

상기 기준 전압과 상기 출력 트랜지스터가 출력하는 전압을 분압한 분압 전압의 차를 증폭시켜 출력하고, 상기 출력 트랜지스터의 게이트를 제어하는 제1 차동 증폭 회로와,

상기 출력 트랜지스터의 출력 전류를 검출하여 상기 제1 차동 증폭 회로에 신호를 출력하는 부스트 회로와,

상기 출력 전류를 센스하는 센스 트랜지스터와,

출력 전류를 정확하게 카피할 수 있도록 조정하는 제1 트랜지스터와,

출력 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 반전 입력 단자가 상기 센스 트랜지스터의 드레인에 접속되며, 비반전 입력 단자가 출력 단자에 접속된 제2 차동 증폭 회로를 구비하고,

상기 부스트 회로는,

게이트가 제3 차동 증폭 회로의 출력에 접속된 제2 트랜지스터와,

게이트 및 드레인이 상기 제2 트랜지스터의 소스와, 상기 제3 차동 증폭 회로의 반전 입력 단자에 접속되고, 소스가 그라운드에 접속된 제3 트랜지스터와,

비반전 입력 단자가 제2 기준 전압 회로에 접속된 상기 제3 차동 증폭 회로를 구비하며,

상기 제2 기준 전압 회로의 전압치를 조절함으로써 검출하는 부하 전류치를 조절하는 것을 특징으로 하는 전압 레귤레이터.

청구항 4

기준 전압을 출력하는 기준 전압 회로와,

출력 트랜지스터와,

상기 기준 전압과 상기 출력 트랜지스터가 출력하는 전압을 분압한 분압 전압의 차를 증폭시켜 출력하고, 상기 출력 트랜지스터의 게이트를 제어하는 제1 차동 증폭 회로와,

상기 출력 트랜지스터의 출력 전류를 검출하여 상기 제1 차동 증폭 회로에 신호를 출력하는 부스트 회로와,

상기 출력 전류를 센스하는 센스 트랜지스터와,

출력 전류를 정확하게 카피할 수 있도록 조정하는 제1 트랜지스터와,

출력 단자가 상기 제1 트랜지스터의 게이트에 접속되고, 반전 입력 단자가 상기 센스 트랜지스터의 드레인에 접속되며, 비반전 입력 단자가 출력 단자에 접속된 제2 차동 증폭 회로를 구비하고,

상기 부스트 회로는,

게이트가 제3 차동 증폭 회로의 출력에 접속된 제2 트랜지스터와,

게이트 및 드레인이 제1 저항에 접속된 제3 트랜지스터와,

비반전 입력 단자가 제2 기준 전압 회로에 접속되고, 반전 입력 단자가 상기 제2 트랜지스터의 소스 및 상기 제1 저항의 다른 한쪽에 접속된 상기 제3 차동 증폭 회로를 구비하며,

상기 제1 저항의 저항치를 조절함으로써 검출하는 부하 전류치를 조절하는 것을 특징으로 하는 전압 레귤레이터.

발명의 설명

기술분야

[0001] 본 발명은, 부하 전류에 비례한 전류를 차동 앰프 회로에 흐르게 하는 부스트 회로를 구비한 전압 레귤레이터 회로에 관한 것이며, 보다 상세하게는 전압 레귤레이터의 과도 응답 특성을 개선하기 위해, 부하 전류에 따라 내부 소비 전류를 증가시켜, 고속 과도 응답을 얻는 부스트 회로에 관한 것이다.

배경기술

[0002] 종래의 전압 레귤레이터에 대해 설명한다. 도 5는, 종래의 전압 레귤레이터의 회로도이다.

[0003] 종래의 전압 레귤레이터는, 기준 전압과의 전압차에 비례한 전압을 출력하는 차동 앰프 회로(612)와, 이 차동 앰프 회로(612)로부터의 출력 전압에 의해 제어되며, 이것에 대응한 부하 전류에 의한 전압을 출력하고, 또한 이 출력 전압을 차동 앰프 회로(612)에 귀환시키는 출력 트랜지스터(610)와, 이 출력 트랜지스터 회로(610)의 부하 전류에 의거하여 제어하며, 부하 전류가 작은 영역에서는, 이 부하 전류에 비례한 전류를 차동 앰프 회로(612)에 흐르게 하고, 부하 전류가 큰 영역에서는, 일정치로 제한한 전류를 차동 앰프 회로(612)에 흐르게 하는 부스트 회로(613)로 구성되어 있다. 차동 앰프 회로(612)는, PMOS형 트랜지스터(604, 605), NMOS형 트랜지스터(601, 602, 614)로 이루어지며, 기준 전압(600)과 출력 전압(611)을 비교하여, 이 전압차에 비례한 전압을 트랜지스터(604)와 트랜지스터(601)의 공동 접속된 드레인으로부터 출력 트랜지스터(610), 부스트 회로(613)에 출력하도록 구성되어 있다. 트랜지스터(604, 605)는 커런트 미러 구성으로 되어 있으며, 각 소스가 전원 전압(150)에, 각 드레인이 트랜지스터(601, 605)의 각 드레인에 각각 접속되고, 또 게이트들이 접속되어 트랜지스터(605)의 드레인에 접속되며, 또한 트랜지스터(604)의 드레인이 출력 트랜지스터(610), 부스트 회로(613)의 트랜

지스터(607)의 각 게이트에 각각 접속되어 있다. 트랜지스터(601, 614)는, 각 드레인이 트랜지스터(604, 605)의 각 드레인에, 각 소스가 공통적으로 트랜지스터(602, 606)의 각 드레인에 각각 접속되고, 또 트랜지스터(601)의 게이트가 기준 전압(600)에, 트랜지스터(614)의 게이트가 출력 트랜지스터(610)의 드레인에 각각 접속되어 있다. 트랜지스터(602, 606)는, 각 드레인이 공통적으로 트랜지스터(601, 614)의 각 소스에, 각 소스가 접지 전압에 각각 접속되고, 또 트랜지스터(602)의 게이트가 바이어스 전압(603)에, 트랜지스터(606)의 게이트가 부스트 회로(613)의 트랜지스터(609)의 게이트에 각각 접속되어 있다. 부스트 회로(613)는, PMOS형 트랜지스터(607), NMOS형 디프레션 트랜지스터(608), NMOS형 트랜지스터(609) 등으로 이루어지고, 출력 트랜지스터(610)의 부하 전류(IL)에 의거하여 제어하며, 부하 전류(IL)가 작은 영역에서는, 이 부하 전류(IL)에 비례한 차동 앰프 회로 전류(IS)를 차동 앰프 회로(612)에 흐르게 하고, 부하 전류(IL)가 큰 영역에서는, 전류 제한용의 트랜지스터(608)(전류 리미터)에 의해 일정치로 제한한 차동 앰프 회로 전류(IS)를 차동 앰프 회로(612)에 흐르게 하도록 구성되어 있다. 트랜지스터(607)는, 소스가 전원 전압(150)에, 드레인이 트랜지스터(608)의 소스에 각각 접속되고, 또 게이트가 차동 앰프 회로(612)의 트랜지스터(604)의 드레인에 접속되어 있다. 트랜지스터(608)는, 소스가 트랜지스터(607)의 드레인에, 드레인이 트랜지스터(609)의 드레인에 각각 접속되고, 또 게이트가 접지 전압에 접속되어 있다. 트랜지스터(609)는, 차동 앰프 회로(612)의 트랜지스터(606)와 커런트 미러 구성으로 되어 있으며, 드레인 및 게이트가 공통적으로 트랜지스터(606)의 게이트에, 소스가 접지 전압에 각각 접속되어 있다.(예를 들면, 특허 문헌 1의 도 1 참조).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) [특허 문헌 1] 일본국 특허공개 2001-34351호 공보

발명의 내용

해결하려는 과제

[0005] 그러나 종래의 기술에서는, 제한 전류를 결정하는 트랜지스터(608)는 역치 전압의 편차 및 온도의 의존성이 커서 트리밍에 의한 부스트량의 조절이 매우 곤란하다는 과제가 있었다. 또, 레귤레이터가 무부하인 상태에서 기동하는 경우, 비레귤레이션 상태에서 출력 드라이버의 게이트가 전원에 불기 때문에, 부스트 회로가 동작하여, 무부하에도 불구하고, 소비 전류가 비정상적으로 높게 나와 버린다는 과제가 있었다.

[0006] 본 발명은, 상기 과제를 감안하여 이루어지며, 기동 시에 비정상적인 소비 전류가 흐르지 않으며, 고속의 과도 응답을 실현할 수 있는 전압 레귤레이터를 제공한다.

과제의 해결 수단

[0007] 본 발명의 부스트 회로를 구비한 전압 레귤레이터는, 기준 전압을 출력하는 기준 전압 회로와, 출력 트랜지스터와, 기준 전압과 출력 트랜지스터가 출력하는 전압을 분압한 분압 전압의 차를 증폭시켜 출력하고, 출력 트랜지스터의 게이트를 제어하는 제1 차동 증폭 회로와, 출력 트랜지스터의 출력 전류를 검출하여 제1 차동 증폭 회로에 신호를 출력하는 부스트 회로와, 출력 전류를 센스하는 센스 트랜지스터와, 출력 전류를 정확하게 카피할 수 있도록 조정하는 제1 트랜지스터와, 출력 단자가 제1 트랜지스터의 게이트에 접속되고, 반전 입력 단자가 상기 센스 트랜지스터의 드레인에 접속되며, 비반전 입력 단자가 출력 단자에 접속된 제2 차동 증폭 회로를 구비한다.

발명의 효과

[0008] 본 발명의 부스트 회로를 구비한 전압 레귤레이터는, 기동 시에 비정상적인 소비 전류가 흐르지 않으며, 고속의 과도 응답을 실현하는 것이 가능해진다.

도면의 간단한 설명

[0009] 도 1은, 제1 실시 형태의 전압 레귤레이터를 도시한 회로도이다.
 도 2는, 제2 실시 형태의 전압 레귤레이터를 도시한 회로도이다.

도 3은, 제3 실시 형태의 전압 레귤레이터를 도시한 회로도이다.

도 4는, 제4 실시 형태의 전압 레귤레이터를 도시한 회로도이다.

도 5는, 종래의 전압 레귤레이터를 도시한 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본 발명을 실시하기 위한 형태에 대해, 도면을 참조하여 설명한다.
- [0011] [실시예 1]
- [0012] 도 1은, 제1 실시 형태의 전압 레귤레이터의 회로도이다.
- [0013] 본 실시 형태의 전압 레귤레이터는, 기준 전압 회로(101)와, 차동 증폭 회로(102)와, PMOS 트랜지스터(103, 104, 109)와, 앰프(107)와, 부스트 회로(108)와, 저항(105, 106)과, 그라운드 단자(100)와, 출력 단자(180)와, 전원 단자(150)로 구성되어 있다. 부스트 회로(108)는, 단자(110, 111)로 구성되어 있다.
- [0014] 다음에 제1 실시 형태의 전압 레귤레이터의 접속에 대해 설명한다.
- [0015] 차동 증폭 회로(102)는, 반전 입력 단자는 기준 전압 회로(101)에 접속되고, 비반전 입력 단자는 저항(105와 106)의 접속점에 접속되며, 출력 단자는 PMOS 트랜지스터(104)의 게이트 및 PMOS 트랜지스터(103)의 게이트에 접속된다. 기준 전압 회로(101)의 다른 한쪽은 그라운드 단자(100)에 접속된다. PMOS 트랜지스터(103)는, 소스는 전원 단자(150)에 접속되고, 드레인은 PMOS 트랜지스터(109)의 소스 및 앰프(107)의 반전 입력 단자에 접속된다. PMOS 트랜지스터(104)는, 소스는 전원 단자(150)에 접속되고, 드레인은 출력 단자(180) 및 저항(105)의 다른 한쪽 및 앰프(107)의 비반전 입력 단자에 접속된다. 저항(106)의 다른 한쪽은 그라운드 단자(100)에 접속된다. PMOS 트랜지스터(109)는, 게이트는 앰프(107)의 출력 단자에 접속되고, 드레인은 부스트 회로(108)의 단자(110)에 접속된다. 부스트 회로(108)의 단자(111)는 차동 증폭 회로(102)에 접속된다.
- [0016] 다음에 제1 실시 형태의 전압 레귤레이터의 동작에 대해 설명한다.
- [0017] 저항(105와 106)은, 출력 단자(180)의 전압인 출력 전압(V_{out})을 분압하여, 분압 전압(V_{fb})을 출력한다. 차동 증폭 회로(102)는, 기준 전압 회로(101)의 출력 전압(V_{ref})과 분압 전압(V_{fb})을 비교하여, 출력 전압(V_{out})이 일정해지도록 PMOS 트랜지스터(104)의 게이트 전압을 제어한다. 출력 전압(V_{out})이 목표치보다 높으면, 분압 전압(V_{fb})이 기준 전압(V_{ref})보다 높아져, 차동 증폭 회로(102)의 출력 신호(PMOS 트랜지스터(104)의 게이트 전압)가 높아진다. 그리고, PMOS 트랜지스터(104)는 오프해 가서, 출력 전압(V_{out})은 낮아진다. 이렇게 해서, 출력 전압(V_{out})이 일정해지도록 제어된다. 출력 전압(V_{out})이 목표치보다 낮을 때는 반대의 동작을 하여 출력 전압(V_{out})은 높아진다. 이렇게 해서, 출력 전압(V_{out})이 일정해지도록 제어된다.
- [0018] 전원 전압을 기동시켰을 때, 출력 전압(V_{out})은 낮으므로 차동 증폭 회로(102)에 의해 PMOS 트랜지스터(104)의 게이트 전압을 그라운드로 하도록 제어된다. 그러면 PMOS 트랜지스터(104)는 풀온하고, 동시에 PMOS 트랜지스터(103)도 풀온한다. 그리고, PMOS 트랜지스터(103과 104)의 드레인 전압이 동일해지도록 앰프(107)는 PMOS 트랜지스터(109)의 게이트를 조정하여, PMOS 트랜지스터(104)에 흐르는 전류를 PMOS 트랜지스터(103)로 정확하게 카피할 수 있도록 제어한다. 출력 전압(V_{out})이 높아진 후에도 앰프(107)의 제어에 의해, PMOS 트랜지스터(103)의 드레인 전압은 항상 PMOS 트랜지스터(104)의 드레인 전압에 추종하여, 정확하게 부하 전류를 카피한다.
- [0019] 부스트 회로(108)는 PMOS 트랜지스터(103)에 흐르는 전류를 단자(110)에서 검출하여, 전류치에 따라 단자(111)로부터 차동 증폭 회로(102)로 신호를 출력한다. 전원 전압 기동 후, PMOS 트랜지스터(103)는 PMOS 트랜지스터(104)에 흐르는 부하 전류에 따라, 차동 증폭 회로(102)로 신호를 출력하여 차동 증폭 회로(102)에 흐르는 바이어스 전류를 증가시키도록 제어한다. 이렇게 함으로써, 차동 증폭 회로(102)의 응답 속도가 빨라지므로, 출력 전압(V_{out})의 변동폭을 최대한 작게 억제할 수 있다. 부하 전류가 흐르지 않을 때는, PMOS 트랜지스터(103)의 전류가 차단되어, 부스트 회로(108)에 전류가 흐르지 않게 되어 동작을 정지한다. 이렇게 해서, 무부하 시에 부스트 회로로의 전류를 차단하여 저소비 전력화를 행할 수 있다. 또한, 부하 변동뿐만 아니라, 부하 전류가 흐를 때의 전원 변동이나 리플 제거율의 특성도 부스트 회로는 동작하여, 고속의 응답을 하도록 동작시킬 수 있다.
- [0020] 이상에 의해, 제1 실시 형태의 전압 레귤레이터는 전원 전압 기동 시나 부하 변동, 전원 변동 시에 고속의 과도 응답을 실현하는 것이 가능해진다.

- [0021] [실시예 2]
- [0022] 도 2는, 제2 실시 형태의 전압 레귤레이터의 회로도이다. 도 1과의 차이는 부스트 회로(108)의 구성을 구체적으로 나타낸 점이다.
- [0023] 접속에 대해 설명한다. PMOS 트랜지스터(201)는, 소스는 단자(110) 단자에 접속되고, 드레인 단자(111)와 NMOS 트랜지스터(202)의 드레인 및 게이트와 NMOS 트랜지스터(204)의 게이트에 접속되며, 게이트는 PMOS 트랜지스터(203)의 게이트 및 드레인에 접속된다. PMOS 트랜지스터(203)는, 소스는 단자(110) 단자에 접속되고, 드레인은 NMOS 트랜지스터(204)의 드레인에 접속된다. NMOS 트랜지스터(202)의 소스는 그라운드 단자(100)에 접속되고, NMOS 트랜지스터(204)의 소스는 저항(205)에 접속된다. 저항(205)의 다른 한쪽은 그라운드 단자(100)에 접속된다.
- [0024] 다음에 제2 실시 형태의 전압 레귤레이터의 동작에 대해 설명한다. 전원 전압을 기동시켜 PMOS 트랜지스터(103)에 전류가 흐르면 단자(110)로부터 부스트 회로(108)에 전류가 흐른다. PMOS 트랜지스터(201, 203)는, 커런트 미러 회로를 구성하고 있다. NMOS 트랜지스터(202, 204)는 게이트들이 접속된 커런트 미러 회로를 구성하고 있지만, NMOS 트랜지스터(204)의 소스는 저항을 통해 그라운드 단자(100)에 접속된다. 그 때문에, 저항(205)에는 NMOS 트랜지스터(204)의 드레인 전류에 의해 전압 강하가 발생하여, NMOS 트랜지스터(204)의 게이트·소스 전압은 그 만큼 작아진다. 저항(205)에 있어서의 전압 강하는, NMOS 트랜지스터(202와 204)의 K값의 차이, 혹은 PMOS 트랜지스터(201, 203)의 K값의 차이와 저항(205)의 값에 따라 결정되므로, 전원 전압에 의존하지 않는 정전류원 회로로서 동작한다. 또한, 저항(205)은, 음의 온도 특성을 갖는 폴리 저항과 양의 온도 특성을 갖는 WELL 저항을 조합하여 사용함으로써, 온도에 의존하지 않는 정전류원 회로로서 얻을 수 있다.
- [0025] 부스트 회로에 이 정전류 회로를 이용함으로써 부하 전류가 흐를 때에 단자(111)로부터 차동 증폭 회로(102)에 신호를 출력하여, 차동 증폭 회로(102)에 흐르는 바이어스 전류를 증가시킬 수 있다. 그리고, 차동 증폭 회로(102)의 응답 속도가 빨라지므로, 출력 전압(Vout)의 변동폭을 최대한 작게 억제할 수 있다. 또, 전원 전압이나 온도에 의존하지 않고 동작시킬 수도 있다. 또한, 부하 변동뿐만 아니라, 부하 전류가 흐를 때의 전원 변동이나 리플 제거율의 특성도 부스트 회로는 동작하여, 고속의 응답을 하도록 동작시킬 수 있다.
- [0026] 이상에 의해, 제2 실시 형태의 전압 레귤레이터는 전원 전압 기동 시나 부하 변동, 전원 변동 시에 고속의 과도 응답을 실현하는 것이 가능해진다. 또, 전원 전압이나 온도에 영향을 주지 않고 고속의 과도 응답을 실현하는 것이 가능해진다.
- [0027] [실시예 3]
- [0028] 도 3은, 제3 실시 형태의 전압 레귤레이터의 회로도이다. 도 1과의 차이는 부스트 회로(108)의 구성을 구체적으로 나타낸 점이다.
- [0029] 접속에 대해 설명한다. NMOS형 트랜지스터(301)의 드레인은 단자(110)에 접속되고, 게이트는 앰프(303)의 출력 단자에 접속되며, 소스는 앰프(303)의 반전 입력 단자와 NMOS 트랜지스터(302)의 게이트 및 드레인과 단자(111)에 접속된다. 앰프(303)의 비반전 입력 단자는 기준 전압 회로(304)와 접속된다. 기준 전압(304)의 다른 한쪽의 단자 및 NMOS 트랜지스터(302)의 소스는 그라운드(100)에 접속된다.
- [0030] 다음에 제3 실시 형태의 전압 레귤레이터의 동작에 대해 설명한다. 전원 전압을 기동시켜 PMOS 트랜지스터(103)에 전류가 흐르면 단자(110)로부터 부스트 회로(108)에 전류가 흐른다. 부스트 회로(108)는 정전류원을 생성할 수 있는 전압 전류 변환 회로로 구성되어 있으며, 어떤 설정치의 부스트량밖에 출력하지 않도록 되어 있다. 트랜지스터(103 또는 109)의 전류는, 부하 전류에 따라 증가해 가지만, 설정치를 초과하면 포화되어 일정해진다. 이 때의 전류에 비례하는 전류가 부스트 전류가 된다.
- [0031] 부하 전류가 증가해 가면, 트랜지스터(103)의 전류가 트랜지스터(109와 301)를 경유하여, 트랜지스터(302)에 흘러 들어간다. 그러나, 기동한 후는 트랜지스터(109)가 충분히 온하므로, 트랜지스터(302)에 흘러 들어가는 양은 거의 트랜지스터(301)에 의해 결정되어 있다. 그 때문에, 트랜지스터(301)에 제한을 가하도록, 앰프(301)는 기준 전압(304)과 트랜지스터(302)의 드레인 전압을 비교하여, 트랜지스터(301)의 전류량을 조정하면서 양 전압이 동일해지도록 제어한다. 요컨대, 기준 전압 회로(304)를 조정함으로써, 부하 전류에 따른 신호를 생성하여 단자(111)로부터 출력할 수 있게 된다. 또한, 부하 변동뿐만 아니라, 부하 전류가 흐를 때의 전원 변동이나 리플 제거율의 특성도 부스트 회로는 동작하여, 고속의 응답을 하도록 동작시킬 수 있다.
- [0032] 이상에 의해, 제3 실시 형태의 전압 레귤레이터는 전원 전압 기동 시나 부하 변동, 전원 변동 시에 고속의 과도

응답을 실현하는 것이 가능해진다. 또, 기준 전압 회로(304)를 조정함으로써 부하 전류에 따른 신호를 출력하는 것이 가능해진다.

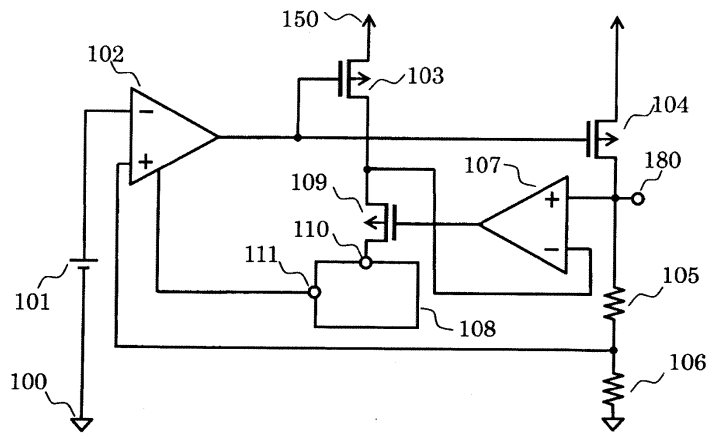
- [0033] [실시예 4]
- [0034] 도 4는, 제4 실시 형태의 전압 레귤레이터의 회로도이다. 도 3과의 차이는 저항(405)을 추가한 점이다.
- [0035] 접속에 대해 설명한다. 저항(405)은 한쪽은 앰프(403)의 반전 입력 단자에 접속되고, 다른 한쪽은 단자(111)에 접속된다.
- [0036] 다음에 제4 실시 형태의 전압 레귤레이터의 동작에 대해 설명한다. 전원 전압을 기동시켜 PMOS 트랜지스터(103)에 전류가 흐르면 단자(110)로부터 부스트 회로(108)에 전류가 흐른다. 부스트 회로(108)는 정전류원을 생성할 수 있는 전압 전류 변환 회로로 구성되어 있으며, 어떤 설정치의 부스트량밖에 출력하지 않도록 되어 있다. 요컨대, PMOS 트랜지스터(103) 또는 PMOS(109)의 전류는, 부하 전류에 따라 증가해 가지만, 설정치를 초과하면 포화되어 일정해진다. 이 때의 전류에 비례하는 전류가 부스트 전류가 된다.
- [0037] 전압 전류 변환 회로의 동작은 다음과 같이 된다. 우선, 부하 전류가 증가해 가면, PMOS 트랜지스터(103)의 전류가 PMOS 트랜지스터(109)와 NMOS 트랜지스터(401)를 경유하여, NMOS 트랜지스터(402)에 흘러 들어간다. 기동한 후, PMOS 트랜지스터(109)는 충분히 온하므로, NMOS 트랜지스터(402)에 흘러 들어가는 양은 거의 NMOS 트랜지스터(401)에 의해 결정할 수 있다. 그 때문에, NMOS 트랜지스터(401)에 제한을 가하도록, 앰프(403)는 기준 전압(404) 및 트랜지스터(402)의 드레인 전압과 저항(405)의 전압을 가한 전압을 비교하여, NMOS 트랜지스터(401)의 전류량을 조정하면서, 양 전압이 동일해지도록 제어한다. 이렇게 해서, 저항(405)을 조정함으로써, 부하 전류에 따른 신호를 생성하여 단자(111)로부터 출력할 수 있게 된다. 저항(405)은, 음의 온도 특성을 갖는 폴리 저항과 양의 온도 특성을 갖는 WELL 저항을 조합하여 사용함으로써, 온도에 의존하지 않는 정전류원 회로로서 얻을 수 있다. 또한, 부하 변동뿐만 아니라, 부하 전류가 흐를 때의 전원 변동이나 리플 제거율의 특성도 부스트 회로는 동작하여, 고속의 응답을 하도록 동작시킬 수 있다.
- [0038] 이상에 의해, 제4 실시 형태의 전압 레귤레이터는 전원 전압 기동 시나 부하 변동, 전원 변동 시에 고속의 과도 응답을 실현하는 것이 가능해진다. 또, 저항(405)을 조정함으로써 부하 전류에 따른 신호를 출력하는 것이 가능해진다.

부호의 설명

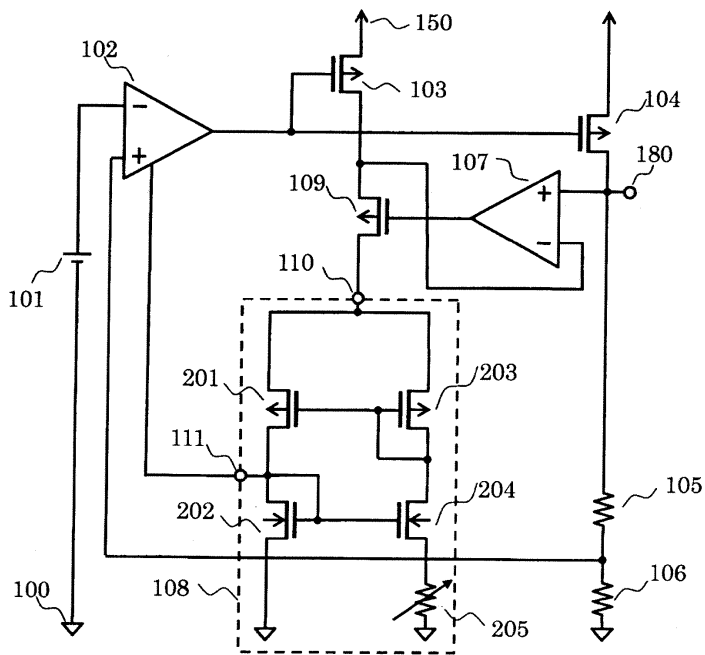
- [0039] 100 : 그라운드 단자
- 150 : 전원 전압 단자
- 180, 611 : 출력 전압 단자
- 101, 600 : 기준 전압 회로
- 102, 602 : 차동 증폭 회로
- 107, 303, 403 : 앰프
- 108, 613 : 부스트 회로
- 608 : 디프레션 트랜지스터

도면

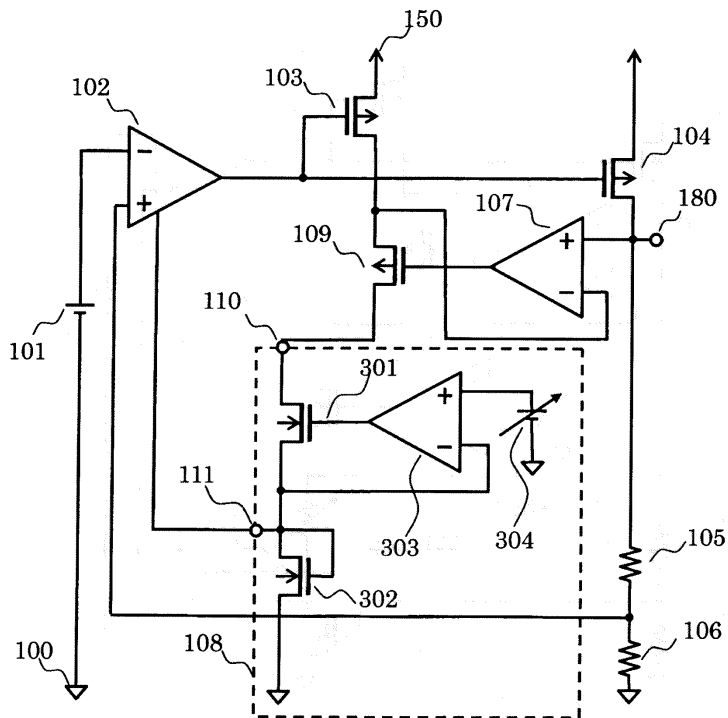
도면1



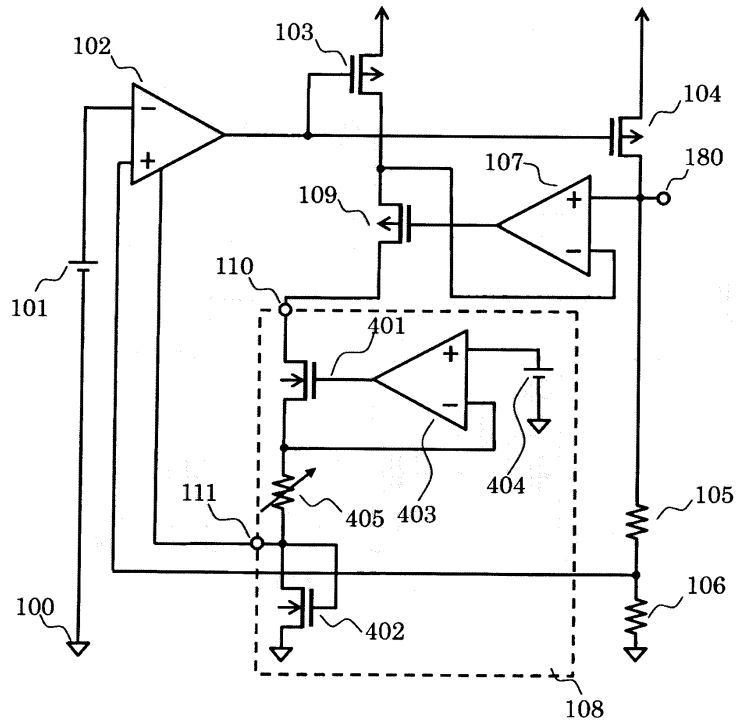
도면2



도면3



도면4



도면5

