



[12] 发明专利申请公开说明书

[21] 申请号 03812024.0

[43] 公开日 2005 年 8 月 17 日

[11] 公开号 CN 1656609A

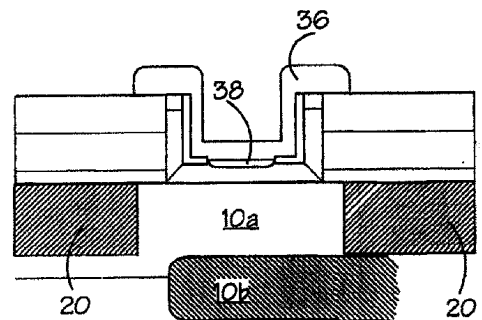
[22] 申请日 2003.5.27 [21] 申请号 03812024.0
 [30] 优先权
 [32] 2002.5.29 [33] EP [31] 02077112.7
 [86] 国际申请 PCT/IB2003/002034 2003.5.27
 [87] 国际公布 WO2003/100845 英 2003.12.4
 [85] 进入国家阶段日期 2004.11.26
 [71] 申请人 皇家飞利浦电子股份有限公司
 地址 荷兰艾恩德霍芬
 [72] 发明人 P·H·C·马格尼
 J·J·T·M·唐克斯

[74] 专利代理机构 中国专利代理(香港)有限公司
 代理人 张雪梅 王忠忠

权利要求书 2 页 说明书 6 页 附图 7 页

[54] 发明名称 SiGe 异质结双极晶体管的制造方法
 [57] 摘要

本发明提供了一种制造包含非选择性生长的 SiGe(C) 异质结双极晶体管的半导体器件的方法，此方法包括下列步骤：在衬底上形成绝缘层(12, 40)以及在绝缘层(12, 40)上提供包括导电层(14, 42)的层状结构，通过导电层(14, 42)腐蚀一个晶体管区域窗口(12, 44)，在晶体管区域窗口(22, 44)的内壁上淀积 SiGe 基区层(24, 46)，以及在上表面上形成绝缘体(32, 52)以便填充晶体管区域窗口，其中，在填充步骤之前，氮化物层(30, 50)被形成作为晶体管区域窗口(22, 44)的内层。



1. 一种用非选择性外延生长方法来制造包含 SiGe (C) 异质结双极晶体管的半导体器件的方法，此方法包括下列步骤：在衬底上形成绝缘层以及在绝缘层上提供包括导电层的层结构，通过导电层腐蚀一晶体管区域窗口，在晶体管区域窗口内淀积 SiGe 基区层，并在上表面上形成绝缘体，以便填充晶体管区域窗口，其中，在填充步骤之前，氮化物层被形成作为晶体管区域窗口的内层。
2. 权利要求 1 所述的方法，还包括形成层状结构作为多层结构的一部分，包括导电层之后形成的绝缘层，且其中，氮化物层被形成在 SiGe 基区层上。
3. 权利要求 2 所述的方法，还包括清除形成在所述上表面上的所述绝缘体的上部并在使用形成在晶体管窗口区域内的氮化物作为掩模的情况下腐蚀 SiGe 基区层的步骤。
4. 权利要求 3 所述的方法，包括形成绝缘区以代替 SiGe 基区层的被腐蚀的上侧壁区的步骤。
5. 权利要求 4 所述的方法，还包括 SiGe 基区层的上侧壁区的再氧化步骤。
6. 前述各个权利要求中任何一个所述的方法，其中，在淀积 SiGe 基区层之前，选择性收集极区被注入在与晶体管窗口区域对准的衬底中。
7. 权利要求 2-5 中任何一个所述的方法，其中，多层结构包括 TEOS 层以及形成在导电层上的非晶硅。
8. 权利要求 1 所述的方法，其中，所述 SiGe 基区层被形成在晶体管区域窗口的内壁上以及所述导电层上，且其中，硅发射极帽层被形成在 SiGe 基区层上，以使氮化物层被形成在硅发射极帽层上。
9. 权利要求 8 所述的方法，还包括用形成来填充晶体管区域窗口的绝缘体作为掩模来腐蚀氮化物的步骤。
10. 权利要求 8 或 9 所述的方法，还包括在使用形成来填充晶体管区域窗口的氧化物、和氮化物作为掩模的情况下腐蚀硅发射极帽层和 SiGe 基区层的步骤。
11. 权利要求 8 或 9 所述的方法，还包括从离开晶体管区域窗口的区域清除硅发射极帽层和 SiGe 基区层的步骤。

12. 权利要求 10 或 11 所述的方法，还包括在导电层上形成绝缘层的步骤。

13. 前述各个权利要求中任何一个所述的方法，其中，填充晶体管区域窗口的绝缘体包含氧化物。

5 14. 权利要求 13 所述的方法，其中，氧化物包含 HDP 氧化物。

15. 前述各个权利要求中任何一个所述的方法，其中，氮化物层被腐蚀形成晶体管窗口区域内的 L-间隔。

16. 前述各个权利要求中任何一个或多个所述的方法，其中，衬底上的绝缘层包含氧化物层。

10 17. 前述各个权利要求中任何一个或多个所述的方法，其中，导电层包含多晶硅。

SiGe 异质结双极晶体管的制造方法

本发明涉及到包含 SiGe 异质结双极晶体管的半导体器件的制造，
5 晶体管包括诸如 SiGeC 异质结双极晶体管之类的双极晶体管。

确切地说，本发明涉及到一种用非选择性外延生长方法来制造包含 SiGe (C) 异质结双极晶体管的半导体器件的方法，此方法包括下列步骤：在衬底上形成绝缘层，在绝缘层上提供包括导电层的层结构，通过导电层腐蚀一个晶体管区域窗口，在晶体管区域窗口内淀积 SiGe
10 基区层，并包括用随后要被腐蚀的绝缘体填充晶体管区域窗口的步骤。

以这种方式，本发明能够涉及到使用非选择性外延生长的 SiGe (C) 异质结双极晶体管，本征 SiGe 基区层被生长在窗口内成为包含热氧化物、硼掺杂的多晶硅、TEOS、以及非晶硅的叠层，其中，硼掺杂的多晶硅被用来形成非本征基区接触。
15

从 US-A-6169007 可知这种工艺，US-A-6169007 公开了一种制造自对准非选择性薄外延基区 SiGe 异质结双极晶体管的方法，其中，采用了 TEOS 或甩涂玻璃二氧化硅回腐蚀。此文件中公开的制造方式试图提供晶体管的制造，使之自对准于单个掩模，因为这能够得到器件面积较小而寄生问题降低了的晶体管。目前已知有二种不同的集成
20 例如 SiGe 且包括 SiGeC 的异质结双极晶体管的集成方案。第一方案基于双重多晶结构，并采用基区多晶硅下方的空腔中的选择性外延生长以便形成非本征基区接触。第二方案基于非选择性即差分外延生长，其中，多晶 SiGe 被生长在结构的场氧化物区上，且单晶 SiGe 被
25 生长在有源区中，非本征基区接触由生长在场氧化物上的多晶硅形成。

涉及到选择性外延生长的上述第一方案表现出不利的负载效应。涉及到的化学浓度强烈地依赖于有源区的密度，且发现生长速率可能响应于电路布局而变化。这些问题通常不出现在非选择性外延生长
30 中，因为此生长被安排发生在整个暴露的表面区上，亦即在场氧化物上和晶体管区域中暴露的单晶硅材料上。

虽然 US-A-6169007 的要点表现出晶体管尺寸较小和寄生电容较

低的上述优点，但还是表现出与所公开的制造技术有关的缺点。

确切地说，在这种已知的工艺中，为了防止 SiGe 基区层被其淀积之后的步骤氧化或损伤，采用了几种牺牲层和保护性间隔。

5 本发明试图提供一种制造包含非选择性生长的 SiGe (C) 异质结双极晶体管的半导体器件的方法，此方法相对于已知的这种方法表现出一些优点。

10 根据本发明，提供了一种如上所述的制造包含非选择性生长的 SiGe (C) 异质结双极晶体管的半导体器件的方法，其中，在晶体管区域窗口的所述填充之前，氮化物层被形成作为晶体管区域窗口的内层。

本发明的优点在于，通过氮化物层的特殊位置，晶体管区域窗口中的氮化物在绝缘体已经被腐蚀之后仍然保留，并能够用来防止 SiGe 基区层在随后的制造步骤中被氧化或损伤。

15 权利要求 2、3、4 的特点证实这些优点在于不必提供几个牺牲层或保护性氮化物间隔，因为 SiGe 基区层能够被简单而有效地隔离。权利要求 8 的特点在这方面是特别有利的。

权利要求 5 的特点的优点在于，不要求淀积和随后腐蚀多个虚拟层，SiGeC 的再氧化克服了对这些重复步骤的需要。

20 权利要求 6 的特点提供的优点在于，能够提供容易地自对准的选择性注入的收集极，这使得正好在发射极下面的收集极的掺杂水平能够被提高以改善 RF 性能。这种改善被有利地达到而无须提高之后制作的器件非本征部分的收集极掺杂水平。还用来有利地限制与非本征寄生有关的问题。

25 权利要求 9、10、11 的特点进一步确认了本发明在提供制造的简化和精度同时限制所需要的淀积次数方面的有利情况。

权利要求 12 的特点有利地协助了基区层与导电层的隔离。

30 权利要求 13 和 15 的特性的优点在于，形成的结构能够表现出窄的但充分填充了的窗口。权利要求 9 的特点的优点在于，对氮化物进行腐蚀以形成 L-间隔的方法能够被用于形成选择性注入的收集极的有关步骤中。

因此，从上面所述 应该理解的是，本发明提供了一种制造非选择性生长的 SiGe 异质结双极晶体管的方法，其中，所有的接触、发

射极、基极、以及收集极都被完全自对准于一个单一的掩模而制作。确切地说，选择性注入的收集极也能够被提供为自对准于这一单个掩模。此结构于是表现出能够以特别有利的方式制造的比较小的晶体管面积。

5 下面参照附图，仅仅用举例的方法，来进一步描述本发明，在这些附图中：

图 1-9 示出了根据本发明一个实施方案的非选择性生长的 SiGe 异质结双极晶体管的制造中的各个阶段；而

10 图 10-14 示出了根据本发明另一个实施方案的非选择性生长的 SiGe 异质结双极晶体管的制造中的各个阶段。

图 1 示出了初始结构，它包含表现出埋置收集极接触 10b 的标准的 BiCMOS p-掺杂的衬底 10，N 型收集极外延层 10a、以及用来提供表面与埋置 n 层收集极接触 10b 之间的接触的 n 栓塞凹坑 10c。最后以二个浅沟槽隔离区域 20 的形式提供了场隔离区。在衬底 10 的顶部
15 上生长热氧化物层 12，接着生长由硼原位掺杂的多晶硅淀积层 14、TEOS 层 16、以及非晶硅层 18 组成的叠层。

下面参照图 2，此图是有源区的放大细节，借助于通过形成在热氧化物层 12 上的整个层状叠层腐蚀一个阱而开出了晶体管区 22。利用用来腐蚀通过非晶硅层 18、TEOS 层 16、以及多晶硅层 14 的等离子体腐蚀步骤，完成了此步骤。热氧化物 12 用作等离子体腐蚀的有效
20 停止层。热氧化物层 12 则需要用例如选择性湿法腐蚀步骤来随后清除。

本发明的一个重要特点在于，晶体管窗口区 22 被整个形成在浅沟槽区 20 的范围内，以便位于晶体管的有源区中。但除了初始的对
25 准容差之外，在有源区与晶体管区之间不要求其它的重叠。

为了清楚起见，以欠详细的形式示出了参照图 2 的有源区放大细节所说明的衬底，以便强调重要的是晶体管窗口仅仅稍许小于被场氧化物中的窗口确定的有源区。

最好在湿法腐蚀薄的氧化物层 12 之前来进行选择性收集极注入。
30 如图 2 所示形成晶体管窗口区 22 之后，利用差分外延生长方法淀积 SiGeC 基区层 24。在此工艺步骤中，非晶硅上层 18 用作籽晶层，使基区层的这些横向部分 26 被形成成为多晶 SiGeC 层。但在晶体管窗

口区上,如参照图 3 所述,基区层包含外延 SiGeC 28 的区域。由于 SiGeC 在除了 SiGeC 层外延生长于其上的暴露的单晶硅 22 的位置之外的各处被淀积成多晶形式,故出现这种情况。

5 作为本发明的一个重要步骤,利用氮化物层 30 来覆盖基区层 24,若认为合适,则可以利用所述实施方案中未示出的薄的衬垫氧化物层将此氮化物层 30 分隔于基区层 24。

在如图 4 所示形成氮化物层 30 之后,用厚的化学气相淀积 (CVD) 氧化物层 32 将其覆盖。此层 32 被要求填充晶体管窗口区 22,故最好高密度等离子体淀积 (HDP) 氧化物被用于层 32,以便得到改进了的
10 台阶覆盖。

下面参照图 5,可以看到制造工艺中接下来的各个步骤涉及到用化学机械抛光方法从上述叠层结构清除 HDP 氧化物 32,使 HDP 氧化物 32 仅仅留在晶体管窗口区中。利用 HDP 氧化物 32 作为掩蔽层,对晶体管窗口区 32 外面的氮化物层 30 进行腐蚀,以便达到图 5 所示的结
15 构。随后,HDP 氧化物 32 从晶体管窗口区中被完全清除,同时利用剩下的氮化物层 30 作为掩蔽层,对基区层 24 的多晶 SiGeC 部分 26 进行腐蚀,实际上是非晶硅层 18。

于是达到图 6 所示的结构,具有形成结构上层的 TEOS 层 16,并具有基区层侧壁部分 24 亦即形成在确定于晶体管窗口区内的保护性
20 氮化物层 30 的氮化物侧面区的上部水平面以下的多晶 SiGeC 基区 26 的下部。

氮化物 30 然后被用作氧化步骤的掩模,其中,热氧化物 34 被有利地形成在基区层 24 的多晶 SiGeC 部分 26 上。有利的是,本发明提供了顶部多晶 SiGeC 区域的再次氧化,而不要求淀积和腐蚀多个模拟
25 层。

以这种方式提供这种保护性热氧化物用来隔离基区层 24 的顶部,证明是一种避免提供现有技术所要求的不必要的牺牲层和氮化物间隔的特别有利的步骤。参照图 7 说明了这种结构。接着,模拟间隔被用来形成图 8 所示的 L-间隔。然后淀积砷原位掺杂的多晶硅层 36,以
30 便形成发射极接触,使剖面如图 8 所示。

图 9 示出了不包括金属化的晶体管最终形式。

在发射极退火过程中,例如来自砷原位掺杂的多晶硅 36 的砷被

扩散，以便形成图 8 和 9 所示的发射极 38。

同时，来自硼原位掺杂的多晶硅 14 的硼跨越形成在多晶 SiGeC 基区 26 与外延 SiGeC 28 之间的边界被扩散，以便形成也示于图 9 的非本征基区连接 38a。

5 下面参照图 10-14，示出了根据本发明另一实施方案的制造步骤。

首先参照图 10，示出了作为二个实施方案的起点的衬底结构，故此衬底在其上形成任何结构之前相似于图 1 所示前述实施方案的衬底。此衬底的构造仍然是生长在收集极接触 110b 上且具有用来提供衬底表面与埋置的 n 层收集极接触 110b 之间接触的 n-栓塞凹坑 110c
10 的 n-掺杂的一种收集极外延层 110a。浅沟槽隔离区 120 被形成在所示处。

下面参照图 11，此变通实施方案的下一阶段包含最好以生长到深度为 20nm 范围的热氧化物的形式来形成绝缘层 40。然后淀积深度约为 200-300nm 的最好是硼掺杂多晶硅的比较厚的导电层 42，并在晶体
15 管有源区上方的多晶硅层 42 中腐蚀出窗口 44。在例如 SiGeC 基区层的外延生长之前，可以按需要浸泡掉窗口 44 内的薄氧化物层 40。

在此图中，SiGeC 基区层 46 与图 12 所示以非选择性外延方式生长的覆盖发射极的帽层一起被示出。此 SiGeC 基区层 46 和硅发射极帽层 48 不仅覆盖多晶硅层 42，而且还组成晶体管窗口 44 中的内层。

20 然后在整个结构上淀积氮化物 50 和氧化物 52 的叠层，但如此前所示第一实施方案那样，可以利用化学机械抛光方法清除其上部区域。

接着，利用剩余的氧化物作为掩蔽层，从多晶硅 42 上方的区域腐蚀掉氮化物层 50，以便达到图 12 所示的结构。

25 在此阶段中，作为根据发射极帽层厚度和所需氧化物厚度的一种选项，可以用氧化物 52 和氮化物 50 作为掩蔽层来腐蚀 SiGeC 基区层 46 和硅发射极帽层 48。若所需的氧化物厚度能够仅仅由硅发射极帽形成，则最好在 SiGeC 基区层 46 上保留外延的硅发射极帽层 48。但若硅发射极帽层 48 变薄，则通常最好与覆盖多晶硅层 42 的 SiGeC 基
30 区层 46 一起被清除。

在任何情况下，都可以浸泡掉 HDP 氧化物，且假设硅发射极帽层 48 与 SiGeC 基区层 46 二者已经从多晶硅层 42 上被清除了，则达到的

结构如图 13 所示，但其中热氧化物层 54 已经被生长在多晶硅层 42 上，且直到相邻剩余的氮化物层 50。最好用低温下的湿法氧化工艺来生长此热氧化物，从而尽量降低掺杂剂扩散效应同时仍然具有合理的氧化物生长速率。借助于对硅表面进行氧化来生长所谓的热氧化物二氧化硅。可以用纯氧 O_2 、环境（干氧化）或在水蒸汽 H_2O 中（湿氧化）完成这一点。后者的好处是，由于水或 H_2O 分子的尺寸更小，故通过已经形成的二氧化硅层的扩散快得多。因此，在给定的温度下，湿氧化的生长速率几乎总是高于干氧化的生长速率。二种方法的生长速率都随温度的提高而增大。掺杂剂的扩散是一种温度激发的过程，意味着：温度越高，掺杂剂扩散就越强。因此，为了得到合理的氧化物厚度同时得到有限度的掺杂剂的扩散，在此情况下是硼的扩散，最好采用湿氧化。

依赖于实际的发射极窗口因而也是对内部间隔的要求，图 13 所示的氮化物 U 形杯 50 可以被用来制造被清除或实际上被更薄的氮化物层取代的内部 L-间隔。若有需要，可以用标准技术来形成此内部 L-间隔。

在用早期实施方案对结构进一步加工的过程中，可以淀积 n 掺杂的层 56 并进行快速热退火，以便形成图 14 所示的发射极区 58。

然后可以继续图 14 所示的结构标准加工，并可以包括对基区多晶硅进行图形化、在发射极和基区多晶硅上以及在收集极凹坑上形成硅化物、以及然后用收尾互连完成此结构。

在使所需加工步骤与先前讨论的现有技术相比能够进一步减少方面，本发明的这一第二实施方案是特别有利的。

整个晶体管、非本征基区接触、SIC、以及发射极于是能够被自对准于单个掩模而制作，并且限制对形成于晶体管窗口区域中各个层损伤的方式是一种有利的方式。

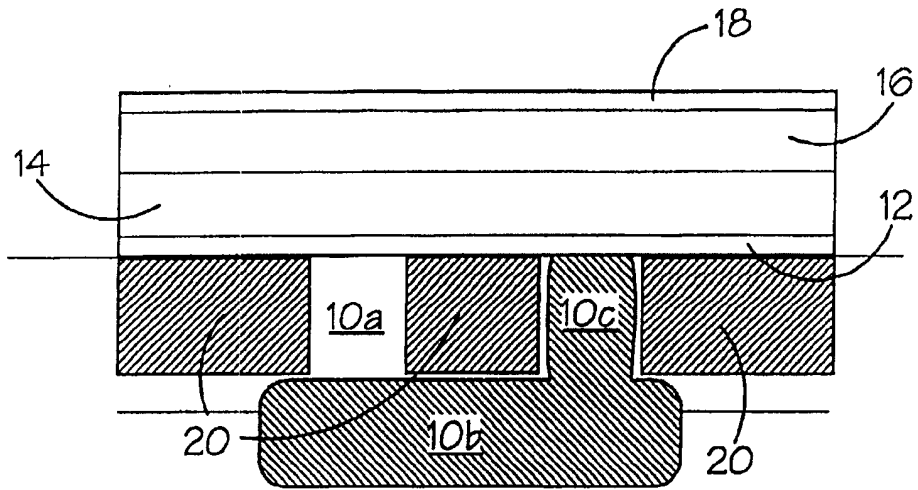


图 1

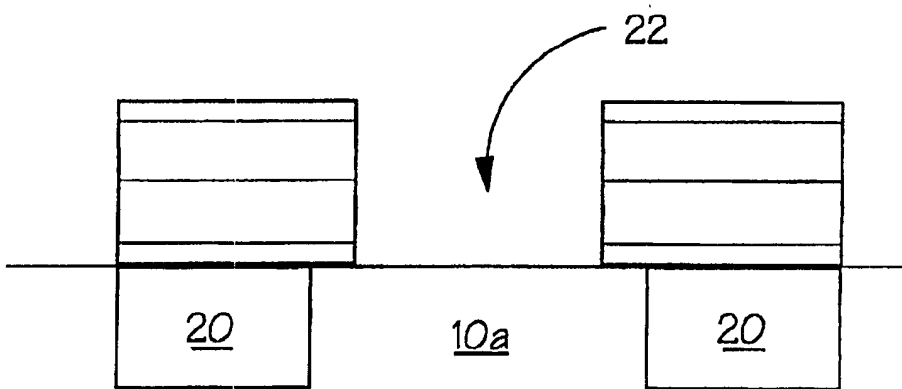


图 2

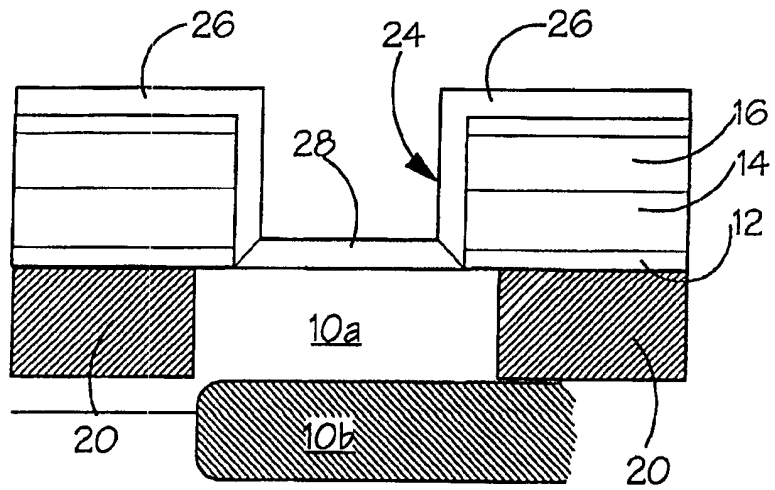


图 3

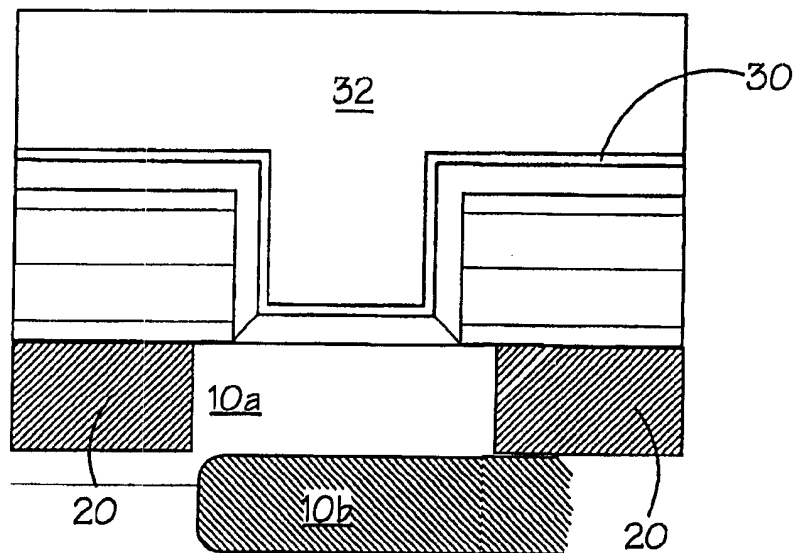


图 4

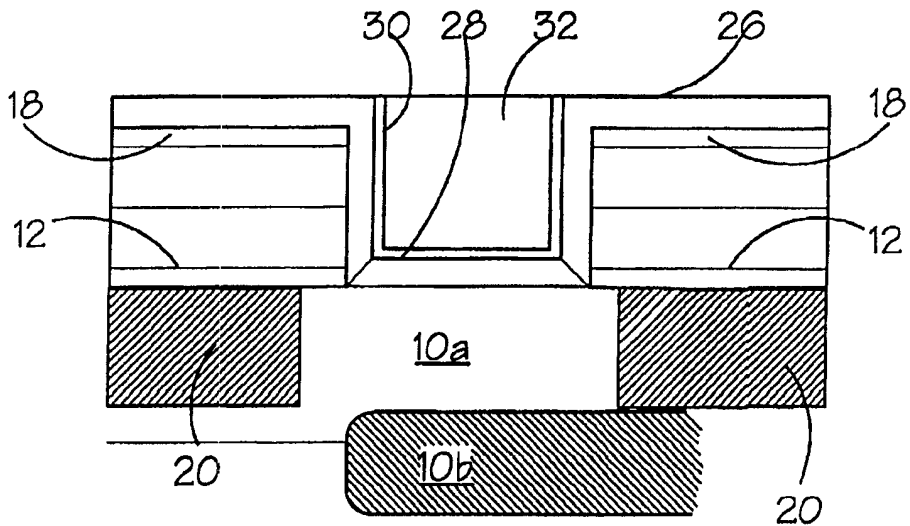


图 5

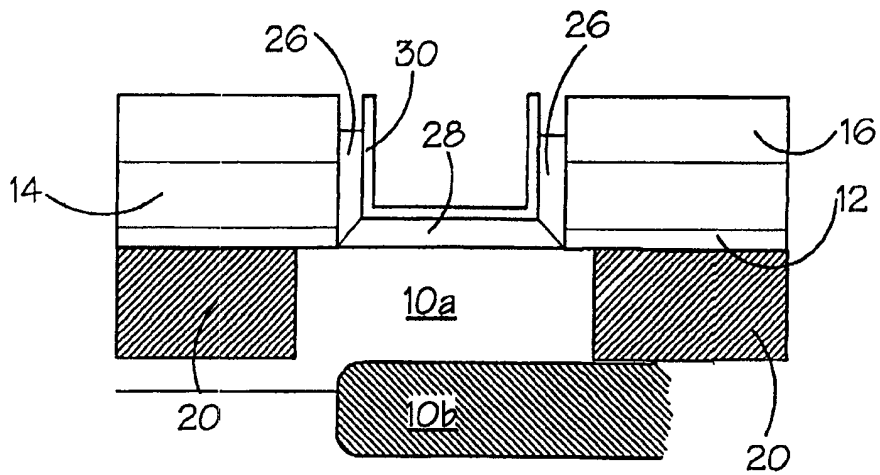


图 6

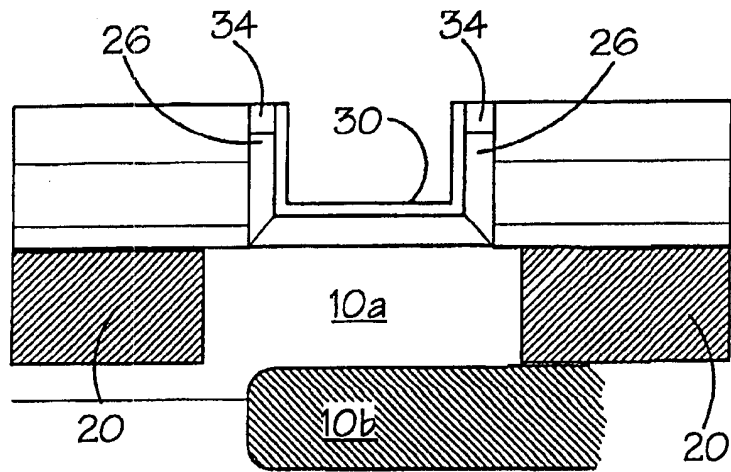


图 7

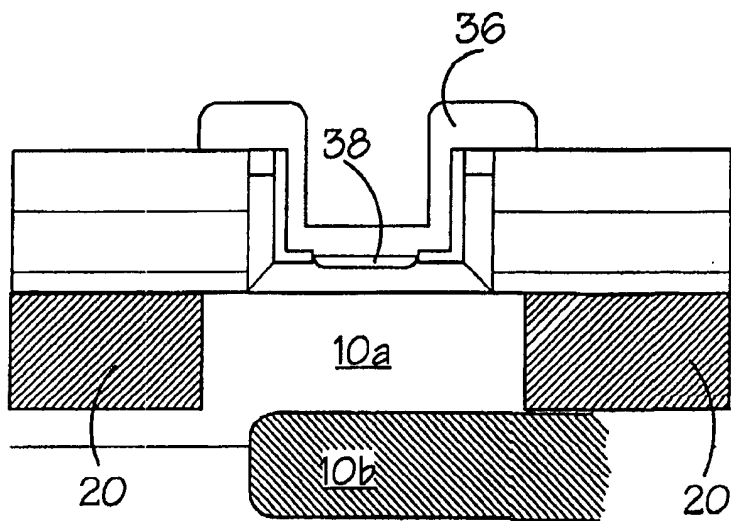


图 8

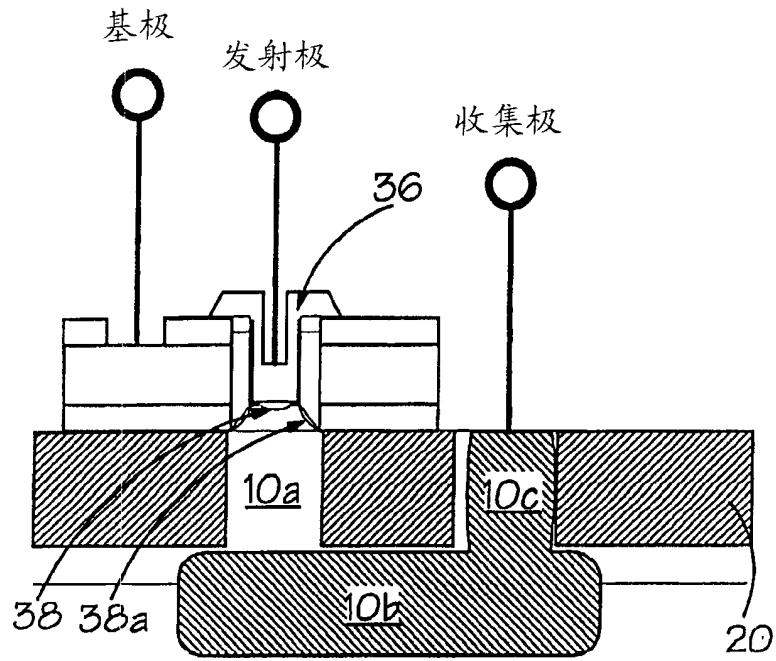


图 9

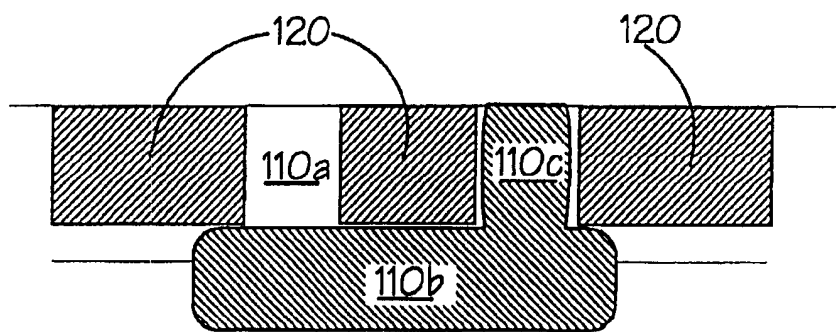


图 10

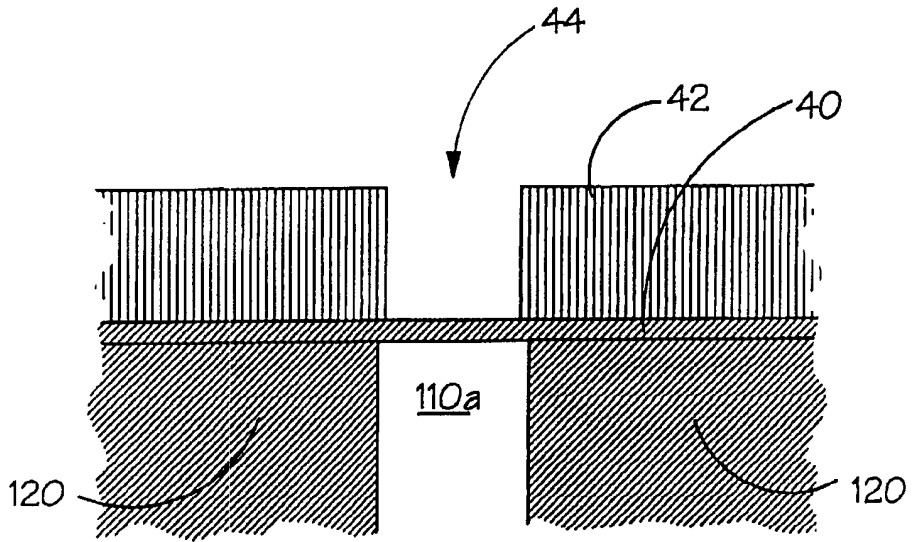


图 11

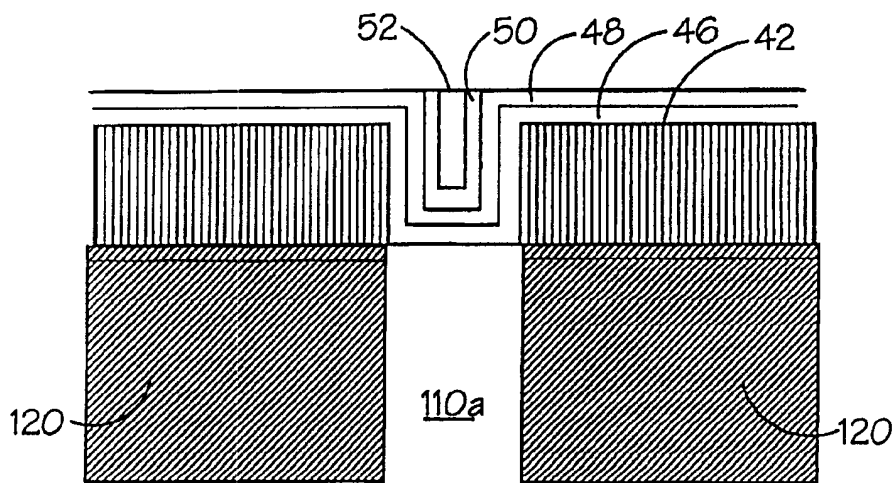


图 12

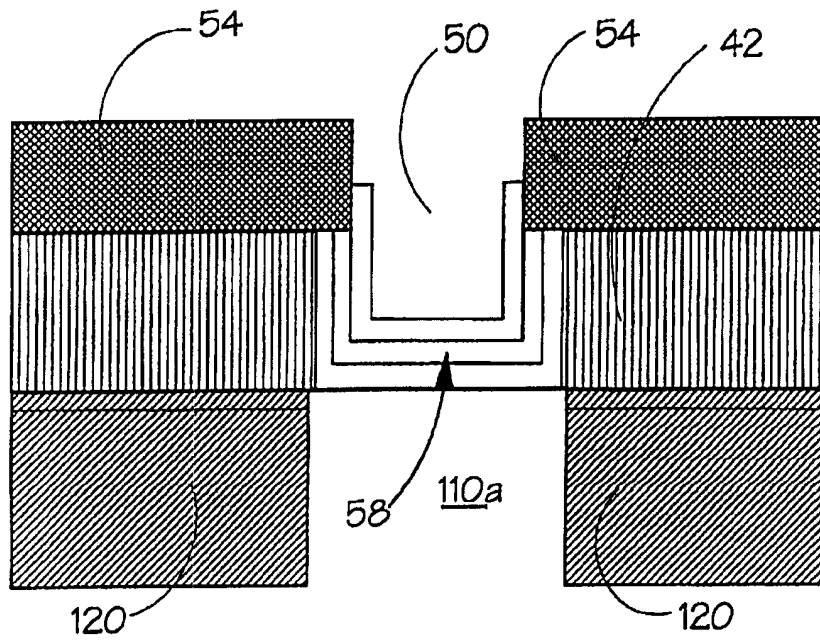


图 13

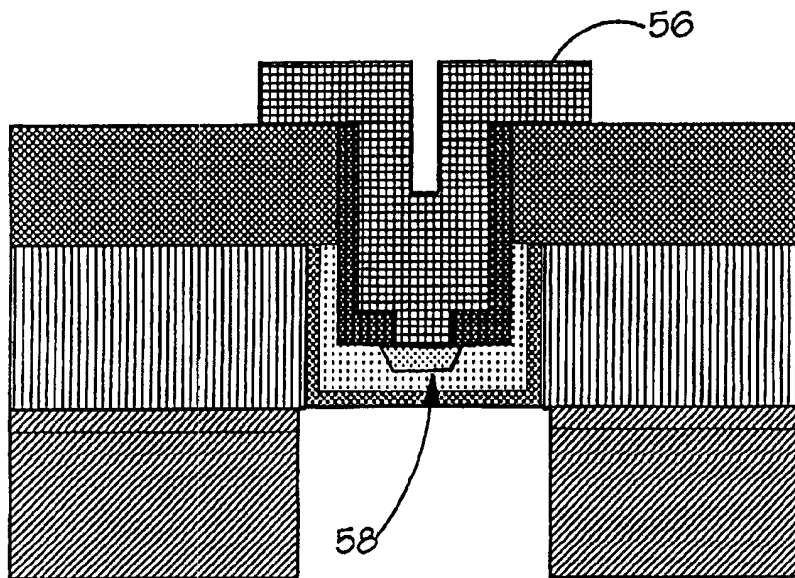


图 14